公告本

318972

申請日期	84.9.18
案號	84109846
類別	H03K 17/64, G06F 1/26

318972

A4
C4

318972

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	電壓產生電路
	英文	
二、發明 創作 人	姓名	飛田洋一
	國籍	日本
	住、居所	日本國東京都千代田區丸ノ內二丁目2番3號 三菱電機株式會社
三、申請人	姓名（名稱）	三菱電機股份有限公司 （三菱電機株式會社）
	國籍	日本
	住、居所（事務所）	日本國東京都千代田區丸の內2丁目2番3號
	代表人 姓名	北岡隆

經濟部中央標準局員工消費合作社印製

裝 訂 線

318972

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

日本 國（地區） 申請專利，申請日期 1995-9-4 案號：7-226452，□有 ☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（ 1 ）

[發明之技術領域]

本發明有關於用以產生指定位準之電壓之電路，尤其有關於設在包含有以MOS電晶體（絕緣閘極型場效電晶體）作為構成元件之半導體積體電路裝置內之內部電壓產生電路，更特別有關於用以產生動態型半導體記憶裝置（DRAM）中之動作電源電壓之大約一半之電壓位準之中間電壓所使用之電路。

[習知之技術]

圖23表示利用動態型半導體記憶裝置（以下稱為DRAM）之內部電壓之部份之構造之一實例。在圖23中概略的表示記憶單元陣列部之構造。在該記憶單元陣列中，記憶單元MC排列成具有一些行和列之矩陣狀，設有對應到各行之字線WL，和設有對應到各列之位元線對偶。在字線WL連接有對應之行之記憶單元，另外，在位元線對偶連接有對應之列之記憶單元。在圖23中，代表性的顯示有2根字線WL1和/WL2，和1對之位元線BL和/BL。

在字線WL1和位元線BL之交叉部設有對應之記憶單元MC1，在字線WL2和位元線/BL之交叉部設有對應之記憶單元MC2。該記憶單元MC1包含有：電容器Ca1，以電荷之形態收納資訊；和存取電晶體MT1，當回應其對應之字線WL1上之信號電位時變成導通，用來使電容器Ca1連接到位元線BL，藉以將被收納在電容器Ca1之資訊讀出到對應之位元線BL。與記憶單元MC1同樣的，該記憶單元MC2包含有：電容器C2；和存取電晶體MT2，當回應其對應之字線WL2上之信

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（ 2 ）

號電位時變成導通。存取電晶體MT1和MT2均由n通道MOS電晶體（絕緣閘極型場效電晶體）所構成。

在位元線對偶BL和/BL設有預充電/等化電路PE，在等待時用來將位元線BL和/BL預充電成具有中間電位VBL。該預充電/等化電路PE包含有：等化電晶體T1，在回應等化信號EQ時使位元線BL和/BL變成電的短路；和預充電電晶體T2和T3，在回應等化信號EQ時變成導通，藉以將預充電電壓VBL分別傳達到位元線BL和/BL。電晶體T1～T3由n通道MOS電晶體電晶體所構成。該預充電電壓VBL被設定成為動作電源電壓VCC和接地電壓VSS之間之中間電位（VCC/2：VSS＝0V）。

記憶單元電容器Ca1和Ca2之單元板電極（共同電極：未被連接到存取電晶體MT1和MT2之節點）均被施加有中間電位位準之單元板電壓VCP。該預充電電壓VBL和單元板電壓VCP由設在DRAM內部之中間電壓產生電路MV施加。預充電電壓VBL和單元板電壓VCP被設定在中間電位VCC/2之電壓位準之理由將於後面說明。下面將參照圖24所示之動作波形圖用來說明該圖23所示之DRAM之動作。

在DRAM中，動作循環（等待狀態之等待循環和進行記憶單元選擇動作之活動循環）之決定是依照從外部施加之行位址選通信號/RAS。當行位址選通信號/RAS為高位準時，DRAM為等待循環，內部之記憶單元陣列被維持在預充電狀態。在該等待循環中，等待信號EQ為高位準，預充電/等化電路PE中之電晶體T1～T3全部變成ON狀態，位元線BL和/BL被中間電壓產生電路MV預充電成具有預定電電壓VBL之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

電壓位準。字線WL1和WL2形成非選擇狀態，被保持在接地電壓位準之低位準。

當行位址選通信號/RAS下降成為低位準時，就開始活動循環，開始記憶單元選擇動作。在回應該行位址選通信/RAS之下降時，等化信號EQ變成低位準，預充電/等化電路PE之電晶體T1～T3全部變成OFF狀態。在此種狀態，利用預充電電壓VBL使位元線BL和/BL變成浮動狀態。

其次，從外部施加之行位址信號，在回應該行位址選通信號/RAS之下降時，被取入和解碼，利用該行位址信號進行位址指定藉以選擇被配置成對應之字線WL，使選擇字線WL之電位上升到高位準（通常是比動作電壓電源VCC高之電壓位準）。當該選擇字線WL之電位上升時，連接在該選擇字線WL之記憶單元MC之存取電晶體MT就變成導通狀態，記憶單元電容器Ca分別電連接到各個對應之位元線。為著使說明簡單化，在此處假定選擇字線WL1。在此種狀態，記憶單元MC1之存取電晶體MT1變成ON狀態，電容器Ca1電連接到位元線BL。依照記憶單元電容器Ca1之儲存電荷量（記憶資訊），在位元線BL和電容器Ca1之間產生電荷之移動，用來使位元線BL之電位進行變化。在圖24中，該記憶單元MC1記憶高位準資料，圖中表示位元線BL之電位上升後之情況時之一實例。在另外一方之位元線/BL，因為未連接有記憶單元電容器，所以位元線/BL維持在預充電電壓VBL之電壓位準。

當位元線BL和/BL之電位差被充分的擴大時，就使圖中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

未顯示之感測放大器活性化，對該位元線BL和/BL之電位進行差動式之放大，高位準之位元線BL之電位被設定在電源電壓VCC位準，低電位之位元線/BL之電位被設定在接地電壓VSS之位準。其次，被施加圖中未顯示之列位址信號和被解碼，經由指定該被解碼之列位址信號用來選擇列之記憶單元，藉以對選擇列之記憶單元進行資料之寫入或讀出。

當記憶單元之存取動作完了時，行位址選通信號/RAS就朝向高位準上升，使選擇字線WL之電位下降到低位準，連接到該選擇字線WL1之記憶單元MC之存取電晶體MT1變成OFF狀態。其次，感測放大器變成非活性狀態，停止位元線BL和/BL之電位之閂鎖動作。其次，等化信號EQ上升到高位準，利用預充電/等化電路PE，將位元線BL和/BL預充電成中間電壓VCC/2位準之預充電電壓VBL。

由圖24之動作波形圖可以明瞭，位元線BL和/BL之電壓從預充電電壓VBL變化成動作電源電壓VCC或接地電壓VSS。因此，位元線BL和/BL之電壓振幅變成VCC/2，位元線BL和/BL分別依照所讀出之記憶單元資料被設定為高位準和低位準，該設定所需之時間很短，可以以快速之時間使位元線BL和/BL之電壓位準成為確定狀態。利用這種方式，可以加快對選擇記憶單元之存取時間，藉以以高速進行存取。

將單元板電壓VCP設定成為中間電壓VCC/2位準之理由如下所述。當DRAM之記憶容量增大或密集度變高時，記憶單

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

元之佔用面積就變小，因此記憶單元電容器之佔用面積亦變小。圖24所示之位元線BL和/BL之電位差（讀出電壓）△V經圖中未顯示之感測放大器被檢測和放大，藉以讀出記憶單元資料。因此，感測放大器為首要正確的進行感測動作，所以最好使讀出電壓△V之值儘可能的變大。該讀出電壓△V之大小為位元線BL(或/BL)之容量Cb和記憶單元電容器Ca之容量Cs之比，大致為Cs/Cb。因此，記憶單元電容器Ca之容量值需要儘可能的大。記憶單元電容器之容量值之決定是依照儲存節點（被連接到存取電晶體之電極節點）和單元板之互相面對之面積以及單元板和儲存節點之距離。為著要實現具有足夠大之記憶單元電容器之容量值，所以該記憶單元電容器Ca之絕緣膜之膜厚最好儘可能薄。具有此種薄電容器絕緣膜之記憶單元電容器為著保證其耐壓特性，所以施加中間電壓VCC/2之電壓作為單元板電壓VCP，使施加在記憶單元電容器Ca之儲存節點和單元板之間之電壓保持在中間電壓VCC/2之電壓位準。

圖25表示習知之中間電壓產生電路之一實例。在圖25中，中間電壓產生電路包含有：第1電壓產生部VG1，用來產生由電源節點4a上之電壓VCC和接地節點4b上之電壓VSS所構成之第1電壓；第2電壓產生部VG2，用來產生由電源節點4a上之電壓VCC和接地節點4b上之電壓VSS所構成之第2電壓；和輸出電路OUT，被連接在電源節點4a和接地節點4b之間，依照電壓產生部VG1和VG2所產生之第1和第1電壓，用來產生指定之電壓位準之內部電壓VO。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

第1電壓產生部VG1包含有：高電阻之電阻元件R1，被連接在電源節點4a和內部節點1a之間；高電阻之電阻元件R2，被連接在內部節點1a和1b之間；和n通道MOS電晶體Q1和Q2，以二極體模態進行動作，互相串聯連接在內部節點1b和接地節點4b之間。MOS電晶體Q1和Q2分別使其閘極和吸極互相連接（形成二極體連接），利用來自電阻元件R1，R2之小電流，以二極體模態進行動作。

第2電壓產生部VG2包含有：p通道MOS電晶體Q3和Q4，互相串聯連接在電源節點4a和內部節點2b之間；高電阻之電阻元件R3，被連接在內部節點2b和內部節點2a之間；和高電阻之電阻元件R4，被連接在內部節點2a和接地節點4b之間。MOS電晶體Q3和Q4分別使其閘極和吸極互相連接，利用來自電阻元件R3、R4之小電流以二極體模態進行動作。從內部節點1a產生第1電壓，從內部節點2a輸出第2電壓。

輸出電路OUT被連接在電源節點4a和輸出節點3之間，包含有：n通道MOS電晶體Q5，其閘極被連接到內部節點1a；和p通道MOS電晶體Q6，被連接在輸出節點3和接地節點4之間，以其控制電極節點（閘極）接受內部節點2a上之第2電壓。下面將說明其有關之動作。

電阻元件R1和R2之電阻值被設定成比n通道MOS電晶體Q1和Q2之ON電阻（通道電阻）大很多。在此種狀態，MOS電晶體Q1和Q2以二極體模態進行動作，分別產生其臨界值電壓VTN之電壓降。因此，內部節點1b上之電壓變成2·VTN之電壓位準（接地電壓VSS為0V）。當電阻元件R1和R2之電阻值

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明（7）

相等，以R表示時，就對電源節點4a和內部節點1b之電位差以1：1之比例進行電阻分割，將分割後之電壓輸出到內部節點1a。亦即，

$$(VCC + 2 \cdot VTN)/2 = VCC/2 + VTN$$

之電壓位準之電壓作為第1電壓，從內部節點1a施加到MOS電晶體Q5之閘極。在第2電壓產生部亦同樣的將電阻元件R3和R4之電阻值設定成為比MOS電晶體Q3和Q4之ON電阻（通道電阻）大很多之值。MOS電晶體Q3和Q4以二極體模態進行動作，分別產生臨界值電壓之絕對值之電壓降。因此，內部節點2b之電位變成$VCC - 2 \cdot |VTP|$。電阻元件R3和R4之電阻值相等，因為施加在電阻元件R3和R4之電壓相等，所以內部節點2a之電位變成

$$VCC/2 - |VTP|$$

在輸出電路OUT中，施加到MOS電晶體Q5之控制電極節點（閘極）之電壓位準因為低於施加到電源節點4a之電源電壓VCC，所以該MOS電晶體Q5以源極隨耦器模態進行動作，該MOS電晶體Q5將其閘極電位減去臨界值電壓後之電壓傳達到輸出節點3。亦即，MOS電晶體Q5將VCC/2之電位傳達到輸出節點3。當輸出節點3之電位VO變成高於VCC/2之情況時，MOS電晶體Q5之閘極—源極間之電位就變成小於該臨界值電壓VTN，因而使MOS電晶體變成OFF狀態。另外一方面，當該輸出節點3之電壓VO變成低於VCC/2時，MOS電晶體Q5之閘極—源極間之電壓就變成高於MOS電晶體之臨界值電壓VTN，因而使MOS電晶體Q5變成ON狀態，從電源節點

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（8）

4a將電流供給到輸出節點3，使其電位上升。

MOS電晶體Q6因為其閘極電位高於吸極，亦即接地節點4b之電位，所以同樣的以源極隨耦器模態進行動作，使輸出節點3之電位從該閘極電位放電至高於本身之臨界值電壓之絕對值之電壓位準。亦即，MOS電晶體Q6使輸出節點3之電壓VO降低到VCC/2之電壓位準。當輸出節點3之電壓VO變成高於VCC/2時，MOS電晶體Q6之閘極－源極間之電位就變成大於臨界值電壓因而變ON狀態，用來使該輸出節點3之電位降低。當輸出節點3之電壓VO變成低於VCC/2時，該MOS電晶體Q6之閘極－源極間之電位就變成小於臨界值電壓，因而使MOS電晶體Q6變成OFF狀態。

因此，在輸出電路OUT，當MOS電晶體Q5和Q6有一方變成ON狀態時，另外一方就變成OFF狀態，以推挽態樣進行動作。另外，MOS電晶體Q5和Q6，因為在其閘極－源極間之電壓分別等於臨界值電壓之區域近傍進行動作，亦即，因為MOS電晶體Q5和Q6在ON狀態和OFF狀態之境界進行動作，所以大致不會產生從電源節點4a流向接地節點4b之貫通電流，因此可以使消耗電力變小。另外，在電壓產生部VG1和VG2中，因為MOS電晶體Q1～Q4以二極體模態進行動作，所以變成只需要微小之電流，因為電阻元件R1～R4之電阻值很大，所以在其中流動之電流亦很小，因此可以使消耗電流變小。

圖26表示習知之中間電壓產生電路之其他之構造。在圖26中，中間電壓產生電路包含有：電壓產生部VG，用來產

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（9）

生基準電壓；和輸出電路OUT，依照來自該電壓產生部VG之基準電壓，輸出指定之電壓位準之中間電壓VO。電壓產生部VG包含有：高電阻之電阻性元件R5，被連接在電源節點4a和內部節點1之間；n通道MOS電晶體Q7，形成二極體連接，被連接在內部節點1和內部節點7之間；p通道MOS電晶體Q8，形成二極體連接，被連接在內部節點7和內部節點2之間；和高電阻之電阻性元件R6，被連接在內部節點2和接地節點4b之間。輸出電路OUT，與圖25所示之構造同樣的，包含有：n通道MOS電晶體Q5，用來對輸出節點33進行充電；和p通道MOS電晶體Q6，用來使輸出節點3進行放電。

電阻性元件R5和R6之電阻值比MOS電晶體Q7和Q8之ON電值（通道電阻）大很多，MOS電晶體Q7和Q8以二極體模態進行動作，分別產生臨界值電壓之電壓降。電阻性元件R5和R6之電阻值相等，以R表示，MOS電晶體Q7和Q8之臨界值電壓分別以VTN和VTP表示，另外，從電源節點4a經由該電壓產生部VG流向接地節點4b之電流以I表示，這時可以獲得下式。

$$2 \cdot I \cdot R + VTN + |VTP| = VCC$$

$$I \cdot R = (VCC - VTN - |VTP|)/2$$

因此，內部節點1和2之電壓VN1和VN2可以以下式表示。

$$VN1 = VCC - I \cdot R$$

$$= VCC/2 + (VTN + |VTP|)/2$$

$$VN2 = VN1 - VTN - |VTP|$$

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

$$= VCC/2 - (VTN + |VTP|)/2$$

MOS電晶體Q5和Q6分別以源極隨耦器模態進行動作，將本身之閘極之電位減去臨界值電壓後之電壓，從吸極傳達到源極。因此，來自輸出節點3之電壓VN3可以用下式表示。

$$VN3 = VCC/2 + (|VTP| - VTN)/2$$

當輸出節點3之電壓VN3上升時，p通道MOS電晶體Q6變成ON狀態，該輸出節點3之電壓VN3之電壓位準產生下降。另外一方面，當輸出節點3之電壓位準下降時，MOS電晶體Q5變成ON狀態，使該輸出節點3之電壓VN3之電壓位準上升。因為臨界值電壓|VTP|和VTN為大致相等之值，所以從輸出節點3輸出之電壓VN3之電壓位準變成大致為VCC/2。在該圖26所示之中間電壓產生電路之構造中，輸出電路OUT之MOS電晶體Q5和Q6在ON狀態和OFF狀態之境界區域進行動作，另外，因為以推挽態樣進行動作，所以大致不會有電流從電源節點4a流向接地節點4b，因此消耗電力很小。另外，在電壓產生部VG，因為電阻性元件R5和R6之電阻值很大，所以流動之電流極小，因此可以使消耗電流變小。

[發明所欲解決之問題]

DRAM有很多被使用在如同筆記型個人電腦等之攜帶型機器之用途。在此種攜帶型機器中，因為以電池作為電源的進行動作，所以特別要求要成為低消耗電力之裝置。對於低消耗電力化有各種方法，因為消耗電力與動作電源電壓之平方成正比例，所以使動作電源電壓降低之方法是具有最大效果之方法。從此觀點來看，要求電源電壓要為1.8V

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

±0.15(1.65～1.95V)。隨著電源電壓之減小，MOS電晶體之大小亦被減小，臨界值電壓隨著該電源電壓之減小而降低，如下所述，要使次臨界電流增大時通常會有困難。

圖27表示n通道MOS電晶體之閘極電壓和吸極電流之關係。縱軸表示吸極電流Ids，橫軸表示閘極電壓(以源極電壓作為基準之閘極電壓)Vgs。MOS電晶體之臨界值電壓被規定為有某一吸極電流量流動時之閘極電壓。例如，在具有10μm之閘極寬度之MOS電晶體中，規定當有1μA之電流流動時之閘極電壓Vgs為臨界值電壓V_{th}。在MOS電晶體中，當其閘極電壓在臨界值電壓以下時，吸極電流Ids就成指數函數的降低，即使該閘極電壓Vgs變成0V時，吸極電流Ids亦不會變成0。

這時，假如使MOS電晶體之臨界值電壓從V_{th1}降低到V_{th2}時，該MOS電晶體之特性曲線就從曲線I移行到曲線II。這時，在閘極電壓Vgs為0V時之流動之電流(次臨界電流)就從I1增加到I2。因此，當單純的使臨界值電壓降低時，次臨界電流就增加，會產生使消耗電流變大之問題。p通道MOS電晶體之特性是經由使圖27之Vgs之符號反轉而獲得，因此亦會產生同樣之問題。例如，使用在現代DRAM之MOS電晶體之臨界值電壓之大小是VTN＝0.7±0.1V，|TVP|＝0.75±0.1V之程度。

圖28表示圖25所示之中間電壓產生電路之節點1a之電壓V1和電源電壓VCC之關係。電源電壓VCC在2·VTN以下之狀態，MOS電晶體Q1和Q2至少有一方為OFF狀態，因為在第1

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(12)

電壓產生部VG1沒有電流流動，所以節點1a上之電壓V1因而上升到電源電壓VCC(V1＝VCC)。

當電源電壓VCC變成2·VTN以上時，MOS電晶體Q1和Q2均變成ON狀態，在第1電壓產生部VG1有電流從電源節點4流向接地節點4b，節點1a之電壓V1變成VCC/2＋VTN。MOS電晶體Q1和Q2在具有上述之臨界值電壓VTN之情況時，變成2·VNT＝1.4±0.2V。因此，在電源電壓VCC為該1.4±0.2V以下時，節點1a之電壓V1等於電源電壓VCC，不能產生所需要之位準VCC/2＋VTN之電壓。另外一方面，電源電壓VCC之可容許之最小值為1.8－0.15＝1.65V。第1電壓產生部VG1要正常的進行動作所需要之電壓為1.4＋0.2＝1.6V，兩者之差為0.5V，該差為極小之值。在第2電壓產生部VG2中亦同樣的,當電源電壓VCC在2｜VTP｜以上時，輸出所希望之電壓VCC/2－｜VTP｜,在電源電壓VCC小於2｜VTP｜之情況時，該第2電壓產生部VG2之節點2a之電位變成接地電壓位準，亦即變成0V。

因此，在通常之動作狀態，當在電源電壓產生有雜訊使電源電壓VCC之電壓位準降低時，或是當在接地電壓產生有雜訊使該接地電壓VSS之電壓位準變成高於0V時，變成節點1a之電壓V1＝VCC，節點2a之電壓V2＝VSS，會產生不能輸出所希望之電壓位準(中間電壓VCC/2)之電壓V0之問題。

上述之狀況亦同樣的發生在圖26所示之中間電壓產生電路。亦即，在圖26中，當電源電壓VCC變成MOS電晶體Q7和

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

Q8之臨界值電壓之絕對值之和時，亦即，變成0.7＋0.1＋0.75＋0.1＝1.65V以下時，MOS電晶體Q7和Q8變成OFF狀態，節點1之電壓變成電源電壓VCC之位準，另外一方面，節點2之電位變成接地電壓位準。

因此，在任何一個中間電壓產生電路中，於輸出電路OUT，MOS電晶體Q5之閘極和吸極電壓均變成電源電壓VCC，另外，MOS電晶體Q6之閘極和吸極變成接地電壓VSS位準。在該狀態，MOS電晶體Q5之閘極電壓VCC和源極電壓（輸出電壓VO或VN3）之差小於MOS電晶體Q5之臨界值電壓，MOS電晶體Q5變成OFF狀態。亦即，在圖25所示之輸出電路OUT中，MOS電晶體Q5之閘極－源極間之電壓變成VCC/2，由於VCC＜2・VTN，所以該MOS電晶體Q5之閘極－源極間之電壓變成小於臨界值電壓VTN。同樣的，在MOS電晶體Q6，於圖25所示之構造中，其閘極－源極間之電壓變成VCC/2（＜｜VTP｜），MOS電晶體Q6變成OFF狀態。因此，MOS電晶體Q5和Q6均變成OFF狀態，從該輸出節點3輸出之電壓VO之電壓位準變成不穩定。

另外，同樣之方式，在圖26所示之構造中，MOS電晶體Q5之閘極和源極（輸出節點）之電位差VCC－VN3變成為

VCC/2－（｜VTP｜－VTN）/2

。因為電源電壓VCC小於MOS電晶體Q7和Q8之臨界值電壓之和，由該式使MOS電晶體Q5之閘極－源極間之電位差變成小於臨界值電壓VTN，因此MOS電晶體Q5變成OFF狀態。同樣的，在MOS電晶體Q6中，其閘極－源極間之電壓－VN3變

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

成為

$$VCC/2+(|VTP|-VTN)/2$$

。在這種情況時，MOS電晶體Q6之閘極－源極間之電壓變成小於｜VTP｜，MOS電晶體Q6變成OFF狀態。因此，MOS電晶體Q5和Q6均變成OFF狀態，從輸出節點N3輸出之電壓VO(VN3)變成不穩定。

另外，在電源加入後，當電源電壓VCC穩定在未能達到指定之電壓位準（2・VTN，2｜VTP｜或VTN＋｜VTP｜）之狀態時，MOS電晶體Q5之閘極－源極間之電壓變成低於臨界值電壓（VCC－VTN＜VTN），經常維持在OFF狀態。因此，不能產生所希望之電壓為其問題。

另外，作為構成元件之MOS電晶體之臨界值電壓由於製造參數之誤差等而使其絕對值變成很大之情況時，變成不能穩定的產生所希望之電壓。

因此，本發明之一目的是提供一電壓產生電路，對於電源電壓可以使其邊際擴大。

本發明之另一目的是提供一種適於DRAM用途之電壓產生電路，即使在低電源電壓時亦可以穩定的產生所希望之位準之內部電壓。

［解決問題之手段］

本發明之電壓產生電路具備有：第1導電型之第1MOS電晶體，具有結合到第1電源節點之一方之電極節點，和連接到用以產生指定之電壓位準之電壓之輸出節點之另外一方之電極節點；第2導電型之第2MOS電晶體，具有結合到

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(15)

第2電源節點之一方之電極節點，和連接到輸出節點之另外一方之電極節點；和電壓產生裝置，至少接受第3和第4電源節點上之電壓，用來產生第1和第2電壓，藉以分別施加到第1和第2MOS電晶體之控制電極節點。

第1和第2電壓之差等於第1和第2MOS電晶體之臨界值電壓之絕對值之和。第3電源節點之電壓被設定成為高於從輸出節點輸出之電壓和具有該輸出節點之電壓值之測定基準值之測定基準電壓之差之2倍之電壓位準。第4電源節點之電壓被設定成為低於特定基準電壓之電壓位準。

利用輸出電壓之電壓值之2倍以上之電壓，和低於具有輸出節點之電壓之測定基準之測定基準電壓之電壓位準，使該第3和第4電源節點之電壓差變成很大，根據該等電壓，產生具有差等於第1和第2MOS電晶體之臨界值電壓之絕對值之和之第1和第2電壓，利用電源電壓和接地電壓，依照構成之比例，可以穩定的產生第1和第2電壓，可以防止第1和第2MOS電晶體變成OFF狀態，即使在低電源電壓之條件下，亦可以穩定的產生所希望之電壓位準之電壓。

[發明之實施態樣]

[實施態樣1]

圖1表示本發明之實施態樣1之電壓產生電路之構造。在圖1中，電壓產生電路包含有：輸出電路OUT，被連接在第1電源節點之電源節點4a和第2電源節點之接地節點4b之間，用來在輸出節點3產生指定之電壓位準之內部電壓VO；和電壓產生部VGA，至少利用第3電源節點5上之電壓VPP和

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（16）

第4電源節點6上之電壓VBB，用來產生第1和第2電壓藉以決定被輸出到輸出節點3之電壓VO之電壓位準，然後施加到輸出電路OUT。施加到第3輸出節點3之電壓VO，如後面所述，具有電壓VCC/2之電壓位準。該輸出節點3之電壓VO之電壓值是以接地節點4b上之接地電壓作為基準所測到之值。亦即VO＝VCC/2－VSS。施加到第3電源節點5之電壓VPP所具有之大小是輸出節點3上之電壓VO和該輸出節點3上之電壓VO之測定基準電壓VSS(0V)之差之2倍以上。亦即，該第3電源節點5上之電壓VPP所具有之電壓位準高於電源電壓VCC。第4電源節點6被施加有比該測定基準電壓（接地電壓）低之電壓，亦即被施加有負電壓。

輸出電路OUT包含有：n通道MOS電晶體Q5，具有被連接到第1電源節點4a之一方之電極節點（吸極）和被連接到輸出節點3之另外一方之電極節點（源極）；和p通道MOS電晶體Q6，具有被連接到第2電源節點之接地節點4b之一方之電極節點（吸極）和被連接到輸出節點3之另外一方之電極節點（源極）。

電壓產生部VGA包含有：第1電壓產生部VGAa，用來接受第3電源節點5上之電壓VPP和接地節點4b上之電壓VSS藉以產生第1電壓，然後將其施加到MOS電晶體Q5之閘極（控制電極節點）；和第2電壓產生部VGAb，用來接受電源節點4a上之電壓VCC和第4電源節點6上之電壓VBB藉以產生第2電壓，然後施加到MOS電晶體Q6之閘極。

第1電壓產生部VGAa包含有：高電阻之電阻性元件R1，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(17)

被連接在第3電源節點5和內部節點1之間；和高電阻之電阻性元件R2和n通道MOS電晶體Q1N，互相串聯的連接在節點1和接地節點4b之間。MOS電晶體Q1N之閘極和吸極互相連接（形成二極體連接），以二極體模態進行動作。第2電壓產生部VGAb包含有：p通道MOS電晶體Q3P和高電阻之電阻性元件R3，互相串聯的連接在電源節點4a和節點2之間；和高電阻之電阻性元件R4，被連接在節點2和第4電源節點6之間。MOS電晶體Q3P之閘極和吸極互相連接，以二極體模態進行動作。電阻性元件R1和R2之電阻值被設定成遠大於MOS電晶體Q1N之ON電阻（通道電阻）之值。電阻性元件R3和R4之電阻值被設定成遠大於MOS電晶體Q3P之ON電阻之值。下面將說明其有關之動作。在下面之說明中，電壓之大小是以接地電壓作為測定基準電壓來表示。

施加到第3電源節點5之高電壓VPP被設定成為VCC＋VTN之電壓位準。其中之VTN表示MOS電晶體Q1N之臨界值電壓。施加到第4電源節點6之電壓VBB被設定成為－｜VTP｜之電壓位準。其中之VTP表示MOS電晶體Q3P之臨界值電壓。在以下之說明中，所有之n通道MOS電晶體均具有臨界值電壓VTN，p通道MOS電晶體具有臨界值電壓VTP。電阻性元件R1～R4之電阻值被設定成為很大之值，MOS電晶體Q1N和Q3P分別以二極體模態進行動作，產生臨界值電壓之絕對值之電壓降。電阻性元件R3和R4具有相同之電阻值，另外，電阻性元件R3和R4亦具有相同之電阻值。因為電阻性元件R1和R2具有相同之電阻值，所以分別施加到電阻性元件

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（15）

R1和R2之電壓具有相同之值。因此，節點1之電壓V1可以以下式表示。

$$V1 = (VCC + VTN - VTN)/2 + VTN$$
$$= VCC/2 + VTN \quad \cdots\cdots\cdots (1)$$

在第2電壓產生部VGAb，施加到電阻性元件R3和R4之電壓亦相同。因此，從節點2輸出之電壓V2可以以下式表示。

$$V2 = (VCC - |VTP| - (-|VTP|))/2 - |VTP|$$
$$= VCC/2 - |VTP| \quad \cdots\cdots\cdots (2)$$

MOS電晶體Q5之閘極電位低於吸極電位（電源電壓VCC）（亦即$VCC/2 - VTN \geqq 0$），以源極隨耦器模態進行動作。因此，MOS電晶體Q5將VCC/2之電壓傳達到輸出節點3。MOS電晶體Q6之閘極電位高於吸極電位，輸出節點3之電壓被定電位在VCC/2之電壓位準。當輸出節點3之電壓V0上升時，MOS電晶體Q5之閘極－源極間之電壓就變大，MOS電晶體Q5變成導通，從電源節點4a將電流供給到輸出節點3，使該輸出節點3上之電壓V0之電壓位準上升。當輸出節點3之電壓V0變高時，MOS電晶體Q6之閘極－源極間電壓就變大，MOS電晶體Q6變成導通，使電流從該輸出節點3朝向接地節點4b放電，因而降低到電壓V0之電壓位準。利用該推挽動作使輸出節點3之電壓V0保持在VCC/2之電壓位準。

在圖1所示之電壓產生電路之構造中，當與圖25所示之構造比較時，在電壓產生部VGAa和VGAb分別具有：MOS電晶體之數目變少1個；第3電源節點5上之電壓VPP變高MOS電晶體Q1N之臨界值電壓之絕對值部分；和第4電源節點6

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

上之電壓VBB變低了MOS電晶體Q3P之臨界值電壓之絕對值部份。在第1電壓產生部VGAa和第2電壓產生部VGAb中，當與習知之構造比較時，電源節點間之電位差變大了臨界值電壓之絕對值部份。在第1電壓產生部VGAa中，VCC＋VTN＞VTN，產生電源電壓VCC，當高電壓VPP之電壓位準上升時，可以使MOS電晶體Q1N確實的變成ON狀態，藉以穩定的產生電壓VCC/2＋VTN。在第2電壓產生部VGAb中，假如電壓VBB為－｜VTP｜之電壓位準時，則具有電源電壓VCC－｜VTP｜＞｜VTP｜之關係，可以產生電源電壓VCC，在該第2電壓產生部VGAb具有電流流動，藉以穩定的產生電壓VCC/2－｜VTP｜之電壓位準。

亦即，即使在電源電壓VCC之電壓位準變低之情況時，在第1和第2電壓產生部VGAa和VGAb中可以不產生電流之流動，可以穩定的產生所希望之電壓位準之電壓，使電源電壓VCC之動作範圍變寬。亦即，即使電源電壓VCC降低到接近0V時，亦可以從輸出節點3產生指定之電壓位準之電壓VO。

輸出節點3上之電壓VO和節點1之電壓V1之差大致為臨界值電壓VTN，另外，輸出節點3和內部節點2之間之電壓差大致為｜VTP｜，MOS電晶體Q5和Q6在ON狀態和OFF狀態之境界區域進行動作，在輸出電路OUT中，大致沒有電流從電源節點4a流向接地節點4b，可以以低消耗電流產生所希望之電壓位準之電壓。

另外，在圖1中，電阻性元件R1～R4亦可以使用具有很

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（20）

大之通道電阻（ON電阻）之MOS電晶體。

[實施態樣2]

圖2表示本發明之實施態樣2之電壓產生電路之構造。該圖2所示之電壓產生電路除了以下各點外，其餘之部份均與圖1所示之電壓產生電路相同。亦即，在第1電壓產生部VGAa中，使用二極體連接之p通道MOS電晶體Q1P用來代替n通道MOS電晶體Q1N，另外，在第2電壓產生部VGAb中，使用二極體連接之n通道MOS電晶體Q3N用來代替p通道MOS電晶體Q3P。

電阻性元件R1和R2之電阻值被設定成為比p通道MOS電晶體Q1P之通道電阻大很多之值。另外，電阻性元件R3和R4之電阻值被設定成為比n通道MOS電晶體Q3N之通道電阻大很多之值。電阻性元件R1和R2之電阻值相等，而且電阻性元件R3和R4之電阻值亦相等。因為MOS電晶體Q3P和Q3N以二極體模態進行動作，所以該節點1上之電壓V1和節點2之電壓V2分別以下式表示。

$$V1 = (VCC + VTN - |VTP|)/2 + |VTP|$$
$$= VCC/2 + (VTN + |VTP|)/2$$

$$V2 = (VCC - VTN + |VTP|)/2 - |VTP|$$
$$= VCC/2 - (VTN + |VTP|)/2$$

MOS電晶體Q5和Q6以源極隨耦器模態進行動作。因此，輸出節點3之電壓V0以下式（3）表示。

$$V0 = VCC/2 + (|VTP| - VTN)/2 \quad \cdots\cdots (3)$$

因為臨界值電壓之絕對值VTN和|VTP|大致相等，所以

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（21）

來自該輸出節點3之電壓VO變成大致為VCC/2之電壓位準。

在圖2所示之構造中，MOS電晶體Q5和Q6，其閘極一源極間之電壓大致等於臨界值電壓之絕對值，以ON狀態和OFF狀態之境界區域進行動作。當MOS電晶體Q5為ON狀態時，MOS電晶體Q6變成OFF狀態，當MOS電晶體Q6為ON狀態時，MOS電晶體Q5變成OFF狀態。因為進行此種推挽動作，所以大致不會有電流從電源節點4a流向接地節點4b，因此可以達成低消耗電力。另外，在電壓產生部VGAa和VGAb，電源節點間之電壓被設定成為電源電壓VCC和MOS電晶體之臨界值VTN或｜VTP｜之和，或只包含1個之MOS電晶體，所以即使電源電壓VCC變成較低之值（理論上為VCC＝0V）時，亦可以使MOS電晶體Q1P和Q3N確實的變成ON狀態，可以穩定的產生指定之電壓位準之電壓，藉以施加到輸出電路OUT。因此，在圖2所示之構造中，即使當電源電壓VCC之電壓位準變低之情況時，亦可以由電壓產生部確實的產生指定之電壓位準之電壓，藉以使電源電壓VCC之動作範圍變廣。

[實施態樣3]

圖3表示本發明之實施態樣3之電壓產生電路之構造。該圖3所示之電壓產生電路，除了施加到第3電源節點5和4電源節點6之電壓位準外，其他部份均與圖2所示之電壓產生電路之構造相同。在圖3所示之構造中，施加到第3電源節點5之電壓VPP被設定成為電壓VCC＋｜VTP｜之電壓位準。施加到第4電源節點6之電壓VBB被設定成為－VTN之電壓位準。在此種條件下，節點1之電壓V1和節點2之電壓V2可以

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（22）

以下式表示。

$$V1 = (VCC + |VTP| - |VTP|/2 + |VTP|$$

$$= VCC/2 + |VTP|$$

$$V2 = (VCC - VTN - (-VTN))/2 - VTN$$

$$= VCC/2 - VTN$$

因為MOS電晶體Q5和Q6以源極隨耦器模態進行動作，所以表示輸出節點3之電壓VO可以以下式表示。

$$VO = VCC/2 + |VTP| - VTN$$

因為臨界值電壓VTN和|VTP|為大致相等之值，所以來自該輸出節點3之電壓VO變成大致等於VCC/2之電壓位準。

在該圖3所示之構造中，與先前之實施態樣1和2之電壓產生電路同樣的，以低消耗電力進行動作，可以實現電源電壓VCC之動作範圍寬廣之電壓產生電路。

[實施態樣4]

圖4表示本發明之實施態樣4之電壓產生電路之構造。該圖4所示之電壓產生電路，除了以下各點外，其他之部份均與圖1所示之電壓產生電路相同。亦即，施加到第3電源節點5之電壓VPP被設成為VCC+|VTP|之電壓位準。另外，施加到第4電源節點6之電壓VBB被設定成為－VTN之電壓準。VTP是p通道MOS電晶體Q3P之臨界值電壓之絕對值，VTN表示n通道MOS電晶體Q1N之臨界值電壓。在該圖4所示之構造中，從第1電壓產生部VGAa之節點1輸出下式所示之電壓V1。

$$V1 = (VCC + |VTP| - VTN)/2 + VTN$$

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(23)

$$= VCC/2 + VTN/2 + |VTP|/2$$

另外，從第2電壓產生部VGAb之節點2輸出下式所示之電壓V2。

$$V2 = (VCC - |VTP| + VTN)/2 - VTN$$

$$= VCC/2 - |VTP|/2 - VTN/2$$

因此，在輸出電路OUT之輸出節點3輸出下式所示之電壓VO。

$$VO = VCC/2 + |VTP|/2 - VTN/2$$

在該圖4所示之構造中，因為臨界值之絕對值VTN和|VTP|大致相等，所以該輸出電壓VO變成大致為VCC/2之電壓位準。

該第3電源節點5上之電壓VPP和輸出節點3之電壓VO(以接地電壓位準作為基準之電壓值)，可以滿足下列之關係。

$$VPP > VO$$

因為，

$$VCC + |VTP| - VCC - |VTP| + VTN$$

$$= VCC + VTN > 0$$

所以在圖3所示之構造中亦可以滿足該VPP > 2 · VO之關係。亦即，

$$VCC + |VTP| - VCC - 2|VTP| + 2 \cdot VTN$$

$$= 2 \cdot VTN - |VTP| > 0$$

因此，經由將可以滿足該VPP · 2(VO - VSS)之關係之電壓施加到第3電源節點，將負電壓施加到第4電源節點6，則即使在電源電壓VCC之電壓位準變小之情況時，亦可以

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（24）

穩定的產生所希望之電壓位準之電壓。

[實施態樣5]

圖5表示本發明之實施態樣5之電壓產生電路之構造。圖5所示之電壓產生電路是利用第3電源節點5上之電壓VPP和第4電源節點6上之電壓VBB產生第1和第2電壓藉以施加到被包含在輸出電路OUT之MOS電晶體Q5和Q6之閘極。該電壓產生部VGA包含有：高電阻之電阻性元件R5，被連接在第3電源節點5和內部節點1之間；n通道MOS電晶體Q7N，被連接在內部節點1和內部節點7之間形成二極體連接；p通道MOS電晶體Q8P，被連接在節點7和節點2之間，形成二極體連接；和高電阻之電阻元件R6，被連接在節點2和第4電源節點6之間。

施加到第3電源節點5之電壓VPP被設定成為VCC＋VTN之電壓位準。其中，VTN表示MOS電晶體Q7N之臨界值電壓。第4電源節點6上之電壓VBB被設定為－｜VTP｜之電壓位準。VTP表示MOS電晶體Q8P之臨界值電壓。電阻性元件R5和R6具有比MOS電晶體Q7N和Q8P之通道電阻大很多之電阻值，而且具有彼此相同之電阻值。下面將說明其有關之動作。

這時，以R表示電阻性元件R5和R6之電阻值，以I表示從第3電源節點5流向第4電源節點6之電流。以Vx表示節點7上之電壓，則可以獲得下式。

$$VCC + VTN - Vx = I \cdot R + VTN$$

$$Vx + |VTP| = |VTP| + I \cdot R \quad \cdots\cdots\cdots (4)$$

由式（4）可以獲得式（5）。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(25)

$$I \cdot R = Vx \quad \ldots\ldots\ldots(5)$$

將式(5)代入式(1)和進行整理，可以獲得下列之式(6)。

$$Vx = VCC/2 \quad \ldots\ldots(6)$$

利用式(6)，內部節點1上之電壓V1和內部節點2上之電壓V2分別以下式表示。

$$V1 = VCC/2 + VTN$$

$$V2 = VCC/2 - |VTP|$$

MOS電晶體Q5和Q6以閘極分別接受電壓V1和V2，以源極隨耦器模態進行動作。因此，在該輸出節點3輸出VCC/2之位準之電壓。

在該圖5所示之構造中，被包含在輸出電路OUT之MOS電晶體Q5和Q6之各個閘極一源極間之電壓大致等於其本身之臨界值電壓之絕對值，以ON狀態和OFF狀態之境界區域進行動作，在該輸出電路OUT中大致不會有電流從電源節點4a流向接地節點4b。在電壓產生部VGA中有2個二極體連接之MOS電晶體形成串聯連接。但是，第3電源節點5上之電壓VPP和第4電源節點6上之電壓VBB之差為VCC－VTN＋|VTP|。因此，在理論上，即使電源電壓VCC接近0V之值時，MOS電晶體Q7N和Q8P亦均變成導通狀態、在MOS電晶體Q7N和Q8P，經由電阻性元件R5和R6具有微小電流流動，該等MOS電晶體Q7N和Q8P以二極體模態進行動作。因此，即使在電源電壓VCC之電壓位準變低之情況時，亦可以確實的產生所希望之電壓位準之電壓。

因此，在圖5所不之構造中，可以以低消耗電力穩定的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(26)

產生所希望之電壓位準之電壓VO，可以實現電源電壓VCC之動作範圍寬廣之電壓產生電路0

[實施態樣6]

圖6表示本發明之實施態樣6之電壓產生電路之構造。在圖6中，電壓產生部VGA包含有：高電阻之電阻性元件R5，被連接在第3電源節點5和節點1之間；p通道MOS電晶體Q7P，被連接在節點1和節點7之間，形成二極體連接；n通道MOS電晶體Q8N，被連接在節點7和節點2之間，形成二極體連接；和高電阻之電阻性元件R6，被連接在節點2和第4電源節點6之間。施加到第3電源節點5之電壓VPP被設定在VCC+|VTP|之電壓位準。施加到第4電源節點6之電壓VBB就設定在一VTN之電壓位準。VTP和VIN分別表示MOS電晶體Q7P和Q8N之臨界值電壓。節點1上之電壓施加到被包含在輸出電路OUT之MOS電晶體Q5之閘極。節點2上之電壓施加到被包含在輸出電路OUT之p通道MOS電晶體Q6之閘極。下面將說明其有關之動作。

電阻元件R5和R6之電阻值彼此相等，以R表示，該電阻值R是比MOS電晶體Q7P和Q8N之通道電阻高很多之值。在這種情況時，MOS電晶體Q7P和Q8N以二極體模態進行動作，分別產生臨界值電壓之絕對值之電壓降。利用第3電源節點5和節點7之間之電壓，可以獲得下式。

$$VCC+|VTP|-Vx=1\cdot R+|VTP|$$

其中，Vx表示節點7上之電壓。另外，節點7和第4電源節點6之間之電壓以下式表示。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（27）

$$Vx + VTN = 2 \cdot R + VTN$$

由上2式可以獲得

$$Vx = VCC/2$$

。因此，節點1上之電壓V1和節點2上之電壓V2分別以下式表示。

$$V1 = VCC/2 + |VTP|$$

$$V2 = VCC/2 - VTN$$

在輸出電路OUT中，MOS電晶體Q5從第1電源節點4a將下式所示之電壓傳達到輸出節點3。

$$VCC/2 + |VTP| - VTN$$

另外一方面，輸出電路OUT之MOS電晶體Q6使輸出節點3放電到下式所示之電壓位準。

$$VCC/2 - VTN + |VTP|$$

因此，輸出節點3上之電壓V0以下式表示。

$$V0 = VCC/2 + |VTP| - VTN$$

在該圖6所示之構造中，因為VTN和|VTP|之值大致相等，所以來自輸出節點3之電壓V0變成大致為VCC/2。

在該圖6所示之構造中，將施加到輸出節點3之電壓V0（以接地電壓作為基準）之值之2倍以上之電壓施加到第3電源節點5。

$$VCC + |VTP| - VCC - 2|VTP| + 2 \cdot VTN$$

$$= 2 \cdot VTN - |VTP| > 0$$

在電壓產生部VGA中，二極體連接之MOS電晶體以2個形成串聯連接。第3電源節點5和4電源節點6之電壓分別變化

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（28）

了臨界值電壓部份，所以與第5實施態樣之電壓產生電路同樣的，即使電源電壓VCC為極低之值時，MOS電晶體Q7和Q8N亦可以變成ON狀態，藉以在節點1和2確實的產生所希望之電壓位準之電壓。另外，在輸出電路OUT中，MOS電晶體Q5和Q6，其閘極—源極間電壓大致等於本身之臨界值電壓之絕對值，以ON狀態和OFF狀態之境界區域進行動作，而且以推挽態樣進行動作，所以大致不會產生有貫通電流從電源節點4a流向接地節點4b。因此，在該圖6所示之電壓產生電路中，可以以低消耗電流穩定的產生所希望之電壓位準之電壓，可以獲得電源電壓VCC之動作範圍寬廣之電壓產生電路。

另外，在實施態樣5和6中，電阻性元件，R5和R6亦可以由具有大通道電阻之MOS電晶體構成。

[實施態樣7]

圖7表示本發明之實施態樣7之電壓產生電路之構造。在圖7中，電壓產生電路VGB包含有：電壓產生部VGBa，利用第3電源節點5上之電壓VPP和第4電源節點6上之電壓VBB，分別將第3和第4電壓輸出到節點8和節點9；電壓產生部VGBb，利用第3電源節點5上之電壓VPP和第4電源節點6上之電壓VBB產生第5電壓，然後將其輸出到節點10上；電壓產生部VGBc，用來接受第3電源節點5上之電壓VPP和接地節點4b上之電壓，依照來自電壓產生部VGBa和VGBb之第3和第5電壓，產生第1電壓，然後將其輸出到被包含在輸出電路OUT之MOS電晶體Q5之閘極；和電壓產生部VGBd，被連

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（29）

接在電源節點4a和第4電源節點6之間，依照來自電壓產生部VGBa和VGBb之第4和第5電壓，產生第2電壓，然後將其輸出到被包含在輸出電路OUT之MOS電晶體Q6之閘極。輸出電路OUT，與先前之第1～第6實施態樣同樣的，包含有n通道MOS電晶體Q5和p通道電晶體Q6。

電壓產生部VGBa包含有；高電阻之電阻性元件R5，被連接在第3電源節點5和節點8之間；n通道MOS電晶體Q9N和Q7N，分別形成二極體連接，互相串聯的被連接在節點8和節點7之間；p通道MOS電晶體Q8P和Q10P，分別形成二極體連接，互相串聯的被連接在節點7和節點9之間；和高電阻之電阻性元件R6，被連接在節點9和第4電源節點6之間。電阻性元件R5和R6之電阻值分別被設定成為比MOS電晶體Q7N，Q8P，Q9N和Q10P之通道電阻大很多之值。

電壓產生部VGB6包含有被串聯連接在第3電源節點5和節點10之間之高電阻之電阻性元件R7，n通道MOS電晶體Q13N及p通道MOS電晶體Q11P。MOS電晶體Q13N和Q11P分別形成二極體連接，從第3電源節點5朝向節點10產生等於臨界值電壓之絕對值之電壓降。

電壓產部VGBb更包含有被串聯連接在節點10和第4電源節點6之間之n通道MOS電晶體Q12N，p通道MOS電晶體Q14P及高電阻之電阻性元件R8。MOS電晶體Q12N和Q14P分別形成二極體連接，從節點10朝向第4電源節點6分別產生臨界值電壓之絕對值部份之電壓降。

電壓產生部VGBc包含有：n通道MOS電晶體Q15，被連接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(30)

在第3電源節點5和節點1之間，以其閘極接受來自電壓產生部VGBa之產生在節點8上之第3電壓；和p通道MOS電晶體Q16，被連接在節點1和接地節點4b之間，以其閘極接受產生在電壓產生部VGBb之節點10上之第電壓。電壓產生部VGBd包含有：n通道MOS電晶體Q17，被連接在電源節點4a和節點2之間，其閘極被連接在電壓產生部VGBb之節點10；和P通道MOS電晶體Q18，被連接在節點2和第4電源節點6之間，以其閘極接收來自電壓產生部VGBa之產生在節點9上之第4電壓。節點1被連接到輸出電路OUT之n通道MOS電晶體Q5之閘極，節點2被連接到輸出電路OUT之p通道MOS電晶體Q6。下面將說明其有關之動作。

施加到第3電源節點5之電壓VPP被設定在VCC＋2·VTN之電壓位準，第4電源節點6上之電壓VBB被設定在－2|VTP|之電壓位準。電阻性元件R5和R6之電阻值比被包含在該路徑之MOS電晶體之通道電阻大很多，MOS電晶體Q7N，Q8P，Q9N和Q10P以二極體模態進行動作，分別產生臨界值之絕對值之電壓降。電阻性元件R5和R6之電阻值均等於R，當有電流I在該電壓產生部VGBa中流動時，節點7和第3電源節點5之間之電壓可以以下式表示。

$$VCC+2\cdot VTN-Vx=I\cdot R+VTN+|VTP|$$

其中，Vx表示節點7上之電壓。另外一方面，節點7和第4電源節點6之間之電壓可以以下式表示。

$$Vx+2|VTP|=2|VTP|+I\cdot R$$

當消去上式中之I·R項時，節點7上之電壓Vx變成以下

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（31）

式表示。

$Vx = VCC/2$

因此，節點8上之電壓V8和節點9上之電壓V9分別如下式所示。

$V8 = VCC/2 + 2 \cdot VTN$ .....(7)

$V9 = VCC/2 - 2 | VTP |$ .....(8)

在電壓產生電路或電壓產生部VGBb中，電阻性元件R7和R8之電阻值被設定成為比被包含在該路徑之MOS電晶體之通道電阻大很多之值。另外，電阻性元件R7和R8之電阻值彼此相等，以R表示，當流經該路徑之電流以I表示時，與電壓產生部VGBa同樣的，以Vy表示節點10上之電壓時，可以獲得下式。

$VCC + 2 \cdot VTN - Vy = I \cdot R + VTN + | VTP |$

$Vy + 2 | VTP | = VTN + | VTP | + I \cdot R$

當從該2式中消去$I \cdot R$項時，可以獲得下式。

$Vy = VCC/2 + VTN - | VTP |$ .....(9)

在電壓產生部VGBc中，因為MOS電晶體Q15之閘極電位低於吸極電位（第3電源節點5之電位），所以MOS電晶體Q15以源極隨耦器模態進行動作。因此，節點1之電壓經由MOS電晶體Q15被充電到$VCC/2 + VTN$之位準。當節點1之電壓高於該電壓位準時，式(9)所示之電壓Vy和節點1上之電壓V1之差變成大於MOS電晶體Q16之臨界值電壓之絕對值，MOS電晶體Q16變成ON狀態，用來使節點1之電位降低。MOS電晶體Q16使該節點1之電壓V1放電到$VCC/2 + VTN$之位準。因此

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（32）

，節點1之電壓V1可以以下式表示。

$$V1 = VCC/2 + VTN$$

同樣的，在電壓產生部VGBd，其MOS電晶體Q17以源極隨耦器模態進行動作，將節點2之電位充電到$VCC/2 - |VTP|$之電位位準。當比該電壓位準高時，MOS電晶體Q18就變成ON狀態，使節點2之電位放電到$VCC/2 - |VTP|$之位準。因此，節點2之電壓V2可以以下式表示。

$$V2 = VCC/2 - |VTP|$$

在輸出電路OUT中，MOS電晶體Q5和Q6以源極隨耦器模態進行動作。因此，輸出節點3上之電壓VO變成VCC/2之電壓位準。在輸出電路OUT中，MOS電晶體Q5和Q6之閘極－源極間之電壓分別等於臨界值電壓之絕對值，以ON狀態和OFF狀態之境界區域進行動作。因此，消耗電流很小，而且假如輸出節點3上之電壓上升時，MOS電晶體Q6就變成ON狀態，另外，當該輸出節點3上之電壓VO下降時，MOS電晶體Q5就變成ON狀態。因此，可以以低消耗電流穩定的輸出VCC/2位準之電壓VO。

在電壓產生部VGBc和VGBd中，各個MOS電晶體Q15～Q18以ON狀態和OFF狀態之境界區域進行動作，在穩定時其消耗電流極小。另外，在MOS電晶體Q15和Q16，因為一方變成ON狀態時另外一方就變成OFF狀態，依此方式進行推挽動作，所以可以將MOS電晶體Q5之電壓位準穩定的維持在指定之電壓位準。同樣的，因為MOS電晶體Q17和Q18亦進行推挽動作，所以可以將MOS電晶體Q6之閘極電位穩定的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(33)

維持在指定之位準。

從該電壓產生電路輸出之電壓VO，在被利用作DRAM之位元線預充電電壓VBL或單元板電壓VCP之情況時，由於位元線電容或單元板電容，所以在輸出節點3會存在有很大之寄生電容。為著要以高速對該大寄生電容進行充電和使其維持在指定之電壓位準，所以使輸出電路OUT之MOS電晶體Q5和Q6之大小（通道寬度W或通道寬度W與通道長度L之比）變大。因此，MOS電晶體Q5和Q6之閘極電容量變成相當之值。在經由具有大電阻值之電阻對此種大閘極電容進行充電之情況，當其電位之上升時，由於電阻和閘極電容而產生RC延遲，因此會使MOS電晶體Q5和Q6之閘極電位之上升變慢。亦即，在電源加入時，MOS電晶體Q5和Q6之電位需要長時間才能穩定在指定之電位位準，在電源加入後需要長時間才能使DRAM成為動作狀態，在電源加入後不能以高速使DRAM成為動作狀態為其問題。

但是，如圖7所示，利用MOS電晶體Q15～Q18驅動該輸出電路OUT之MOS電晶體Q5和Q6之閘極，可以消除該電位上升變慢之問題，其方式如下所述。亦即，MOS電晶體Q15～Q18只需要驅動MOS電晶體Q5和Q6之閘極電容，當與位元線電容和單元板電容比較時，該等MOS電晶體Q5和Q6之閘極電容很小。因此，可以使MOS電晶體Q15～Q18之大小（通道寬度或通道寬度和通道長度之比）成為MOS電晶體Q5和Q6之1/10至1/100程度之大小。因此，隨著MOS電晶體Q18～Q18之閘極電容之變小，即使經由大電阻值之電阻元件對該等

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（34）

MOS電晶體Q15～Q18之閘極進行充電時，其電位之上升速度可以比經由電阻元件驅動MOS電晶體Q5和Q6之閘極電位者快10至100倍之程度。因此，來自輸出節點3之電壓VO之上升速度可以變快。

因此，使用圖7所示之構造之電壓產生電路，在電源加入後可以以高速產生穩定之電壓VO。另外，在電壓產生部VGBa和VGBb中，第3電源節點5之電壓和第4電源節點6之電壓差可以設定成為VCC＋2・VTN＋2｜VTP｜之大小，各個路徑中之MOS電晶體，即使在電源電壓VCC之值很小之情況時，亦可以確實的變成ON狀態，即使在電源電壓VCC之值很小之情況時，亦可以確實的以二極體模態進行動作，可以產生所需位準之電壓。

另外，在圖7所示之構造中，於電壓產生部VGBb，MOS電晶體Q13N和MOS電晶體Q11P之位置可以互換，另外，MOS電晶體Q12N和MOS電晶體Q14P之位置亦可以互換。

[實施態樣8]

圖8表示本發明之實施態樣8之電壓產生電路之構造。圖8所示之電壓產生電路之構造，除了電壓產生部VGBa之構造外，其他部份均與圖7所示之電壓產生電路之構造相同，其對應之部份以相同之參考符號表示。

在電壓產生部VGBa中，於節點8和節點7之間，串聯連接有形成二極體連接之p通道MOS電晶體Q9P和Q7P。另外，在節點7和節點9之間，串聯連接有形成二極體連接之n通道MOS電晶體Q8N和Q10N。下面將說明其有關之動作。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(35)

電阻性元件R5和R6之電阻值被設定成為比MOS電晶體Q9P、Q7P、Q8N和Q10N之通道電阻高很多之值。因此，該等MOS電晶體產生從第3電源節點5朝向第4電源節點6之臨界值電壓之絕對值之電壓降。這時，假如以I表示在該電壓產生部VGBa流動之電流時，可以求得下列之關係式。

$$VCC + 2 \cdot VTN - Vx = I \cdot R + 2 | VTP |$$

$$Vx + 2 | VTP | = 2 \cdot VTN + I \cdot R$$

當從上2式中消去I·R時，可以獲得下式。

$$Vx = VCC/2 + 2 \cdot VTN - 2 | VTP |$$

因此，節點8上之電壓V8和節點9上之電壓V9分別以下式表示。

$$V8 = VCC/2 + 2 \cdot VTN$$

$$V9 = VCC/2 - 2 | VTP |$$

亦即，節點8和節點9上之電壓V8和V9均具有與圖7所示之電壓產生電路中之節點8和節點9上之電壓相同之電壓位準。因此，即使使用該圖8所示之電路構造，亦可以獲得與第7實施態樣之電壓產生電路相同之作用和效果。

另外，在節點8和節點9之間，假如使2個p通道MOS電晶體和2個n通道MOS電晶體互相串聯的連接和分別形成二極體連接時，則可以獲得同樣之效果，該等MOS電晶體之排列順序可以任意的排列。

[實施態樣9]

圖9表示本發明之實施態樣9之電壓產生電路之構造。該圖9所示之電壓產生電路，除了電壓產生部VGBb之構造，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(36)

施加到第3電源節點5之電壓VPP之電壓位準和施加到第4電源節點6之電壓VBB之電壓位準外，其餘部份均與圖7所示之構造相同，其對應之部份以相同之參考符號表示。

電壓產生部VGBb包含有：高電阻之電阻性元件R9，被連接在第3電源節點5和節點10之間；和高電阻之電阻性元件10，被連接在節點10和第4電源節點6之間。電阻性元件R9和R10具有相同之電阻值。從低消耗電力化之觀點來看，電阻性元件R9和R10最好具有高電阻值。電阻性元件R9和R10亦可以由具有高通道電阻之MOS電晶體所構成。

施加到第3電源節點5之電壓VPP被設定在VCC＋VTN＋|VTP|之電壓位準。施加到第4電源節點6之電壓VBB被設定在－(|VTP|＋VTN)之電壓位準。VTN表示被包含在該電壓產生部份VGBa之n通道MOS電晶體之臨界值電壓之絕對值，VTN表示被包含在該電壓產生部VGBa之MOS電晶體之臨界值電壓。下面將說明其有關之動作。

電阻性元件R9和R10具有相同之電阻值，節點10上之電壓Vy被設定在

$$(VPP + VBB)/2 = VCC/2$$

之電壓位準。對於電壓產生部VGBa，當以Vx表示節點7上之電壓時，則可以獲得下式。

$$VCC + VTN + |VTP| - Vx = 2 \cdot VTN + I \cdot R$$

$$Vx + VTN + |VTP| = 2|VTP| + I \cdot R$$

由上述2式消去I·R項時，可以獲得下式。

$$Vx = VCC/2 + |VTP| - VTN$$

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(37)

因此，節點8上之電壓V8和節點9上之電壓V9分別以下式表示。

$$V8 = Vx + 2 \cdot VTN = VCC/2 + |VTP| + VTN$$

$$V9 = Vx - 2|VTP| = VCC/2 - |VTP| - VTN$$

因此，從電壓產生部VGBc之節點1輸出下式所示之電壓V1。

$$V1 = VCC/2 + |VTP|$$

另外，從電壓產生部VGBb之節點2輸出下式所示之電壓V2。

$$V2 = VCC/2 - VTN$$

因此，從輸出電路OUT輸出下式所示之電壓VO。

$$VO = VCC/2 + |VTP| - VTN$$

因為VTN大致等於|VTP|，所以來自該輸出節點3之電壓VO大致變成VCC/2之電壓位準。

在該圖9所示之構造中，於電壓產生部VGBb，因為未設有MOS電晶體，所以當與先前之第7和第8實施態樣之構造比較時，其構成元件之數目可以減少。在圖9所示之構造中，於電壓產生部VGBa，其第3電源節點5上之電壓VPP和第4電源節點6上之電壓VBB之差可以用下式表示。

$$VPP - VBB = VCC + 2 \cdot VTN + 2|VTP|$$

因此，在該電壓產生部VGBa中，即使有2個n通道MOS電晶體和2個p通道MOS電晶體形成串聯連接時，亦可以確實的使該等MOS電晶體變成ON狀態，即使在低電源電壓VCC之情況時，亦可以確實的產生所希望之電壓位準之電壓。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（38）

另外，因為MOS電晶體Q15之吸極被連接到第3電源節點，和MOS電晶體Q18之吸極被連接到第4電源節點6，所以可以該等MOS電晶體Q15和Q18確實的以源極隨耦器模態進行動作（該源極隨耦器模態將於後面詳細說明）。

另外，在該圖9所示之構造中，如下所示，第3電源節點5上之電壓VPP對輸出節點3上之電壓VO，具有VPP＞2・VO之關係。

$$VPP - 2 \cdot VO = 3 \cdot VTN - |VTP| > 0$$

如上所述，在本實施態樣9之電壓產生電路中，所獲得之電壓產生電路可以以低消耗電力在電源電壓VCC之寬廣範圍內穩定的產生所希望之電壓位準。另外，電源加入後，可以以高速將電壓VO設定在指定之電壓位準。

[實施態樣10]

圖10表示本發明之實施態樣10之電壓產生電路之構造。圖10所示之電壓產生電路，除了以下之構造外，其他部份之構造均與圖9所示之電壓產生電路相同。在圖10所示之電壓產生部VGBa中，於節點8和節點7之間串聯連接有分別形成二極體連接之p通道MOS電晶體Q9P和Q7P，和在節點7和節點9之間串聯連接有分別形成二極體連接之n通道MOS電晶體Q8N和Q10N。

下面將說明其有關之動作。電阻性元件R5和R6之電阻值以R表示，該電阻值R被設定成比MOS電晶體Q7P、Q8N、Q9P和Q10N之通道電阻大很多。假如以I表示在該電壓產生部VGBa中流動之電流時，則可以獲得下列之關係式。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（39）

$$VPP - Vx = VCC + VTN + |VTP| - Vx$$
$$= I \cdot R - 2|VTP|$$
$$Vx - VBB = Vx + |VTP| + VTN$$
$$= 2|VTP| + I \cdot R$$

從上2式中消去I·R項時，可以獲得下式。

$$Vx = VCC/2 + VTN - |VTP|$$

因此，節點8和節點9上之電壓V8和V9分別以下式表示。

$$V8 = Vx + 2|VTP| = VCC/2 + VTN + |VTP|$$
$$V9 = Vx - 2|VTP| = VCC/2 - |VTP| - VTN$$

該節點8和9上之電壓V8和V9，與圖9所示之電壓產生電路中之節點8和節點9之電壓具有相同之值。因此，使用該圖10所示之電路構造時，亦可以實現與圖9所示之電壓產生電路相同之動作，可以獲得相同之效果。

另外，在該電壓產生部VGBa中，於節點8和節點9之間，假如串聯連接2個形成二極體連接之p通道MOS電晶體和2個形成二極體連接之n通道MOS電晶體時，亦可以獲得同樣之效果。

[實施態樣11]

圖11表示本發明之實施態樣11之電壓產生電路之構造。在圖11所示之電壓產生電路中，未設有用以產生第5電壓Vy之電壓產生部VGBb。亦即，電壓產生部VGBa亦產生該第5電壓。該電壓產生部VGBa包含有：高電阻之電阻性元件R5，被連接在第3電源節點5和節點8之間；n通道MOS電晶體Q9N和p通道MOS電晶體Q7P，分別形成二極體連接，被串

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

聯連接在節點8和節點7之間；n通道MOS電晶體Q8N和p通道MOS電晶體Q10P，分別形成二極體連接，被串聯連接在節點7和節點9之間；和高電阻之電阻性元件R6，被連接在節點9和第4電源節點6之間。

電阻性元件R5和R6具有比MOS電晶體Q7P、Q8N、Q9N和Q10P之通道電阻大很多之電阻值。由電壓產生部VGBc和VGBd所形成之輸出電路OUT之構造，與先前之第7至第10實施態樣之電壓產生電路之構造相同，其對應之部份以相同之參考號碼表示。施加在第3電源節點5之電壓VPP具有VCC＋VTN＋｜VTP｜之電壓位準，施加到第4電源節點6之電壓VBB具有－（｜VTP｜＋VTN）之電壓位準。下面將說明其有關之動作。

電阻性元件R5和R6均具有電阻值R，在該電壓產生部VGBa中假定有電流I從第3電源節點5流向第4電源節點6。當節點7上之電壓為Vx時，則可以獲得以下所示之關係。

$$VPP - Vx = VCC + VTN + |VTP| - Vx$$
$$= I \cdot R + VTN + |VTP|$$

$$Vx - VBB = Vx + |VPP| + VTN$$
$$= VTN + |VTP| + I \cdot R$$

當從上述之2式中消去I·R項時，可以獲得下式。

$$Vx = VCC/2$$

因此，節點8上之電壓V8和節點9上之電壓V9分別以下式表示。

$$V8 = VCC/2 + |VTP| + VTN$$

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（41）

$V9 = VCC/2 - |VTP| - VTN$

MOS電晶體Q15和Q17分別以源極隨耦器模態進行動作，來自節點1和節點2之電壓V1和V2分別以下式表示。

$V1 = VCC/2 + |VTP|$

$V2 = VCC/2 - VTN$

節點1上之電壓V1是當其電壓位準上升時，p通道MOS電晶體Q16變成ON狀態，因而使節點1上之電壓V1之電壓位準降低。該MOS電晶體Q16能夠進行放電之電壓位準為$VCC/2 + |VTP|$。

另外，依同樣之方式，當節點2上之電壓V2之電壓位準上升時，MOS電晶體Q18進行動作，節點2上之電壓V2進行放電，直至變成$VCC/2 - VTN$之電壓。

因此，節點1和2上之電壓V1和V2分別被保持在下式所示之電壓位準。

$V1 = VCC/2 + |VTP|$

$V2 = VCC/2 - VTN$

在輸出電路OUT中，因為MOS電晶體Q5和Q6以源極隨耦器模態進行動作，所以輸出節點3上之電壓V0以下式表示

$V0 = VCC/2 + |VTP| - VTN$

因此，即使使用該圖11所示之電路構造時，因為電壓產生部VGBc、VGBd和輸出電路OUT分別以推挽態樣進行動作，所以可以穩定的以低消耗電流產生指定之電壓位準之電壓。

另外，在電壓產生部VGBa，第3電源節點5上之電壓VPP

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(42)

和第4電源節點6上之電壓VBB之差被設定成為比電源電壓VCC高了被包含在該電壓產生部VGBa之MOS電晶體之臨界值電壓之絕對值之和之部份。因此，即使在電源電壓VCC之電壓位準降低之情況時，亦可以確實的將被包含在該電壓產生部VGBa之MOS電晶體全部設定成ON狀態，在低電源電壓條件時，亦可以穩定的產生指定之電壓位準之第3至第5電壓。

另外，電壓產生部VGBa亦可以產生第5電壓，所以不需要設置用以產生第5電壓之電壓產生部VGBb，因此不會有該電壓產生部VGBb之消耗電流及佔用面積，所以能夠實現低消耗電流和佔用面積之電壓產生電路。

另外，在該圖11所示之構造中，MOS電晶體Q9N和MOS電晶體Q7P之位置可以互換，另外，MOS電晶體Q8N和MOS電晶體Q10P之位置亦可以互換。

[其他之實施態樣]

從該電壓產生電路VGB輸出之電壓VO具有電源電壓VCC之大約一半之電壓位準。這種方式在使用上很方便，DRAM中之實際需要之電壓值是電壓VH和VL(相當於被記憶在記憶單元電容器之儲存節點之"1"狀態和"0"狀態)之中間值(VH+VL)／2或讀出記憶單元之資料時之位元線之電壓(字線選擇時之位元線之電壓)。下面將說明其詳情。

如圖12(A)所示，以記憶單元電容器Cs之儲存節點被連接在位元線BL之狀態來說明。在記憶單元電容器Cs之單元板電極被施加有單元板電壓VCP。在位元線BL存在有寄生

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(43)

電容Cb。位元線BL被預定電成電壓VBL。當記憶單元電容器Cs之儲存節點記憶有"1"之電壓時，在記憶單元之選擇時，如圖12(B)所示，位元線BL之電位上升△Vh。另外一方面，在記憶單元電容器Cs之儲存節點收納有"0"之電壓之情況時，位元線BL之電位就如圖12(B)所示的從該預充電電位VBL降低△V1。以下將該讀出電壓△Vh和△V1視為相同。

記憶單元電容器Cs之"1"狀態之電壓以VH表示，對應到"0"狀態之電壓以VL表示。資訊"1"之記憶狀態和資訊"0"之記憶狀態之記憶單元電容器Cs之儲存節點之儲存電荷分別以下列之式(10)和式(11)表示。

"1"：Q＝Cs・(VH－VCP)　.....(10)

"0"：Q＝Cs・(VL－VCP)　.....(11)

假如讀出電壓△Vh和△V1之大小有不同時，對於感測放大器之"1"資料和"0"資料之邊際會變成不同，因此感測放大器之動作邊際依照較低之一方之讀出電壓位準來決定，用來使感測邊際降低。為著要使該讀出電壓之大小△Vh和△V1相等，所以要求上式(0)和(11)所示之儲存電荷量要大小相等而且符號相反。

亦即，Cs・(VH－VCP)＋Cs・(VL－VCP)＝0

使上式進行變形時，可以獲得式(12)。

VCP＝(VH＋VL)/2　.....(12)

亦即，要求單元板電壓VCP成為對應到該"1"資訊記憶狀態之電壓VH和對應到該"0"資訊記憶狀態之電壓VL之中間

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

值。

對於位元線電位BL，同樣的被要求要為該電壓VH和VL之中間值。即使產生相同大小之讀出電壓△Vh和△V1，在位元線電位BL偏離電壓VH和VL之中間值之情況時，因為"1"資料讀出時和"0"資料讀出時之位元線電位不同，所以感測邊際進行下降。因此，該等位元線預充電電壓VBL和單元板電壓VCP被設定成為對應到被儲存於記憶單元電容器Cs之儲存節點之"1"資訊記憶狀態之電壓VH和對應到"0"資訊記憶狀態之電壓VL之中間值。該電壓產生電路VGB所產生之電壓VO因而大約成為電源電壓之一半，亦即對應到電壓VH和VL之中間值，或是位元線BL之字線選擇時之電壓位準。

圖13用來說明MOS電晶體之源極隨耦器模態之動作。圖13(A)表示n通道MOS電晶體，圖13(B)表示p通道MOS電晶體。

如圖13(A)所示，在n通道MOS電晶體NQ以源極隨耦器模態進行動作之情況時，在其閘極G之電壓Vg和源極S之電壓Vs之間，可以使下式所示之關係成立。

$$Vs = Vg - VTN$$

但是，n通道MOS電晶體NQ必需在飽和區域進行動作，所以施加到吸極D之電壓Vd需要滿足以下之關係式。

$$Vd \geqq Vg - VTN$$

只要能夠滿足上述之不等式，該吸極D之電壓Vd可以成為任意之值。因此，在先前之實施態樣中，被包含在輸出電路OUT之輸出節點充電用之MOS電晶體Q5之吸極，不接受

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(45)

電源節點4a所結合之電源電壓VCC。只要在VCC±△VCC之範圍之電壓(要求在飽和區域進行動作)即可。例如，在內部使外部電源電壓EXTVCC進行降壓藉以產生內部電源電壓INTVCC之DRAM，其MOS電晶體Q5之吸極可以用來接受外部電源電壓EXTVCC。在這種情況時，電壓產生部VGB產生以內部動作電源電壓INTVCC作為基準之電壓。該吸極電壓與其他被包含在電壓產生部VGBc和VGBd(以源極隨耦器模態進行動作)之MOS電晶體Q15和Q17者相同。

如圖13(B)所示，當p通道MOS電晶體PQ以源極隨耦器模態進行動作時，該閘極G之電壓Vg和源極S之電壓Vs亦可以成立與n通道MOS電晶體NQ者同樣之關係。

$$Vs = Vg - VTP = Vg + |VTP|$$

因為要求要在飽和區域進行動作，所以在p通道MOS電晶體，其吸極D之電壓Vd和閘極電壓Vg可以成立以下之關係式。

$$Vd \leqq Vg - VTP = Vg + |VTP|$$

其中，VTP是p通道MOS電晶體PQ之臨界值電壓，具有負值。n通道MOS電晶體NQ之臨界值電壓VTN具有正值。

在該p通道MOS電晶體PQ中，只要能夠保證在飽和區域進行動作，該吸極電壓Vd可以為任意之值。因此，被包含在輸出電路OUT之MOS電晶體Q6之吸極不一定要設定在接地電壓VSS，只要能夠保證進行飽和區域之動作，亦可接受0±△VSS之範圍之電壓。該吸極電壓與被包含在電壓產生部VGBc和VGBd之MOS電晶體Q16和Q18之吸極電壓相同。

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(46)

亦即，以源極隨耦器進行動作之MOS電晶體之源極電壓Vs之決定只依照閘極電壓Vg和臨界值電壓VTN或VTP之值，而與吸極電壓Vd之值無關（以保證在飽和區域進行作為前提）。因此，在接地節點4b亦可以構成被施加第4電源節點6上之電壓之方式。

[施加至第3電源節點之電壓之產生電路1]

圖14(A)表示施加至第3電源節點之電壓VPP之產生所使用之構造，圖14(B)表示其動作波形。在圖14(A)中，VPP產生電路包含有：二極體元件D1～D4，被串聯連接在電源節點4a和第3電源節點5之間；穩定化電容CL1，用來使第3電源節點5之電壓穩定化；和n通道MOS電晶體Q50，被連接在第3電源節點5和電源節點4a之間，以二極體模態進行動作。二極體元件D1和D4從電源節點4a朝向第3電源節點5被順向的排列。VPP產生電路更包含有：升壓電容C1，被連接在時鐘信號輸入節點60和連接節點50(位於二極體元件D1和D2之間)之間；升壓電容C2，被連接在時鐘信號輸入節點61和連接節點51(位於二極體元件D2和D3之間)之間；和升壓電容C3，被連接在時鐘信號輸入節點60和連接節點52(位於二極體元件P3和D4之間)之間。在時鐘信號輸入節點60和61分別被施加有互補之時鐘信號ϕ和/ϕ。該時鐘信號ϕ和/ϕ在0V和電源電壓VCC之間進行振動。下面將參照圖14(B)說明其有關之動作。

當時鐘信號ϕ為高位準，時鐘信號/ϕ為低位準時，節點50和52之電位由於升壓電容C1和C3之充電泵動作而使其

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(17)

電位上升。另外一方面，節點51之電位由於升壓電容C2之充電泵動作而使其電位下降。二極體元件接受來自電源節點4a之電源電壓VCC，將節點50預充電到VCC－VF之電位。其中，VF為二極體元件D1～D4之順向電壓降。因此，當時鐘信號上升到高位準時，該節點50之電位就經由升壓電容C1之充電泵動作上升到2·VCC－VF之電壓位準。該節點50之電荷經由二極體元件D2傳達到節點51，使節點51之電位進行上升。當節點50之電位和節點51之電位之差變成VF時，二極體元件D2就變成OFF狀態。這時，二極體元件D3為OFF狀態，當節點52之電位上升時，經由二極體元件D4將電荷供給到穩定化電容CL1，用來使節點5之電位上升。

當時鐘信號φ下降到低位準和時鐘信號/φ上升到高位準時，節點50和52之電位進行下降，節點51之電位進行上升。在此種狀態，二極體元件D3變成ON狀態，從節點51將電荷注入到節點52，用來使節點52之電位進行上升。因此，經由重複該動作，在穩定狀態時，節點50之電位在VCC－VF和2·VCC－VF之間變化。節點51因為從節點50經由二極體元件D2被預充電，所以其電位在2·VCC－2·VF和3·VCC－2·VF之間變化。節點52因為從節點51經由二極體元件D3被預充電，所以其電位在3·VCC－3·VF和4·VCC－3·VF之間變化。因此，從二極體元件D4產生作為最大可產生電壓VPP'之4(VCC-VF)之電壓。MOS電晶體Q50被連接在第3電源節點5和電源節點4a之間，使第3電源節點5之電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(18)

壓VPP和電源節點4a之電源電壓VCC之差維持在其臨界值電壓VTN。因此，施加到第3電源節點5之電壓VPP變成為

VPP＝VCC＋VTN

。在將該n通道MOS電晶體Q50當作定電位電晶體使用藉以產生高於電源電壓VCC之電壓VPP之情況時，由二極體元件D4～D4和升壓電容C1～C3所構成之充電泵電路需要產生高於電壓VPP之電壓VPP'。

圖15用來表示電源電壓VCC和電壓VPP及VPP'之關係，橫軸表示電源電壓VCC，縱軸表示電壓VPP和VPP'。利用MOS電晶體Q50之定電位動作，用來產生所需要之位準之電壓VPP，這時要VPP≦VPP'。亦即，

VPP'≧VPP＝VCC＋VTN

亦即，要求滿足

4(VCC－VF)≧VCC＋VTN

VCC≧(4VF＋VTN)/3

之關係。這時，二極體元件D1～D4之順向電壓降之電壓VF為0.7V，n通道MOS電晶體Q50之臨界值電壓VTN為0.8V，則可以使下式成立。

VCC≧(2.8＋0.8)/3＝1.2V

亦即，假如電源電壓VCC在1.2V以上時，就可以產生所需要之電壓位準之電壓VPP。換言之，電源電壓VCC可以降低到1.2V。

[VPP產生電路2]

圖16表示VPP產生電路之其他之構造。在圖16中，VPP產

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(49)

生電路包含有：VPP'產生部100，依照電源電壓VCC和時鐘信號φ和/φ，用來產生電壓VPP'；和n通道MOS電晶體50和p通道MOS電晶體Q51，串聯連接在第3電源節點5和電源節點4a之間。MOS電晶體Q50和Q51分別形成二極體連接。VPP'產生部100包含有圖14所示之二極體元件D1～D4，升壓電容C1～C3和穩定化電容CL1。在該圖16所示之構造中，第3電源節點5之電壓VPP之電壓位準可以用下式表示。

VPP＝VCC＋VTN＋｜VTP｜

其中，VTN和VTP分別表示MOS電晶體Q50和Q51之臨界值電壓。

[VPP產生電路3]

圖17表示VPP產生電路之更其他之構造。在圖17中，VPP產生電路包含有：VPP'產生部100；和p通道MOS電晶體Q51，被連接在第3電源節點5和電源節點4a之間。在MOS電晶體Q51，其閘極和吸極被連接到電源節點4a，其源極被連接到第3電源節點5。當第3電源節點5上之電壓VPP高於VCC＋｜VTP｜時，MOS電晶體Q51就變成ON狀態，用來使電壓VPP之電壓位準降低。利用該MOS電晶體Q51之定電位功能，從第3電源節點5輸出下式所示之電壓位準之電壓VPP。

VPP＝VCC＋｜VTP｜

其中，VTP表示MOS電晶體Q51之臨界值電壓。

要產生電壓VPP＝VCC＋2VTN時，可以使用2個串聯連接之n通道MOS電晶體（分別形成二極體連接）。

[VBB產生電路1]

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(50)

圖18表示施加到第4電源節點之電壓VBB之產生電路之構造。在圖18中，VBB產生電路包含有：二極體元件D11～D14，被串聯連接在第4電源節點6和接地節點4b之間；充電泵電容C11，被連接在連接節點70(位於二極體D11和D12之間)和時鐘信號輸入節點60之間；充電泵電容C12，被連接在連接節點71(位於二極體D12和D13之間)和時鐘信號輸入節點61之間；和充電泵電容C13，被連接在連接節點72(位於二極體D13和D14之間)和時鐘信號輸入節點60之間。二極體元件D11～D14從第4電源節點6朝向接地節點4b被順向的連接。時鐘信號輸入節點60和61分別被施加有互補之時鐘信號ϕ和/ϕ。

VBB產生電路更包含有：穩定化電容CL2，被連接在第4電源節點6和接地節點4b之間；和p通道MOS電晶體Q60，被連接在第4電源節點6和接地節點4b之間。MOS電晶體Q60之閘極和吸極被連接到第4電源節點6。MOS電晶體Q60具有臨界值電壓VTP，二極體元件D11～D14分別具有順向電壓降VF。下面將參照圖19說明其有關之動作。

時鐘信號中和/ϕ在接地電壓0V和電源電位VCC之間進行變化。當施加到時鐘信號輸入節點60之時鐘信號ϕ上升到高位準時，施加到時鐘信號輸入節點61之時鐘信號/ϕ就下降到低位準。節點70，在回應該時鐘信號ϕ之上升時，經由充電泵電容C11使其電位進行上升，然後經由二極體元件D11放電到VF之位準。節點71，在回應時鐘信號ϕ之下降時，經由充電泵電容C12使其電位降低，用來使二極

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（51）

體元件D12變成OFF狀態。另外一方面，節點72之電位在回應時鐘信號ϕ之上升時，利用充電泵電容C13之充電泵動作使其電位上升，所以二極體元件D13變成導通，使電荷從節點72經由二極體元件D13朝向節點71移動。當節點71之電位比節點72之電位低了順向電壓降VF時，二極體元件D13就變成OFF狀態。因為節點72之電位高於二極體元件D14之節點之電位，所以二極體元件D14變成OFF狀態。

當時鐘信號ϕ朝向低位準下降，和時鐘信號/ϕ朝向高位準上升時，節點70和節點72之電位經由充電泵電容C11和C13進行下降，另外一方面，節點71之電位經由充電泵電容C12進行上升。在此種狀態，二極體元件D12進行導通，電荷從節點71朝向節點70移動，用來使節點71之電位下降。因為節點72之電位低於節點71之電位，所以二極體元件D13這時成為OFF狀態。因為節點72之電位降低，所以電荷經由二極體元件D14流入到節點72，用來使該二極體元件D14之陽極之電位降低。當二極體元件D14之陽極和陰極之間之電位差變成VF時，二極體元件D14就變成OFF狀態。

在穩定狀態，節點70之電位在VF和VF-VCC之間進行變化。在節點71，當二極體元件D12變成普通時，因為節點70之電位為VF-VCC，所以放電至2．VF-VCC之位準。因此，節點71之電位在2.VF-VCC和2．VF-2．VCC之間進行變化。節點72是在其電位上升時，因為二極體元件D13變成導通，而且這時之節點71之電位為2．VF－2．VCC，所以節點72之電位放電至3．VF－2．VCC之位準。因此，節點72之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(52)

電位在3・VF－2・VCC和3・VF－3・VCC之間進行變化。因此，經由該二極體元件D14施加之最低可到達電位VBB'可用下式表示。

$$VBB' = 3 \cdot VF - 3 \cdot VCC + VF$$

$$= 4 \cdot VF - 3 \cdot VCC$$

在第4電源節點6和接地節點4b之間設有p通道MOS電晶體Q60。當第4電源節點6上之電壓低於VTP，亦即－|VTP|時，該MOS電晶體Q60就變成ON狀態，將電流從接地節點4b供給到第4電源節點6，用來使其電位上升。因此，從該第4電源節點6輸出之電壓VBB之電壓位準以下式表示。

$$VBB = -|VTP|$$

經由設置穩定化電容CL2，則即時在有雜訊產生時，從該穩定化電容CL2供給負電荷或正電荷，可以穩定的使該電壓VBB維持在指定之電壓位準。

為著要使MOS電晶體Q60具有定電位之功能，所以必需要能夠滿足下列之關係式。

$$VBB' \leqq VBB$$

圖20表示電壓VBB和電壓VBB'之關係。在比圖20所示之電壓VBB和VBB'之交點高之電源電壓之區域進行對電壓VBB之定電位。該定電位區域利用圖20以下式求得。

$$-3(VCC - VF) + VF \leqq -|VTP|$$

$$VCC \geqq (4 \cdot VF + |VTP|)/3$$

當　$VF = 0.7V$，$|VTP| = 0.85V$時，

$$VCC \geqq (2.8 + 0.85)/3 \fallingdotseq 1.2V$$

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(53)

利用上式，假如電源電壓VCC在1.2V以上之範圍時，可以利用MOS電晶體Q60來實現定電位動作，藉以產生－|VTP|位準之電壓VBB。換言之，經由使用該圖18所示之充電泵電路，可以使電源電壓VCC降低到1.2V。

[VBB產生電路2]

圖21表示VBB產生電路之其他之構造。在圖21中，VBB產生電路包含有：VBB'產生部110，用來產生電壓VBB'；和n通道MOS電晶體Q60N，被連接在第4電源節點6和接地節點4b之間。在MOS電晶體Q60N，其閘極和吸極被連接到接地節點4b，其源極被連接到第4電源節點6。MOS電晶體60N是在該第4電源節點6上之電壓VBB變成低於－VTN時進行導通，從接地節點4b將電流供給到電源節點6，藉以上升到電壓VBB之電壓位準。因此，該MOS電晶體Q60N將電壓VBB定電位在-VTN之電壓位準。

VBB'產生部110包含有圖18所示之二極體元件D11～D14和充電泵電容C11～C13及穩定化電容C12。利用MOS電晶體Q60N對來自該VBB'產生部110之經由充電泵動作產生之負電壓VBB'進行定電位，藉以產生指定之電壓位準－VTN之電壓VBB。

[VBB產生電路3]

圖22表示VBB產生電路之更其他之構造。在該圖22所示之VBB產生電路中，在第4電源節點6和接地節點4b之間連接有互相串聯之n通道MOS電晶體Q60N和p通道MOS電晶體Q61。MOS電晶體Q60N和Q61形成二極體連接，依照從接地

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（51）

節點4b朝向第4電源節點6之順向，以二極體模態進行動作。VBB'產生部包含有如圖18所示之二極體元件D11～D14和充電泵電容C11～C13及穩定化電容CL2。利用MOS電晶體Q60N和Q61對來自VBB產生部110之經由充電泵動作產生之電壓進行定電位。當在各個閘極和源極間分別產生VTN和｜VTP｜之電壓差時，MOS電晶體Q60N和Q61就變成ON狀態。因此，從第4電源節點6產生之電壓VBB具有以下式表示之電位準。

VBB：－VTN－｜VTP｜

另外，在圖22中，MOS電晶體Q60N和Q61之位置亦可以互換。

要產生VBB＝－2｜VTP｜之電壓時，可以使用具有二個串聯連接之p通道MOS電晶體（分別形成二極體連接）之構造。

[附圖之簡單說明]

圖1表示本發明之實施態樣1之電壓產生電路之構造。

圖2表示本發明之實施態樣2之電壓產生電路之構造。

圖3表示本發明之實施態樣3之電壓產生電路之構造。

圖4表示本發明之實施態樣4之電壓產生電路之構造。

圖5表示本發明之實施態樣5之電壓產生電路之構造。

圖6表示本發明之實施態樣6之電壓產生電路之構造。

圖7表示本發明之實施態樣7之電壓產生電路之構造。

圖8表示本發明之實施態樣8之電壓產生電路之構造。

圖9表示本發明之實施態樣9之電壓產生電路之構造。

圖10表示本發明之實施態樣10之電壓產生電路之構造。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(55)

圖11表示本發明之實施態樣11之電壓產生電路之構造。

圖12用來說明電壓產生電路所產生之電壓之位準。

圖13用來說明MOS電晶體之源極隨耦器動作。

圖14(A)表示用以產生施加至第3電源節點之電壓VPP之電路構造，(B)表示其動作波形。

圖15表示對電壓VPP進行定電位藉以求得所需要之電源電壓之位準。

圖16表示VPP產生電路之其他之構造。

圖17表示VPP產生電路之更其他之構造。

圖18表示用以產生施加至第4電源節點之電壓VBB之電路構造。

圖19是波形波，用來表示圖18所示之VBB產生電路之動作。

圖20用來求得實現圖18所示之VBB產生電路之定電位功能之電源電壓位準。

圖21表示VBB產生電路之其他之構造。

圖22表示VBB產生電路之更其他之構造。

圖23表示適用本發明之DRAM之主要部份之構造。

圖24是波形圖，用來表示圖22所示之DRAM之動作。

圖25表示習知之中間電壓產生電路之構造。

圖26表示習知之中間電壓產生電路之其他之構造。

圖27表示MOS電晶體之次臨界值電流特性。

圖28用來說明習知之中間電壓產生電路之問題點。

[符號之說明]

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(56)

VGA、VGB.....電壓產生部，　VGAa、VGAb、VGBa～VGBd.....電壓產生部，　OUT.....輸出電路，Q1N、Q3N、Q5、Q7N、Q8N、Q9N、Q10N、Q11N、Q12N、Q13N、Q15和Q17.....n通道MOS電晶體，Q1P、Q3P、Q6、Q7P、Q8P、Q9P、Q10P、Q11P、Q14P、Q16，和Q18.....p通道MOS電晶體，　3....輸出節點，　4a.....第1電源節點，　4b.....第2電源節點，5.....第3電源節點，　6.....第4電源節點，R1～R10.....電阻性元件，　Q50、Q60N.....n通道MOS電晶體，　Q51、Q60、Q61.....p通道MOS電晶體，　100.....VPP'產生部，　110.....VBB'產生部，D1～D4，D11～D14.....二極體元件，C1～C3，C11～C13.....電容。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：　電壓產生電路　）

本發明之目的是提供一種電壓產生電路，即使在低消耗電流之電源電壓時，亦可以穩定的產生指定之電壓位準之電壓。

本發明之解決手段是使電壓產生電路包含有：第1MOS電晶體（Q5），被連接在第1電源節點（4a）和輸出節點（3）之間，以源極隨耦器模態進行動作；MOS電晶體（Q6），被連接在輸出節點和第2電源節點（46）之間，以源極隨耦器模態進行動作；如電壓產生部（VGA），利用第3電源節點（5）之電壓和第4電源節點（6）上之電壓VBB，用來產生具有指定之電壓位準之第1和第2電壓，藉以施加到第1和第2MOS電晶體之閘極，其中施加到第3電源節點（5）之電壓所具有之大小是從輸出節點（3）輸出之電壓（VO）之2倍以上，和第4電源節點（6）所接受之電壓低於該輸出節點（3）之電壓之測定基準電壓。

（請先閱讀背面之注意事項再填寫本頁各欄）

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1.一種電壓產生電路，用來在輸出節點產生預定位準之電壓，具備有：

第1導電型之第1絕緣閘極型場效電晶體，具有結合到第1電源節點之一方之電極節點，和結合到上述輸出節點之另外一方之電極節點；

第2導電型之第2絕緣閘極型場效電晶體，具有結合到第2電源節點之一方之電極節點，和結合到上述輸出節點之另外一方之電極節點；和

電壓產生裝置，至少接受第3和第4電源節點上之電壓，依照所接受之電壓產生第1和第2電壓，藉以分別施加到上述第1和第2絕緣閘極型場效電晶體之控制電極節點；其中

上述第1電壓和上述第2電壓之差等於上述第1絕緣閘極型場效電晶體之臨界值電壓之絕對值和上述第2絕緣閘極型場效電晶體之臨界值電壓之絕對值之和；上述第3電源節點之電壓之電壓位準大於從上述輸出節點輸出之電壓和具有上述輸出節點之電壓之測定基準值之測定基準電壓之差之2倍；和

上述第4電源節點之電壓之電壓位準低於上述之測定基準電壓。

2.如申請專利範圍第1項之電壓產生電路，其中

上述之電壓產生裝置具備有：

第1電壓產生部，被結合在上述之第3電源節點和用以接受比上述第3電源節點上之電壓低之電壓之第5電源節點之間，利用上述第3和第5電源節點上之電壓用來產生上述之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

第1電壓；和

第2電壓產生部，被結合在上述之第4電源節點和用以接受比上述第4電源節點上之電壓高之電壓之第6電源節點之間，利用上述第4和第6電源節點上之電壓用來產生上述之第2電壓。

3.如申請專利範圍第2項之電壓產生電路，其中

上述之第1電壓產生部具備有：

第1分壓裝置，被連接在上述之第3電源節點和第1內部節點之間，用來對上述第3電源節點上之電壓和上述第1內部節點上之電壓進行分壓，藉以產生上述之第1電壓；和

第3絕緣閘極型場效電晶體，被連接在上述之第1內部節點和上述之第5電源節點之間，以二極體模態進行動作；

上述第3電源節點之電壓實質上等於來自上述輸出節點之電壓和上述測定基準電壓之差之2倍大小之電壓和上述第3絕緣閘極型場效應電晶體之臨界值電壓之絕對值之和；和

上述第5電源節點上之電壓為上述測定基準電壓位準之電壓。

4.如申請專利範圍第2或3項之電壓產生電路，其中

上述之第2電壓產生部具備有：

第4絕緣閘極型場效電晶體，被連接在上述第6電源節點和第2內部節點之間，以二極體模態進行動作；和

第2分壓裝置，被連接在上述之第2內部節點和上述第4電源節點之間，用來對上述第2內部節點上電壓和上述第4

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

電源節點上之電壓進行分壓，藉以產生上述之第2電壓；

上述第6電源節點之電壓是來自上述輸出節點之電壓和上述測定基準電壓之差之2倍大小之電壓，上述第4電源節點上之電壓是比上述測定基準電壓低了上述第4絕緣閘極型場效電晶體之臨界值電壓之絕對值部份之電壓。

5.如申請專利範圍第1項之電壓產生電路，其中

上述之電壓產生裝置具備有：

第1分壓裝置，被連接在上述之第3電源節點和第1內部節點之間，用來對上述第3電源節點上之電壓和上述第1內部節點上之電壓進行分壓，藉以產生上述之第1電壓；

第3絕緣閘極型場效電晶體，被連接在用以接受上述測定基準電壓位準之電壓之第5電源節點和上述第1內部節點之間，以二極體模態進行動作；

第2分壓裝置，被連接在上述之第4電源節點和上述之第2內部節點之間，用來對上述第4電源節點上之電壓和上述第2內部節點上之電壓進行分壓，藉以產生上述之第2電壓；和

第4絕緣閘極型場效電晶體，被連接在上述第2內部節點和第6電源節點之間，以二極體模態進行動作，該第6電源節點所接受之電壓等於上述第1和第2電壓之和或差之電壓位準；

上述第3電源節點上之電壓和上述第6電源節點上之電壓之差實質上等於上述第4絕緣閘極型場效電晶體之臨界值電壓之絕對值；和

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

上述第4電源節點上之電壓實質上比上述測定基準電壓低了上述第3絕緣閘極型場效電晶體之臨界值電壓之絕對值部份。

6.如申請專利範圍第1項之電壓產生電路，其中

上述之電壓產生裝置具備有：

第1電壓產生部，被串聯連接在上述第3電源節點和第1內部節點之間，由第1電阻元件和形成二極體連接之第3絕緣閘極型場效電晶體所構成，從上述第1電阻元件和第3絕緣閘極型場效電晶體之連接部輸出上述之第1電壓；和

第2電壓產生部，被串聯連接在上述第1內部節點和上述第4電源節點之間，由第2電阻元件和第4絕緣閘極型場效電晶體所構成，從上述第2電阻元件和上述第4絕緣閘極型場效電晶體之連接部輸出上述之第2電壓。

7.如申請專利範圍第6項之電壓產生電路，其中

上述第3電源節點上之電壓高於從上述輸出節點輸出之電壓和上述測定基準電壓之差之2倍大小之電壓，和上述第3和第4電源節點上之電壓之和等於上述第1和第2電壓之和；和

上述第4電源節點上之電壓實質上等於比上述測定基準電壓低了上述第4絕緣閘極型場效電晶體之臨界值電壓之絕對值部份之位準之電壓。

8.如申請專利範圍第7項之電壓產生電路，其中

上述之第3絕緣閘極型場效電晶體具有上述之第1導電型，上述之第4絕緣閘極型場效電晶體具有上述之第2導電型。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

9.如申請專利範圍第7項之電壓產生電路，其中

上述之第3絕緣閘極型場效電晶體具有上述之第2導電型，和上述之第4絕緣閘極型場效電晶體具有上述之第1導電型。

10.如申請專利範圍第1項之電壓產生電路，其中

上述之電壓產生裝置具備有：

第1電壓產生部，被連接在上述第3電源節點和上述第4電源節點之間，利用上述第3電源節點上之電壓和上述第4節點上之電壓，用來產生第3、第4和第5電壓；

第3絕緣閘極型場效電晶體，以其控制電極節點接受上述之第3電壓，以源極隨耦器模態進行動作，藉以產生上述之第1電壓；和

第4絕緣閘極型場效電晶體，以其控制電極節點接受上述之第5電壓，以源極隨耦器模態進行動作，藉以產生上述之第2電壓；

上述之第3電壓和上述之第4電壓之差實質上等於上述第1電壓和上述第2電壓之差之2倍，和上述之第5電壓實質上為上述第3電壓和上述第4電壓之和之一半，以及上述第5電壓實質上等於上述第3和第4電極節點上之電壓之和之一半。

11.如申請專利範圍第10項之電壓產生電路，其中

上述之電壓產生裝置更具備有：

第5絕緣閘極型場效電晶體，以其控制電極節點接受上述之第5電壓，以源極隨耦器模態進行動作，用來對上述

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

第1電壓之上限位準進行定電位；和

第6絕緣閘極型場效電晶體，以其控制電極節點接受上述之第4電壓，以源極隨耦器模態進行動作，用來對上述第2電壓之上限位準進行定電位。

12.如申請專利範圍第10或11項之電壓產生電路，其中上述之電壓產生裝置具備有：

第1電壓產生部，被串聯連接在上述之第3電源節點和第1內部節點之間，由第1電阻性元件和分別形成二極體連接之第5和第6絕緣閘極型場效電晶體所構成，從上述第1電阻性元件和上述第5絕緣閘極型場效電晶體之連接部輸出上述之第3電壓；和

第2電壓產生部，被串聯連接在上述之第1內部節點和上述之第4電源節點之間，由第2電阻性元件和分別形成二極體連接之第7和第8絕緣閘極型場效電晶體所構成，從上述第2電阻性元件和上述第7絕緣閘極型場效電晶體之連接部產生上述之第4電壓。

13.如申請專利範圍第12項之電壓產生電路，其中

上述第3電源節點之電壓和上述第4電源節點上之電壓之和等於上述第3電壓和上述第4電壓之和，和上述第4電源節點之電壓比上述測定基準電壓低了上述第7和第8絕緣閘極型電晶體之臨界值電壓之絕對值之和之部份。

14.如申請專利範圍第12項之電壓產生電路，其中

上述之5和第6絕緣閘極型場效電晶體具有相同之導電型，上述之第7和第8絕緣閘極型場效電晶體具有相同之導電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

型而且所具有之導電型與上述之第5和第6絕緣閘極型場效電晶體之導電型不同。

15.如申請專利範圍第12項之電壓產生電路，其中

上述之第5和第6絕緣閘極型場效電晶體具有互不相同之導電型，和上述之第7和第8絕緣閘極型場效電晶體具有互不相同之導電型。

16.如申請專利範圍第12項之電壓產生電路，其中

上述第3電源節點上之電壓是比上述第1電壓之2倍電壓和上述第5絕緣閘極型場效電晶體之臨界值電壓之絕對值之和低了上述第7絕緣閘極型場效電晶體之臨界值電壓之絕對值部份之電壓位準；和

上述之第5和第7絕緣閘極型場效電晶體具有互不相同之導電型。

17.如申請專利範圍第10項之電壓產生電路，其中

上述之電壓產生裝置更具備有：

第3電壓產生部，被連接在上述之第3電源節點和用以輸出上述之第5電壓之第3內部節點之間，和由互相串聯之第3電阻性元件和分別以二極體模態進行動作之第9和第10絕緣閘極型場效電晶體所構成；和

第4電壓產生部，被連接在上述之第3內部節點和上述之第4電源節點之間，和由互相串聯之第4電阻性元件和分別形成二極體連接之第11和第12絕緣閘極型場效電晶體所構成。

18.如申請專利範圍第10項之電壓產生電路，其中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

從上述之第1內部節點輸出上述之第5電壓。

19.如申請專利範圍第1項之電壓產生電路，其中

從上述電壓產生電路之輸出節點輸出之電壓被使用在動態型半導體記憶裝置中，上述之動態型半導體記憶裝置包含有多個位元線對偶，分別連接到一列之記憶單元，和在等待時用來傳達上述電壓產生電路所輸出之電壓。

20.如申請專利範圍第1項之電壓產生電路，其中

上述之電壓產生電路所輸出之電壓被使用在動態型半導體記憶裝置中，上述之動態型半導體記憶裝置包含有多個記憶單元具有以電荷之形態收納資訊之電容器和用來讀出被記憶在上述電容器之資訊之存取電晶體，上述之各個電容器具有連接到對應之存取電晶體之儲存電極節點和被施加有從上述電壓產生電路之輸出節點輸出之電壓之共同電極。

21.如申請專利範圍第10項之電壓產生電路，其中

上述之電壓產生裝置更具備有分壓裝置，結合在上述之第3電源節點和上述之第4電源節點之間，用來對上述第3和第4電源節點上之電壓進行分壓藉以產生上述之第5電壓。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

318972

841.9846

圖1

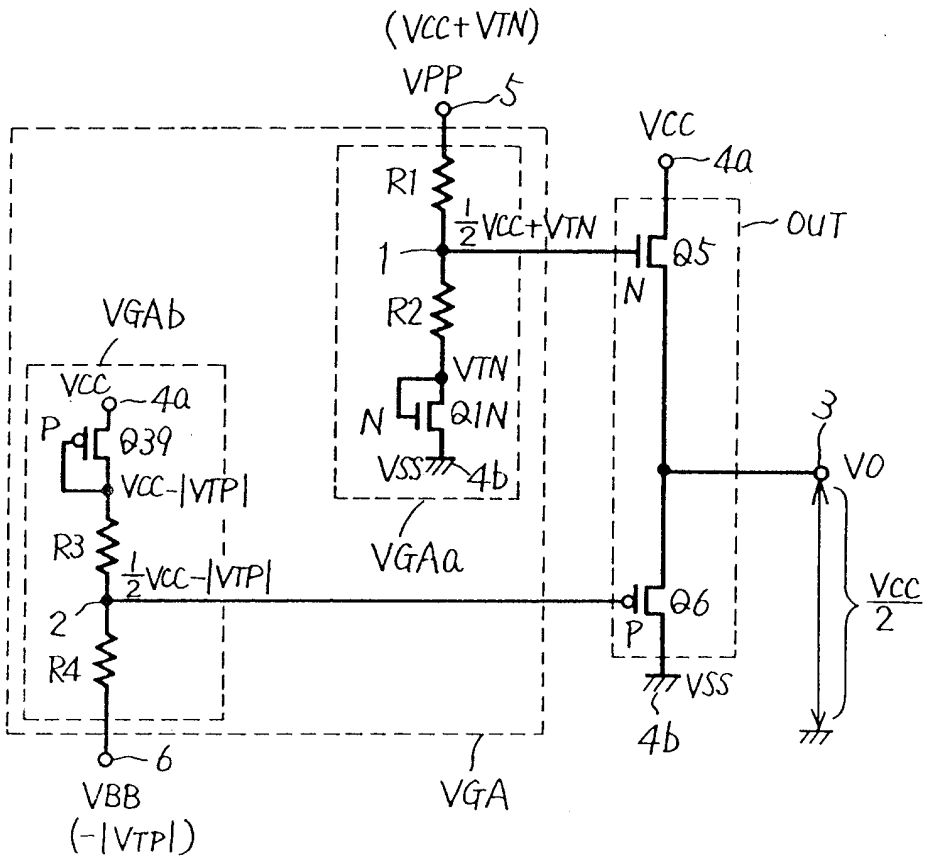


圖2

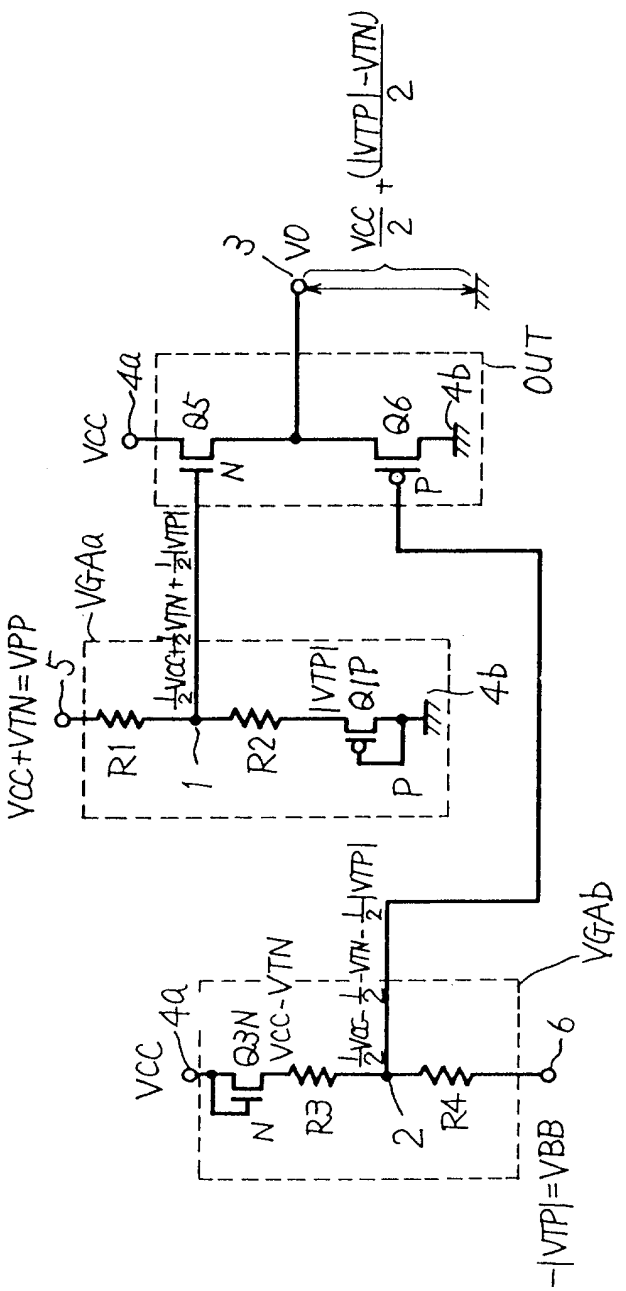

VCC+VTN=VPP
5
VGAa
R1
1
R2
VTP
Q1P
P
4b
VCC
4a
Q5
N
Q6
P
4b
OUT
3
VO
VCC/2 + (|VTP|-VTN)/2
VCC
4a
Q3N
N
Vcc-VTN
R3
2
R4
VGAb
6
-|VTP|=VBB

圖3

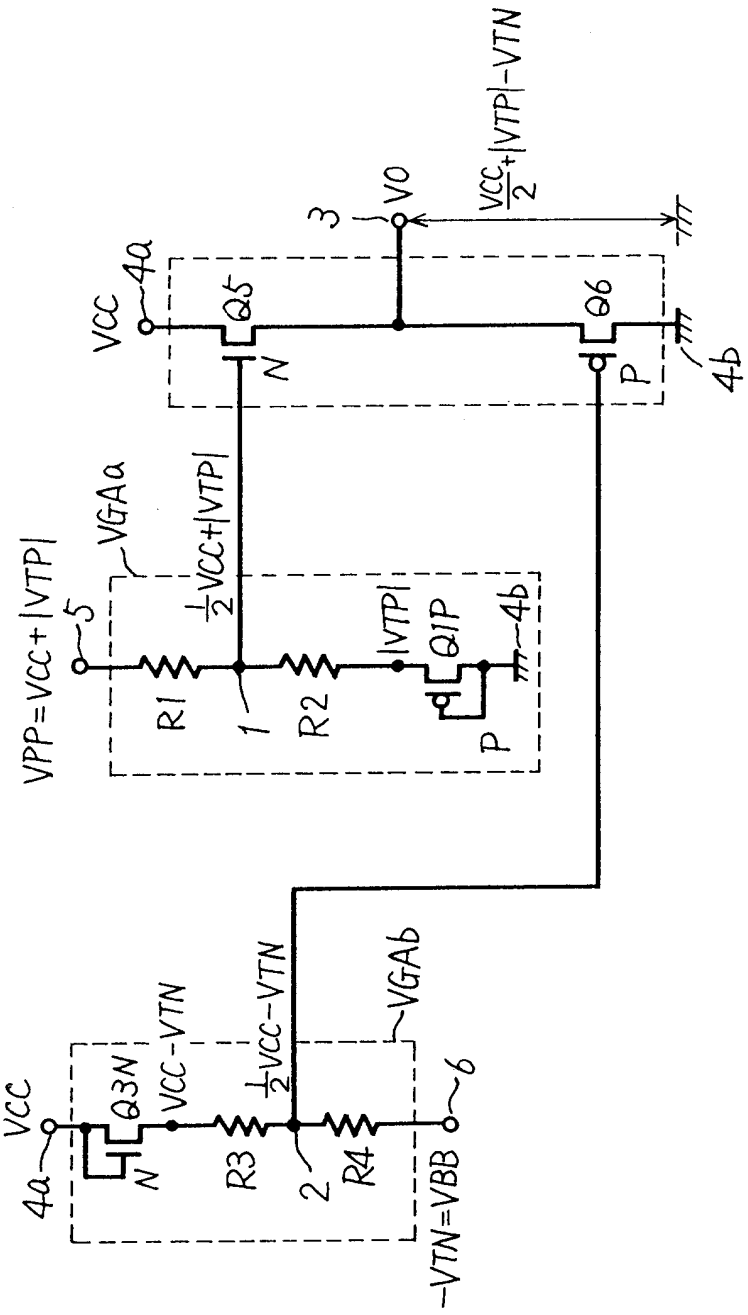

VCC
4a
Q5
N
3
VO
VCC/2+|VTP|-VTN
Q6
P
4b
VGAa
VPP=VCC+|VTP|
5
1/2VCC+|VTP|
R1
1
R2
|VTP|
Q1P
P
4b
VCC
4a
Q3N
N
VCC-VTN
R3
1/2VCC-VTN
2
R4
VGAb
6
-VTN=VBB

圖4

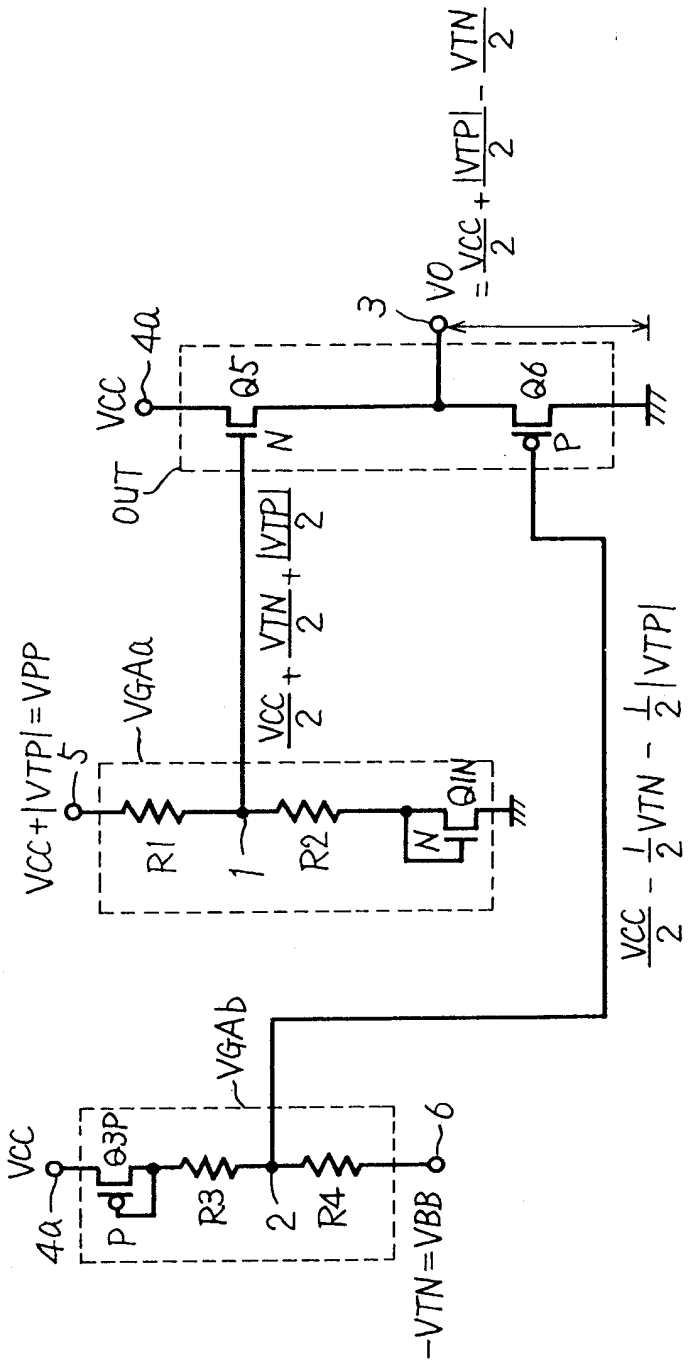

VO = VCC/2 + |VTP|/2 - VTN/2
3
VCC
4a
Q5
N
Q6
P
OUT
VCC/2 + VTN/2 + |VTP|/2
VCC/2 - 1/2 VTN - 1/2 |VTP|
VCC+|VTP|=VPP
5
VGAa
R1
1
R2
N
QIN
VGAb
VCC
4a
Q3P
P
R3
2
R4
6
-VTN=VBB

圖5

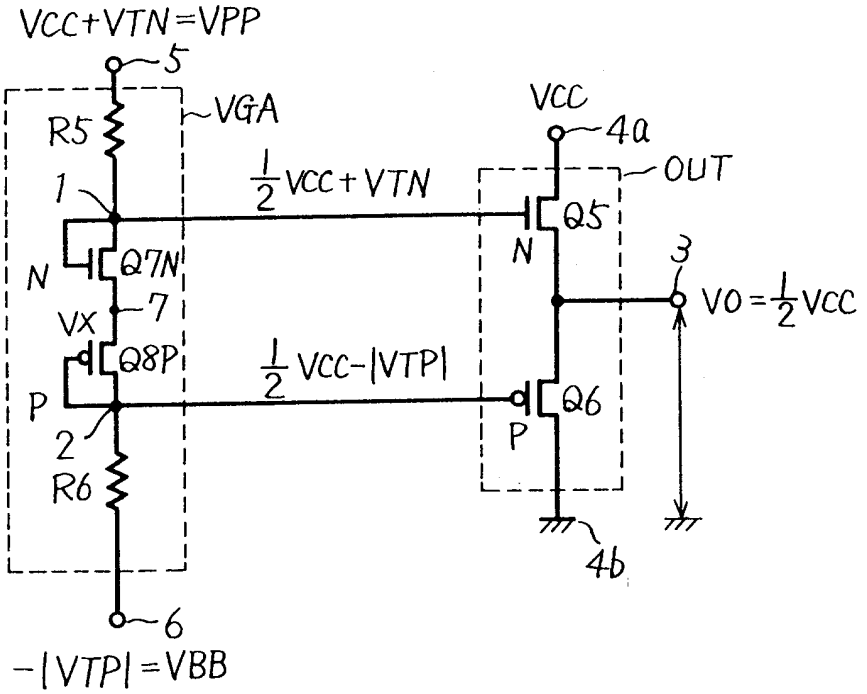

VCC+VTN=VPP
5
VGA
R5
1
N
Q7N
VX
7
Q8P
P
2
R6
6
-|VTP|=VBB
1/2 VCC+VTN
1/2 VCC-|VTP|
VCC
4a
OUT
Q5
N
Q6
P
3
VO=1/2 VCC
4b

圖6

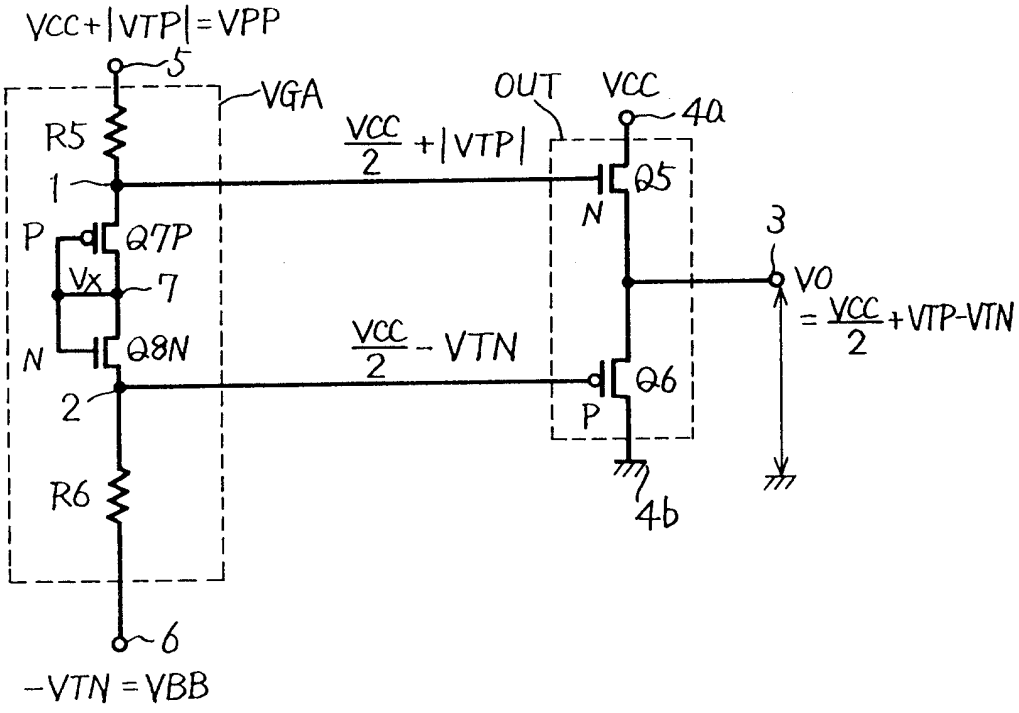

VCC+|VTP|=VPP
5
VGA
R5
1
P
Q7P
Vx
7
N
Q8N
2
R6
6
-VTN=VBB
OUT
VCC
4a
VCC/2 +|VTP|
Q5
N
Q6
P
3
VO
=VCC/2+VTP-VTN
VCC/2 - VTN
4b

圖7

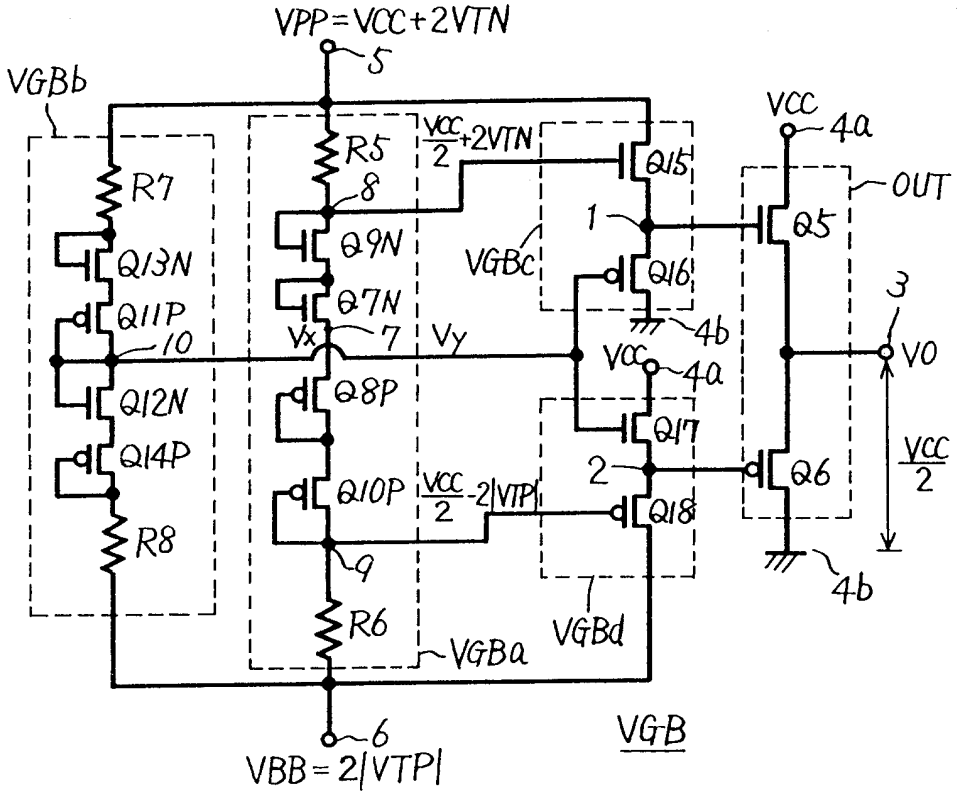

VPP=VCC+2VTN
5
VGBb
R7
Q13N
Q11P
10
Q12N
Q14P
R8
R5
8
Q9N
Q7N
Vx
7
Vy
Q8P
Q10P
9
R6
VGBa
VCC/2+2VTN
VCC/2-2|VTP|
VGBc
VGBd
Q15
1
Q16
4b
Q17
2
Q18
VCC
4a
OUT
Q5
Q6
3
VO
VCC/2
6
VBB=2|VTP|
VGB

圖8

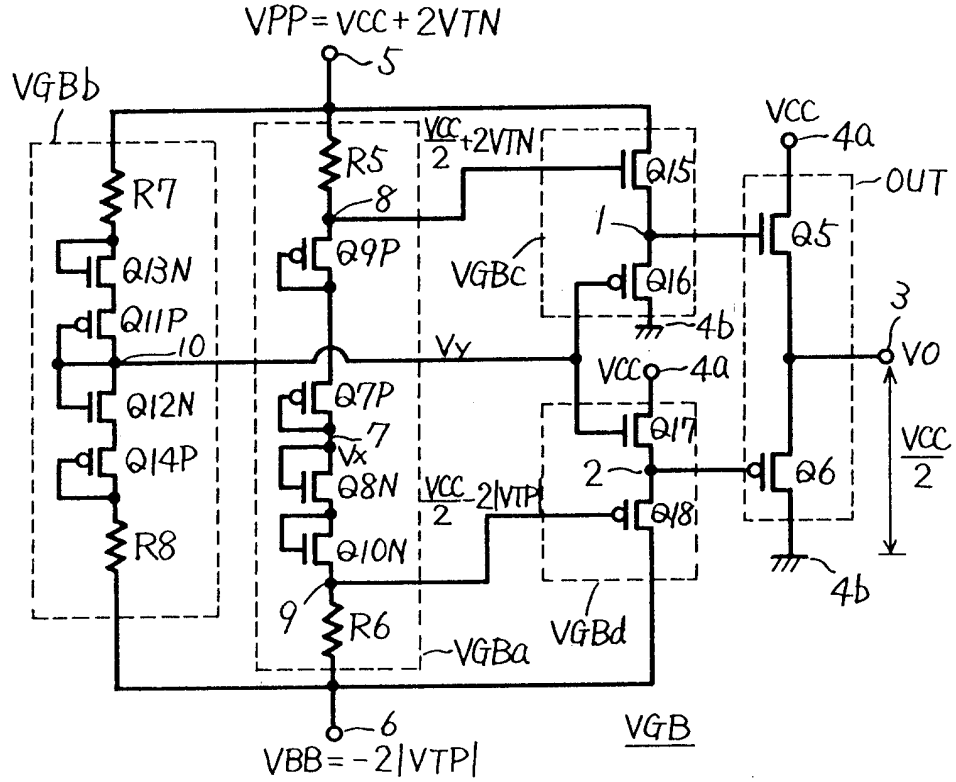

VPP=VCC+2VTN
5
VGBb
R7
Q13N
Q11P
10
Q12N
Q14P
R8
R5
8
Q9P
Vy
Q7P
7
Vx
Q8N
Q10N
9
R6
VGBa
VCC/2+2VTN
VCC/2-2|VTP|
VGBc
VGBd
Q15
1
Q16
4b
Q17
2
Q18
VCC
4a
OUT
Q5
Q6
3
VO
VCC/2
6
VBB=-2|VTP|
VGB

圖9

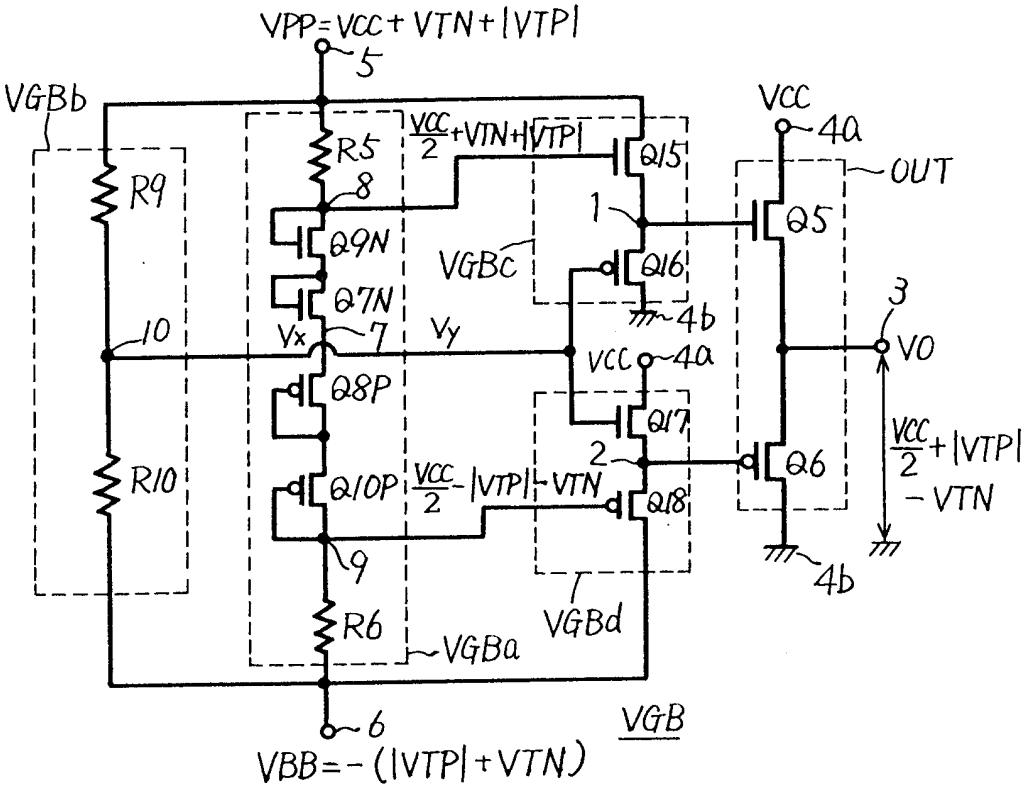

VPP=VCC+VTN+|VTP|
5
VGBb
R9
R10
R5
8
Q9N
Q7N
Vx
7
Vy
10
Q8P
Q10P
9
R6
VGBa
VCC/2+VTN+|VTP|
Q15
1
Q16
VGBc
4b
VCC
4a
Q17
2
Q18
VCC/2-|VTP|-VTN
VGBd
VCC
4a
OUT
Q5
3
VO
Q6
VCC/2+|VTP|
-VTN
4b
6
VGB
VBB=-(|VTP|+VTN)

圖10

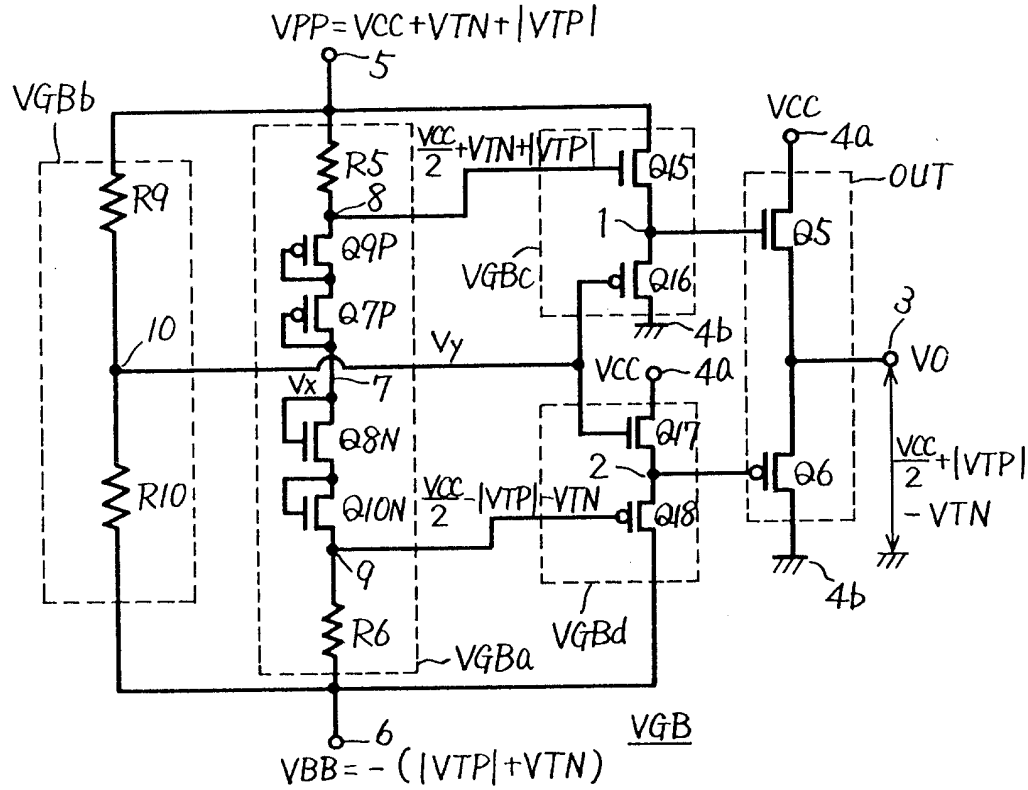

VPP=VCC+VTN+|VTP|
5
VGBb
R9
R10
R5
8
Q9P
Q7P
Vx
7
Vy
10
Q8N
Q10N
9
R6
VGBa
VCC/2+VTN+|VTP|
Q15
1
Q16
VGBc
4b
VCC
4a
Q17
2
Q18
VCC/2-|VTP|-VTN
VGBd
VCC
4a
OUT
Q5
3
VO
Q6
VCC/2+|VTP|
-VTN
4b
6
VGB
VBB=-(|VTP|+VTN)

圖11

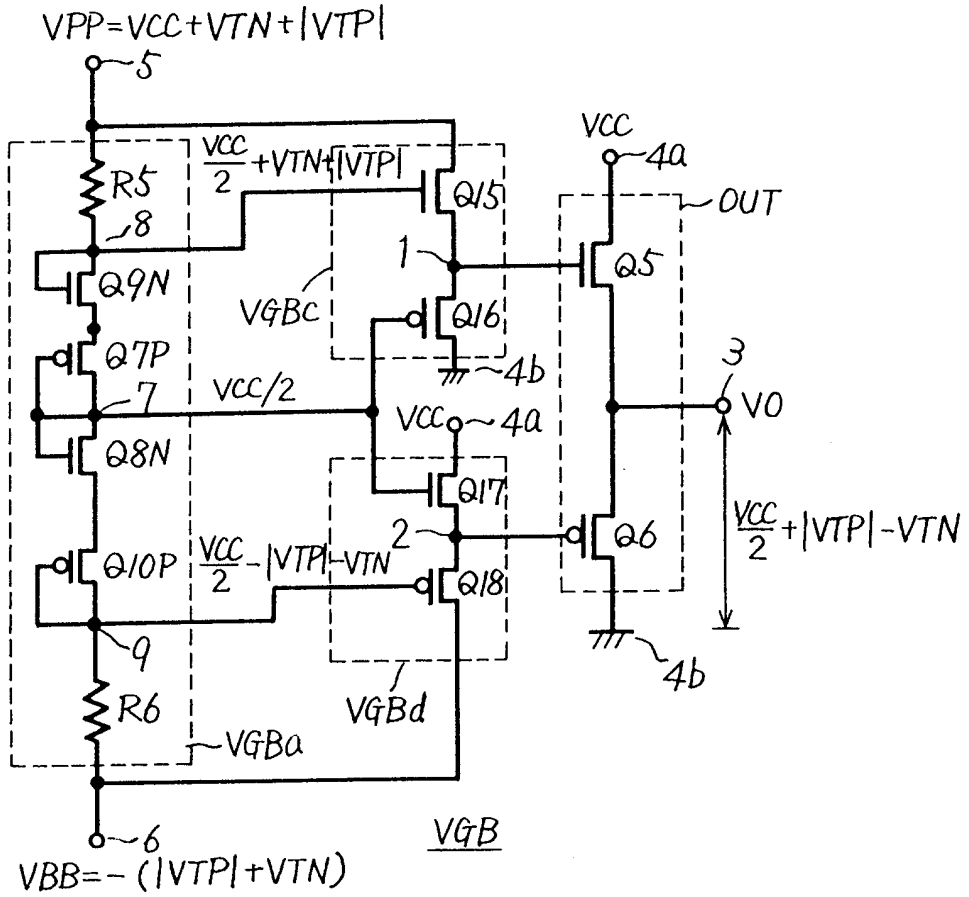

VPP=VCC+VTN+|VTP|
5
R5
8
Q9N
Q7P
7
Q8N
Q10P
9
R6
6
VBB=-(|VTP|+VTN)
VCC/2+VTN+|VTP|
Q15
1
VGBc
Q16
4b
VCC/2
VCC
4a
Q17
2
VCC/2-|VTP|-VTN
Q18
VGBd
VGBa
VGB
VCC
4a
OUT
Q5
3
VO
Q6
VCC/2+|VTP|-VTN
4b

圖12

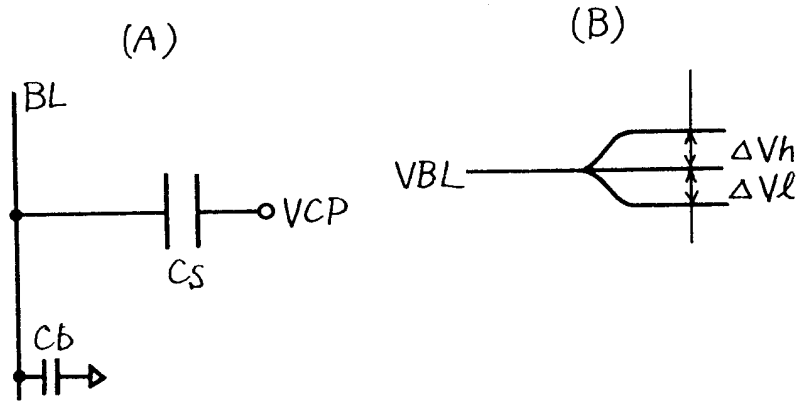

(A)
BL
VCP
Cs
Cb
(B)
VBL
ΔVh
ΔVℓ

圖13

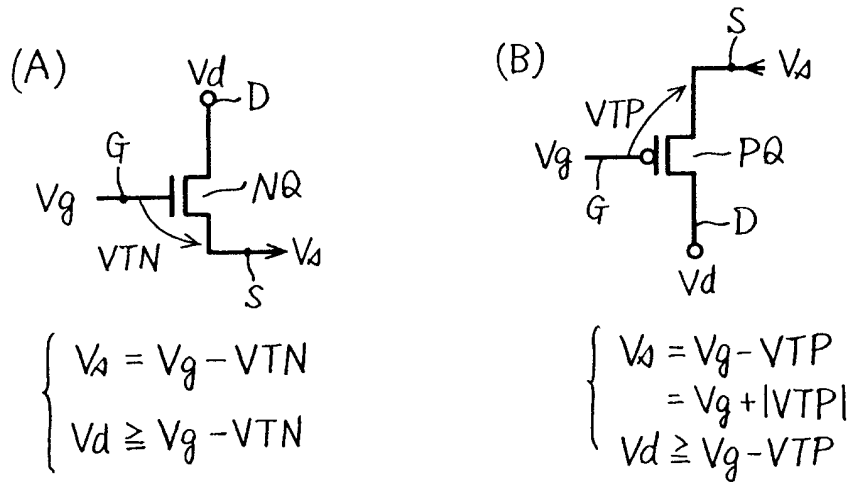

(A)
Vd
D
G
Vg
NQ
VTN
Vs
S
(B)
S
Vs
VTP
Vg
PQ
G
D
Vd
Vs = Vg - VTN
Vd ≧ Vg - VTN
Vs = Vg - VTP
= Vg + |VTP|
Vd ≧ Vg - VTP

圖14

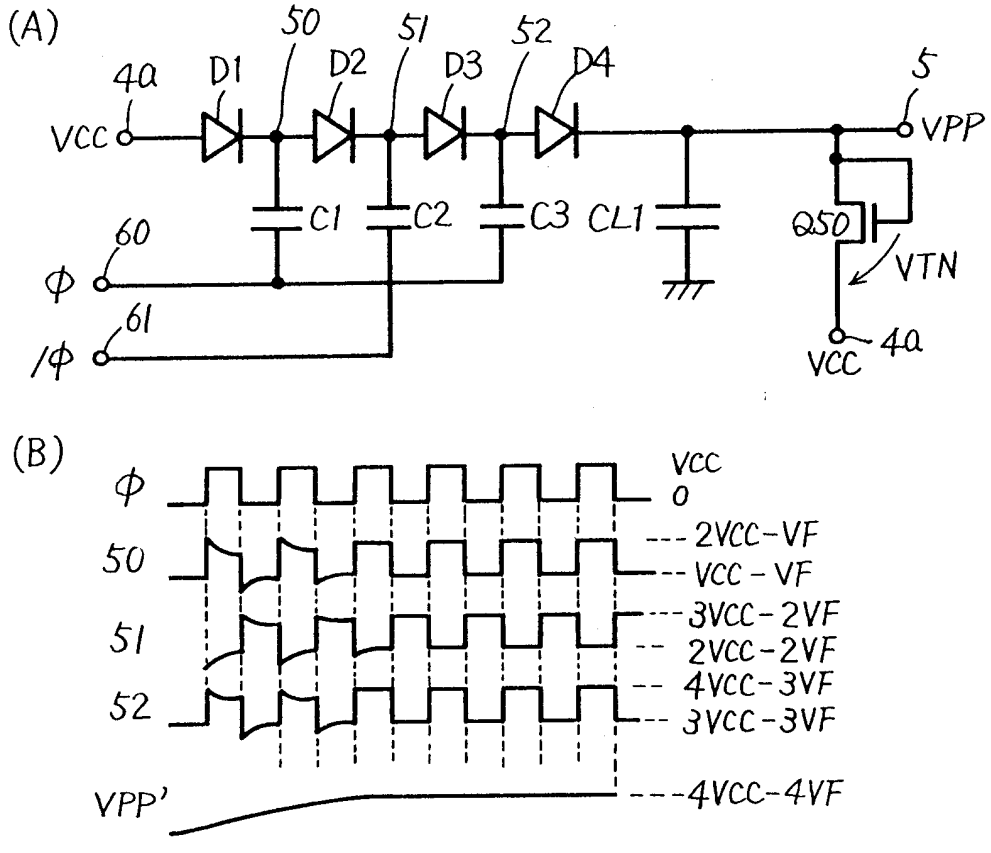

(A)
50
51
52
40
D1
D2
D3
D4
5
VCC
VPP
C1
C2
C3
CL1
Q50
60
φ
VTN
61
/φ
VCC
40
(B)
φ
VCC
0
50
---2VCC-VF
--VCC-VF
51
---3VCC-2VF
--2VCC-2VF
52
--4VCC-3VF
--3VCC-3VF
VPP'
---4VCC-4VF

圖15

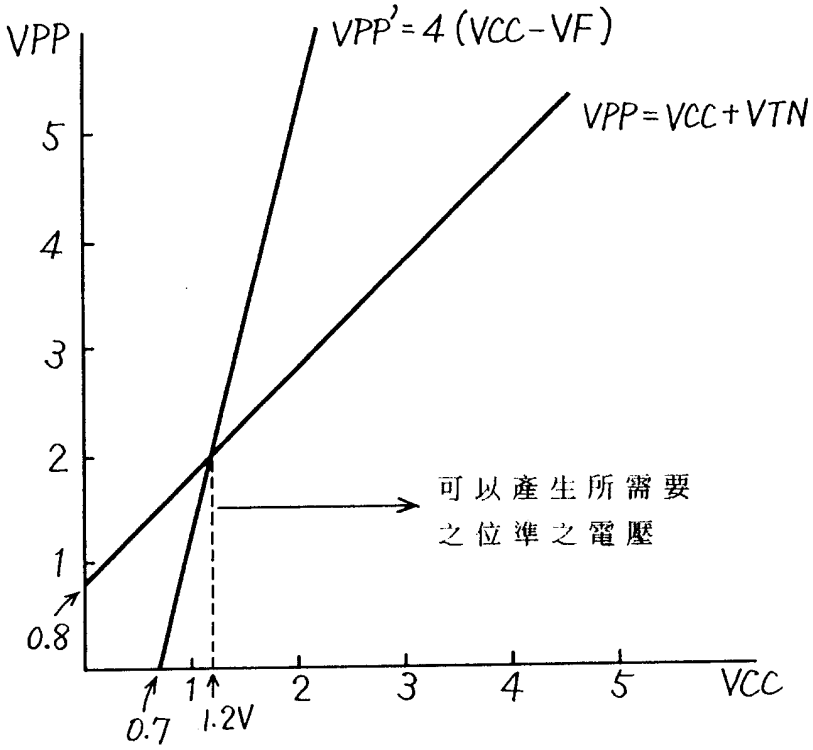

VPP
VPP'=4(VCC-VF)
VPP=VCC+VTN
5
4
3
2
1
0.8
可以產生所需要
之位準之電壓
0.7
1
1.2V
2
3
4
5
VCC

圖16

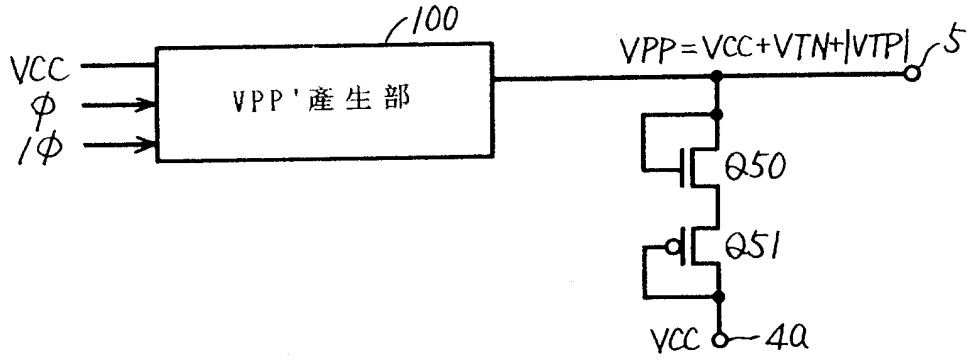

100
VCC
φ
/φ
VPP'產生部
VPP=VCC+VTN+|VTP|
5
Q50
Q51
VCC
40

圖17

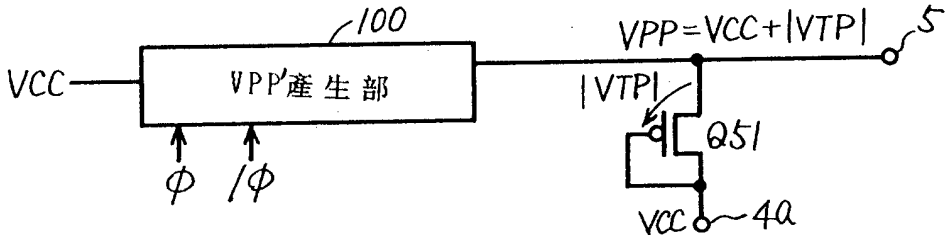

100
VCC
VPP'產生部
φ
/φ
VPP=VCC+|VTP|
5
|VTP|
Q51
VCC
40

圖18

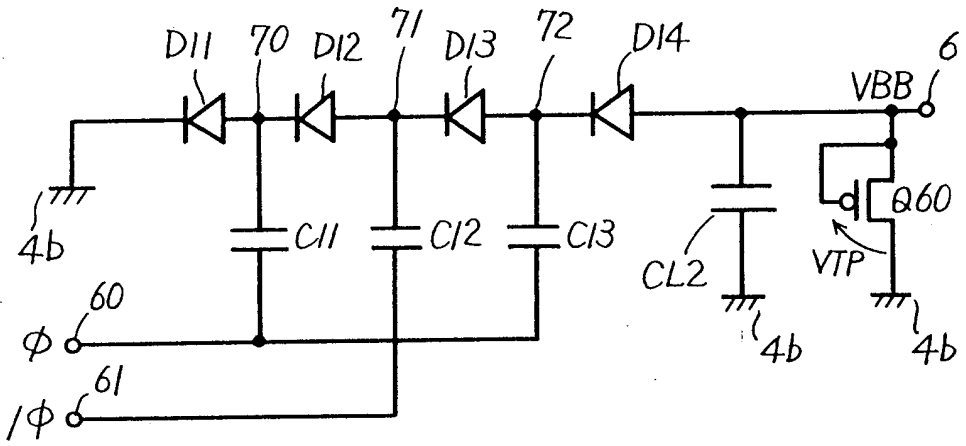

D11
70
D12
71
D13
72
D14
6
VBB
4b
C11
C12
C13
CL2
VTP
Q60
60
φ
61
/φ
4b
4b

圖19

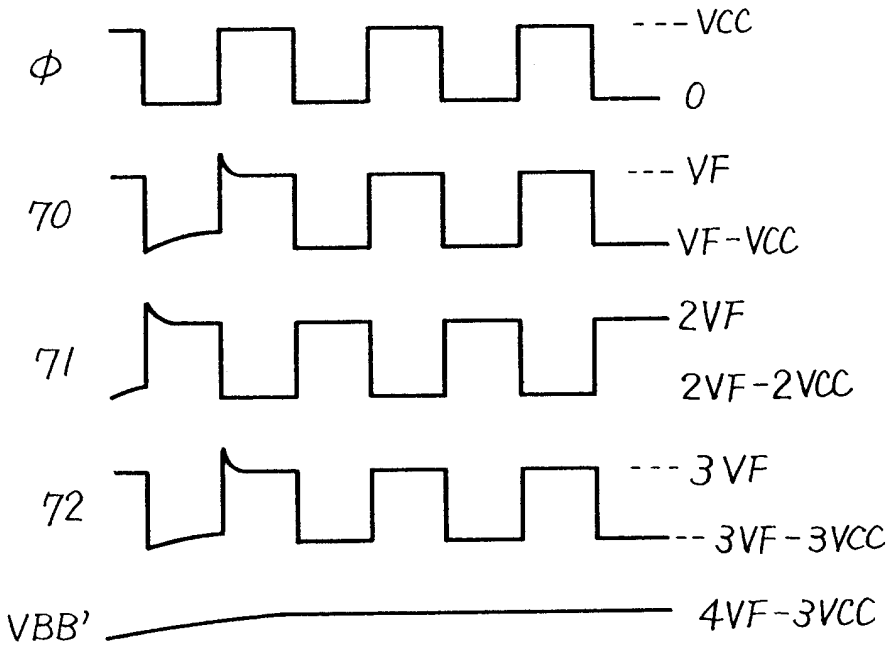

φ
--- VCC
0
70
--- VF
VF-VCC
71
2VF
2VF-2VCC
72
--- 3VF
--- 3VF-3VCC
VBB'
4VF-3VCC

圖20

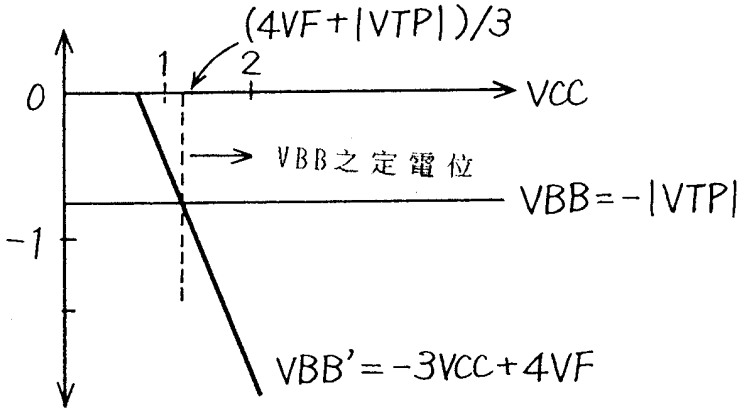

(4VF+|VTP|)/3
1
2
0
VCC
VBB之定電位
VBB=-|VTP|
-1
VBB'=-3VCC+4VF

圖21

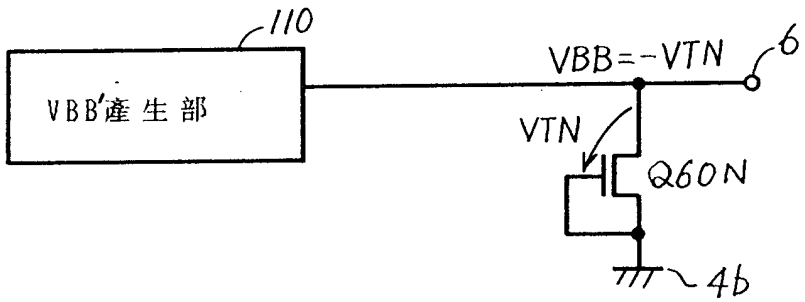

110
VBB'產生部
VBB=-VTN
6
VTN
Q60N
4b

圖22

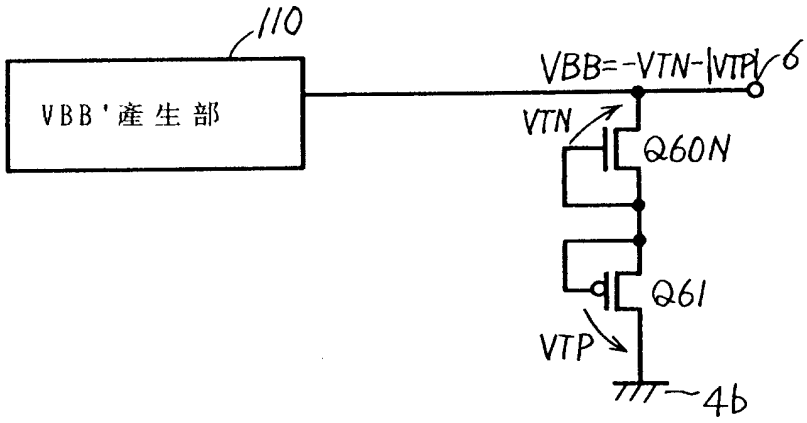

110
VBB'產生部
VBB=-VTN-|VTP|
6
VTN
Q60N
Q61
VTP
4b

圖23

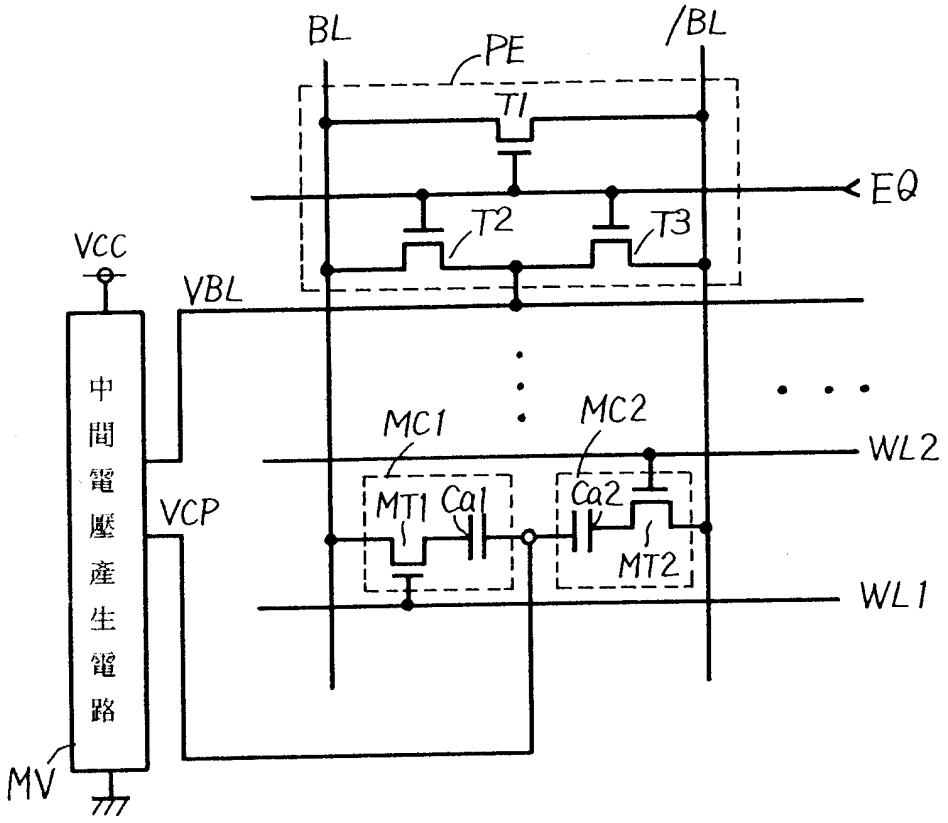

BL
/BL
PE
T1
EQ
T2
T3
VCC
VBL
中間電壓產生電路
MC1
MC2
WL2
VCP
MT1
Ca1
Ca2
MT2
WL1
MV

圖24

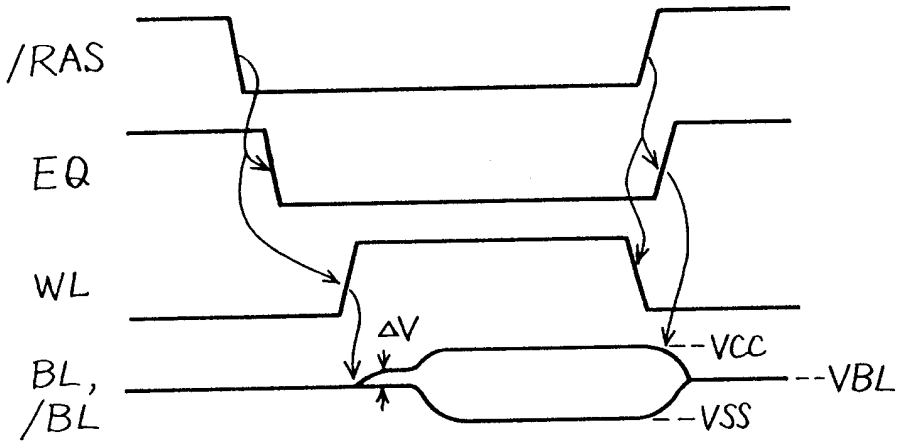

/RAS
EQ
WL
ΔV
VCC
VBL
BL,
/BL
VSS

圖25

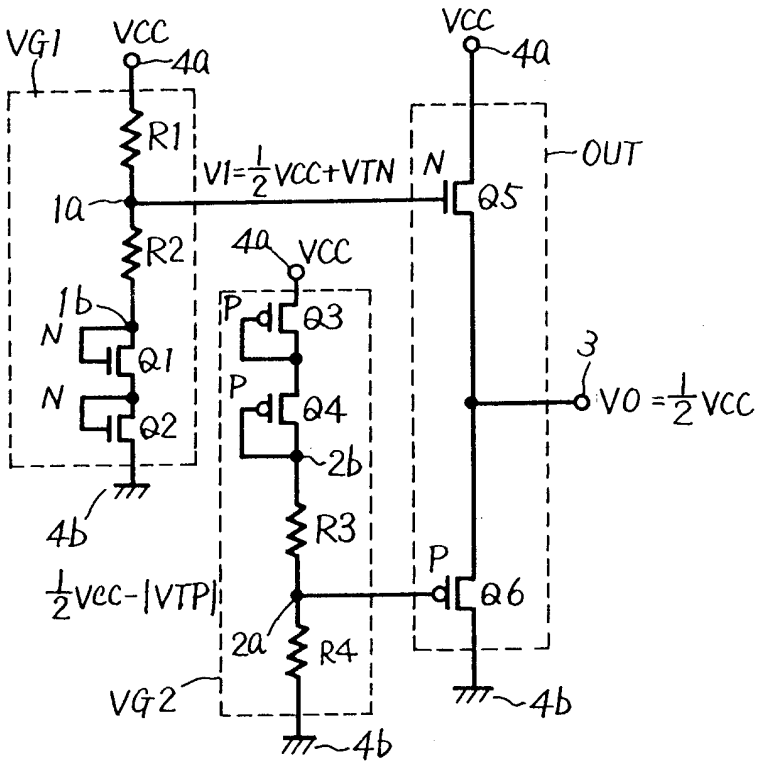

VG1
VCC
4a
R1
1a
R2
1b
N
Q1
N
Q2
4b
VI=½VCC+VTN
VCC
4a
N
Q5
OUT
4a
VCC
P
Q3
P
Q4
2b
R3
½Vcc-|VTP|
2a
R4
VG2
4b
P
Q6
4b
3
VO=½VCC

圖26

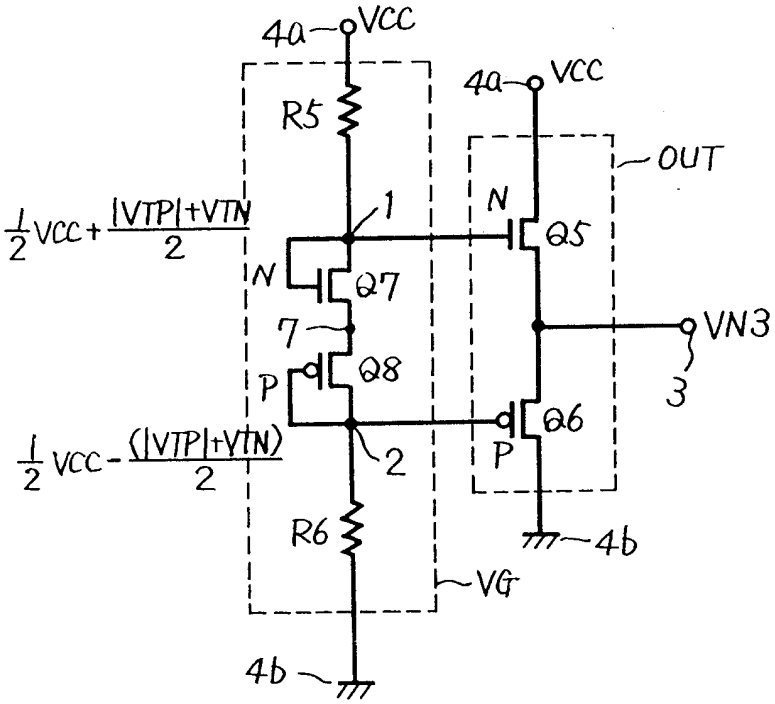

4a
VCC
R5
½VCC+|VTP|+VTN/2
1
N
Q7
7
P
Q8
½VCC-(|VTP|+VTN)/2
2
R6
VG
4b
4a
VCC
OUT
N
Q5
VN3
3
P
Q6
4b

圖27

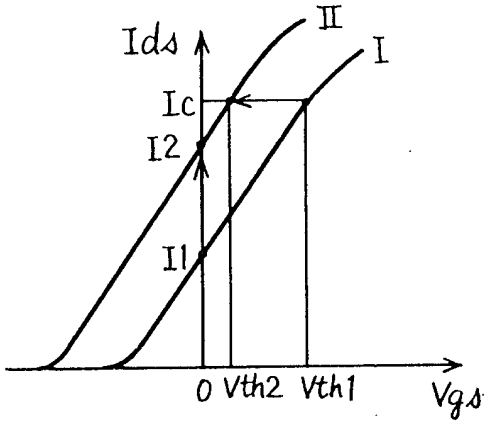
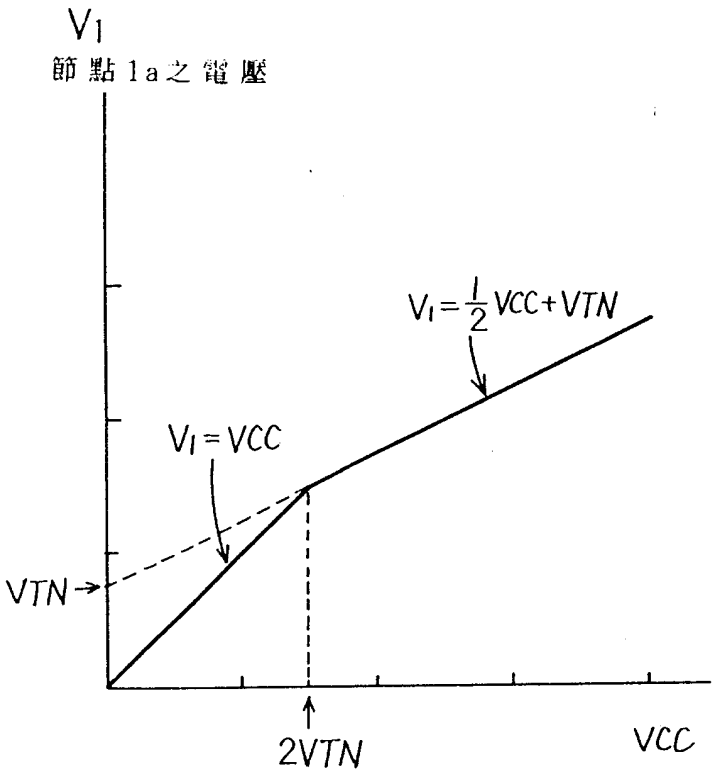

Ids
II
I
Ic
I2
I1
0 Vth2 Vth1
Vgs

圖28


V1
節點1a之電壓
V1=1/2 VCC+VTN
V1=VCC
VTN
2VTN
VCC