

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 12 月 3 日 (03.12.2015)



(10) 国际公布号
WO 2015/180198 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2014/079156
- (22) 国际申请日: 2014 年 6 月 4 日 (04.06.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410228218.2 2014 年 5 月 27 日 (27.05.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 肖军城 (XIAO, Juncheng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 戴超 (DAI, Chao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 北京聿宏知识产权代理有限公司 (YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街 6 号庄胜

广场第一座西翼 713 室吴大建/刘华联, Beijing 100052 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: GATE DRIVE CIRCUIT

(54) 发明名称: 一种栅极驱动电路

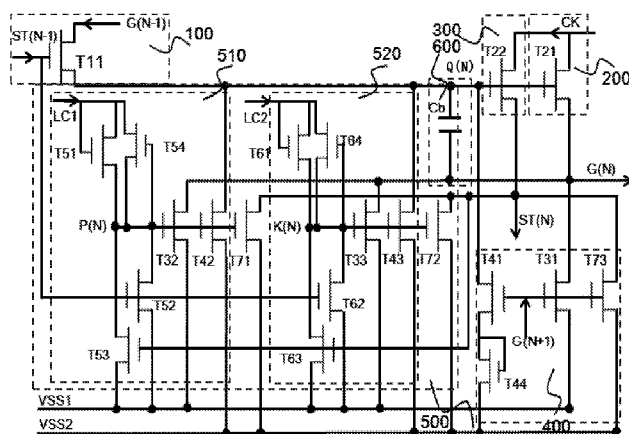


图 16A / Fig. 16A

(57) Abstract: A gate drive circuit comprises a plurality of stages of gate drive units. Each stage of gate drive units comprises a pull-up control part (100), a pull-up part (200), a transfer part (300), a key pull-down part (400) and a pull-down holding part (500), and a boost part (600). The key pull-down part (400) and the pull-down holding part (500) are respectively used for pulling down and holding the potential of a gate signal output end and the potential of a control end of the pull-up part (200) and the transfer part (300) in the potential of a first power source (VSS1) or a second power source (VSS2), and are further respectively used for pulling down and holding the potential of an output end of the transfer part (300) in the potential of the second power source (VSS2), and the potential of the second power source (VSS2) is lower than the potential of the first power source (VSS1). In this gate drive circuit, a transistor of the pull-down holding part (500) can be closed better, thereby effectively reducing a leakage current in the circuit, and improving the reliability and stability in the long-term operation of the circuit.

(57) 摘要:

[见续页]

**根据细则 4.17 的声明:**

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种栅极驱动电路，其包括多级栅极驱动单元。每一级栅极驱动单元包括上拉控制单元（100）、上拉单元（200）、下传单元（300）、第一下拉单元（400）和下拉保持单元（500），以及升压单元（600）。其中，第一下拉单元（400）和下拉保持单元（500）分别用于将栅极信号输出端的电位，以及将上拉单元（200）和下传单元（300）的控制端的电位下拉和保持在第一电源（VSS1）或第二电源（VSS2）的电位，此外还分别用于将下传单元（300）的输出端的电位下拉和保持在第二电源（VSS2）的电位，且第二电源（VSS2）的电位低于第一电源（VSS1）的电位。在此栅极驱动电路中，下拉保持单元（500）中的晶体管能够更好地关闭，从而有效地降低了电路中的漏电流，提高了电路长期工作的可靠性和稳定性。

一种栅极驱动电路

本申请要求享有 2014 年 05 月 27 日提交的名称为“一种栅极驱动电路”的中国专利申请为 CN 201410228218.2 的优先权，其全部内容通过引用并入本文中。

技术领域

本发明涉及液晶显示驱动技术，特别是关于一种液晶显示器的栅极驱动电路。

背景技术

一般而言，液晶显示装置包括多个像素单元，以及用于驱动这些像素单元工作的栅极驱动电路（Gate IC）和源极驱动电路（Source IC）。其中，栅极驱动电路由多个级联的栅极驱动单元组成。这些栅极驱动单元通过其耦接的栅极线依序输出栅极信号，控制显示区中相应的开关晶体管逐行开启，从而使得源极驱动电路输出的数据信号写入对应的像素单元中，完成相应的图像显示工作。因此，栅极驱动单元工作的稳定性对于显示装置的正确成像有着举足轻重的影响。目前，市场上薄膜晶体管液晶显示装置中栅极驱动电路的结构大致相同。每一级栅极驱动单元都包括上拉控制单元（Pull-up control part）、上拉单元（Pull-up part）、下传单元（Transfer part）、第一下拉单元（Key pull-down part）、下拉保持单元（Pull-down holding part）和升压单元（Boost part）。

图 1 显示了现有的一种栅极驱动单元的组成结构示意图。其中包括：

上拉控制单元 100，其用于输出上拉控制信号（图中未示出）；

上拉单元 200，其控制端（图中 Q（N）点）耦接上拉控制单元 100 的输出端，用于根据上拉控制信号和时钟讯号 CK 上拉栅极信号输出端（图中 G（N）点）的电位，使本级栅极驱动单元输出栅极信号 G（N）；

下传单元 300，其控制端（图中 Q（N）点）耦接上拉控制单元 100 的输出端，用于根据上拉控制信号和时钟讯号 CK 输出续传信号 ST（N）；

第一下拉单元 400，其耦接在栅极信号输出端（图中 G（N）点）、上拉单元 200 和下传单元 300 的控制端（图中 Q（N）点）与第一电源 VSS1 和第二电源 VSS2 之间，用于根据下拉控制信号将栅极信号输出端的电位和/或将上拉单元和

下传单元的控制端的电位下拉至第一电源或第二电源的电位，从而关闭栅极信号输出端和/或关闭上拉单元和下传单元；

下拉保持单元 500，其耦接在栅极信号输出端（图中 G（N）点）、上拉单元 200 和下传单元 300 的控制端（图中 Q（N）点）与第一电源 VSS1 和第二电源 VSS2 之间，用于根据下拉保持控制信号将栅极信号输出端的电位和/或将上拉单元和下传单元的控制端的电位保持在第一电源或第二电源的电位；

升压单元 600，其耦接上拉单元 200 和下传单元 300 的控制端（图中 Q（N）点），用于通过抬升上拉单元和下传单元的控制端的电位来确保本级栅极驱动单元正确输出栅极信号。

在上述栅极驱动电路中，负责下拉节点电压的第一电源 VSS1 和第二电源 VSS2 通常设置成负电压，且 $VSS2 < VSS1 < 0$ ，以避免上拉单元 200 和下拉保持单元 500 中出现漏电流，影响栅极驱动单元的正常输出。但这只是一种理想的工作状态。经过长期的研究测试，本发明的发明人发现在上述栅极驱动电路中，由于第一电源 VSS1 和第二电源 VSS2 之间存在电压差，栅极驱动电路中不可避免地存在漏电路径。严重时，由于漏电流的原因，负责提供第一电源 VSS1 和第二电源 VSS2 的电源芯片会因为长时间处于负电压正电流的工作状态而烧毁，进而导致液晶显示装置出现显示异常的现象。

此外，由于第一电源 VSS1 和第二电源 VSS2 之间存在电压差，在下拉保持单元 500 中，原本应该关闭的晶体管会因为栅极与源极之间的电压大于零而处于正偏的工作状态。也即原本应该关闭的晶体管不能完全关闭，其内部有漏电流流过。尤其在高温操作时，这种漏电流会增大，严重时会导致下拉保持单元 500 的电压保持功能完全失效，进而导致整个栅极驱动电路完全失效。

另一方面，下拉保持单元 500 通常由两个下拉保持模块组成。这两个下拉保持模块通常在相位互补的两个时钟讯号的控制下交替工作。由于缺乏有效的放电路径，两个下拉保持模块中的晶体管的栅极会因为所积累的电荷而长时间处于高电位的状态。晶体管也即长时间处于导通的工作状态，稳定性会变差。这会缩短整个栅极驱动电路的使用寿命。

综上所述，如何降低乃至消除栅极驱动单元中的漏电流，提升栅极驱动单元长期工作的可靠性和稳定性是液晶显示驱动技术中亟待解决的技术问题。

发明内容

针对上述问题，本发明提出了一种漏电流小、可靠性和稳定性高的栅极驱动电路。

一种栅极驱动电路，其中包括多级栅极驱动单元，第 N 级栅极驱动单元包括：上拉控制单元，其用于输出上拉控制信号；

上拉单元，其控制端耦接所述上拉控制单元的输出端，以根据所述上拉控制信号和时钟讯号上拉栅极信号输出端的电位，使本级栅极驱动单元输出栅极信号；

下传单元，其控制端耦接所述上拉控制单元的输出端，以根据所述上拉控制信号和时钟讯号输出续传信号；

第一下拉单元，其耦接在所述栅极信号输出端、上拉单元和下传单元的控制端与第一电源和第二电源之间，以根据下拉控制信号将所述栅极信号输出端的电位和/或将所述上拉单元和下传单元的控制端的电位下拉至所述第一电源或第二电源的电位，从而关闭所述栅极信号输出端和/或关闭所述上拉单元和下传单元；

下拉保持单元，其耦接在所述栅极信号输出端、上拉单元和下传单元的控制端与第一电源和第二电源之间，以根据下拉保持控制信号将所述栅极信号输出端的电位和/或将所述上拉单元和下传单元的控制端的电位保持在所述第一电源或第二电源的电位；

其中，所述第一下拉单元和/或下拉保持单元还耦接在所述下传单元的输出端与第二电源之间，用于将所述续传信号下拉和/或保持在所述第二电源的电位，所述第二电源的电位低于所述第一电源的电位。

根据本发明的实施例，上述第一电源和第二电源均为负电压。

根据本发明的实施例，上述下拉保持单元中包括能够交替工作的第一下拉保持模块和第二下拉保持模块，每一个下拉保持模块均包括：

控制子模块，其用于输出所述下拉保持控制信号；

第一下拉晶体管，其栅极耦接所述控制子模块的输出端，以接收所述下拉保持控制信号，其第一端耦接所述栅极信号输出端，其第二端耦接所述第一电源或第二电源；

第二下拉晶体管，其栅极耦接所述控制子模块的输出端，以接收所述下拉保持控制信号，其第一端耦接所述上拉控制单元的输出端，其第二端耦接所述第一

电源或第二电源；

第三下拉晶体管，其栅极耦接所述控制子模块的输出端，以接收所述下拉保持控制信号，其第一端和第二端分别耦接所述下传单元的输出端和第二电源；

根据本发明的一个实施方案，上述控制子模块可以包括：

第一晶体管，其栅极短接第一端，其第二端耦接所述控制子模块的输出端；

第二晶体管，其第一端和第二端分别耦接所述第一晶体管的第一端和所述控制子模块的输出端；

第三晶体管，其栅极接收第 N-1 级栅极驱动单元输出的续传信号，其第一端和第二端分别耦接所述控制子模块的输出端和第二电源；

第四晶体管，其栅极接收本级栅极驱动单元输出的续传信号，其第一端和第二端分别耦接所述控制子模块的输出端和第二电源；

其中，所述第一下拉保持模块的第一晶体管的栅极和所述第二下拉保持模块的第二晶体管的栅极接收第一控制信号，所述第一下拉保持模块的第二晶体管的栅极和所述第二下拉保持模块的第一晶体管的栅极接收第二控制信号，所述第一控制信号和第二控制信号为相位互补的脉冲信号。

根据本发明的另一个实施方案，上述控制子模块可以包括：

第一晶体管，其栅极短接第一端，其第二端耦接所述控制子模块的输出端；

第二晶体管，其栅极耦接所述控制子模块的输出端，第一端和第二端分别耦接所述第一晶体管的第一端和所述控制子模块的输出端；

第三晶体管，其栅极接收第 N-1 级栅极驱动单元输出的续传信号，其第一端和第二端分别耦接所述控制子模块的输出端和第二电源；

第四晶体管，其栅极接收本级栅极驱动单元输出的续传信号，其第一端和第二端分别耦接所述控制子模块的输出端和第二电源；

其中，所述第一下拉保持模块的第一晶体管的栅极接收第一控制信号，所述第二下拉保持模块的第一晶体管的栅极接收第二控制信号，所述第一控制信号和第二控制信号为相位互补的脉冲信号。

上述实施例中，所述第一控制信号可以为所述时钟讯号。

上述实施例中，所述第一控制信号可以为低频的脉冲信号。

进一步地，当第 N+2 级栅极驱动单元输出高电位的栅极信号时，所述第一控制信号发生翻转。

根据本发明的一个实施方案，上述第一下拉单元可以将所述栅极信号输出端的电位下拉至所述第一电源的电位，以及将所述上拉单元和下传单元的控制端的电位下拉至所述第二电源的电位；

所述下拉保持单元将所述栅极信号输出端的电位保持在所述第一电源的电位，以及将所述上拉单元和下传单元的控制端的电位保持在所述第二电源的电位。

根据本发明的另一个实施方案，上述第一下拉单元将所述栅极信号输出端的电位，以及将所述上拉单元和下传单元的控制端的电位下拉至所述第一电源的电位；

所述下拉保持单元将所述栅极信号输出端的电位，以及将所述上拉单元和下传单元的控制端的电位保持在所述第一电源的电位。

根据本发明的一个实施例，上述第一下拉单元可以包括：

第一晶体管，其栅极接收所述下拉控制信号，其第一端和第二端分别耦接所述上拉控制单元的输出端和第一电源；

第二晶体管，其栅极接收所述下拉控制信号，其第一端和第二端分别耦接所述栅极信号输出端和第一电源；

其中，所述下拉控制信号为第 $N+1$ 级栅极驱动单元输出的栅极信号或者第 $N+2$ 级栅极驱动单元输出的栅极信号。

根据本发明的一个实施例，上述第一下拉单元可以包括：

第一晶体管，其栅极接收所述下拉控制信号，其第一端和第二端分别耦接所述上拉控制单元的输出端和第一电源；

其中，所述下拉控制信号为第 $N+2$ 级栅极驱动单元输出的栅极信号。

根据本发明的另一个实施例，上述第一下拉单元可以包括：

第一晶体管，其栅极接收所述下拉控制信号，其第一端和第二端分别耦接所述上拉控制单元的输出端和第一电源；

第二晶体管，其栅极接收所述下拉控制信号，其第一端和第二端分别耦接所述栅极信号输出端和第一电源；

第三晶体管，其栅极接收所述下拉控制信号，其第一端和第二端分别耦接所述下传单元的输出端和第二电源；

其中，所述下拉控制信号为第 $N+1$ 级栅极驱动单元输出的栅极信号。

根据本发明的又一个实施例，上述第一下拉单元可以包括：

第一晶体管，其栅极接收第一下拉控制信号，其第一端和第二端分别耦接所述上拉控制单元的输出端和第一电源；

第二晶体管，其栅极接收第二下拉控制信号，其第一端和第二端分别耦接所述下传单元的输出端和第二电源；

其中，所述第一下拉控制信号为第 $N+2$ 级栅极驱动单元输出的栅极信号，所述第二下拉控制信号为第 $N+1$ 级栅极驱动单元输出的栅极信号。

且进一步的，在所述又一个实施例中，上述第一下拉单元还可以包括第三晶体管，其栅极接收所述第二下拉控制信号，其第一端和第二端分别耦接所述栅极信号输出端和第一电源。

进一步地，在上述多个实施例中，所述第一下拉单元还可以包括：

阻流晶体管，其栅极短接第一端，其第一端和第二端分别耦接所述第一晶体管的第二端和第二电源。

此外，在第一下拉单元中，所述阻流晶体管的沟道宽度优选地设置为所述第一晶体管的沟道宽度的 $5\sim 10$ 倍。

在上述多个实施例中，所述上拉控制信号可以为第 $N-1$ 级栅极驱动单元输出的栅极信号。

与现有的栅极驱动电路相比，本发明具有以下优点：

1、本发明保留两个负压源的设计，其中， $VSS2 < VSS1$ ， $VSS2$ 负责下拉 $P(N)$ 点、 $K(N)$ 点和 $ST(N)$ 点的电位， $VSS1$ 负责下拉 $Q(N)$ 点和 $G(N)$ 点的电位。这样一方面可以在上拉 $G(N)$ 点和 $Q(N)$ 点的电位的同时，降低 $P(N)$ 点、 $K(N)$ 点的电位，减小下拉保持单元中下拉晶体管流经的漏电流，另一方面还可以在下拉 $G(N)$ 点和 $Q(N)$ 点的电位的同时，将 $ST(N)$ 点的电位通过新增的两颗晶体管 $T71$ 和 $T72$ 下拉至 $VSS2$ 的电位，使得 $P(N)$ 点和 $K(N)$ 点的电位能够更好地保持在高电位，避免下拉保持单元乃至整个栅极驱动单元出现工作失常的情况。

2、本发明在下拉保持单元中新增晶体管 $T54$ 和 $T64$ ，分别构成 $P(N)$ 点和 $K(N)$ 点的放电路径。这样可以使得 $P(N)$ 点和 $K(N)$ 点的电位能够随着控制信号的高低而变化，从而减少下拉晶体管的导通时间，能够在一定程度上增强下拉保持单元乃至整个栅极驱动单元工作的稳定性。

3、本发明将下拉保持单元中下拉晶体管 T42 和 T43 的第二端耦接 VSS2，可以有效地消除栅极驱动电路中的漏电回路。

4、本发明在第一下拉单元中新增晶体管 T73，构成 ST(N) 点的放电路径，将 ST(N) 点的电位快速地下拉至低电位，从而加快了 P(N) 点和 K(N) 点电位的上升速度。并且进一步地，当 ST(N) 点电位下降的延迟时间小于 G(N) 点电位下降的延迟时间时，能够避免上拉控制单元漏掉 Q(N+1) 的电位，从而降低了栅极驱动电路出现错误的风险，增强了栅极驱动电路长期工作的可靠性。

5、本发明为了解决负压源之间漏电回路的问题，在第一下拉单元中新增了阻流晶体管 T44，用于防止漏电流从 VSS2 倒流至 VSS1，可以有效地消除栅极驱动电路中的漏电回路。

6、本发明将下拉保持单元中控制两个下拉保持模块交替工作的控制信号设置成低频的脉冲信号，可以有效地降低整个栅极驱动电路的功率损耗。

本发明的其它特征和优点将在随后的说明书中阐述，并且部分地从说明书中变得显而易见，或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

附图用来提供对本发明的进一步理解，并且构成说明书的一部分，与本发明的实施例共同用于解释本发明，并不构成对本发明的限制。在附图中：

图 1 是现有的栅极驱动单元的功能模块组成示意图；

图 2A 是一种现有的栅极驱动单元的电路结构示意图；

图 2B 是图 2A 所示栅极驱动单元的信号时序图；

图 2C 是图 2A 所示栅极驱动单元中的漏电回路示意图；

图 3A 是本发明实施例一的栅极驱动单元的电路结构示意图；

图 3B 是图 3A 所示的栅极驱动单元的信号时序图；

图 4A 是本发明实施例二的栅极驱动单元的电路结构示意图；

图 4B 是图 4A 所示的栅极驱动单元的信号时序图；

图 5A 是本发明实施例三的栅极驱动单元的电路结构示意图；

图 5B 是图 5A 所示的栅极驱动单元的信号时序图；

图 6A 是本发明实施例四的栅极驱动单元的电路结构示意图；

图 6B 是图 6A 所示的栅极驱动单元的信号时序图；

图 7A 是本发明实施例五的栅极驱动单元的电路结构示意图；

图 7B 是图 7A 所示的栅极驱动单元的信号时序图；

图 8A 是本发明实施例六的栅极驱动单元的电路结构示意图；

图 8B 是图 8A 所示的栅极驱动单元的信号时序图；

图 9 是本发明实施例七的栅极驱动单元的电路结构示意图；

图 10A 是本发明实施例八的栅极驱动单元的电路结构示意图；

图 10B 是图 10A 所示的栅极驱动单元的理想信号时序图；

图 10C 是图 10A 所示的栅极驱动单元的模拟信号时序图；

图 10D 是图 10A 所示的栅极驱动单元中 $Q(N+1)$ 不能抬升到正常的电位示意图；

图 11A 是本发明实施例九的栅极驱动单元的电路结构示意图；

图 11B 是图 11A 所示的栅极驱动单元的信号时序图；

图 12 是本发明实施例十的栅极驱动单元的电路结构示意图；

图 13A 是包含图 11A 所示栅极驱动单元的栅极驱动电路的输出信号示意图；

图 13B 是图 11A 所示的栅极驱动单元中的 $Q(N)$ 点的信号波形图；

图 13C 是图 11A 所示的栅极驱动单元中的 $P(N)$ 点和 $K(N)$ 点的信号波形图；

图 14A 是本发明实施例十一的栅极驱动单元的电路结构示意图；

图 14B 是图 14A 所示的栅极驱动单元的信号时序图；

图 15A 是本发明实施例十二的栅极驱动单元的电路结构示意图；

图 15B 是图 15A 所示的栅极驱动单元的信号时序图；

图 16A 是本发明实施例十三的栅极驱动单元的电路结构示意图；

图 16B 是图 16A 所示的栅极驱动单元的信号时序图；

图 17 是包含图 16A 所示栅极驱动单元的栅极驱动电路的输出信号示意图。

具体实施方式

为了使本发明所揭示的技术内容更加详尽和完备，下面首先参照附图详细地说明现有的栅极驱动单元的组成结构和工作原理，以及该电路中亟待解决的技术问题

图 2A 显示了在一篇中国专利申请（公开号 103559867A）中公开的一种栅极驱动单元的电路结构示意图。该图仅显示了一级栅极驱动单元，标示为 N。为了方便说明，现将位于该栅极驱动单元前一级的栅极驱动单元标示为 N-1，将位于该栅极驱动单元后一级的栅极驱动单元标示为 N+1，并以此类推。

下面结合图 2B 所示的信号时序图详细地说明第 N 级栅极驱动单元的组成结构和工作原理。

上拉控制单元 100，其包括晶体管 T11。晶体管 T11 的栅极接收第 N-1 级栅极驱动单元输出的续传信号 ST (N-1)。在续传信号 ST (N-1) 的作用下，晶体管 T11 输出由第 N-1 级栅极驱动单元传来的栅极信号 G (N-1)。该栅极信号 G (N-1) 也即前文所说的上拉控制信号。

上拉单元 200，其包括晶体管 T21。晶体管 T21 的栅极耦接上拉控制单元 100 的输出端（图中 Q (N) 点），接收上拉控制单元 100 输出的栅极信号 G (N-1)。在栅极信号 G (N-1) 的作用下，晶体管 T21 根据第一时钟讯号 CK 上拉栅极信号输出端（图中 G (N) 点）的电位，也即控制本级栅极驱动单元输出栅极信号 G (N)。

下传单元 300，其包括晶体管 T22。晶体管 T22 的栅极耦接上拉控制单元 100 的输出端（图中 Q (N) 点），接收上拉控制单元 100 输出的栅极信号 G (N-1)。在栅极信号 G (N-1) 的作用下，晶体管 T22 根据第一时钟讯号 CK 输出续传信号 ST (N)。

第一下拉单元 400，其包括晶体管 T31 和 T41。晶体管 T31 和 T41 的栅极均接收第 N+1 级栅极驱动单元输出的栅极信号 G (N+1)。该栅极信号 G (N+1) 也即前文所说的下拉控制信号。晶体管 T31 的源极和漏极分别耦接栅极信号输出端（图中 G (N) 点）和第一电源 VSS1。晶体管 T41 的源极和漏极分别耦接上拉控制单元 100 的输出端（图中 Q (N) 点）和第一电源 VSS1。

下拉保持单元 500，其通常包括两个交替工作的下拉保持模块 510 和 520。以下拉保持模块 510 为例，其包括晶体管 T32、T42、T51 和 T52。其中，晶体管 T51 和 T52 构成控制子模块，该控制子模块于 P (N) 点输出下拉保持控制信号（图中未标示）。晶体管 T32 和 T42 的栅极均耦接 P (N) 点，以接收控制子模块输出的下拉保持控制信号。晶体管 T32 的源极和漏极分别耦接栅极信号输出端（图中 G (N) 点）和第一电源 VSS1。晶体管 T42 的源极和漏极分别耦接上拉控

制单元 100 的输出端（图中 Q（N）点）和第二电源 VSS2。在控制子模块中，晶体管 T51 的栅极短接源极，以接收第一时钟讯号 CK，其漏极耦接 P（N）点。晶体管 T52 的栅极耦接上拉控制单元 100 的输出端（图中 Q（N）点），其源极和漏极分别耦接 P（N）点和第二电源 VSS2。与下拉保持模块 510 类似地，下拉保持模块 520 包括晶体管 T33、T43、T61 和 T62，只是晶体管 T61 接收与第一时钟讯号 CK 相位相反的第二时钟讯号 XCK。

升压单元 600，其包括存储电容器 Cb。存储电容器 Cb 的上、下电极分别耦接上拉控制单元 100 的输出端（图中 Q（N）点）和栅极信号输出端（图中 G（N）点）。存储电容器 Cb 通过充电二次抬升 Q（N）点的电位，以确保本级栅极驱动单元能够正常地输出栅极信号 G（N）。

需要注意的是，在上述栅极驱动电路中，为了避免在上拉单元 200 和下拉保持单元 500 中出现漏电流，影响栅极信号 G（N）的正常输出，第一电源 VSS1 和第二电源 VSS2 通常会设置成负压源，且 $VSS2 < VSS1 < 0$ 。但是经过长期的研究测试，本发明的发明人发现其实际达到的技术效果十分有限。由于第一电源 VSS1 与第二电源 VSS2 之间存在电压差，上述栅极驱动电路中始终会存在如图 2C 所示的漏电回路 L100 和 L200：

L100 是从第一电源 VSS1 经本级栅极驱动单元的晶体管 T41（N）、T43（N）至第二电源 VSS2 的漏电回路；

L200 是从第一电源 VSS1 经第 N-1 级栅极驱动单元的晶体管 T31（N-1），以及本级栅极驱动单元的晶体管 T11（N）、T42（N）至第二电源 VSS2 的漏电回路。

在上述两个漏电回路 L100 和 L200 中，漏电流的大小与本级栅极驱动单元中 P（N）点和 K（N）点的电位密切相关，并且与整个栅极驱动电路所含栅极驱动单元的级数成正比。这就意味着，随着显示面板尺寸的增加，漏电流会增大，第一电源 VSS1 和第二电源 VSS2 的负担也会随之加重。严重时，负责提供第一电源和第二电源的电源芯片会因长期处于负电压正电流的工作状态而烧毁，进而导致液晶显示装置出现画面显示异常的现象。

此外，在上述栅极驱动单元中，下拉保持单元 500 还存在以下问题。

1) 在下拉保持模块 510 和 520 中，晶体管 T52 的栅极耦接 Q（N）点，其漏极和源极分别耦接 P（N）点和第二电源 VSS2，晶体管 T62 的栅极耦接 Q（N）点，其源极和漏极分别耦接 K（N）点和第二电源 VSS2。通常，在非作用期间，

Q (N) 点的电位会保持在-6V 左右, 而第二电源 VSS2 的电位往往低于 Q (N) 点的电位。因此对于晶体管 T52 和 T62 而言, 其栅极与源极之间的电压 V_{gs} 均大于零。晶体管 T52 和 T62 处于正偏的工作状态, 在晶体管 T52 和 T62 中有一定的漏电流 I_{gs} 流过。换言之, 晶体管 T52 和 T62 不能完全有效地关闭。这使得 P (N) 点和 K (N) 点的电位会发生衰减。尤其在高温操作时, 这种现象十分严重, 会导致下拉保持模块 510 和 520 的下拉功能失效, 进而导致整个栅极驱动电路工作失常。

2) 在下拉保持模块 510 和 520 中, 晶体管 T51 和 T61 均相当于二极管。以下拉保持模块 510 为例, 在非作用期间, 当第一时钟讯号 CK 为高电位时, 晶体管 T51 导通, P (N) 点累积电荷, 当第一时钟讯号 CK 为低电位时, 晶体管 T51 截止。由于缺乏有效的放电路径, P (N) 点的电位会长时间地保持在高电位 (如图 2C 所示)。这就使得晶体管 T32 和 T42 会长时间地处于导通的工作状态, 稳定性变差。同理, 在下拉保持模块 520 中, 晶体管 T33 和 T43 的稳定性也会变差。这会缩短整个栅极驱动电路的使用寿命。

针对上述问题, 本发明对上述栅极驱动单元的结构提出了改进。需要特别说明的是, 虽然以下是参照附图和实施例对本发明的技术方案进行说明, 但是本领域的技术人员应当理解, 附图及实施例并非用来限制本发明所涵盖的范围。

图 3A 显示了本发明实施例一的栅极驱动单元的电路结构示意图。该电路是在图 2A 所示的栅极驱动单元的基础上对其中的下拉保持单元 500 做出了改进。同样地, 改进后的下拉保持单元 500 包括两个下拉保持模块 510 和 520。其中, 第一下拉保持模块 510 包括晶体管 T32、T42、T51、T52 和 T53, 第二下拉保持模块 520 包括晶体管 T33、T43、T61、T62 和 T63。

晶体管 T32 和 T33 的栅极分别耦接 P (N) 点和 K (N) 点, 其源极均耦接 G (N) 点, 其漏极均耦接第一电源 VSS1。晶体管 T32 和 T33 用于在非作用期间将 G (N) 点的电位保持在第一电源 VSS1 的电位。

晶体管 T42 和 T43 的栅极分别耦接 P (N) 点和 K (N) 点, 其源极均耦接 Q (N) 点, 其漏极均耦接第一电源 VSS1。晶体管 T32 和 T33 用于在非作用期间将 Q (N) 点的电位保持在第一电源 VSS1 的电位。

晶体管 T51 和 T61 的栅极分别短接各自的源极, 以分别接收第一时钟讯号 CK 和第二时钟讯号 XCK, 其漏极分别耦接 P (N) 点和 K (N) 点。晶体管 T51

和 T61 分别将高电位的第一时钟讯号 CK 和第二时钟讯号 XCK 传给 P (N) 点和 K (N) 点。

晶体管 T52 和 T62 的栅极均耦接第 N-1 级栅极驱动单元输出的续传信号 ST (N-1)，其源极分别耦接 P (N) 点和 K (N) 点，其漏极均耦接第二电源 VSS2。晶体管 T52 和 T62 用于当 ST (N-1) 点的电位为高电位时，分别将 P (N) 点和 K (N) 点的电位下拉至第二电源 VSS2 的电位，也即关闭下拉保持单元 500，以防止其影响栅极驱动单位的正常输出。

晶体管 T53 和 T63 的栅极均耦接 ST (N)，其源极分别耦接 P (N) 点和 K (N) 点，其漏极均耦接第二电源 VSS2。晶体管 T53 和 T63 用于当 ST (N) 点的电位为高电位时，分别将 P (N) 点和 K (N) 点的电位下拉至第二电源 VSS2 的电位，也即关闭下拉保持单元 500，以防止其影响栅极驱动单位的正常输出。

图 3B 显示了图 3A 所示的栅极驱动单位的信号时序图。其中，第一时钟讯号 CK 和第二时钟讯号 XCK 为相位互补的两组脉冲信号。

在时段 I 期间：由于 CK 为高电位，XCK 为低电位，因此 T51 导通，T61 截止；由于 ST (N-1) 点为低电位，因此 T11、T52 和 T62 截止；由于 T11 截止，因此 T21 和 T22 截止，ST (N) 点为低电位；由于 ST (N) 点为低电位，因此 T53 和 T63 截止；由于 T51 导通且 CK 为高电位，因此 P (N) 点同 CK 一样为高电位；由于 T61、T62 和 T63 截止，因此 K (N) 点会因前一个时段 XCK 为高电位而仍然保持高电位（因为缺乏放电路径）；由于 P (N) 点和 K (N) 点为高电位，因此 T32 和 T42 导通，T33 和 T43 导通，进而使得 Q (N) 点和 G (N) 点的电位被下拉至第一电源 VSS1 的电位。

在时段 II 期间：由于 CK 为低电位，XCK 为高电位，因此 T51 截止，T61 导通；由于 ST (N-1) 点为高电位，因此 T11、T52 和 T62 导通；由于 T11 导通且第 N-1 级栅极驱动单元输出的栅极信号 G (N-1) 为高电位，因此 Cb 在 G (N-1) 的作用下充电而达到第一电位，也即将 Q (N) 点的电位抬升至第一电位，同时 T21 和 T22 导通；由于 T22 导通且 CK 为低电位，因此 ST (N) 点为低电位；由于 ST (N) 点为低电位，因此 T53 和 T63 截止；但是由于 T52 和 T62 导通，因此 P (N) 点和 K (N) 点的电位被下拉至第二电源 VSS2 的电位，进而使得 T32 和 T42 截止，T33 和 T43 截止；由于 T21 导通但 CK 为低电位，因此 G (N) 点保持在低电位。

在时段 III 期间：由于 CK 为高电位，XCK 为低电位，因此 T51 导通，T61 截止；由于 ST (N-1) 点为低电位，因此 T11、T52 和 T62 截止；由于 Cb 的储能作用，因此 T21 和 T22 的栅极仍然保持在高电位，T21 和 T22 保持导通；由于 T22 导通且 CK 为高电位，因此 ST (N) 点与 CK 一样为高电位；由于 ST (N) 点为高电位，因此 T53 和 T63 导通，使得 P (N) 点和 K (N) 点的电位仍然保持在第二电源 VSS2 的电位，进而使得 T32 和 T42 截止，T33 和 T43 截止；由于 T21 导通且 CK 为高电位，因此 Cb 在 CK 的作用下再次充电而达到比第一电位更高的第二电位，也即将 Q (N) 点的电位抬升至比第一电位更高的第二电位；由于 G (N+1) 点为低电位，因此 T31 和 T41 截止；但是由于 T21 导通且 CK 为高电位，因此 G (N) 点同 CK 一样为高电位。

在时段 IV 期间：由于 CK 为低电位，XCK 为高电位，因此 T51 截止，T61 导通；由于 ST (N-1) 点为低电位，因此 T11、T52 和 T62 截止；由于第 N+1 级栅极驱动单元输出的栅极信号 G (N+1) 为高电位，因此 T31 和 T41 导通，进而使得 Q (N) 点和 G (N) 点的电位被下拉至第一电源 VSS1 的电位；由于 Q (N) 点为低电位 (VSS1 负电压)，因此 T21 和 T22 截止，ST (N) 点为低电位；由于 ST (N) 点为低电位，因此 T53 和 T63 截止；由于 T51、T52 和 T53 截止，因此 P (N) 点仍然保持在低电位；由于 T61 导通且 XCK 为高电位，因此 K (N) 点同 XCK 一样为高电位。

在时段 V 期间：由于 CK 为高电位，XCK 为低电位，因此 T51 导通，T61 截止；由于 ST (N-1) 点为低电位，因此 T11、T52 和 T62 截止；由于 T11 截止，因此 T21 和 T22 截止，ST (N) 点为低电位；由于 ST (N) 点为低电位，因此 T53 和 T63 截止；由于 T51 导通且 CK 为高电位，因此 P (N) 点同 CK 一样为高电位；由于 T61、T62 和 T63 截止，因此 K (N) 点会因前一个时段 XCK 为高电位而仍然保持高电位 (因为缺乏放电路径)；由于 P (N) 点和 K (N) 点为高电位，因此 T32 和 T42 导通，T33 和 T43 导通，进而使得 Q (N) 点和 G (N) 点的电位仍然保持在第一电源 VSS1 的电位。

在时段 VI 期间：由于 CK 为低电位，XCK 为高电位，因此 T51 截止，T61 导通；由于 ST (N-1) 点为低电位，因此 T11、T52 和 T62 截止；由于 T11 截止，因此 T21 和 T22 截止，ST (N) 点为低电位；由于 ST (N) 点为低电位，因此 T53 和 T63 截止；由于 T51、T52 和 T53 截止，因此 P (N) 点会因前一个时段

XCK 为高电位而仍然保持高电位（因为缺乏放电路径）；由于 T61 导通且 XCK 为高电位，因此 K (N) 点同 CK 一样为高电位；由于 P (N) 点和 K (N) 点为高电位，因此 T32 和 T42 导通，T33 和 T43 导通，进而使得 Q (N) 点和 G (N) 点的电位仍然保持在第一电源 VSS1 的电位。

此后，只要没有新的高电位的续传信号 ST (N-1) 来到，上述栅极驱动单元就会在时段 V 和时段 VI 的工作状态之间来回切换。

从上面的信号时序分析可以看出，由于晶体管 T42 和 T43 的漏极耦接第一电源 VSS1，因此图 2A 所示的栅极驱动单元中的漏电回路已不复存在。本发明提供的栅极驱动单元在实现原有功能的同时有效地解决了因两个负压源之间的电压差而引起的漏电问题。

图 4A 显示了本发明实施例二的栅极驱动单元的电路结构示意图。该电路是在图 3A 所示的栅极驱动单元的基础上对其中的下拉保持单元 500 做出了进一步改进。具体地，该电路新增了晶体管 T54 和 T64，分别构成 P (N) 点和 K (N) 点的放电路径。

晶体管 T54 的栅极耦接第二时钟讯号 XCK，其源极耦接晶体管 T51 的源极，其漏极耦接 P (N) 点。晶体管 T54 用于将 P (N) 点的电位快速地下拉至第二时钟讯号 XCK 的低电位。

晶体管 T64 的栅极耦接第一时钟讯号 CK，其源极耦接晶体管 T61 的源极，其漏极耦接 K (N) 点。晶体管 T64 用于将 K (N) 点的电位快速地下拉至第一时钟讯号 CK 的低电位。

图 4B 显示了图 4A 所示的栅极驱动单元的信号时序图。下面以时段 V 和时段 VI 为例详细地说明该电路的工作原理。

在时段 V 期间：由于 CK 为高电位，XCK 为低电位，因此 T51 和 T64 导通，T54 和 T61 截止；由于 T51 导通且 CK 为高电位，因此 P (N) 点同 CK 一样为高电位；虽然 T61 截止，但是 T64 导通，因此 K (N) 点的电位通过 T64 被快速地下拉至 XCK 的低电位。

在时段 VI 期间：由于 CK 为低电位，XCK 为高电位，因此 T51 和 T64 截止，T54 和 T61 导通；虽然 T51 截止，但是 T54 导通，因此 P (N) 点的电位通过 T54 被快速地下拉至 CK 的低电位；由于 T61 导通且 XCK 为高电位，因此 K (N) 点同 CK 一样为高电位。

从上面的信号时序分析可以看出,通过引入晶体管 T54 和 T64, P (N) 点和 K (N) 点的电位能够随着第一时钟讯号 CK 和第二时钟讯号 XCK 的高低变化而变化,使得下拉晶体管可以间歇性地工作,从而能够在一定程度上增强下拉保持单元乃至整个栅极驱动单元工作的稳定性。

图 5A 显示了本发明实施例三的栅极驱动单元的电路结构示意图。该电路是在图 3A 所示的栅极驱动单元的基础上对其中的下拉保持单元 500 做出了另一种改进。具体地,该电路新增了两个晶体管 T71 和 T72,用于将 ST (N) 点的电位下拉至第二电源 VSS2 的电位。其中,晶体管 T71 和 T72 的栅极分别耦接 P (N) 点和 K (N) 点,其源极均耦接 ST (N) 点,其漏极均耦接第二电源 VSS2。

图 5B 显示了图 5A 所示的栅极驱动单元的信号时序图。与图 3A 的栅极驱动单元不同的是,当 P (N) 点和/或 K (N) 点的电位为高电位时,除了 Q (N) 点和 G (N) 点的电位会被下拉至第一电源 VSS1 的电位以外,ST (N) 点的电位也会被下拉至第二电源 VSS2 的电位。由于 ST (N) 点的电位为第二电源 VSS2 的电位,且 $VSS2 < VSS1 < 0$,因此晶体管 T52 和/或 T62 的栅极-源极的电压 $V_{gs} < 0$,晶体管 T52 和/或 T62 能够更好地关闭,有效地阻止 P (N) 点和/或 K (N) 点的电位的衰减。

图 6A 显示了本发明实施例四的栅极驱动单元的电路结构示意图。该电路实质是图 3A、图 4A 和图 5A 所示的三种栅极驱动单元的整合,具备三种栅极驱动单元的所有功能和优点。图 6B 显示了图 6A 所示的栅极驱动单元的信号时序图。由于前面已经详细地介绍过各种栅极驱动单元的功能和优点,因此此处不再赘述。

图 7A 显示了本发明实施例五的栅极驱动单元的电路结构示意图。该电路是在图 6A 所示的栅极驱动单元的基础上,将输入给两个下拉保持模块 510 和 520 的两个下拉保持控制信号改为低频的时钟讯号 LC1 和 LC2,以降低整个下拉保持单元 500 的功耗。

图 7B 显示了图 7A 所示的栅极驱动单元的信号时序图。下面以时段 IV 和时段 V 为例详细地说明该电路的工作原理。

在时段 IV 期间:由于 LC1 为高电位,LC2 为低电位,因此 T51 和 T64 导通,T54 和 T61 截止;由于 ST (N-1) 点为低电位,因此 T11、T52 和 T62 截止;由于第 N+1 级栅极驱动单元输出的栅极信号 G (N+1) 为高电位,因此 T31 和 T41 导通,使得 Q (N) 点和 G (N) 点的电位被下拉至第一电源 VSS1 的电位;由于

Q (N) 点为低电位, 因此 T21 和 T22 截止, ST (N) 点为低电位; 由于 ST (N) 点为低电位, 因此 T53 和 T63 截止; 由于 T51 导通且 LC1 为高电位, 因此 P (N) 点转为高电位; 由于 T64 导通且 LC2 为低电位, 因此 K (N) 点保持低电位。

在时段 V 期间: 由于 LC1 转为低电位, LC2 转为高电位, 因此 T51 和 T64 截止, T54 和 T61 导通; 由于 ST (N-1) 点为低电位, 因此 T11、T52 和 T62 截止; 由于 T11 截止, 因此 T21 和 T22 截止, ST (N) 点为低电位; 由于 ST (N) 点为低电位, 因此 T53 和 T63 截止; 由于 T54 导通且 LC1 为低电位, 因此 P (N) 点转为低电位, T32 和 T42 截止; 由于 T61 导通且 LC2 为高电位, 因此 K (N) 点转为高电位, T33 和 T43 导通, 进而使得 Q (N) 点和 G (N) 点的电位保持在第一电源 VSS1 的电位。

从上面的信号时序分析可以看出, 从时段 V 开始, 只有下拉保持模块 520 持续地工作, 将 Q (N) 点和 G (N) 点的电位保持在第一电源 VSS1 的电位。在这种情况下, 晶体管 T33 和 T43 由于长时间地处于导通的工作状态, 稳定性相对较弱。

图 8A 显示了本发明实施例六的栅极驱动单元的电路结构示意图。该电路是在图 7A 所示的栅极驱动单元的基础上, 将输入给第一下拉单元 400 的晶体管 T41、T31 的栅极的下拉控制信号改为第 N+2 级栅极驱动单元输出的栅极信号 G(N+2)。

图 8B 显示了图 8A 所示的栅极驱动单元的信号时序图。下面以时段 IV 为例详细地说明该电路的工作原理。

在时段 IV 期间: 由于 CK 为低电位, XCK 为高电位, 因此 T51 截止, T61 导通; 由于 ST (N-1) 点为低电位, 因此 T11、T52 和 T62 截止; 由于只有当第 N+2 级栅极驱动单元输出的栅极信号 G (N+2) 为高电位时, T31 和 T41 才导通, 因此在本实施例中, Q (N) 点的电位不是直接地而是分阶段地被下拉至第一电源 VSS1 的电位, T21 和 T22 需要经过一定的延迟才能完全关闭, 这就使得 ST (N) 点和 G (N) 点能够被直接下拉至 CK 的低电位; 由于 ST (N) 点为低电位, 因此 T53 和 T63 截止; 由于 T51、T52 和 T53 截止, 因此 P (N) 点保持在低电位; 由于 T61 导通且 XCK 为高电位, 因此 K (N) 点同 XCK 一样为高电位。

进一步地, 在上述第一下拉单元 400 中, 由于在时段 IV 期间, G (N) 点的电位只通过晶体管 T22 也能够下拉至低电位, 并且在时段 V 期间, G (N) 点的电位只通过下拉保持模块 510 和 520 也能够保持在低电位, 因此可以去掉晶体管

T31（图 9 显示的实施例七的栅极驱动单元）。去掉晶体管 T31 后的栅极驱动单元的工作方法没有发生变化，其信号时序图与图 8B 的信号时序图完全相同，此处不再赘述。

图 10A 显示了本发明实施例八的栅极驱动单元的电路结构示意图。该电路是在图 7A 所示的栅极驱动单元的基础上对其中的第一下拉单元 400 做出了改进。具体地，该电路新增了晶体管 T73，用以增强第一下拉单元 400 的下拉能力。其中，晶体管 T73 的栅极耦接 $G(N+1)$ ，其源极耦接 ST(N) 点，其漏极耦接第二电源 VSS2。

图 10B 显示了图 10A 所示的栅极驱动单元在理想情况下的信号时序图。下面以时段 IV 和时段 V 为例详细地说明该电路的工作原理。

在时段 IV 期间：由于 LC1 为高电位，LC2 为低电位，因此 T51 和 T64 导通，T54 和 T61 截止；由于 ST(N-1) 点为低电位，因此 T11、T52 和 T62 截止；由于第 N+1 级栅极驱动单元输出的栅极信号 $G(N+1)$ 为高电位，因此 T31、T41 和 T73 导通，进而使得 Q(N) 点和 G(N) 点的电位被下拉至第一电源 VSS1 的电位，使得 ST(N) 点的电位被直接下拉至第二电源 VSS2 的电位；由于 ST(N) 点为低电位，因此 T53 和 T63 截止；由于 T51 导通且 LC1 为高电位，因此 P(N) 点转为高电位；由于 T64 导通且 LC2 为低电位，因此 K(N) 点保持低电位。

在时段 V 期间：由于 LC1 转为低电位，LC2 转为高电位，因此 T51 和 T64 截止，T54 和 T61 导通；由于 ST(N-1) 点为低电位，因此 T11、T52 和 T62 截止；由于第 N+1 级栅极驱动单元输出的栅极信号 $G(N+1)$ 为低电位，因此 T31、T41 和 T73 截止；由于 T11 截止，因此 T21 和 T22 截止，ST(N) 点保持在低电位；由于 ST(N) 点为低电位，因此 T53 和 T63 截止；由于 T54 导通且 LC1 为低电位，因此 P(N) 点转为低电位，T32 和 T42 截止；由于 T61 导通且 LC2 为高电位，因此 K(N) 点转为高电位，T33 和 T43 导通，进而使得 Q(N) 点和 G(N) 点的电位继续保持在第一电源 VSS1 的电位。

图 10C 显示了图 10A 所示的栅极驱动单元在实际情况下的信号时序图。从图 10C 可以看出，ST(N) 点的电位被下拉至第一电源 VSS1 的电位，使得 P(N) 点和 K(N) 点的电位能够快速上升，从而加强了栅极驱动单元的响应能力。这一点对于大尺寸的液晶显示面板尤为重要。但是在实际应用中，考虑到续传信号 ST

(N) 的负载能力, 晶体管 T73 的尺寸不宜过大, 因此晶体管 T73 的下拉能力有限。特别是当 ST (N) 点的电位下降的延迟时间超出 G (N) 点的电位下降的延迟时间时, Q (N) 点可能会出现较强的漏电, 致使下一帧的 Q (N+1) 不能抬升到正常的电位 (如图 10D 所示)。因此需要通过其他途径进一步强化第一下拉单元 400 的下拉能力。

图 11A 显示了本发明实施例九的栅极驱动单元的电路结构示意图。该电路是在图 10A 所示的栅极驱动单元的基础上对其中的第一下拉单元 400 做出了进一步改进。具体地, 将输入给晶体管 T41 栅极的下拉控制信号改为第 N+2 级栅极驱动单元输出的栅极信号 G (N+2), 而输入给晶体管 T31 和 T73 栅极的下拉控制信号仍然保持第 N+1 级栅极驱动单元输出的栅极信号 G (N+1) 不变。

图 11B 显示了图 11A 所示的栅极驱动单元在理想情况下的信号时序图。下面以时段 IV 和时段 V 为例详细地说明该电路的工作原理。

在时段 IV 期间: 由于 LC1 为高电位, LC2 为低电位, 因此 T51 和 T64 导通, T54 和 T61 截止; 由于 ST (N-1) 点为低电位, 因此 T11、T52 和 T62 截止; 由于第 N+1 级栅极驱动单元输出的栅极信号 G (N+1) 为高电位, 第 N+2 级栅极驱动单元输出的栅极信号 G (N+2) 为低电位, 因此 T31 和 T73 导通, T41 截止; 同时, 由于 Q (N) 点的电位不是直接地而是分阶段地下拉至第一电源 VSS1 的电位, 因此 T21 和 T22 需要经过一定的延迟才能完全关闭; 由此在晶体管 T21 和 T31 的共同作用下, G (N) 点被下拉至低电位, 在晶体管 T22 和 T73 的共同作用下, ST (N) 点被下拉至低电位; 由于 ST (N) 点为低电位, 因此 T53 和 T63 截止; 由于 T51 导通且 LC1 为高电位, 因此 P (N) 点转为高电位; 由于 T64 导通且 LC2 为低电位, 因此 K (N) 点保持低电位。

在时段 V 期间: 由于 LC1 转为低电位, LC2 转为高电位, 因此 T51 和 T64 截止, T54 和 T61 导通; 由于 ST (N-1) 点为低电位, 因此 T11、T52 和 T62 截止; 由于第 N+1 级栅极驱动单元输出的栅极信号 G (N+1) 为低电位, 第 N+2 级栅极驱动单元输出的栅极信号 G (N+2) 为高电位, 因此 T31 和 T73 截止, T41 导通; 由于 T41 导通, 因此 Q (N) 点的电位保持在第一电源 VSS1 的电位; 由于 Q (N) 点为低电位, 因此 T21 和 T22 截止; 由于 T21 截止, 因此 ST (N) 点保持在低电位; 由于 ST (N) 点为低电位, 因此 T53 和 T63 截止; 由于 T54 导通且 LC1 为低电位, 因此 P (N) 点转为低电位, T32 和 T42 截止; 由于 T61 导

通且 LC2 为高电位，因此 K (N) 点转为高电位，T33 和 T43 导通，进而使得 Q (N) 点和 G (N) 点的电位继续保持在第一电源 VSS1 的电位。

进一步地，在上述第一下拉单元 400 中，由于在时段 IV 期间，G (N) 点的电位只通过晶体管 T22 也能够下拉至低电位，并且在时段 V 期间，G (N) 点的电位只通过下拉保持模块 510 和 520 也能够保持在低电位，因此可以去掉晶体管 T31 (图 12 显示的实施例十的栅极驱动单元)。去掉晶体管 T31 后的栅极驱动单元的工作方法没有发生变化，其信号时序图与图 11B 完全相同，此处不再赘述。

图 13A 显示了包含图 11A 所示的栅极驱动单元的栅极驱动电路的输出信号示意图 (利用 SPICE 模拟)。相应地，图 13B 是 Q (N) 点的信号波形图，图 13C 是 P (N) 点和 K (N) 点的信号波形图。从图中可以看出，栅极驱动电路的工作性能稳定，相邻级数之间的栅极电压相差不足 0.1V，所有级数的栅极驱动单元都能完整输出。

在上面十个实施例中，第一电源 VSS1 用于下拉 G (N) 点和 Q (N) 点的电位，第二电源 VSS2 用于下拉 P (N) 点和 K (N) 点的电位，以及必要时下拉 ST (N) 点的电位，从而消除了因为两个负电源之间的电压差而存在的漏电回路 L100 和 L200。需要说明的是，本发明的提出的技术方案可以不限于此。在实际应用中，也可以根据需要只消除漏电回路 L200。下面参照附图和实施例详细的说明这种情况的栅极驱动电路及其工作原理。

图 14A 显示了本发明实施例十一的栅极驱动单元的电路结构示意图。该电路也是在图 2A 所示的栅极驱动单元的基础上做出了改进。具体地，在第一下拉单元 400 中新增了晶体管 T44。其中，晶体管 T44 的栅极短接源极，并耦接晶体管 T41 的漏极，晶体管 T44 的漏极耦接第二电源 VSS2。晶体管 T44 相当于一个正极连接晶体管 T41 的源极的二极管，用于阻止漏电流从第二电源 VSS2 流向第一电源 VSS1。通常，晶体管 T44 的沟道宽度应该设置成晶体管 T41 的沟道宽度的 5~10 倍，才能有效地阻止两个负电源之间的串扰电流，也即漏电流。

图 14B 显示了图 14A 所示的栅极驱动单元的信号时序图。其中，第一时钟讯号 CK 和第二时钟讯号 XCK 为相位互补的两组脉冲信号。

在时段 I 期间：由于 CK 为高电位，XCK 为低电位，因此 T51 导通，T61 截止；由于 ST (N-1) 点为低电位，因此 T11 截止；由于 T11 截止，因此 T21 和 T22 截止，T52 和 T62 截止；由于 T21 和 T22 截止，因此 ST (N) 点为低电位；

由于 T51 导通且 CK 为高电位，因此 P (N) 点同 CK 一样为高电位；由于 T61 和 T62 截止，因此 K (N) 点会因前一个时段 XCK 为高电位而仍然保持高电位（因为缺乏放电路径）；由于 P (N) 点和 K (N) 点为高电位，因此 T32 和 T42 导通，T33 和 T43 导通，进而使得 Q (N) 点的电位被下拉至第二电源 VSS2 的电位，使得 G (N) 点的电位被下拉至第一电源 VSS1 的电位。

在时段 II 期间：由于 CK 为低电位，XCK 为高电位，因此 T51 截止，T61 导通；由于 ST (N-1) 点为高电位，因此 T11 导通；由于 T11 导通且第 N-1 级栅极驱动单元输出的栅极信号 G (N-1) 为高电位，因此 T21 和 T22 导通，T52 和 T62 导通，同时 Cb 在 G (N-1) 的作用下充电而达到第一电位，也即将 Q (N) 点的电位抬升至第一电位；由于 T22 导通且 CK 为低电位，因此 ST (N) 点为低电位；由于 T52 和 T62 导通，因此 P (N) 点和 K (N) 点的电位被下拉至第二电源 VSS2 的电位，进而使得 T32 和 T42 截止，T33 和 T43 截止；由于 T21 导通但 CK 为低电位，因此 G (N) 点保持在低电位。

在时段 III 期间：由于 CK 为高电位，XCK 为低电位，因此 T51 导通，T61 截止；由于 ST (N-1) 点为低电位，因此 T11 截止；由于 Cb 的储能作用，因此 T21 和 T22 的栅极仍然保持高电位，T21 和 T22 保持导通，同理 T52 和 T62 也保持导通；由于 T22 导通且 CK 为高电位，因此 ST (N) 点与 CK 一样为高电位；由于 T52 和 T62 导通，因此 P (N) 点和 K (N) 点的电位仍然保持在第二电源 VSS2 的电位，进而使得 T32 和 T42 截止，T33 和 T43 截止；由于 CK 为高电位，因此 Cb 在 CK 的作用下再次充电而达到比第一电位更高的第二电位，也即将 Q (N) 点的电位抬升至比第一电位更高的第二电位；由于 T21 导通且 CK 为高电位，因此 G (N) 点同 CK 一样为高电位。

在时段 IV 期间：由于 CK 为低电位，XCK 为高电位，因此 T51 截止，T61 导通；由于 ST (N-1) 点为低电位，因此 T11 截止；由于第 N+1 级栅极驱动单元输出的栅极信号 G (N+1) 为高电位，因此 T31 和 T41 导通；由于 T41 导通，且 Q (N) 点的电位从第二电位开始下降，因此晶体管 T44 会短时间地处于导通状态，直至 Q (N) 点的电位接近第二电源 VSS2 的电位；由于 T31 导通，因此 G (N) 点的电位被下拉至第一电源 VSS1 的电位；当 Q (N) 点的电位被下拉至第二电源 VSS2 的电位时，T21 和 T22 截止，T52 和 T62 截止，ST (N) 点为低电位；由于 T51 和 T52 截止，因此 P (N) 点保持在低电位；由于 T61 导通且 XCK

为高电位，因此 $K(N)$ 点同 XCK 一样为高电位。

在时段 V 期间：由于 CK 为高电位， XCK 为低电位，因此 $T51$ 导通， $T61$ 截止；由于 $ST(N-1)$ 点为低电位，因此 $T11$ 截止；会因前一个时段 $Q(N)$ 点的电位已经被下拉至为第二电源 $VSS2$ 的电位，因此 $T21$ 和 $T22$ 截止；由于 $T21$ 和 $T22$ 截止，因此 $ST(N)$ 点为低电位；由于第 $N+1$ 级栅极驱动单元输出的栅极信号 $G(N+1)$ 为低电位，因此 $T31$ 和 $T41$ 截止；由于 $T51$ 导通且 CK 为高电位，因此 $P(N)$ 点同 CK 一样为高电位；由于 $T61$ 和 $T62$ 截止，因此 $K(N)$ 点会因前一个时段 XCK 为高电位而仍然保持高电位（因为缺乏放电路径）；由于 $P(N)$ 点和 $K(N)$ 点为高电位，因此 $T32$ 和 $T42$ 导通， $T33$ 和 $T43$ 导通，进而使得 $Q(N)$ 点的电位仍然保持在第二电源 $VSS2$ 的电位，使得 $G(N)$ 点的电位仍然保持在第一电源 $VSS1$ 的电位。

在时段 VI 期间：由于 CK 为低电位， XCK 为高电位，因此 $T51$ 截止， $T61$ 导通；由于 $ST(N-1)$ 点为低电位，因此 $T11$ 截止；会因前一个时段 $Q(N)$ 点的电位保持在第二电源 $VSS2$ 的电位，因此 $T21$ 和 $T22$ 截止；由于 $T21$ 和 $T22$ 截止，因此 $ST(N)$ 点为低电位；由于第 $N+1$ 级栅极驱动单元输出的栅极信号 $G(N+1)$ 为低电位，因此 $T31$ 和 $T41$ 截止；由于 $T51$ 和 $T52$ 截止，因此 $P(N)$ 点会因前一个时段 CK 为高电位而仍然保持高电位（因为缺乏放电路径）；由于 $T61$ 导通且 XCK 为高电位，因此 $K(N)$ 点同 CK 一样为高电位；由于 $P(N)$ 点和 $K(N)$ 点为高电位，因此 $T32$ 和 $T42$ 导通， $T33$ 和 $T43$ 导通，进而使得 $Q(N)$ 点的电位仍然保持在第二电源 $VSS2$ 的电位，使得 $G(N)$ 点的电位仍然保持在第一电源 $VSS1$ 的电位。

图 15A 显示了本发明实施例十二的栅极驱动单元的电路结构示意图。该电路是在图 14A 所示的栅极驱动单元的基础上对其中的下拉保持单元 500 做出了改进。具体地，该电路新增了晶体管 $T54$ 和 $T64$ ，分别构成 $P(N)$ 点和 $K(N)$ 点的放电路径。

晶体管 $T54$ 的栅极短接漏极，并且耦接 $P(N)$ 点，晶体管 $T54$ 的源极耦接晶体管 $T51$ 的源极，以接收第一时钟讯号 CK 。晶体管 $T54$ 相当于一个正极连接 $P(N)$ 点的二极管，用于将 $P(N)$ 点的电位快速地下拉至第一时钟讯号 CK 的低电位。

晶体管 $T64$ 的栅极短接漏极，并且耦接 $P(N)$ 点，晶体管 $T64$ 的源极耦接

晶体管 T61 的源极，以接收第二时钟讯号 XCK。晶体管 T64 相当于一个正极连接 K (N) 点的二极管，用于将 K (N) 点的电位快速地下拉至第二时钟讯号 XCK 的低电位。

图 15B 显示了图 15A 所示的栅极驱动单元的信号时序图。下面以时段 V 和时段 VI 为例详细地说明该电路的工作原理。

在时段 V 期间：由于 CK 为高电位，XCK 为低电位，因此 T51 和 T64 导通，T54 和 T61 截止；由于 T51 导通且 CK 为高电位，因此 P (N) 点同 CK 一样为高电位；虽然 T61 截止，但是 T64 导通，因此 K (N) 点的电位通过 T64 被快速地下拉至 XCK 的低电位。

在时段 VI 期间：由于 CK 为低电位，XCK 为高电位，因此 T51 和 T64 截止，T54 和 T61 导通；虽然 T51 截止，但是 T54 导通，因此 P (N) 点的电位通过 T54 被快速地下拉至 CK 的低电位；由于 T61 导通且 XCK 为高电位，因此 K (N) 点同 CK 一样为高电位。

从上面的信号时序分析可以看出，虽然本实施例中的晶体管 T54 和 T64 与实施例二中的晶体管 T54 和 T64 的连接方式不同，但是工作原理一样，能够实现相同的技术效果。

图 16A 显示了本发明实施例十三的栅极驱动单元的电路结构示意图。该电路与实施例八的栅极驱动单元的电路结构十分相似，只是第一电源 VSS1 用于下拉 G (N) 点、P (N) 点和 K (N) 点的电位，第二电源 VSS2 用于下拉 Q (N) 点和 ST (N) 点的电位。晶体管 T54 和 T64 采用了实施例十二中晶体管 T54 和 T64 的连接方式。此外，在第一下拉单元中增加了晶体管 T44，用于阻止漏电流从第二电源 VSS2 流向第一电源 VSS1。

图 16B 显示了图 16A 所示的栅极驱动单元的信号时序图。由于本实施例的栅极驱动单元与实施例八的栅极驱动单元的工作原理相同，因此此处不再赘述。

图 17 显示了包含图 16A 所示栅极驱动单元的栅极驱动电路的输出信号示意图（利用 SPICE 模拟）。从图中可以看出，在输出 60 级 5 帧画面信号的期间，栅极驱动电路的工作性能稳定，相邻级数之间的栅极电压相差不足 0.1V，所有级数的栅极驱动单元都能完整输出。

由于 ST (N+1) 信号与 G (N+1) 信号同步，因此上述实施例中的 G (N+1) 信号也可以替换为 ST (N+1) 信号。

虽然本发明所披露的实施方式如上，但所述的内容只是为了便于理解本发明而采用的实施方式，并非用于限定本发明。任何本发明所属技术领域内的技术人员，在不脱离本发明所揭露的精神和范围的前提下，在实施的形式上及细节上所作的任何修改与变化，都应该在本发明的专利保护范围内。

权利要求书

1. 一种栅极驱动电路，其中包括多级栅极驱动单元，所述第 N 级栅极驱动单元包括：

上拉控制单元，其用于输出上拉控制信号；

上拉单元，其控制端耦接所述上拉控制单元的输出端，以根据所述上拉控制信号和时钟讯号上拉栅极信号输出端的电位，使本级栅极驱动单元输出栅极信号；

下传单元，其控制端耦接所述上拉控制单元的输出端，以根据所述上拉控制信号和时钟讯号输出续传信号；

第一下拉单元，其耦接在所述栅极信号输出端、上拉单元和下传单元的控制端与第一电源和第二电源之间，以根据下拉控制信号将所述栅极信号输出端的电位和/或将所述上拉单元和下传单元的控制端的电位下拉至所述第一电源或第二电源的电位，从而关闭所述栅极信号输出端和/或关闭所述上拉单元和下传单元；

下拉保持单元，其耦接在所述栅极信号输出端、上拉单元和下传单元的控制端与第一电源和第二电源之间，以根据下拉保持控制信号将所述栅极信号输出端的电位和/或将所述上拉单元和下传单元的控制端的电位保持在所述第一电源或第二电源的电位；

其中，所述第一下拉单元和/或下拉保持单元还耦接在所述下传单元的输出端与第二电源之间，用于将所述续传信号下拉和/或保持在所述第二电源的电位，所述第二电源的电位低于所述第一电源的电位。

2. 如权利要求 1 所述的栅极驱动电路，其中：

所述第一电源和第二电源均为负电压。

3. 如权利要求 1 所述的栅极驱动电路，其中所述下拉保持单元中包括能够交替工作的第一下拉保持模块和第二下拉保持模块，每一个下拉保持模块均包括：

控制子模块，其用于输出所述下拉保持控制信号；

第一下拉晶体管，其栅极耦接所述控制子模块的输出端，以接收所述下拉保持控制信号，其第一端耦接所述栅极信号输出端，其第二端耦接所述第一电源或

第二电源；

第二下拉晶体管，其栅极耦接所述控制子模块的输出端，以接收所述下拉保持控制信号，其第一端耦接所述上拉控制单元的输出端，其第二端耦接所述第一电源或第二电源；

第三下拉晶体管，其栅极耦接所述控制子模块的输出端，以接收所述下拉保持控制信号，其第一端和第二端分别耦接所述下传单元的输出端和第二电源。

4. 如权利要求 3 所述的栅极驱动电路，其中所述控制子模块均包括：

第一晶体管，其栅极短接第一端，其第二端耦接所述控制子模块的输出端；

第二晶体管，其第一端和第二端分别耦接所述第一晶体管的第一端和所述控制子模块的输出端；

第三晶体管，其栅极接收第 N-1 级栅极驱动单元输出的续传信号，其第一端和第二端分别耦接所述控制子模块的输出端和第二电源；

第四晶体管，其栅极接收本级栅极驱动单元输出的续传信号，其第一端和第二端分别耦接所述控制子模块的输出端和第二电源；

其中，所述第一下拉保持模块的第一晶体管的栅极和所述第二下拉保持模块的第二晶体管的栅极接收第一控制信号，所述第一下拉保持模块的第二晶体管的栅极和所述第二下拉保持模块的第一晶体管的栅极接收第二控制信号，所述第一控制信号和第二控制信号为相位互补的脉冲信号。

5. 如权利要求 3 所述的栅极驱动电路，其中所述控制子模块均包括：

第一晶体管，其栅极短接第一端，其第二端耦接所述控制子模块的输出端；

第二晶体管，其栅极耦接所述控制子模块的输出端，第一端和第二端分别耦接所述第一晶体管的第一端和所述控制子模块的输出端；

第三晶体管，其栅极接收第 N-1 级栅极驱动单元输出的续传信号，其第一端和第二端分别耦接所述控制子模块的输出端和第二电源；

第四晶体管，其栅极接收本级栅极驱动单元输出的续传信号，其第一端和第二端分别耦接所述控制子模块的输出端和第二电源；

其中，所述第一下拉保持模块的第一晶体管的栅极接收第一控制信号，所述第二下拉保持模块的第一晶体管的栅极接收第二控制信号，所述第一控制信号和

第二控制信号为相位互补的脉冲信号。

6. 如权利要求 4 所述的栅极驱动电路，其中：

所述第一控制信号为所述时钟讯号。

7. 如权利要求 5 所述的栅极驱动电路，其中：

所述第一控制信号为所述时钟讯号。

8. 如权利要求 4 所述的栅极驱动电路，其中：

所述第一控制信号为低频的脉冲信号。

9. 如权利要求 8 所述的栅极驱动电路，其中：

当第 $N+2$ 级栅极驱动单元输出高电位的栅极信号时，所述第一控制信号发生翻转。

10. 如权利要求 1 所述的栅极驱动电路，其中：

所述第一下拉单元将所述栅极信号输出端的电位下拉至所述第一电源的电位，以及将所述上拉单元和下传单元的控制端的电位下拉至所述第二电源的电位；

所述下拉保持单元将所述栅极信号输出端的电位保持在所述第一电源的电位，以及将所述上拉单元和下传单元的控制端的电位保持在所述第二电源的电位。

11. 如权利要求 1 所述的栅极驱动电路，其中：

所述第一下拉单元将所述栅极信号输出端的电位，以及将所述上拉单元和下传单元的控制端的电位下拉至所述第一电源的电位；

所述下拉保持单元将所述栅极信号输出端的电位，以及将所述上拉单元和下传单元的控制端的电位保持在所述第一电源的电位。

12. 如权利要求 11 所述的栅极驱动电路，其中所述第一下拉单元包括：

第一晶体管，其栅极接收所述下拉控制信号，其第一端和第二端分别耦接所述上拉控制单元的输出端和第一电源；

第二晶体管，其栅极接收所述下拉控制信号，其第一端和第二端分别耦接所述栅极信号输出端和第一电源；

其中，所述下拉控制信号为第 $N+1$ 级栅极驱动单元输出的栅极信号或者第 $N+2$ 级栅极驱动单元输出的栅极信号。

13. 如权利要求 11 所述的栅极驱动电路，其中所述第一下拉单元包括：

第一晶体管，其栅极接收所述下拉控制信号，其第一端和第二端分别耦接所述上拉控制单元的输出端和第一电源；

其中，所述下拉控制信号为第 $N+2$ 级栅极驱动单元输出的栅极信号。

14. 如权利要求 11 所述的栅极驱动电路，其中所述第一下拉单元包括：

第一晶体管，其栅极接收所述下拉控制信号，其第一端和第二端分别耦接所述上拉控制单元的输出端和第一电源；

第二晶体管，其栅极接收所述下拉控制信号，其第一端和第二端分别耦接所述栅极信号输出端和第一电源；

第三晶体管，其栅极接收所述下拉控制信号，其第一端和第二端分别耦接所述下传单元的输出端和第二电源；

其中，所述下拉控制信号为第 $N+1$ 级栅极驱动单元输出的栅极信号。

15. 如权利要求 11 所述的栅极驱动电路，其中所述第一下拉单元包括：

第一晶体管，其栅极接收第一下拉控制信号，其第一端和第二端分别耦接所述上拉控制单元的输出端和第一电源；

第二晶体管，其栅极接收第二下拉控制信号，其第一端和第二端分别耦接所述下传单元的输出端和第二电源；

其中，所述第一下拉控制信号为第 $N+2$ 级栅极驱动单元输出的栅极信号，所述第二下拉控制信号为第 $N+1$ 级栅极驱动单元输出的栅极信号。

16. 如权利要求 15 所述的栅极驱动电路，其中所述第一下拉单元还包括：

第三晶体管，其栅极接收所述第二下拉控制信号，其第一端和第二端分别耦接所述栅极信号输出端和第一电源。

17. 如权利要求 12 所述的栅极驱动电路，其中所述第一下拉单元还包括：
阻流晶体管，其栅极短接第一端，其第一端和第二端分别耦接所述第一晶体管的第二端和第二电源。

18. 如权利要求 13 所述的栅极驱动电路，其中所述第一下拉单元还包括：
阻流晶体管，其栅极短接第一端，其第一端和第二端分别耦接所述第一晶体管的第二端和第二电源。

19. 如权利要求 16 所述所述的栅极驱动电路，其中：
所述第一下拉单元中，所述阻流晶体管的沟道宽度是所述第一晶体管的沟道宽度的 5~10 倍。

20. 如权利要求 1 所述所述的栅极驱动电路，其中：
所述上拉控制信号为第 N-1 级栅极驱动单元输出的栅极信号。

Ref: YH1450479PCT

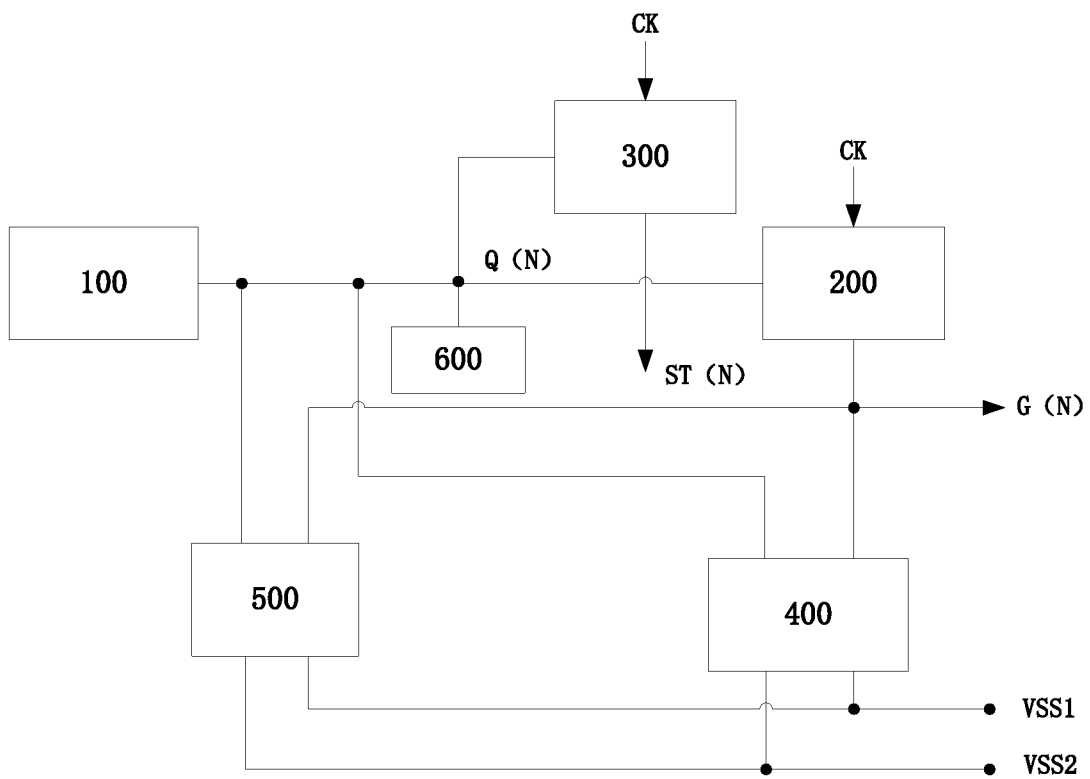


图 1

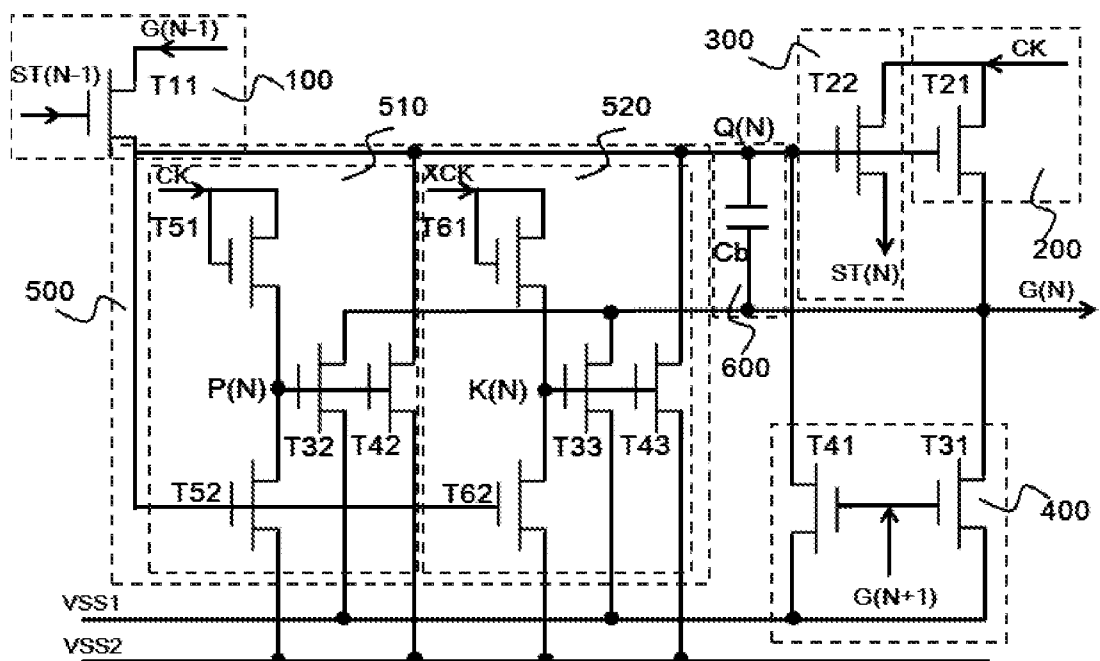


图 2A

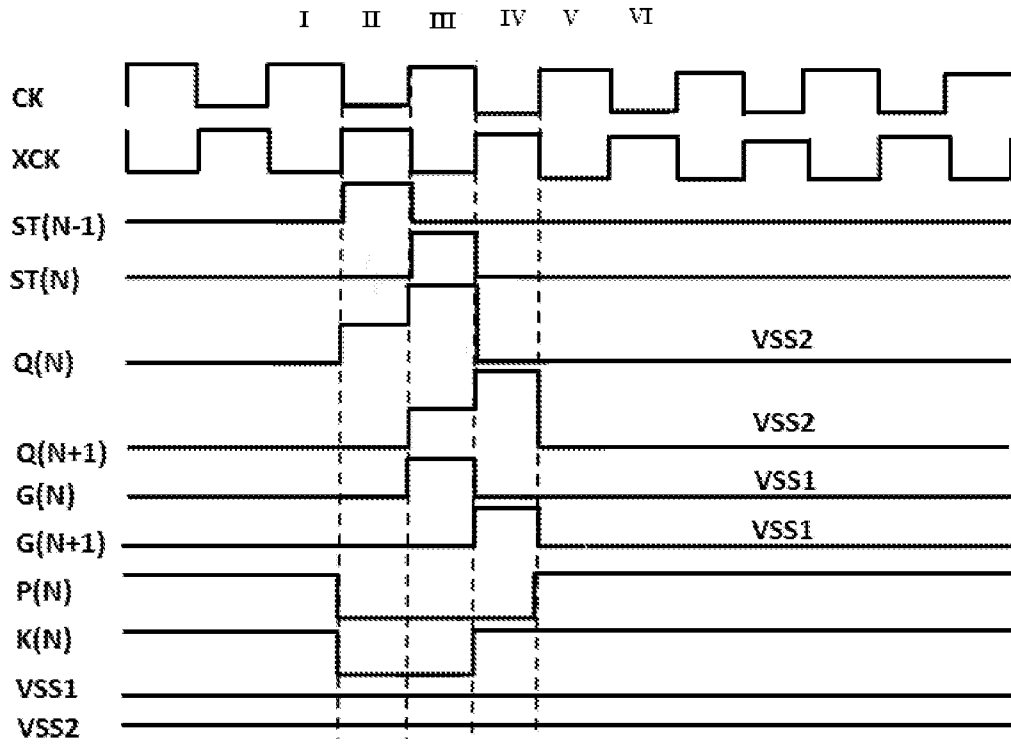


图 2B

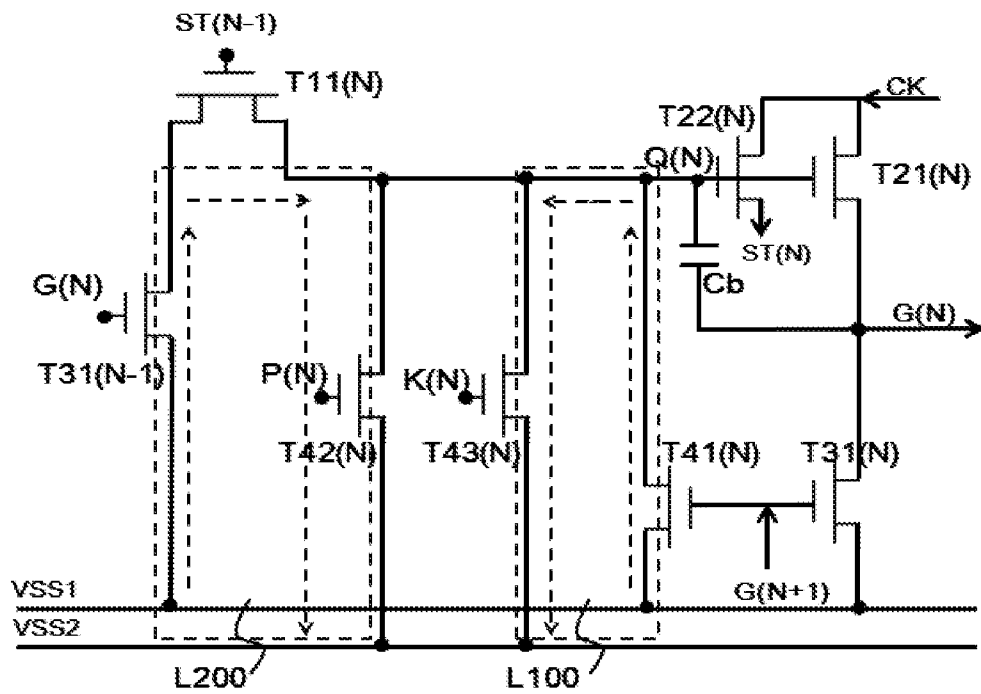


图 2C

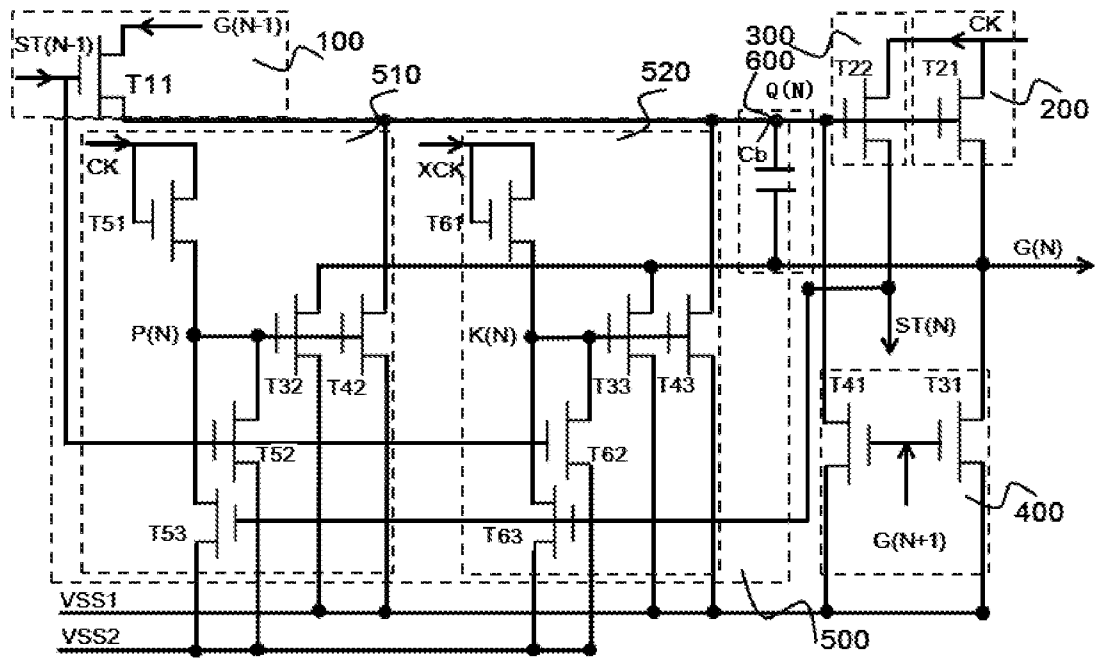


图 3A

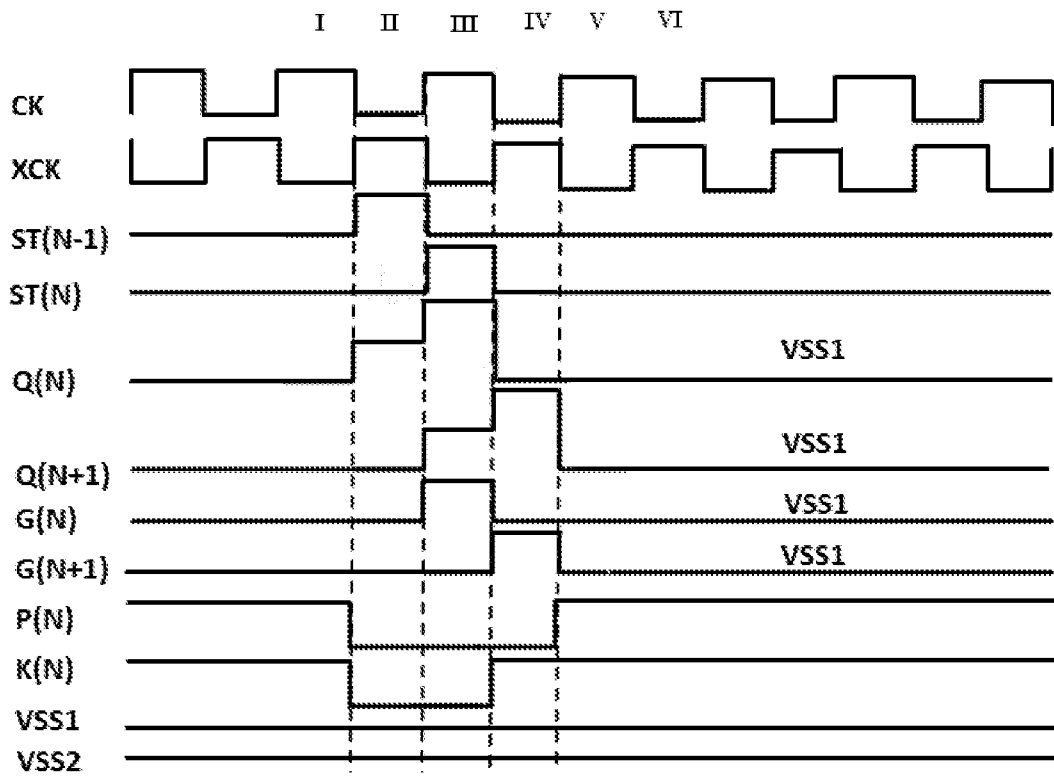


图 3B

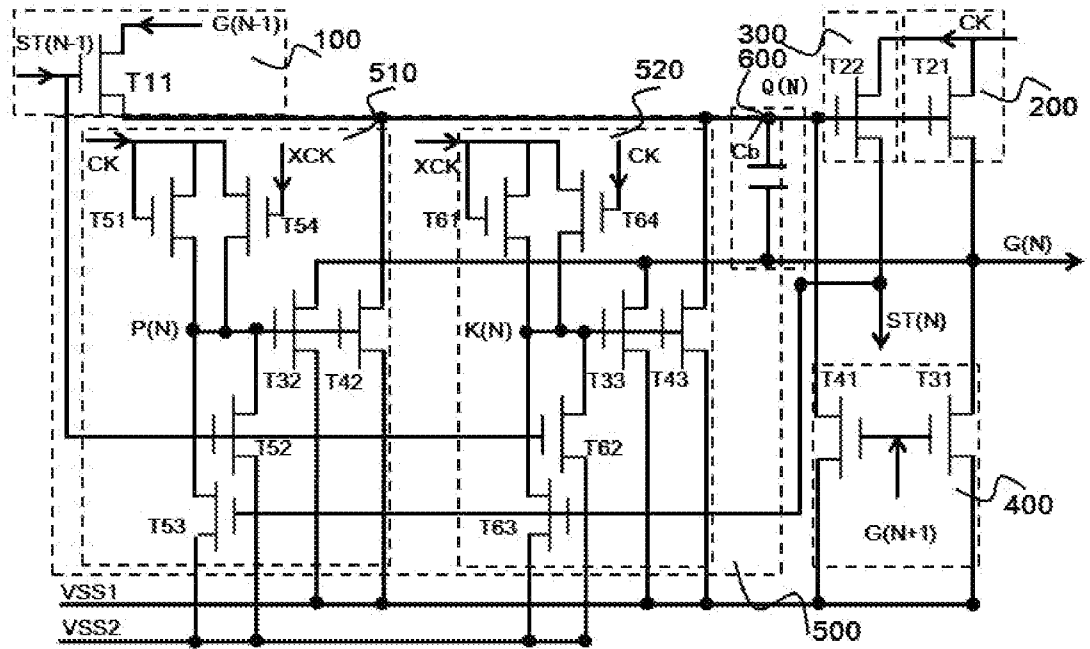


图 4A

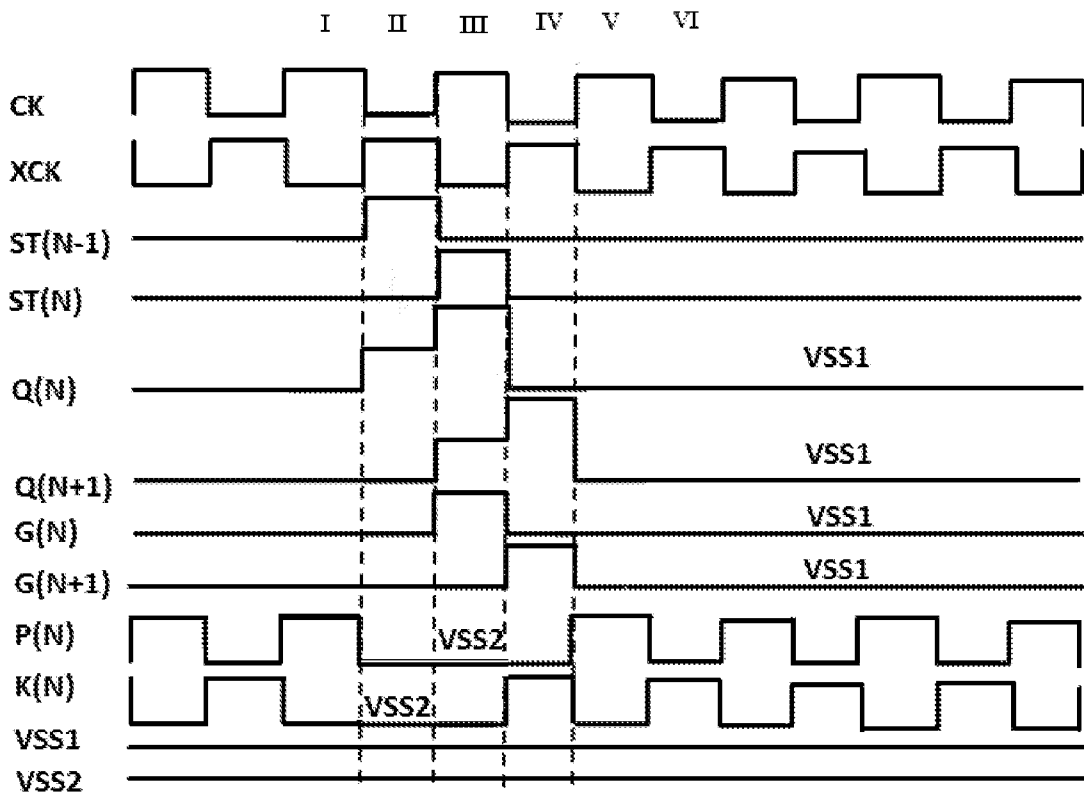


图 4B

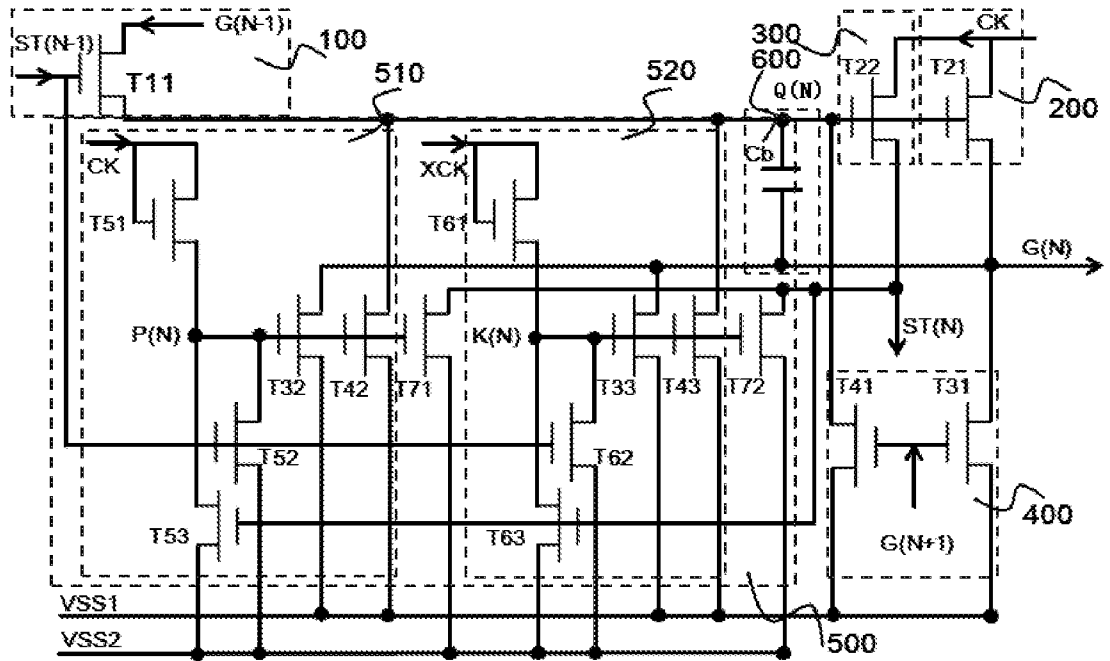


图 5A

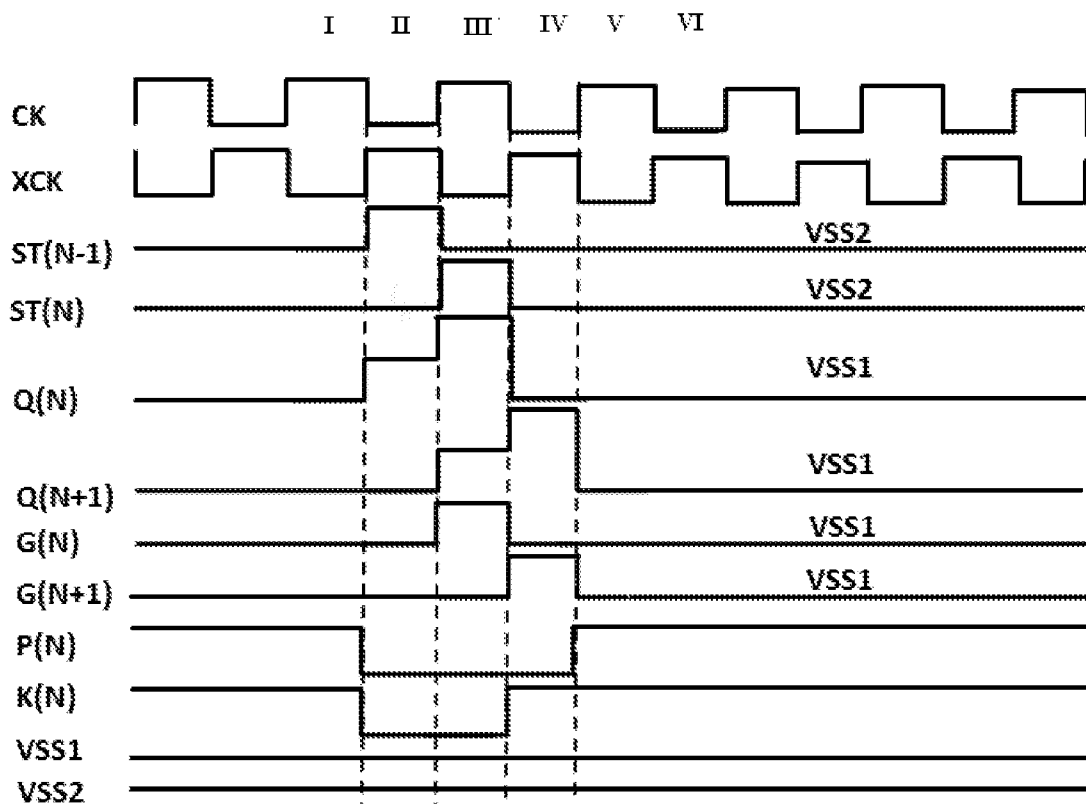


图 5B

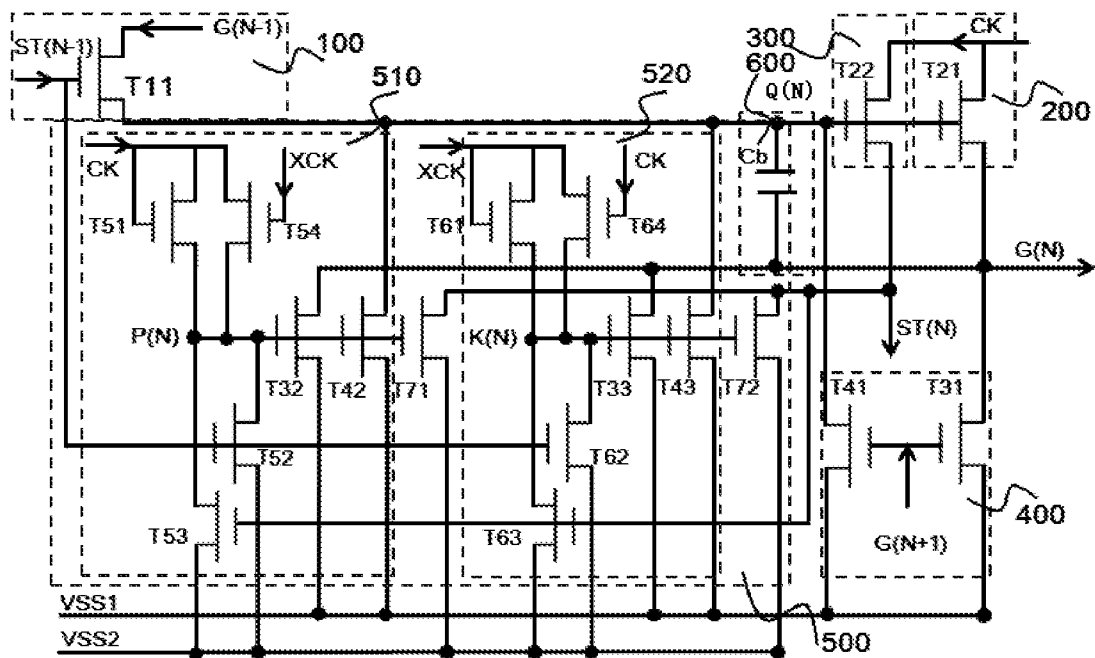


图 6A

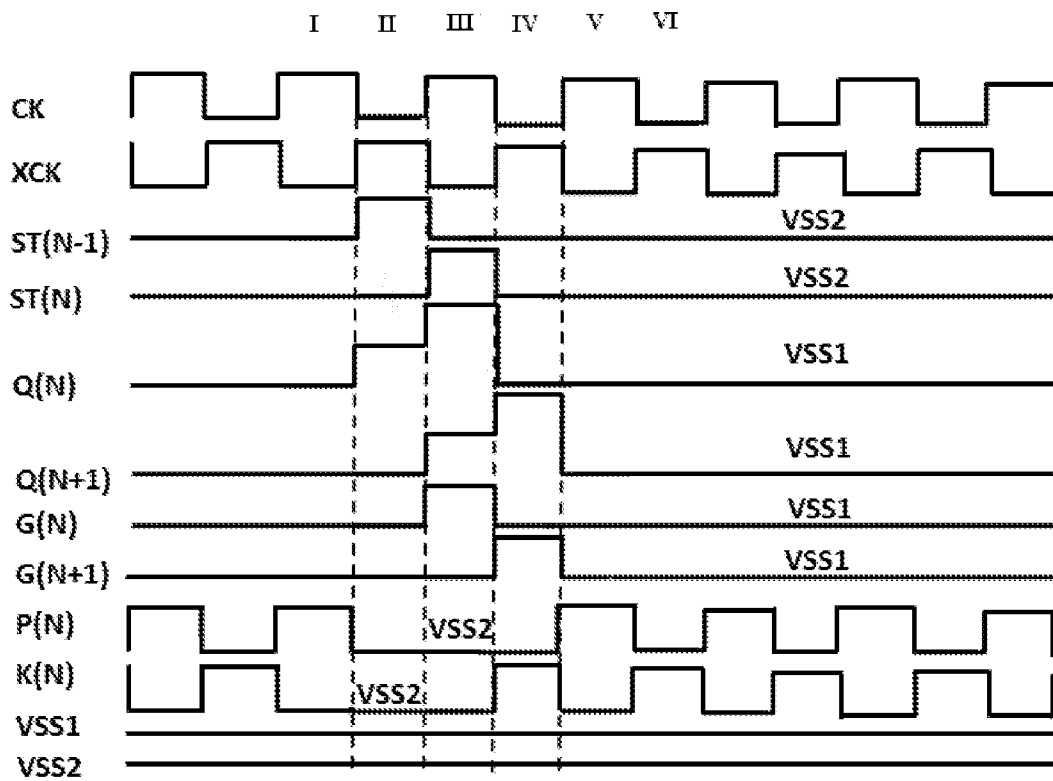


图 6B

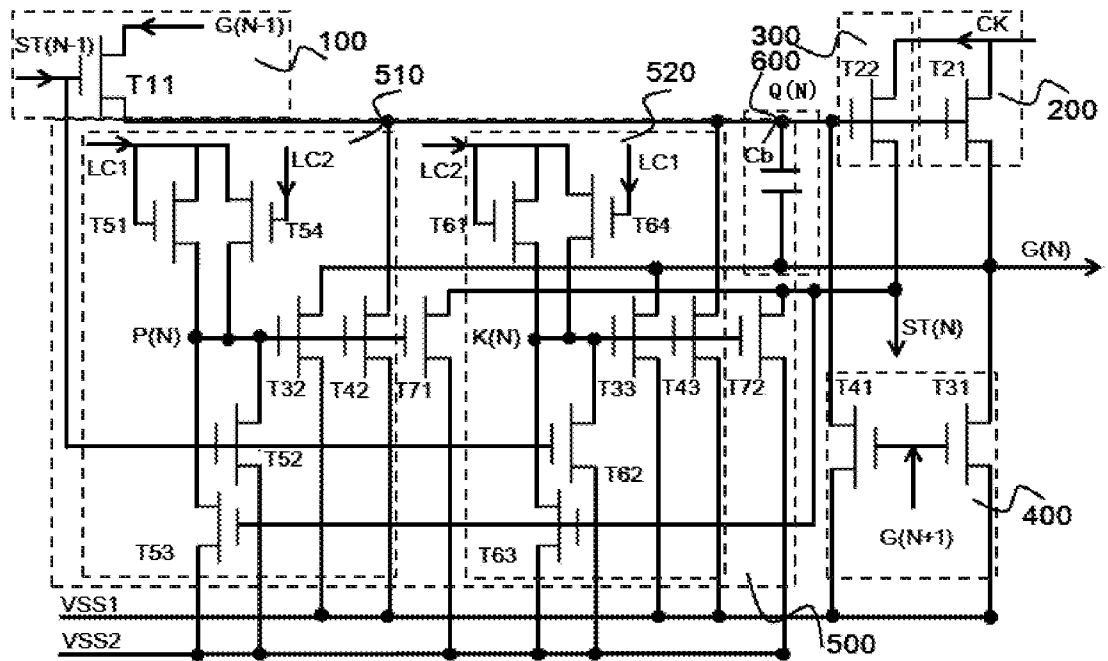


图 7A

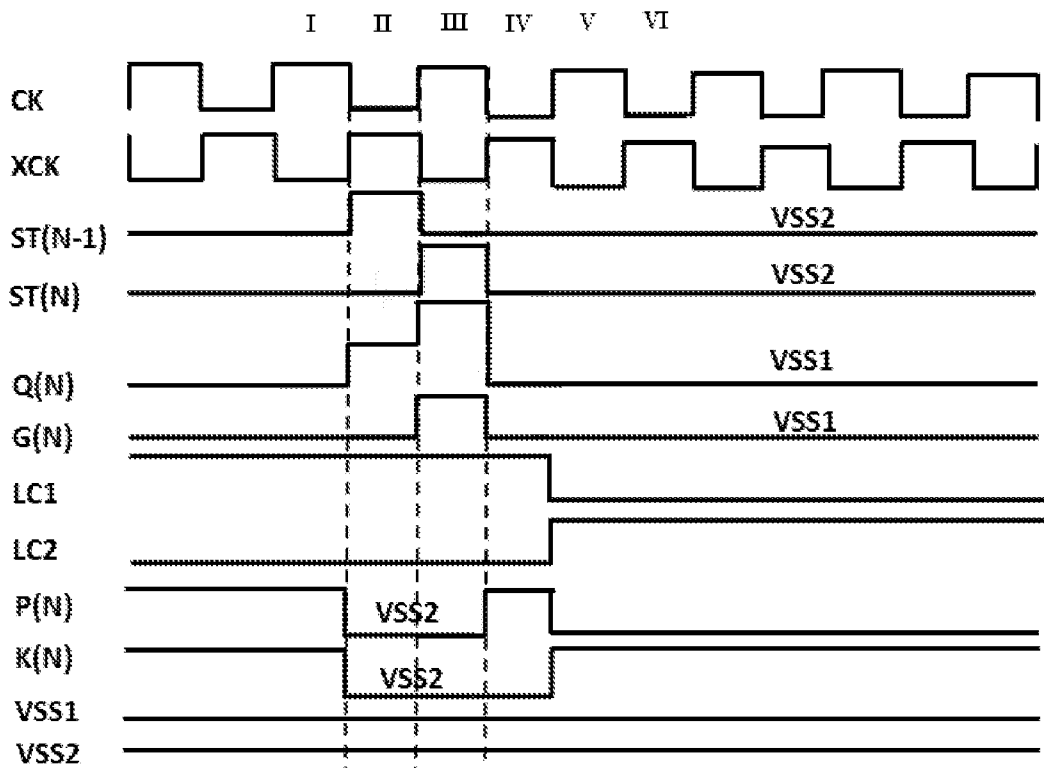


图 7B

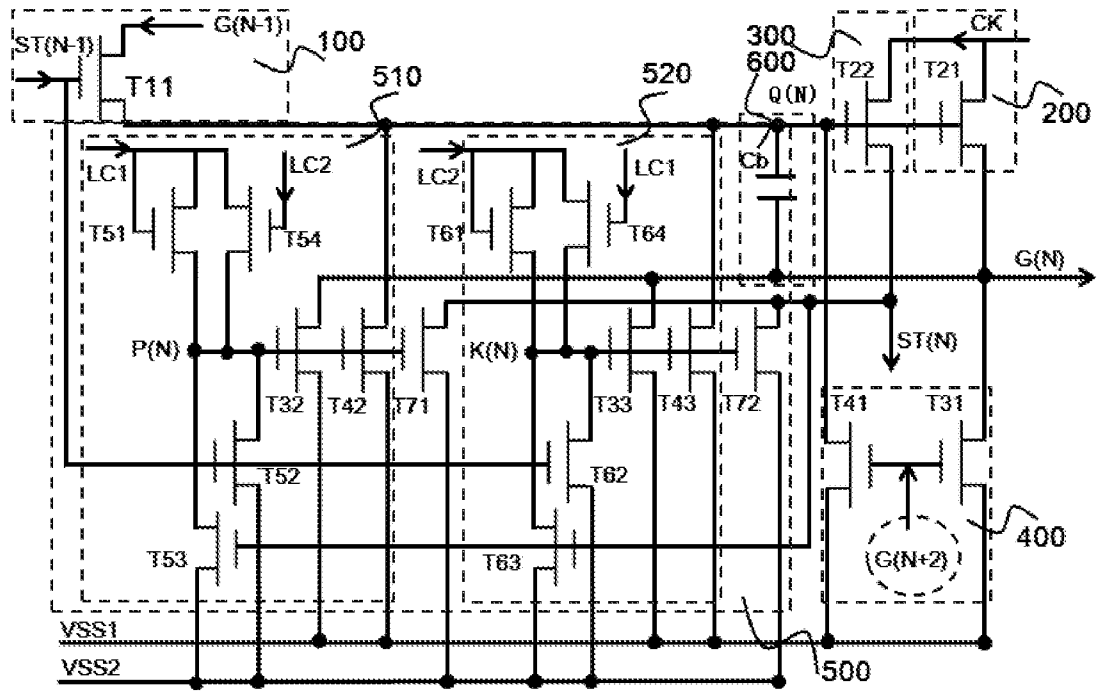


图 8A

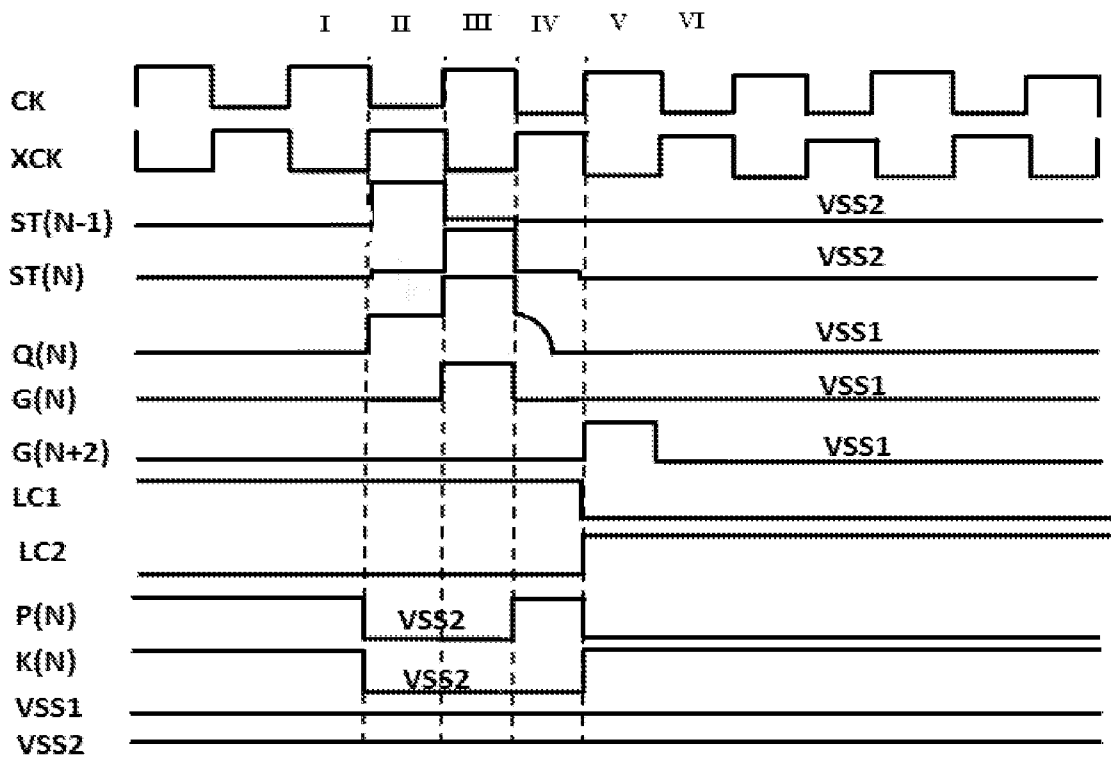


图 8B

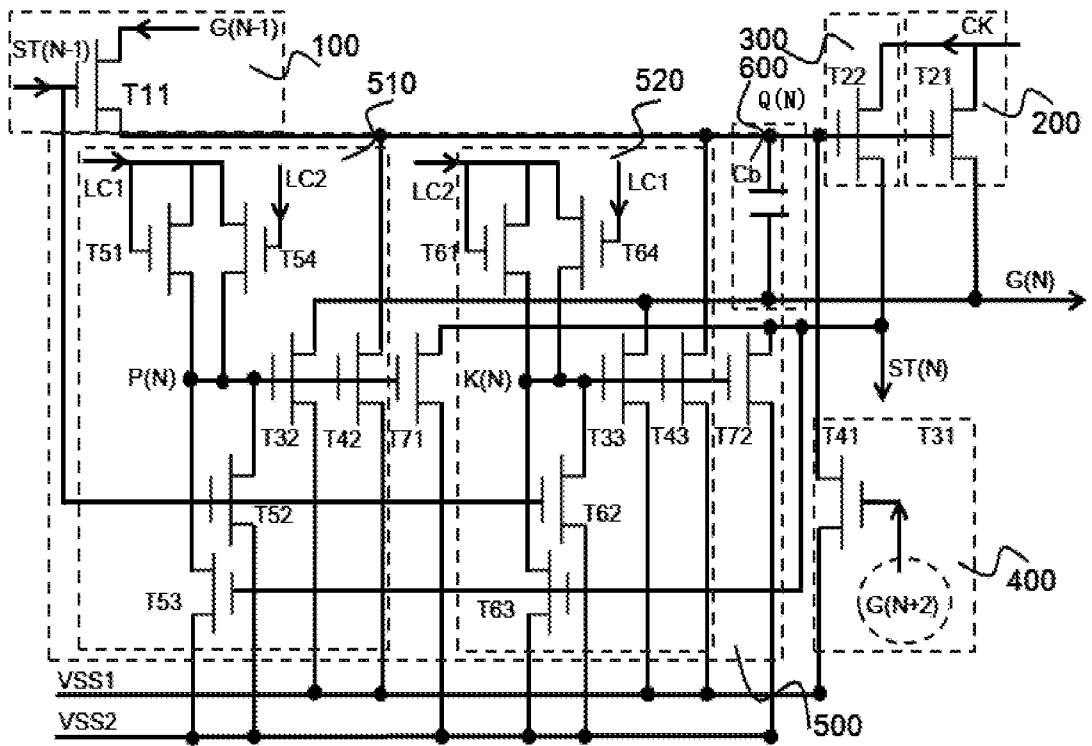


图 9

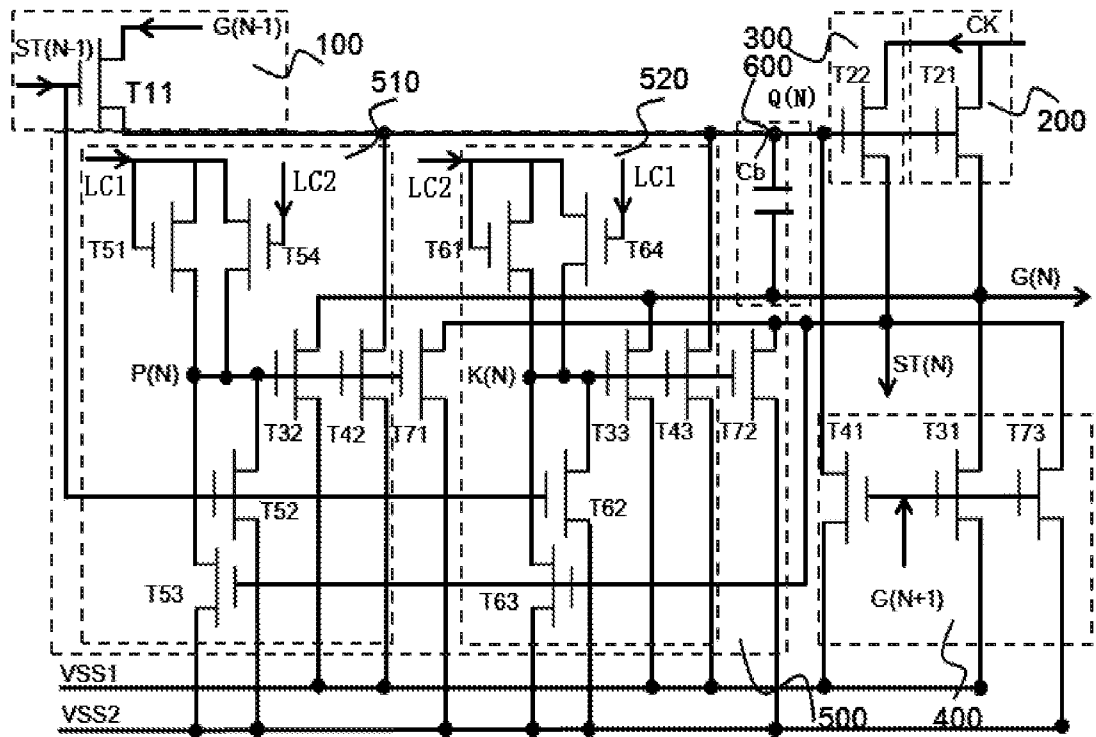


图 10A

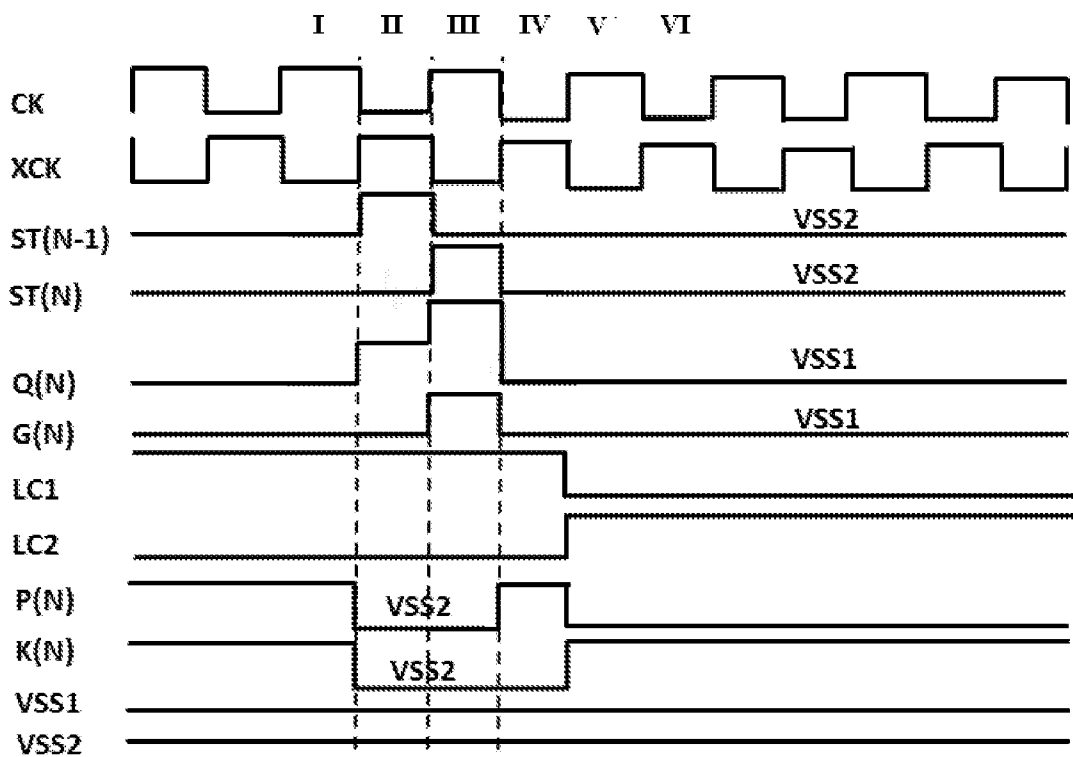


图 10B

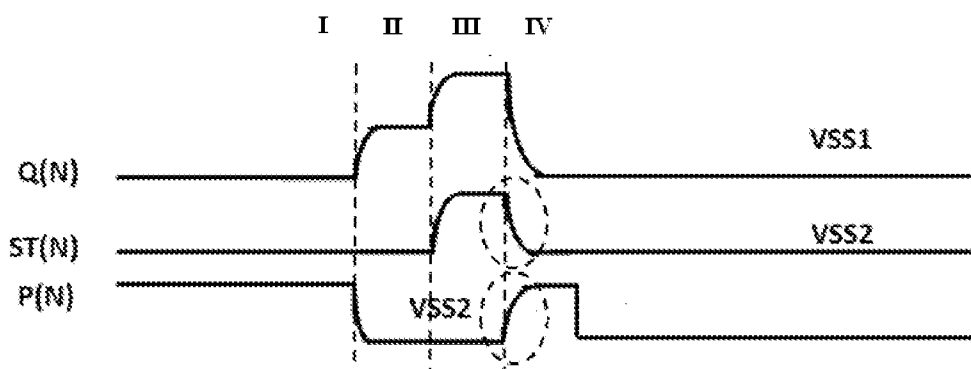


图 10C

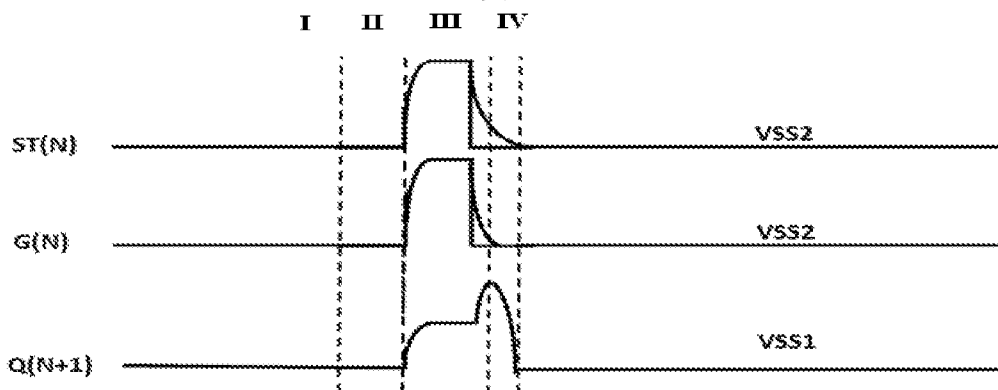


图 10D

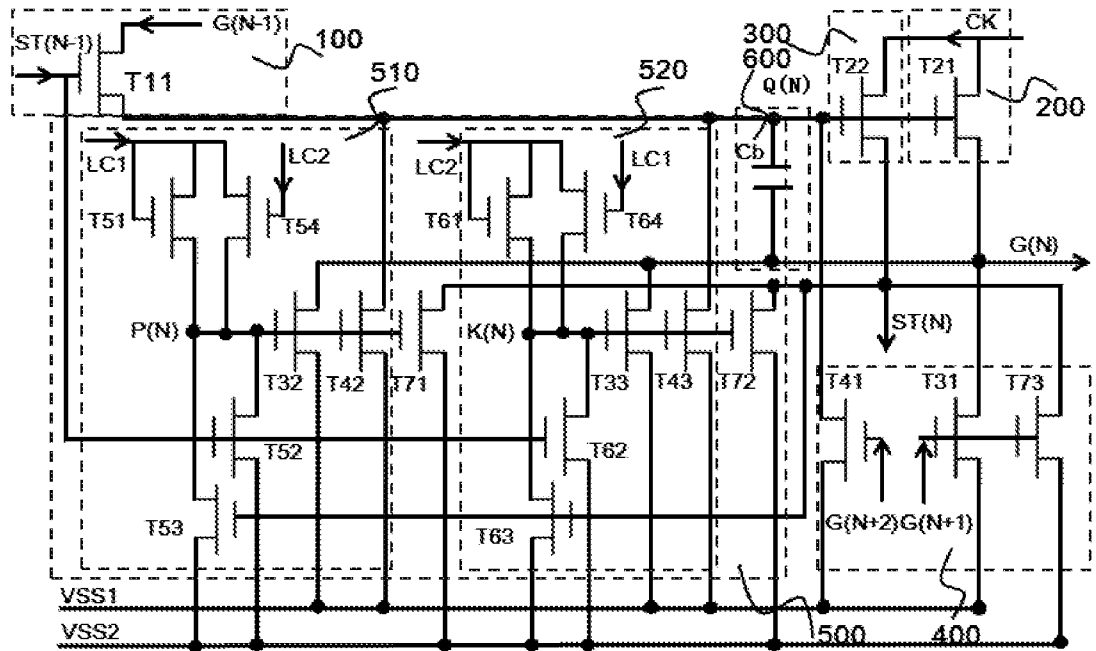


图 11A

I II III IV V VI

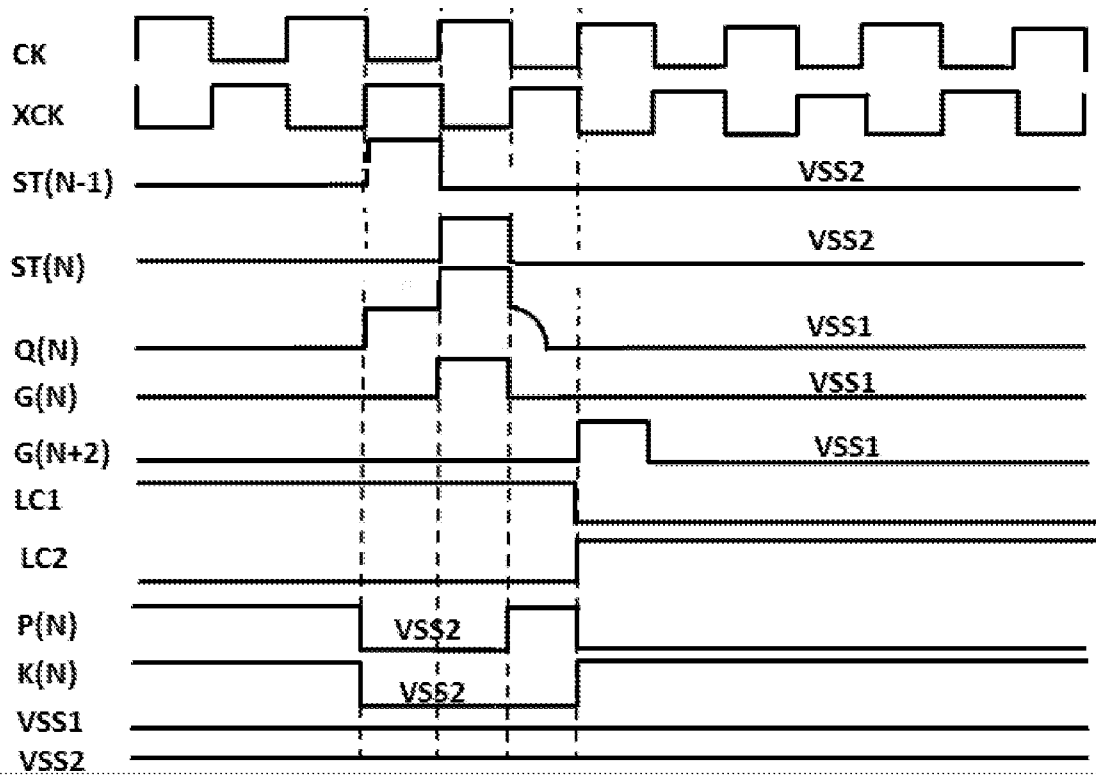


图 11B

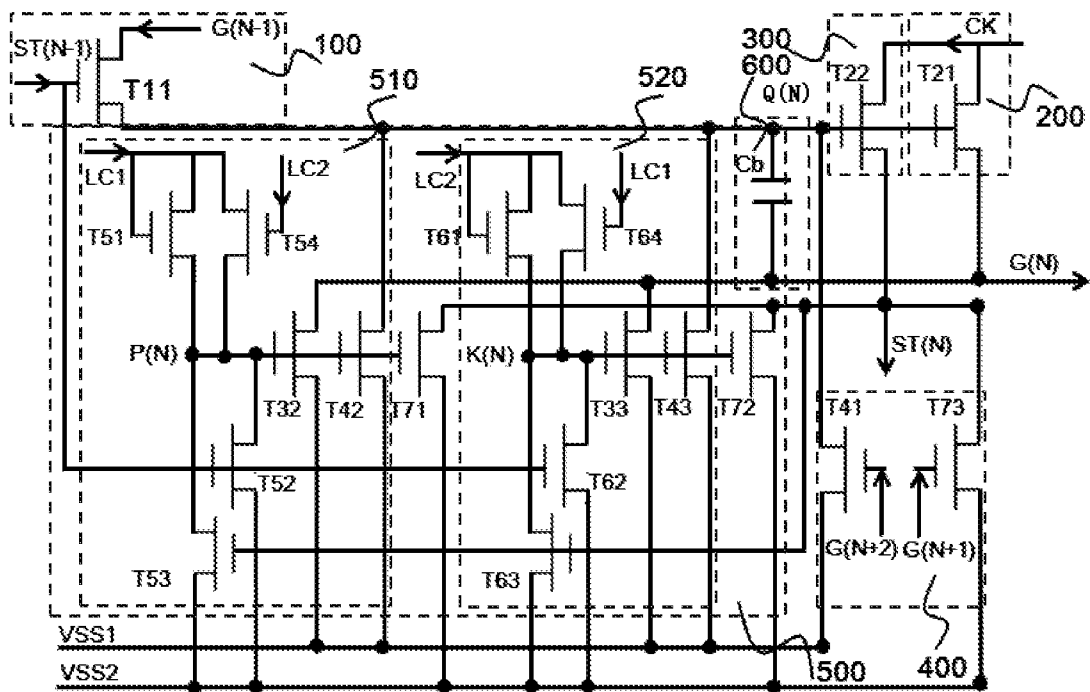


图 12

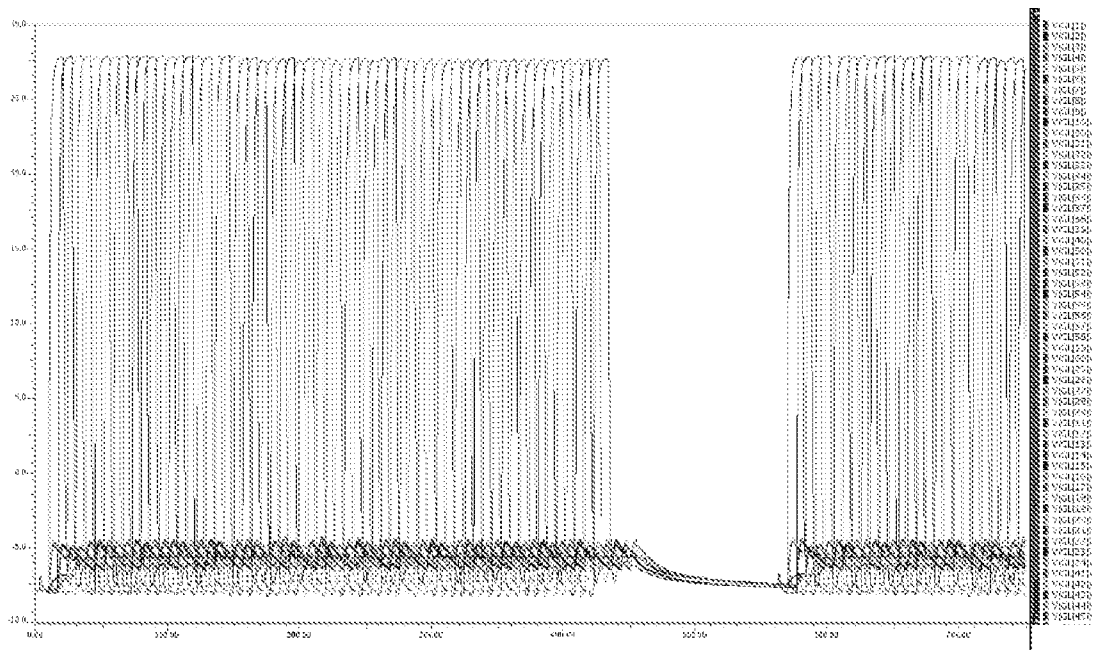


图 13A

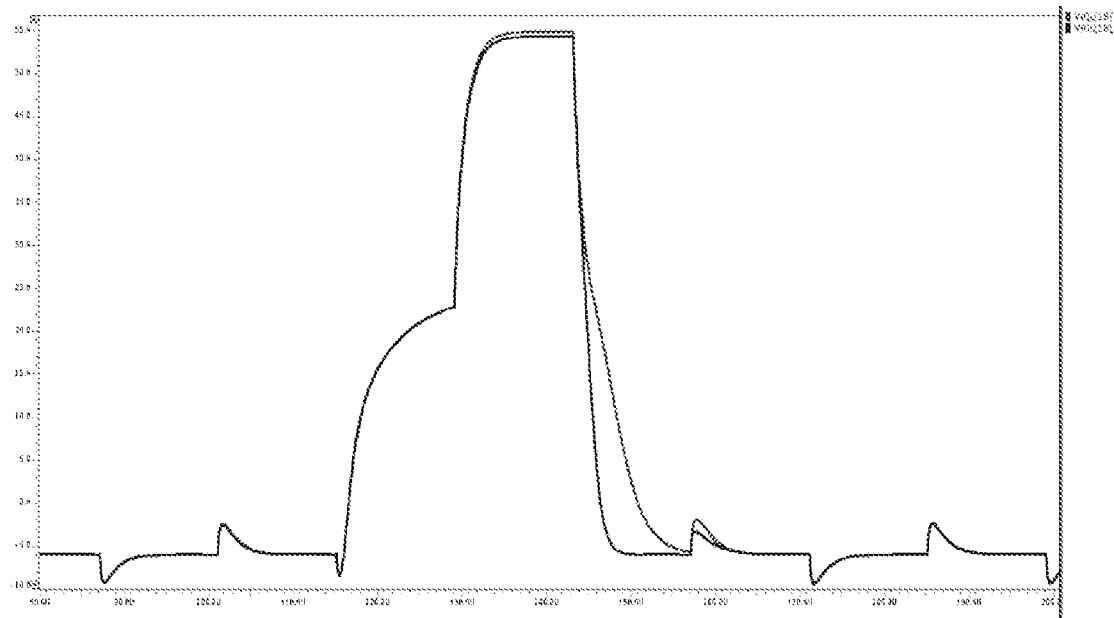


图 13B

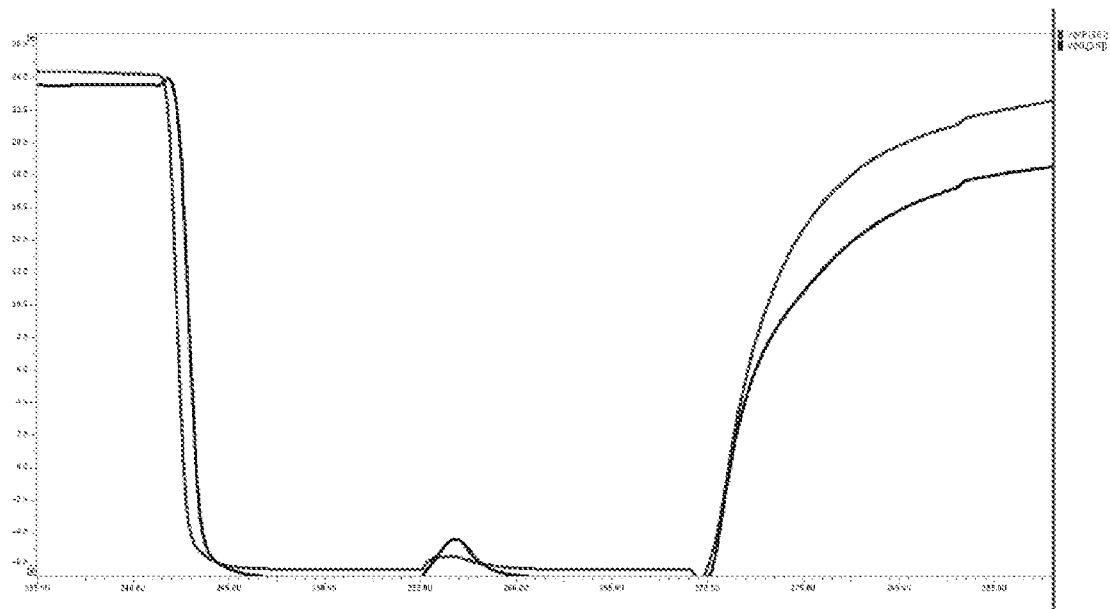


图 13C

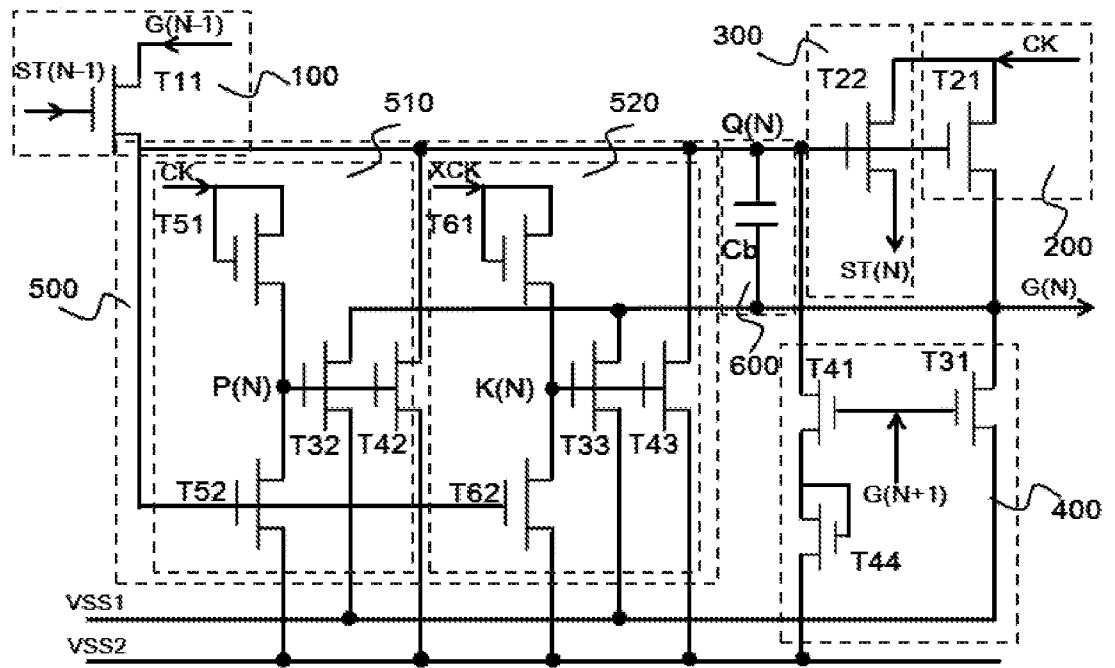


图 14A

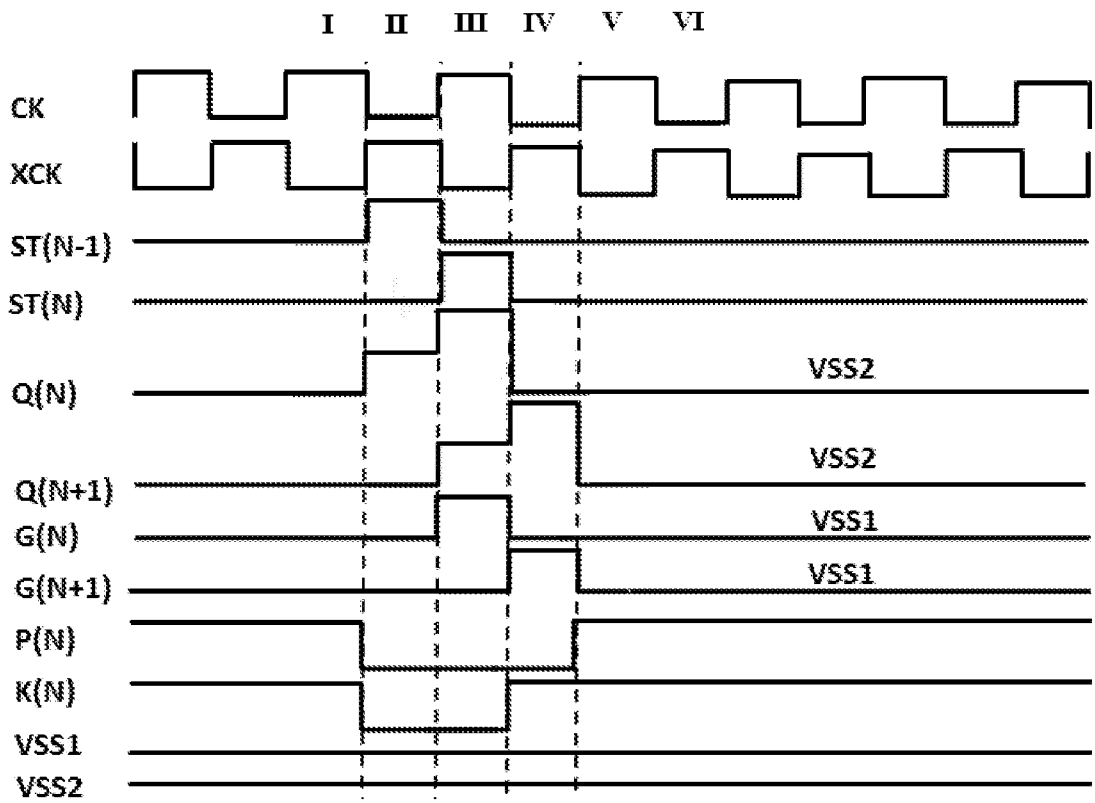


图 14B

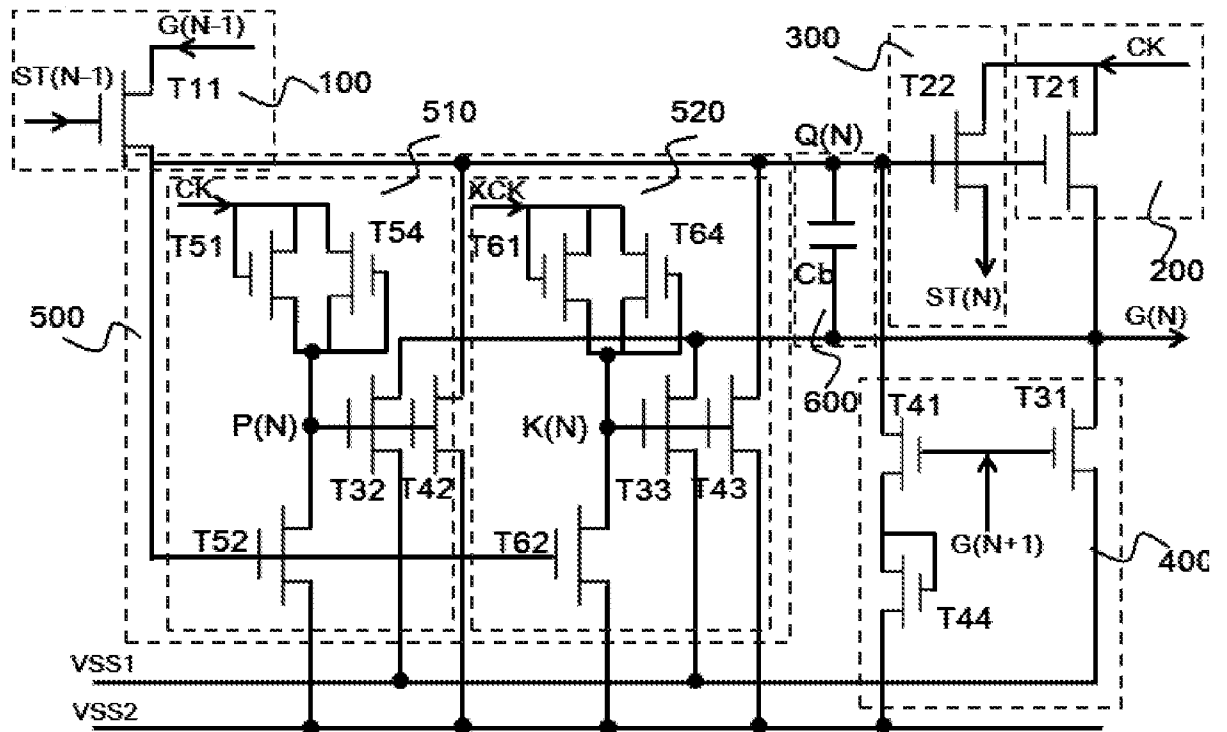


图 15A

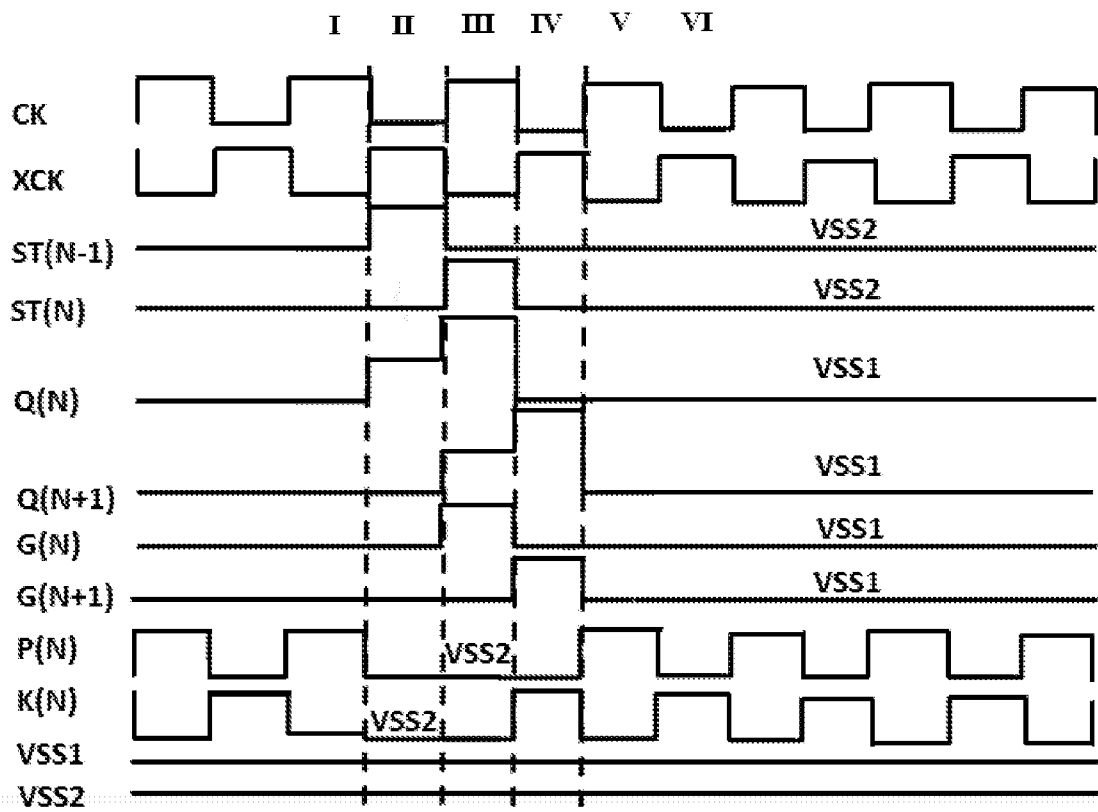


图 15B

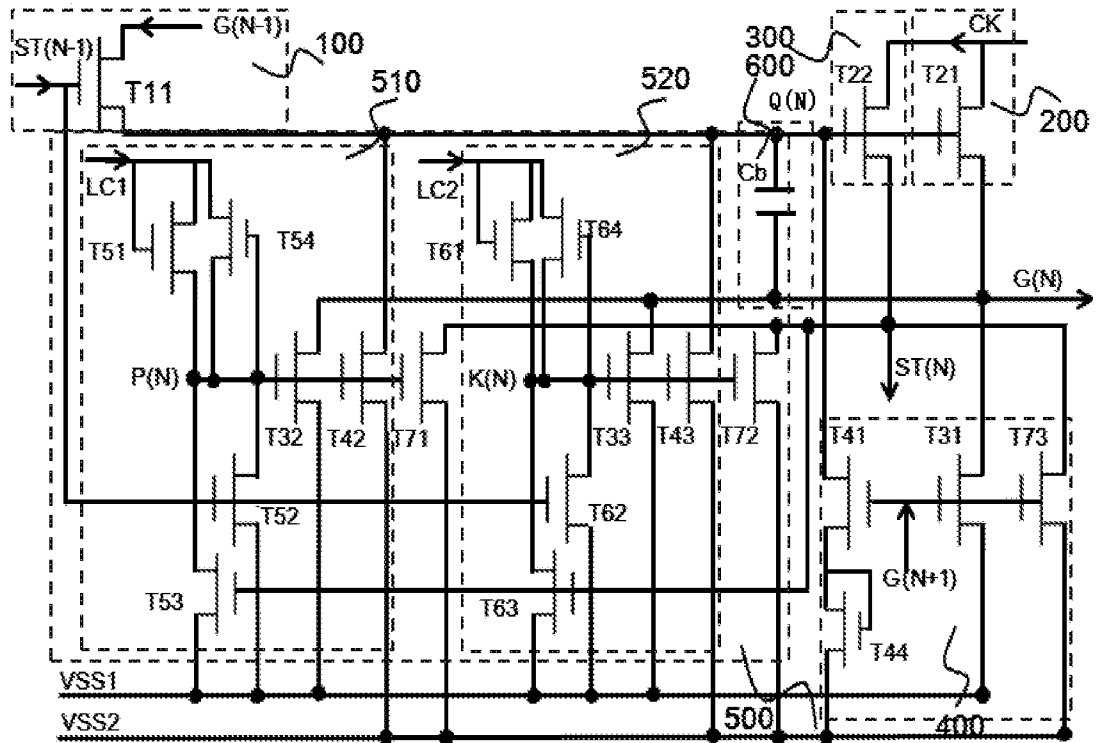


图 16A

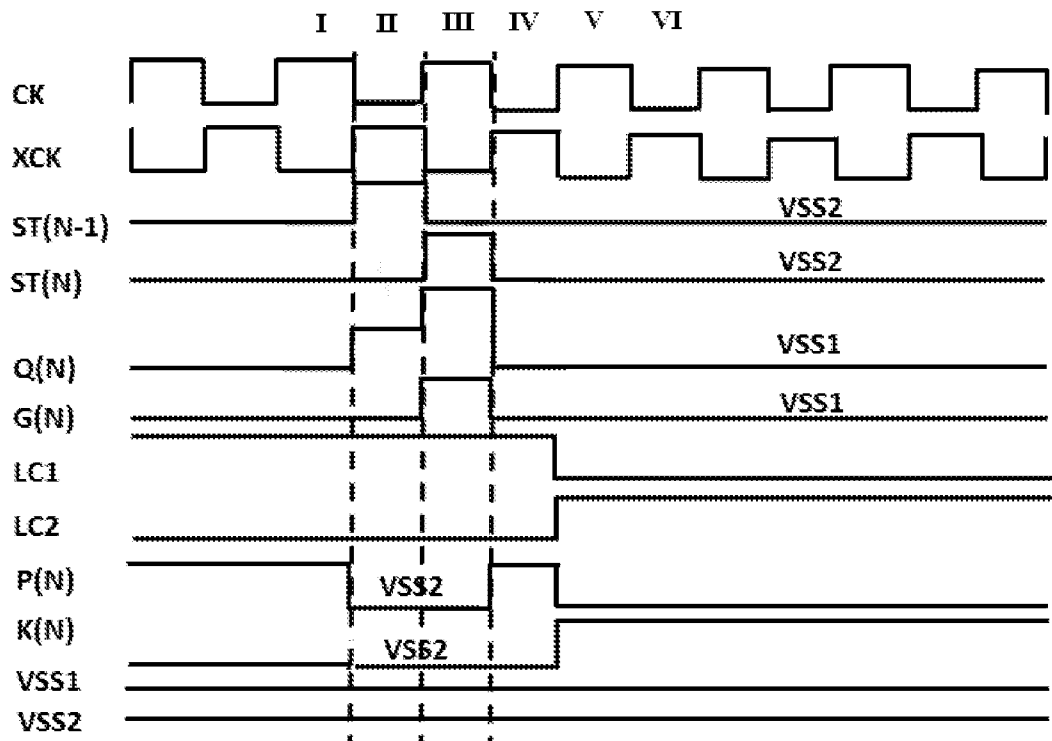


图 16B

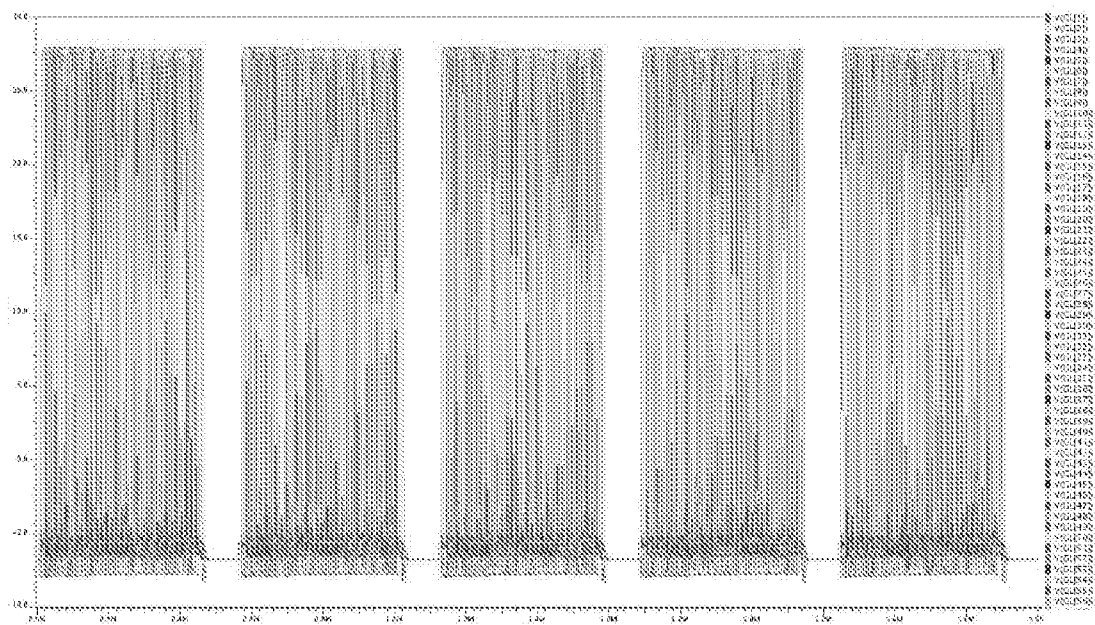


图 17

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/079156

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: liquid crystal, gate 1w driv+, pull 1w up, pull 1w down, hold+, leak current, LED, LCD

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	CN 103928009 A (SHENZHEN CHINA STAR OPTOELECT) 16 July 2014 (16.07.2014) description, paragraphs [0040] to [0057] and figures 1 to 11B	1, 10-12, 14, 17, 20
Y	CN 103559867 A (SHENZHEN CHINA STAR OPTOELECT) 05 February 2014 (05.02.2014) description, paragraphs [0045] to [0066] and figures 1 to 4	1, 2, 10-13, 20
Y	CN 103208262 A (SAMSUNG ELECTRONICS CO., LTD) 17 July 2013 (17.07.2013) description, paragraphs [0038] to [0068] and figure 2	1, 2, 10-13, 20
A	US 2010201668 A1 (KO, GWANG-BUM et al.) 12 August 2010 (12.08.2010) the whole document	1-20
A	US 2010207928 A1 (LEE, JAE-HOON et al.) 19 August 2010 (19.08.2010) the whole document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 November 2014	Date of mailing of the international search report 28 November 2014
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer SHI, Wenqing Telephone No. (86-10) 82245258

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/079156

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103928009 A	16 July 2014	None	
CN 103559867 A	05 February 2014	None	
CN 103208262 A	17 July 2013	US 8587347 B2	19 November 2013
		KR 20130083151 A	22 July 2013
		JP 2013142899 A	22 July 2013
		US 8816728 B2	26 August 2014
		US 2013181747 A1	18 July 2013
		US 2014043066 A1	13 February 2014
US 2010201668 A1	12 August 2010	US 8456409 B2	04 June 2013
		KR 20100091618 A	19 August 2010
US 2010207928 A1	19 August 2010	KR 20100094613 A	27 August 2010
		US 8243058 B2	14 August 2012

国际检索报告

国际申请号

PCT/CN2014/079156

A. 主题的分类

G09G 3/36 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EPODOC: 液晶, 栅极驱动, 上拉, 下拉, 保持, 漏电流, LED, LCD, gate 1w driv+, pull 1w up, pull 1w down, hold+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
E	CN 103928009 A (深圳市华星光电技术有限公司) 2014年 7月 16日 (2014 - 07 - 16) 说明书第[0040]-[0057]段、附图1-11B	1, 10-12, 14, 17, 20
Y	CN 103559867 A (深圳市华星光电技术有限公司) 2014年 2月 05日 (2014 - 02 - 05) 说明书第[0045]-[0066]段、附图1-4	1-2, 10-13, 20
Y	CN 103208262 A (三星电子株式会社) 2013年 7月 17日 (2013 - 07 - 17) 说明书第[0038]-[0068]段、附图2	1-2, 10-13, 20
A	US 2010201668 A1 (KO, GWANG-BUM 等) 2010年 8月 12日 (2010 - 08 - 12) 全文	1-20
A	US 2010207928 A1 (LEE, JAE-HOON 等) 2010年 8月 19日 (2010 - 08 - 19) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 11月 10日

国际检索报告邮寄日期

2014年 11月 28日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

受权官员

史文庆

电话号码 (86-10)82245258

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/079156

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103928009	A	2014年 7月 16日	无			
CN	103559867	A	2014年 2月 05日	无			
CN	103208262	A	2013年 7月 17日	US	8587347	B2	2013年 11月 19日
				KR	20130083151	A	2013年 7月 22日
				JP	2013142899	A	2013年 7月 22日
				US	8816728	B2	2014年 8月 26日
				US	2013181747	A1	2013年 7月 18日
				US	2014043066	A1	2014年 2月 13日
US	2010201668	A1	2010年 8月 12日	US	8456409	B2	2013年 6月 04日
				KR	20100091618	A	2010年 8月 19日
US	2010207928	A1	2010年 8月 19日	KR	20100094613	A	2010年 8月 27日
				US	8243058	B2	2012年 8月 14日

表 PCT/ISA/210 (同族专利附件) (2009年7月)