

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-160779

(P2012-160779A)

(43) 公開日 平成24年8月23日(2012.8.23)

(51) Int.Cl.
H03B 5/32 (2006.01)

F I
H03B 5/32 J

テーマコード(参考)
5J079

審査請求 未請求 請求項の数 7 O L (全 15 頁)

(21) 出願番号 特願2011-17052(P2011-17052)
(22) 出願日 平成23年1月28日(2011.1.28)

(71) 出願人 000002325
セイコーインスツル株式会社
千葉県千葉市美浜区中瀬1丁目8番地
(74) 代理人 100154863
弁理士 久原 健太郎
(74) 代理人 100142837
弁理士 内野 則彰
(74) 代理人 100123685
弁理士 木村 信行
(72) 発明者 相馬 弘之
千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内
Fターム(参考) 5J079 AA04 BA39 BA43 FA01 FA05
FA19 FA21 FB43 GA04 GA09
HA06 HA25

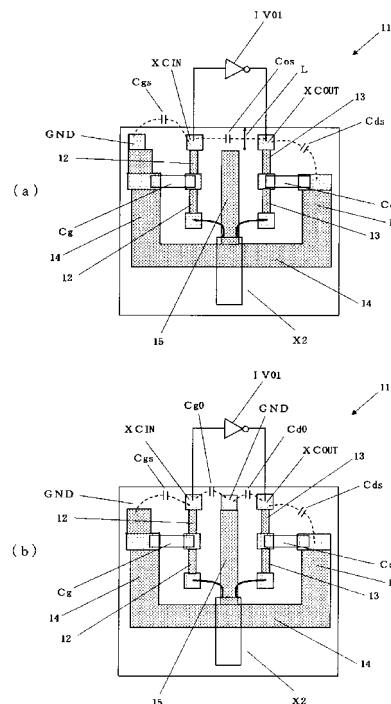
(54) 【発明の名称】 発振回路及び電子機器

(57) 【要約】

【課題】本発明の目的は、実装基板に配置される水晶発振回路における浮遊容量Csを低減する手段を提供することである。

【解決手段】本発明は、発振回路を構成するCMOSインバータの入出力端子間に接続する水晶振動子と、前記CMOSインバータの入力端子パッドへ接続する前記水晶振動子側の入力端子を含む入力配線ラインと、前記CMOSインバータの出力端子パッドへ接続する前記水晶振動子側の出力端子を含む出力配線ラインと、前記水晶振動子側の接地電源端子を含む接地電源配線ラインと、前記入力配線ラインと前記接地電源配線ラインとの間、及び前記出力配線ラインと前記接地配線ラインとの間に接続された容量素子と、を有する発振回路において、前記入力配線ラインと前記出力配線ラインとの間の少なくとも一部に前記接地電源配線ラインが配置されていることを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

発振回路を構成する CMOS インバータの入出力端子間に接続する水晶振動子と、
 前記 CMOS インバータの入力端子パッドへ接続する前記水晶振動子側の入力端子を含む入力配線ラインと、
 前記 CMOS インバータの出力端子パッドへ接続する前記水晶振動子側の出力端子を含む出力配線ラインと、
 前記水晶振動子側の接地電源端子を含む接地電源配線ラインと、
 前記入力配線ラインと前記接地電源配線ラインとの間、及び前記出力配線ラインと前記接地電源配線ラインとの間に接続された容量素子と、
 を有する発振回路において、
 前記入力配線ラインと前記出力配線ラインとの間の少なくとも一部に前記接地電源配線ラインが配置されていることを特徴とする発振回路。

10

【請求項 2】

前記 CMOS インバータの入力端子パッドに接続する前記水晶振動子側の入力端子と前記 CMOS インバータの出力端子パッドに接続する前記水晶振動子側の出力端子との間に、前記水晶振動子側の接地電源端子が配置されていることを特徴とする請求項 1 に記載の発振回路。

【請求項 3】

前記水晶振動子側の入力端子、前記水晶振動子側の出力端子、及び前記水晶振動子側の接地電源端子が、それぞれ集積回路チップ側の入力端子パッド、出力端子パッド、接地電源端子パッドに接続されていることを特徴とする請求項 1 又は 2 に記載の発振回路。

20

【請求項 4】

前記水晶振動子側の入力端子、前記水晶振動子側の出力端子、及び前記水晶振動子側の接地電源端子が、それぞれ集積回路チップを搭載する IC パッケージ側の入力端子、出力端子、接地電源端子に接続されていることを特徴とする請求項 1 又は 2 に記載の発振回路。

【請求項 5】

前記水晶振動子側の入力端子の外側、及び前記水晶振動子側の出力端子の外側に、前記水晶振動子側の接地電源端子を有することを特徴とする請求項 1 に記載の発振回路。

30

【請求項 6】

前記接地電源配線ラインは、前記入力配線ライン及び前記出力配線ラインを取り囲んでいることを特徴とする請求項 1 ~ 5 のいずれかの項に記載の発振回路。

【請求項 7】

請求項 1 ~ 6 のいずれかの項に記載の発振回路を基板上に搭載した電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、低消費電力の水晶発振回路を実現するための方法に関するもので、特に水晶発振回路を構成する負荷容量の低減化を行う方法に関する。

40

【背景技術】

【0002】

時計や携帯電話等の携帯機器において、当該機器の無充電による長時間動作や搭載される電池の充電頻度低減化の要求から、当該機器に用いられる水晶振動子等の圧電素子を組み込んだ発振回路の駆動電力の低減や発振回路の待機時（発振回路が発振した状態かつ無負荷状態の時）における超低消費電力化がますます要求されている。

【0003】

図 1 2 は、圧電振動子として水晶振動子を用いた典型的な発振回路であり、反転増幅器となる CMOS インバータ I V 0 1、CMOS インバータ I V 0 1 の入力端子 X C I N と出力端子 X C O U T との間に接続された水晶振動子 X 2、CMOS インバータ I V 0 1 の

50

入力端子 X C I N と接地電位 V s s の電源端子との間に接続された負荷容量 C g を構成する容量素子、および C M O S インバータ I V 0 1 の出力端子 X C O U T と接地電位 V s s の電源端子との間に接続された負荷容量 C d を構成する容量素子を有している。

【 0 0 0 4 】

また、C M O S インバータ I V 0 1 は、電源電圧 V d d が共有される第 1 の電源端子と、接地電位が供給される第 2 の電源端子との間に直列接続された P M O S トランジスタ P M 1 1 と N M O S トランジスタ N M 1 1 とからなる C M O S インバータおよび帰還抵抗 R f から構成されている。

C M O S インバータ I V 0 1 の P M O S トランジスタ P M 1 1 のソースと第 1 の電源端子との間、および C M O S インバータ I V 0 2 の N M O S トランジスタ N M 1 1 と第 2 の電源端子との間には、水晶振動子 X 2 を励振する駆動電流を制限する駆動電流調整用抵抗素子 r 1 および r 2 が接続されている。

10

【 0 0 0 5 】

携帯機器等に搭載する発振回路は近年低消費電力化が要求されているが、そのためには発振回路における水晶振動子の駆動電流を低下させる必要がある。そのために発振回路における C M O S インバータの相互コンダクタンス G m を小さくする。しかし、相互コンダクタンス G m を小さくすると発振回路の発振余裕度 M を低下させる場合がある。

【 0 0 0 6 】

発振回路の発振余裕度 M は次式で与えられる。

$$M = | - G m | / \{ (\omega^2 C g \cdot C d) * (1 / R 1 (\max)) \} = + R L / R 1 (\max)$$

20

は発振周波数の角周波数、R L は負性抵抗、R 1 (max) は水晶振動子の実効抵抗 R 1 の最大値であり、発振余裕度 M は 5 以上の値が要求される。

【 0 0 0 7 】

水晶振動子の実効抵抗 R 1 は水晶振動子の小型化の要請から決定される値であるから、余り小さくすることはできない。従って、相互コンダクタンス G m を小さくしても発振回路の発振余裕度 M を維持するには、C M O S インバータに外付けされる負荷容量を構成するコンデンサの負荷容量値 C g および / または C d を下げれば良いことが分かる。従ってそれを実現するためには、発振回路の水晶振動子は、組み込まれるマイコン等の I C に対して要求される低消費電力化の仕様に見合った負荷容量 C L を有することが要求される。すなわち、既に出願人は従来から使用されている水晶振動子の負荷容量 C L である 12.5pF に対して、負荷容量 C L の低減すなわち低 C L 化 (3pF ~ 5pF) を提案してきた。(特許文献 1)

30

【 0 0 0 8 】

しかしながら、負荷容量 C L を小さくすると、負荷容量 C L の容量許容差と発振周波数の周波数偏差 Δf の問題が顕著になる。たとえば、負荷容量 C L が通常容量許容差の範囲である C (± 5 %) 変化した場合の発振周波数の安定性 Δf (ppm) は、負荷容量 C L が 12.5pF のとき C が 1.25pF で発振周波数の安定性 Δf は 7.3ppm となり、負荷容量 C L が 6pF のとき C が 0.6pF で発振周波数の安定性 Δf は 13.2ppm となり、負荷容量 C L が 3pF のとき C が 0.3pF で発振周波数の安定性 Δf は 20.5ppm となる。

すなわち、負荷容量 C L (3pF) では、従来の 12.5pF の場合よりも 2.8 倍も周波数偏差が大きくなるので、負荷容量 C L の低容量化 (低 C L 化) を実現するためには、負荷容量 C L の容量許容差に対する発振周波数の安定性を向上させる必要がある。

40

【 0 0 0 9 】

図 1 2 における入出力端子間 X C I N および X O U T 間の水晶振動子側の等価回路は図 1 3 となる。水晶振動子 X 2 には直列に負荷容量 C L が接続されていて、水晶振動子は圧電効果により生ずる機械的共振を等価的に表したインダクタンス L 1 、容量 C 1 、抵抗 R 1 の直列共振回路に電極間容量 C 0 が並列接続した回路として表される。また入出力端子間 X C I N および X C O U T 間には C M O S 半導体基板や信号配線等により種々の浮遊容量が存在しているが、これらの (合成) 浮遊容量を C s とすると、図 1 4 に示すように、負荷容量 C L は浮遊容量 C s と直列接続された外部 (外付け) 容量 C g および C d との並列

50

接続となっている。従って、 $C_L = C_s + C_g * C_d / (C_g + C_d)$ の関係式が成り立つ。上式(2)の関係式を満足するような負荷容量 C_L 値 (2pF ~ 6pF) になるように、発振周波数にマッチングするような外付け容量素子 C_g および C_d を選択すれば、発振周波数の安定性を向上できる。すなわち、負荷容量 C_L は浮遊容量 C_s と外部容量素子 (コンデンサ) $C_{ext} \{ = C_g * C_d / (C_g + C_d) \}$ の和であるため、負荷容量 C_L と浮遊容量 C_s との差に相当するように、外部容量素子 C_{ext} の値を選定すれば、上式が満足され、水晶振動子の負荷容量 C_L と、水晶振動子から見た発振回路側の負荷容量 C_L がマッチング (整合) することを意味している。

【0010】

図15は水晶発振回路における駆動電流と負荷容量 C_L との関係を示す図である。負荷容量が小さくなると駆動電流は顕著に小さくなるのが分かる。たとえば、従来用いられている負荷容量 12.5 pF の駆動電流は約 1.5 μ A であるが、負荷容量 2.2 pF の駆動電流は 0.073 μ A となり、駆動電流が約 5% に低減している。このように、負荷容量 C_L を低減することは水晶発振回路の低消費電力化、しいてはその水晶発振回路を用いている電子機器の低電力化に大きく寄与できる。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2008-205658号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

水晶発振回路の低消費電力を実現するには、負荷容量を低減することが非常に有効である。

上記で説明した式より、浮遊容量 C_s が大きいと負荷容量 C_L も大きくなる。そこで小さい負荷容量 C_L を実現するには浮遊容量 C_s を小さくする必要がある。浮遊容量 C_s は、CMOS半導体基板、信号配線等により生じる合成された浮遊容量であり、たとえば、実装基板の積層数により変化し、単層基板では1pF程度、2層基板では2pF程度、3層基板では3pF程度である。しかし、このような小さい負荷容量を安定して実現する方法や浮遊容量 C_s を小さくするために、実装基板に発振回路を搭載するときの具体的な方法は確立されていない。

【課題を解決するための手段】

【0013】

本発明の目的は、実装基板に配置される水晶発振回路における浮遊容量 C_s を低減する手段を提供することである。具体的には、発振回路を構成するCMOSインバータの入出力端子間に接続する水晶振動子と、前記CMOSインバータの入力端子パッドへ接続する前記水晶振動子側の入力端子を含む入力配線ラインと、前記CMOSインバータの出力端子パッドへ接続する前記水晶振動子側の出力端子を含む出力配線ラインと、前記水晶振動子側の接地電源端子を含む接地電源配線ラインと、前記入力配線ラインと前記接地電源配線ラインとの間、及び前記出力配線ラインと前記接地電源配線ラインとの間に接続された容量素子と、を有する発振回路において、前記入力配線ラインと前記出力配線ラインとの間の少なくとも一部に前記接地電源配線ラインが配置されていることを特徴とする。

【発明の効果】

【0014】

実装基板にレイアウトされた水晶発振回路における入出力端子および配線間にアース配線 (接地電源配線ライン) を配置することにより、入出力間浮遊容量 C_{os} を低減することができ、全浮遊容量 C_s の低減化も可能となり、水晶発振回路の低消費電力化を実現できる。

【図面の簡単な説明】

【0015】

10

20

30

40

50

【図 1】図 1 は、入出力配線ラインの間に接地電源配線ラインを配置した本発明のシールド線方式を模式的に示す図である。

【図 2】図 2 は、水晶振動子および 2 つの外付け容量素子を配置した実装基板を模式的に示した従来の発振回路をレイアウトした図である。

【図 3】図 3 は、本発明のシールド線方式を用いた外付け水晶振動子付きの IC チップを搭載した実装基板のレイアウトの一実施形態を示す図である。

【図 4】図 4 は、図 3 における実装パターンの変形実施形態を示す模式図である。

【図 5】図 5 は、図 3 および図 4 に示す実施形態の別の変形実施形態を示す図である。

【図 6】図 6 は、発振回路用インバータを内蔵した IC チップを搭載した IC パッケージを実装基板に実装し、同じく実装基板に形成した発振回路用配線パターンに水晶振動子および負荷容量を実装した場合における、本発明のシールド線方式によるパターンを模式的に表した実施形態を示す図である。

10

【図 7】図 7 は、図 6 に示した実施形態を変形した実施形態を示す図である。

【図 8】図 8 は、IC チップの発振回路用インバータの入力パッドと出力パッドの間に接地電源パッドを配置した場合における、本発明のシールド線方式に関する実装レイアウトの実施形態を示す図である。

【図 9】図 9 は、図 8 に示す実施形態の変形実施形態を示す図である。

【図 10】図 10 は、発振回路用インバータを内蔵した IC チップを搭載した IC パッケージを実装基板に実装し、同じく実装基板に形成した発振回路用配線パターンに水晶振動子および負荷容量を実装した場合における、本発明のシールド線方式によるパターンを模式的に表した実施形態を示す図である。

20

【図 11】図 11 は、図 10 に示した実施形態を変形した実施形態を示す図である。

【図 12】図 12 は、水晶振動子を用いた発振回路を示す図である。

【図 13】図 13 は、図 12 における入出力端子間 X C I N および X O U T 間の水晶振動子側の等価回路を示す図である。

【図 14】図 14 は、負荷容量 C L を構成する容量を示す図である。

【図 15】図 15 は、水晶発振回路における駆動電流と負荷容量 C L との関係を示す図である。

【図 16】図 16 は、シールド線方式および単線方式における浮遊容量および発振特性（発振起動時間、負性抵抗）の測定データを示す表である。

30

【発明を実施するための形態】

【0016】

本発明の目的は、実装基板に配置される水晶発振回路における浮遊容量 C s を低減する手段を提供し、それにより水晶発振回路における負荷容量 C L を低減することである。具体的には、浮遊容量 C s は、信号や電源配線の引きまわしでもかなり変化し、我々は種々の実験により、アース（グランド）、すなわち接地電位（V s s）ラインの取り方で大きく低減できる。なお、ここで水晶発振回路とは、圧電振動子として水晶振動子を用いた発振回路のことを指す。

【0017】

図 2 は、水晶振動子 X 2 および 2 つの外付け容量素子（C g、C d）を配置した実装基板を模式的に示した従来の発振回路をレイアウトした図で、この回路に発生する浮遊容量を破線で示す。実装基板 1 1 において、C M O S インバータ I V 0 1 の入力端子 X C I N およびそれにつながる入力配線ライン 1 2（以下、入力配線ラインは特に明記しない場合には入力端子を含む）とアース（G N D、接地電源端子 V s s）およびそれにつながる接地電源配線ライン 1 4（以下、接地電源配線ラインは特に明記しない場合には接地電源端子を含む）の間に接続する外付け容量素子 C g、並びに出力端子 X C O U T およびそれにつながる出力配線ライン 1 3（以下、出力配線ラインは特に明記しない場合には出力端子を含む）と接地電源配線ライン 1 4 の間に接続する外付け容量素子 C d s、および C M O S インバータ I V 0 1 の入力端子 X C I N につながる入力配線ライン 1 2 と出力端子 X C O U T につながる出力配線ライン 1 3 との間に接続された水晶振動子 X 2 が配置されている。

40

50

また、実装基板 1 1 に配置された配線ライン間には浮遊容量が存在する。すなわち、入力配線ライン 1 2 および接地電源配線ラインの間には浮遊容量 C_{gs} 、出力配線ライン 1 3 およびアース端子（接地端子） GND の間には浮遊容量 C_{ds} 、入力配線ライン 1 2 および出力配線ライン 1 3 の間には浮遊容量 C_{os} が存在し、これらから全浮遊容量 C_s は、以下の式で示される。

$$C_s = C_{os} + C_{gs} * C_{ds} / (C_{gs} + C_{ds})$$

従って、浮遊容量 C_s を低減するには、浮遊容量 C_{os} を低減すれば良いことが分かる。

【0018】

図 1 は入出力配線ラインの間に接地電源配線ラインを配置した本発明のシールド線方式を模式的に示す図であるが、図 1 (a) に示すように、入力配線ライン 1 2 と出力配線ライン 1 3 との間に接地電源配線ライン 1 5 を配置する。接地電源配線ライン 1 5 は基板 1 1 の入力端子 X_{CIN} および出力端子 X_{COUT} の端まで可能な限り延ばす（すなわち、基板 1 1 の入力端子 X_{CIN} および出力端子 X_{COUT} の端から接地電源配線ライン 1 5 の端までの距離 L_0 ）ことにより、浮遊容量 C_{os} をゼロに近づけることができる。たとえば、図 1 (b) に示すように、入力端子 X_{CIN} および出力端子 X_{COUT} の間に接地電源端子（ GND ）を配置することにより、浮遊容量 C_{os} を低減する（浮遊容量 C_{os} が非常に小さくなり、理想状態（浮遊容量 $C_{os} = 0$ ）に近づける）ことが可能となる。その結果、上式により、全浮遊容量 $C_s = 浮遊容量 C_{gs} * 外付け容量素子 C_{ds} / (浮遊容量 C_{gs} + 外付け容量素子 C_{ds})$ となる。このことは、浮遊容量の値を外付け容量 C_g および C_d で制御できることになり、低 CL 化を実現できることになる。すなわち、入力端子 X_{CIN} およびアース端子（接地端子） GND の間に存在する容量 C_G は、 $C_G = C_g + C_{gs} + C_{g0}$ 、出力端子 X_{COUT} およびアース端子（接地端子） GND の間に存在する容量 C_D は、 $C_D = C_d + C_{ds} + C_{d0}$ となる。

【0019】

以下、本発明の実施形態について詳細に説明する。尚、本発明の入出力配線ライン間に接地電源配線ラインを入れて浮遊容量 C_{os} を低減する方式をシールド線方式と呼ぶ。

図 3 は、本発明のシールド線方式を用いた外付け水晶振動子付きの IC チップを搭載した実装基板のレイアウトの一実施形態を示す図である。IC はたとえば、携帯電話用マイコンやカメラ制御用マイコン等である。実装基板 2 1 0 に発振回路用インバータを内蔵した IC チップ 2 1 1 をベアチップ実装する。実装基板としてはリジッド基板やフレキシブル基板等のプリント基板などである。あるいは、リードフレーム、セラミック基板や前述の基板上に実装しプラスチックモールドパッケージ化する場合もある。基板上には図に示すような発振回路配線パターン（2 2 1、2 2 2、2 2 3、2 2 4、2 2 5、2 2 6、2 2 7、2 2 8、2 2 9、2 3 1、2 3 2、2 3 4 等）が形成されている。配線パターンは金、銀、銅、アルミニウム、またはこれらの合金などから形成されており、コンデンサ等の部品やワイヤボンドする部分以外の配線はレジスト等の絶縁膜で被覆されている。

【0020】

IC の発振回路用インバータの入力端子（パッド）2 1 3 と水晶振動子が搭載される基板側の発振回路側の入力端子（パッド）2 2 2（図 1 において、 X_{CIN} で示されている）は金属ワイヤ 2 1 6 で接続される。また、IC の発振回路用インバータの出力端子（パッド）2 1 4 と水晶振動子が搭載される基板側の発振回路側の出力端子（パッド）2 2 3（図 1 において、 X_{COUT} で示されている）は金属ワイヤ 2 1 7 で接続されている。金属ワイヤ 2 1 6 や 2 1 7 は銅、金、アルミニウム等の導電体材料である。実装基板の入力側配線 2 3 2（2 3 2 - 1、2 3 2 - 2）に接続する配線端子（パッド）2 2 6 および実装基板の出力側配線 2 3 4（2 3 4 - 1、2 3 4 - 2）に接続する配線端子（パッド）2 2 7 の間に水晶振動子 2 4 3 のリード配線 2 4 4（2 4 4 - 1、2 4 4 - 2）が接続している。IC 2 1 1 の接地電源端子（パッド）2 1 2 は、基板側の接地端子（パッド）2 2 1 に金属ワイヤ 2 1 5 で接続している（図 1 2 の発振回路図では V_{ss} で示されている）。基板側の接地電源配線ラインは 2 3 1（2 3 1 - 1、2、3、4、5）で示されている。実装基板の入力側配線 2 3 2 の一部である配線端子（パッド）2 2 4 および接地電源配線ライ

ン 2 3 1 の一部である配線端子 (パッド) 2 2 8 に負荷容量 (コンデンサ) 2 4 1 (図 1 2 における Cg) の両端の電極が接続している。また、実装基板の出力側配線 2 3 4 の一部である配線端子 (パッド) 2 2 5 および接地電源配線ライン 2 3 1 の一部である配線端子 (パッド) 2 2 9 に負荷容量 (コンデンサ) 2 4 2 (図 1 2 における Cd) の両端の電極が接続している。このように、ヘアチップ 2 1 1、負荷容量 2 4 1、2 4 2 および水晶振動子が実装基板に搭載されて発振回路部を構成している。

【 0 0 2 1 】

図 3 における実施形態では、チップ側の接地電源パッド 2 1 2 が、入出力パッド 2 1 3 および 2 1 4 の外側に配置された場合における、実装基板の接地電源配線ライン 2 3 1 の配線パターンを模式的に示している。すなわち、実装基板の接地電源配線ライン 2 3 1 は、実装基板側の入力端子 2 2 2、並びにそれにつながる入力側配線 2 3 2 (2 3 2 - 1、2)、配線パッド 2 2 4 および 2 2 6 を取り巻き、また、実装基板側の出力端子 2 2 3、並びにそれにつながる出力側配線 2 3 4 (2 3 4 - 1、2)、配線パッド 2 2 5 および 2 2 7 を取り巻いている。さらに重要なことは、実装基板側の入力側配線ライン (2 2 2、2 3 2 (2 3 2 - 1、2)、配線パッド 2 2 4 および 2 2 6) と出力側配線ライン (2 2 3、2 3 4 (2 3 4 - 1、2)、配線パッド 2 2 5 および 2 2 7) との間に接地電源配線ライン 2 3 1 (2 3 1 - 3) が完全に入り込んでいて分断している。従って、図 1 において説明したように浮遊容量 C_{os} が非常に小さくなっている。ただし、図 3 における場合には、IC 側の入力パッド 2 1 3 および出力パッド 2 1 4 の間には接地電源配線ラインがなく、さらにワイヤ 2 1 6 および 2 1 7 の間にも接地電源配線ラインが存在しないので、まだ不十分である。尚、IC チップには、本発明の説明には無関係な端子パッドは記載していないが、他の部品や実装基板の配線と接続する端子パッドが IC チップの任意の場所に存在していても良い。

【 0 0 2 2 】

図 4 は、図 3 におけるパターンの変形形態を示す模式図である。この実施形態は、IC チップの入出力端子 2 1 3 および 2 1 4 と基板側の入出力端子 2 2 2 および 2 2 3 の間に接地電源配線ラインがない場合を示している。(すなわち、図 3 における接地電源配線ライン 2 3 1 - 2 がない場合である。) たとえば、IC チップの載置場所と基板側の入出力端子 2 2 2 および 2 2 3 の距離が短くて接地電源配線ライン 2 3 1 - 2 を形成できない場合、あるいは金属ワイヤ 2 1 6 および 2 1 7 が接地電源配線ライン 2 3 1 - 2 をまたぐためにノイズ等が発生する場合、特に金属ワイヤが近づいて問題が発生する場合(ただし、通常は、絶縁膜であるレジスト等で被覆しているため接触しても導通等の問題は少ない)などが挙げられる。そのような接地電源配線ライン 2 3 1 - 2 を設けられない場合でも、図 4 に示すように、基板側の入力配線ライン 2 3 2 等および出力配線ライン 2 3 4 等を外側から取り囲んでいる接地電源配線ライン 2 3 1 (2 3 1 - 1、2 3 1 - 4、2 3 1 - 5) から、実装基板側の入力側配線ライン (2 2 2、2 3 2 (2 3 2 - 1、2)、配線パッド 2 2 4 および 2 2 6) と出力側配線ライン (2 2 3、2 3 4 (2 3 4 - 1、2)、配線パッド 2 2 5 および 2 2 7) との間に接地電源配線ライン 2 3 1 (2 3 1 - 3) を入れてできる限り分断し、望ましくは入力パッド 2 2 2 および出力パッド 2 2 3 も完全に分断するように接地電源配線ライン 2 3 1 (2 3 1 - 3) を延ばす。矢印および点線で示すように、接地電源配線ライン 2 3 1 (2 3 1 - 3) を IC チップ 2 1 1 の方へできるだけ近づける。さらに、IC チップとオーバーラップしても問題なければ、点線ラインで示すように、IC チップの下に接地電源配線ライン 2 3 1 - 6 を形成し、IC 2 1 1 の入力パッド 2 1 3 および出力パッド 2 1 4 の間を通すこともさらに効果が出る。

【 0 0 2 3 】

図 5 は、図 3 および図 4 に示す実施形態のさらなる変形形態を示す。IC の入出力パッドおよび接地電源パッドの配置は図 3 および図 4 と同じであり、IC チップ 2 1 1 は実装基板 2 1 0 に実装される。水晶振動子側の発振回路の配線パターンは別基板 2 5 0 に形成され、その別基板 2 5 0 上に水晶振動子 2 4 3 と負荷容量 2 4 1 および 2 4 2 が搭載されている。水晶振動子側の発振回路の配線パターンは図 4 に示す場合と同様であるが、接地

10

20

30

40

50

電源配線ライン 231 は接地電源端子 (パッド) 254 に接続している。この別基板 250 は実装基板 210 に IC チップと同様に (接着等により) 搭載することができる (あるいは、別々に分けておくこともできる)。実装基板 210 には接地電源端子 (パッド) 221 が形成され、この接地電源パッド 221 と IC の接地電源パッド 212 が金属ワイヤ 215 で接続されている。実装基板 210 にはこの接地電源パッド 221 につながる接地電源配線ライン 251 が形成され、さらに接地電源パッド 252 も形成されている。この接地電源パッド 252 と別基板 250 上の接地電源パッド 254 も金属ワイヤで接続される。この結果、IC 211 の接地電源パッドは水晶振動子が搭載された別基板 250 の接地電源配線ラインおよび実装基板 210 の接地電位と同電位となる。別基板 250 においても接地電源配線ライン 231 (231-3) が水晶振動子側の発振回路の入力配線ライン 232 等と出力配線ライン 234 等を分断して、浮遊容量 C_{os} を低減している。このように別基板 250 に水晶振動子側の発振回路を形成しておけば、実装基板 210 にわざわざ発振回路配線パターンを形成しなくても IC チップと組み合わせて IC としての機能を有した発振回路を実装基板上に配置することができる。尚、別基板の接地電源配線ライン 231 を、図 3 に示すような配線パターンにして、入出力パッド 222 および 223 を取り囲んでも良い。さらに、別基板の接地電源パッド 254 と IC の接地電源パッド 212 を直接金属ワイヤで接続することもできる。

10

【0024】

図 6 は、発振回路用インバータを内蔵した IC チップを搭載した IC パッケージ 271 を実装基板 210 に実装し、同じく実装基板 210 に形成した発振回路用配線パターンに水晶振動子および負荷容量を実装した場合における、本発明のシールド線方式によるパターンを模式的に表した別の実施形態を示す図である。IC パッケージ 271 の発振回路用インバータの入力リード端子 272 および出力リード端子 273 の外側に接地電源リード端子 274 は、基板 210 における水晶振動子側の発振回路パターンの入力端子 (パッド) 222、出力端子 (パッド) 223、および接地電源端子 (パッド) 221 へそれぞれ接続している。接続方法は、IC パッケージ 271 のリード (導電線) を実装基板の配線パッドに半田付けする方法や導電性接着剤で接着する方法などである。IC パッケージは QFP、SOP、SOJ、QFJ、PLCC、等のリード線タイプ、QFN、SON、LLCC 等のノンリードタイプ、BGA や CSP 等のボール端子タイプ、LGA 等の平面電極タイプ、TCP 等のテープタイプ、DIP 等の挿入タイプなど種々のプラスチックパッケージ、あるいは種々のセラミックパッケージ等である。実装基板への実装 (端子接続) 方法として、それぞれのパッケージに合わせた方法を用いることができる。

20

30

【0025】

実装基板 210 の配線が 1 層の場合には、図 3 に示したような IC パッケージ 271 と水晶振動子側の発振回路の入出力端子 222 および 223 との間に、図 3 に示したような接地電源配線ライン 231-2 を形成することができないので、実装基板側の発振回路パターンを取り囲む接地電源配線ライン 231 (231-4) から分岐した接地電源配線ライン 231-3 を入力配線ライン 232 等と出力配線ライン 234 等との間に入れて、これらの入出力配線ラインを分断する。接地電源配線ライン 231-3 は図 6 に示すようにできるだけ IC パッケージに近づける。IC の機能、発振特性上、あるいは端子パッドの接続上で問題がなければ、IC チップが搭載される領域の直下に点線で示す接地電源配線ライン 275 を配線することもできる。このようにすれば C_{os} をさらに小さくすることが可能となる。

40

【0026】

図 7 は図 6 に示した実施形態を変形した形態を示す図である。図 7 においては、IC パッケージ 271 の入出力リード端子 272、273、および接地電源リード端子 274 の関係は図 6 と同様である。しかし、実装基板 210 は配線ラインを 2 層にできる基板を用いている。従って、実装基板内の配線パターンを交差させることが可能となる。たとえば、リード線 272 および 273 の直下に接地電源配線ライン 276 を入れて、入出力配線ラインを取り囲むことができる。あるいは、図 6 と同様に IC チップ 271 の下に接地

50

電源配線ライン 275 を入れることもできる。これにより浮遊容量 C_{os} をさらに低減することが可能となる。この場合、接地電源配線ライン 276 と他の接地電源配線ラインと配線の階層とは異なる場合もあるが、これら 2 つの上下の接地電源配線ラインはスルーホールで接続すれば良い。また、入力配線ライン 222 および出力配線ライン 223 を交差させて接地電源配線ライン 231 (231-6) を形成することもできる。このようにして、接地電源配線ライン 231、275 や 276 を用いて、実装基板における発振回路を取り囲んで浮遊容量 C_{os} を低減することが可能となる。

【0027】

図 8 は、IC チップの発振回路用インバータの入力端子 (パッド) と出力端子 (パッド) の間に接地電源端子 (パッド) を配置した場合における、本発明のシールド線方式に関する実装レイアウトの実施形態を示す図である。IC チップ 211 の発振回路用インバータの入力パッド 213 および出力パッド 214 の間に接地電源パッド 261 が配置されている。この IC チップ 211 を実装基板 210 にベアチップ実装する。これに対して水晶振動子側の発振回路パターン配線がレイアウトされている。水晶振動子側の入力端子 (パッド) 222 および出力端子 (パッド) 223 の間に、接地電源端子 (パッド) 262 が配置される。IC チップ 211 の入力パッド 213、出力パッド 214 および接地電源パッド 261 は実装基板上的水晶振動子側の入力端子 (パッド) 222、出力端子 (パッド) 223 および接地電源端子 (パッド) 262 にそれぞれ金属ワイヤ 216、217 および 263 で導電接続している。金属ワイヤはワイヤボンダ法でそれぞれの端子 (パッド) に接着している。図 8 において、接地電源配線ライン 231 (231-1、2、4、5)、228、229 は接地電源端子 (パッド) 262 に接続して、基板側の発振回路用配線 232 (232-1、2)、224、225、234 (234-1、2) や負荷容量 241、242 や水晶振動子 243 を完全に取り囲んでいる。また、接地電源パッド 262 につながる接地電源配線ライン 231 (231-3) は入力配線ライン 232 および出力配線ライン 234 の間に入りこれらを完全に分離している。これにより浮遊容量 C_{os} の低減化を実現できる。さらに浮遊容量 C_{os} を低減化するには IC チップ 211 を実装基板の入出力パッド 222、223 および接地電源パッド 262 に可能な限り近づけるようにすることが望ましい。もちろん金属ワイヤ 216、217 および 262 の長さを短くすることも必要である。

【0028】

図 9 は、図 8 に示す実施形態の変形形態である。すなわち、水晶振動子側の発振回路は別基板 250 にレイアウト配線され、これに水晶振動子 243 および負荷容量 241、242 が搭載されている。この別基板 250 は IC チップ 211 のパッド配置に合わせて実装基板 210 に接着等されて配置される。この場合も、IC チップ 211 の入力パッド 213、出力パッド 214 および接地電源パッド 261 は実装基板の上に固定された別基板の水晶振動子側の入力端子 (パッド) 222、出力端子 (パッド) 223 および接地電源端子 (パッド) 262 はそれぞれ金属ワイヤ 216、217 および 263 で導電接続している。図 9 における別基板 250 では、接地電源配線ライン 231 は入力配線ライン 232 等および出力配線ライン 234 等を完全に取り囲んでいない (図 8 における 231 (231-2) の配線ラインがない) が、接地電源パッド 262 に接続する接地電源配線ライン 231 (231-3) が入力配線ライン 232 および出力配線ライン 234 の間に完全に入り込み、これらの配線ラインを完全に分離しているので、浮遊容量 C_{os} の低減化を行うことができる。別基板 250 のサイズを大きくしても良い場合は、図 8 に示すように接地電源配線ライン 231 (231-2) を形成して全体を完全に取り囲んでも良い。本実施形態の特徴は、実装基板 210 に発振回路に必要なレイアウト配線をしなくても良いことである。別基板 250 を実装できるスペースをあけておくだけで所望の発振特性を得られる発振回路を種々選択できる。たとえば、もっと低消費電力化したいときには、低 CL 化した水晶振動子側の別基板に交換することが容易である。あるいは他の IC チップと組み合わせることもできる。尚、図 8 における場合にも接地電源配線ライン 231 (231-2) を設けるスペースがない場合や接地電源配線ライン 231 (231-2) を設けると

不具合を生じる（発振特性やICの特性に影響が生じるなどの）場合には接地電源配線ライン231（231-2）をレイアウト配線しなければ良い。

【0029】

図10は、図6における場合と同様に、発振回路用インバータを内蔵したICチップを搭載したICパッケージ271を実装基板210に実装し、同じく実装基板210に形成した発振回路用配線パターンに水晶振動子および負荷容量を実装した場合における、本発明のシールド線方式によるパターンを模式的に表した実施形態を示す図である。ICパッケージ271の発振回路用インバータの入力リード端子272および出力リード端子273の間には、接地電源リード端子274が存在する。従って、基板210における水晶振動子側の発振回路パターンの入力端子（パッド）222および出力端子（パッド）223の間に接地電源端子（パッド）262を配置しておけば、図10に示すようにICパッケージのリード端子274を直接実装基板の接地電源端子（パッド）262に接続させることができる。また、入力リード端子272および出力リード端子273は直接に基板210の入力端子パッド222および出力端子パッド223に接続する。尚、ICパッケージに搭載される集積回路（IC）においても、発振回路を構成するCMOSインバータの入力端子パッドと出力端子パッドとの間に接地電源端子パッドが配置されていることが望ましい。当然に、これらのCMOSインバータの入力端子パッド、出力端子パッドおよび接地電源端子パッドはICパッケージの入力リード端子272、出力リード端子273および接地電源リード端子274にそれぞれ接続している。

10

【0030】

実装基板の配線が1層の場合においても、ICパッケージ271と水晶振動子側の発振回路の入出力端子222および223との間に、接地電源パッド262が形成でき、かつ入力配線ライン232（232-1、2）等と出力配線ライン234（234-1、2）等との間に接地電源パッド262に接続する接地電源配線ライン231-3を入れることができる。この結果入力パッド配線ライン（222、232、224）および出力パッド配線ライン（223、234、225）を接地電源パッド配線ライン（262、231-3）によって完全に分断できる。しかもIC側の入力配線ライン（リード端子272およびそれにつながる配線ライン）および出力配線ライン（リード端子273およびそれにつながる配線ライン）も接地電源配線ライン（リード端子274およびそれにつながる配線ライン）により分断されている。この結果、浮遊容量 C_{os} を非常に小さくしゼロに近づけることができる。

20

30

【0031】

実装基板210の配線が1層の場合には、図3に示したような接地電源配線ライン231-2を形成することができないが、図10に示すように入出力配線ラインの三方を取り囲むように接地電源配線ライン231（231-1、3、4）を形成できる。尚、実装基板210の配線が1層の場合でも、点線281で示すように接地電源配線ラインをICパッケージ271の下に形成すれば、入出力配線ライン全体を接地電源配線ラインで取り囲むことができる。

【0032】

図11は図10に示した実施形態を変形した形態を示す図である。図11においては、実装基板210の配線は2層以上可能である場合を示している。図11においては、接地電源配線ライン231（231-1、2、3、4、5、7）は実装基板配線の下層に形成されていて、入出力配線ライン232等および234等は上層に形成されているが、入出力配線ラインを231（231-1、2、3、4、5）により取り囲んでおり、かつ入出力配線ラインを接地電源配線ライン262、231（231-3、7）で分断しているので、 C_{os} の低減化を実現できる。あるいは、リード端子（272、273、274）やICパッケージ271の下にも破線で示す接地電源配線ライン283を配置することができるので、さらに C_{os} の低減化を実現できる。

40

【0033】

図2に示す接地配線14が入力端子XCINとそれにつながる配線12および出力端子

50

XCOUとそれにつながる配線13を取り囲んでいる方式(単線方式と呼ぶ)、並びに図1に示すような接地配線15が入力端子XCINとそれにつながる配線12および出力端子XCOUとそれにつながる配線13を取り囲みながら、かつ入力端子XCINにつながる配線12と出力端子XCOUにつながる配線13との間にアース配線(接地電源配線ライン)15を配置した方式(シールド線方式)のパターンを有する基板に、 $CL = 3.7\text{pF}$ の水晶振動子、 $Cg = 3\text{pF}$ および $Cd = 2\text{pF}$ の負荷容量を取り付け、浮遊容量および発振特性(発振起動時間、負性抵抗)を測定した。その結果を図16に示す。図16の表から分かるように、単線方式の場合における浮遊容量 $Cos = 0.85\text{pF}$ が、シールド線方式にすると浮遊容量 $Cos = 0.38\text{pF}$ となり、シールド線方式により大幅に浮遊容量 Cos を減らすことができる。浮遊容量 Cgs および外付け容量素子 Cds は少し増加するが、外付け容量 Cg および Cd を調整することによりコントロールでき、低 CL 化が安定して実現できる。また、シールド線方式により発振起動時間を短くする(約15%)こともでき、単線方式に比べ発振利得を約25%改善することができた。

10

20

30

40

50

【0034】

以上のように本願発明では、(1)入力端子XCINと出力端子XCOUとの間、および/または入力端子XCINにつながる配線(入力配線ライン)と出力端子XCOUにつながる配線(出力配線ライン)との間に接地電源配線ライン(アース線、グランド線または接地線)を入れてシールドをする。(2)入力端子XCINと出力端子XCOUとの間、および/または入力端子XCINにつながる配線と出力端子XCOUにつながる配線全体を接地電源配線ラインで取り囲み包囲する。(3)入力端子XCINと出力端子XCOUとの間にアース端子(グランド端子、接地端子、 Vss 端子)を設けて、それにつながる接地電源配線ラインで入力端子XCINにつながる配線(入力配線ライン)と出力端子XCOUにつながる配線(出力配線ライン)との間をサンドイッチ状にシールドする。これらにより、浮遊容量 Cos を低減し、低 CL 化を実現でき、消費電力を低減できる

【0035】

さらに、上記説明したシールド線方式は、入出力間端子・配線間の浮遊容量 Cos の低減化以外にも、ノイズ耐性の強化および発振性能の向上にも有効である。図16に示すように、シールドを行うことにより、負性抵抗 RL が大きくなり発振利得が約25%向上している。さらに、図16に示すように、シールドを行うことにより、発振起動時間も約15%短くなり発振性能が向上している。尚、上記のシールド方式をさらに高めるために、電極面積を小さくし、端子間隔(入力端子XCINと接地線出力端子XCOUとの間隔、あるいはそれにつながる配線間隔)を大きくすることや、基板に比誘電率の小さい材料を用いることなども低 CL 化に有効である。

尚、上記において主に水晶振動子を用いた発振回路について説明してきたが、水晶振動子の代わりに他の圧電振動子(たとえばセラミック振動子)などを用いる場合にも本発明のシールド線方式を適用できる。

上述した本発明の発振回路は、水晶振動子や他の圧電振動子を使用した発振器や電子機器に用いられる発振回路のすべてに搭載して適用できる。たとえば、時計、携帯電話、携帯端末、ノートパソコン等の電池駆動の電子機器である。さらには省エネや省電力化を要求されている車載用電子機器、テレビ・冷蔵庫・エアコン等の家電製品など広範な電子機器にも適用できる。

【産業上の利用可能性】

【0036】

本発明は、圧電振動子として水晶振動子を用いた発振回路に用いることができる。特に低消費電力化を行う場合に有用である。また、水晶振動子を用いた発振回路を搭載した発振器や電子機器等に用いることができる。

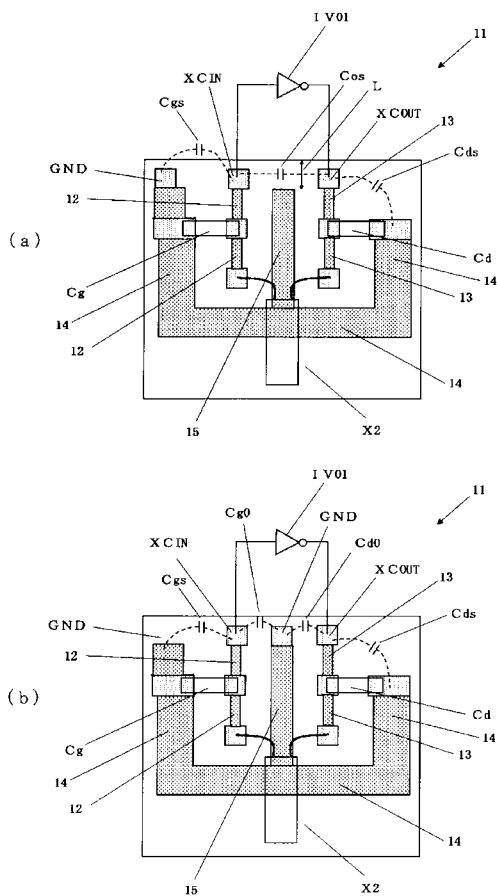
【符号の説明】

【0037】

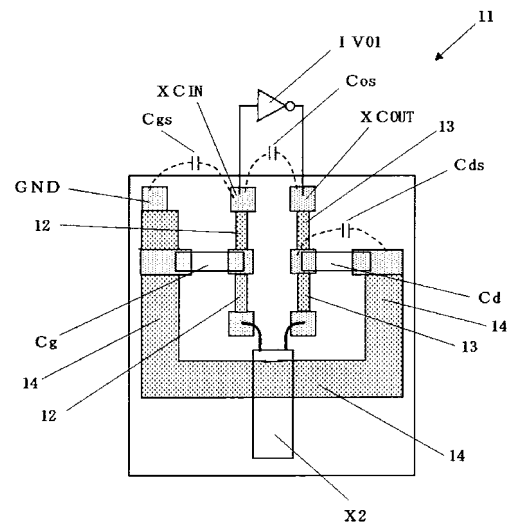
11・・・実施基板、12・・・入力配線ライン、13・・・出力配線ライン、

- 14・・・接地電源配線ライン、15・・・接地電源配線ライン、210・・・実装基板
- 、211・・・ICチップ、212・・・接地電源パッド、213・・・入力端子パッド
- 、
- 214・・・出力端子パッド、215・・・金属ワイヤ、216・・・金属ワイヤ、
- 217・・・金属ワイヤ、221・・・接地端子(パッド)、
- 222・・・入力端子(パッド)、223・・・出力端子(パッド)、
- 231・・・接地電源配線ライン、232・・・入力側配線ライン、
- 234・・・出力側配線ライン、

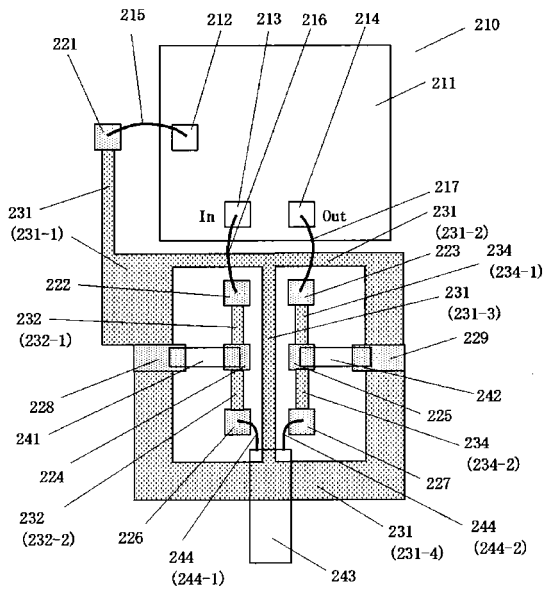
【図1】



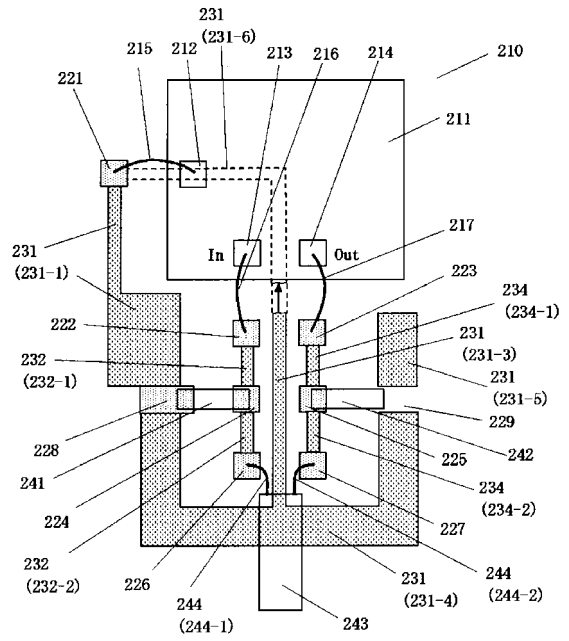
【図2】



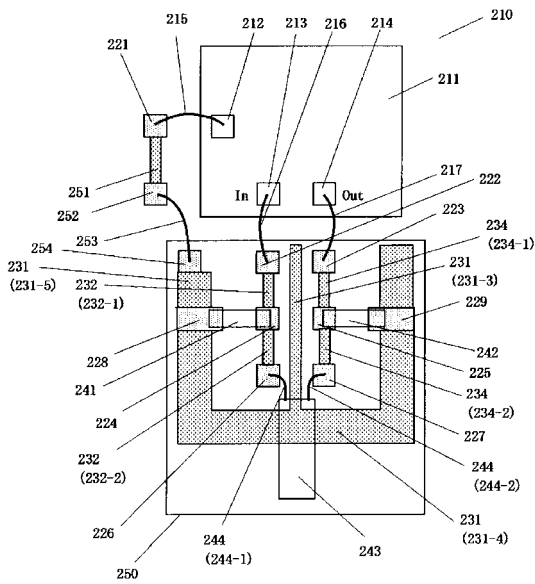
【 図 3 】



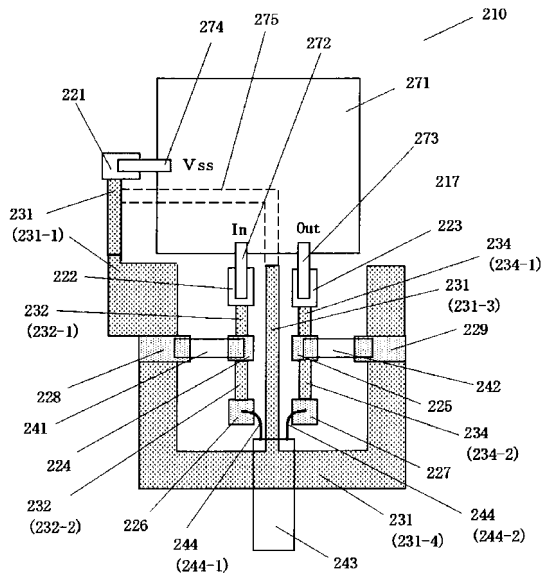
【 図 4 】



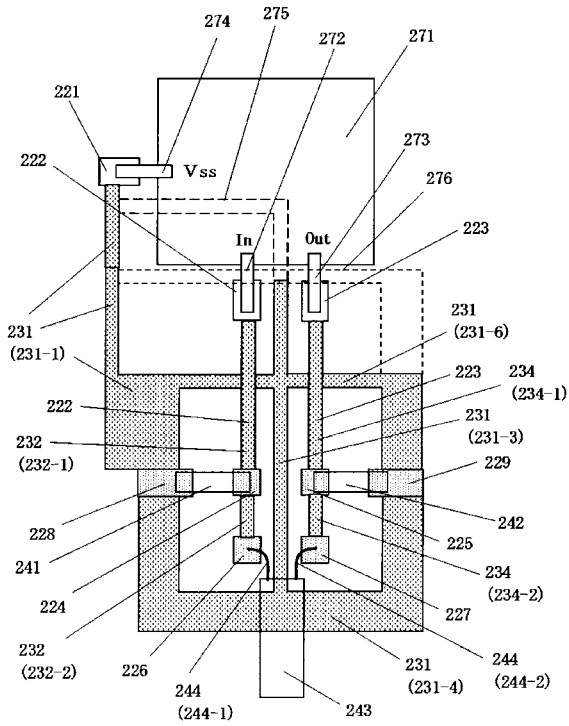
【 図 5 】



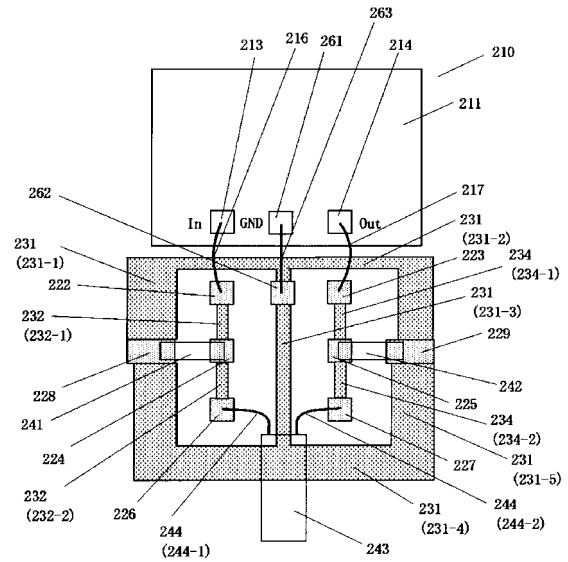
【 図 6 】



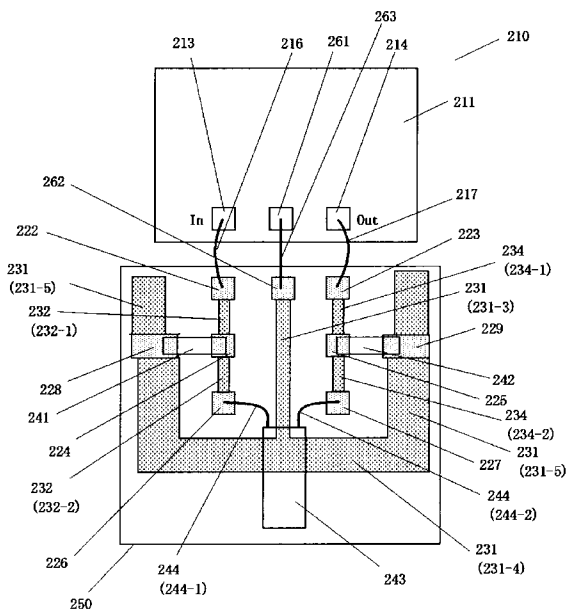
【 図 7 】



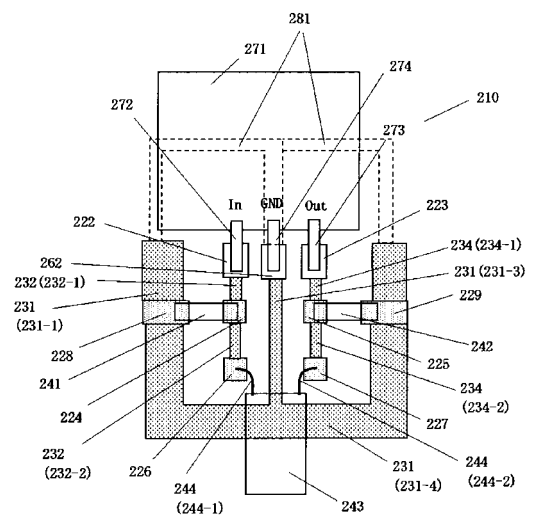
【 図 8 】



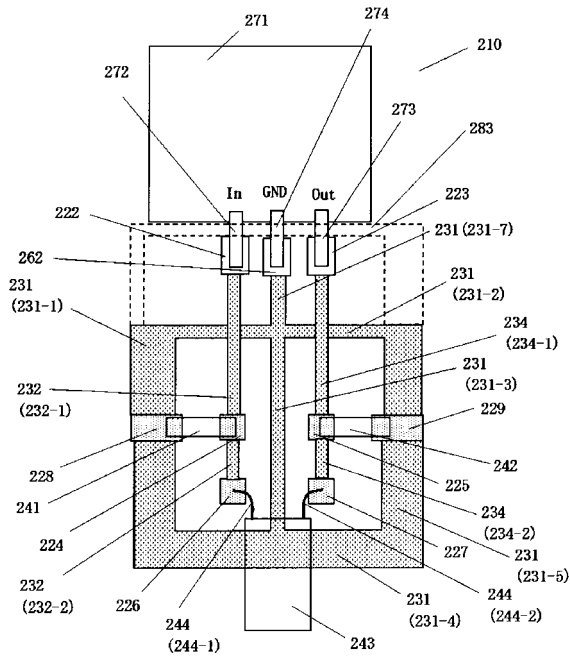
【 図 9 】



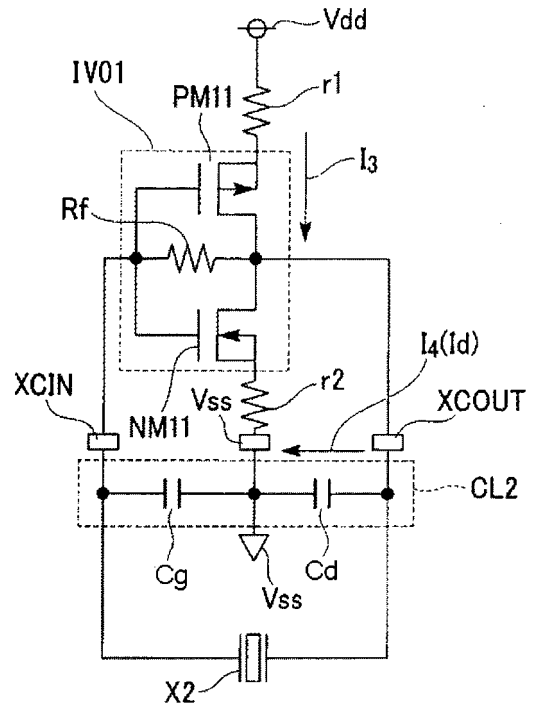
【 図 10 】



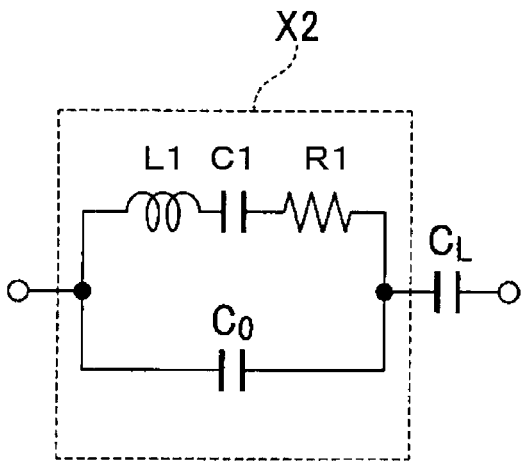
【図 1 1】



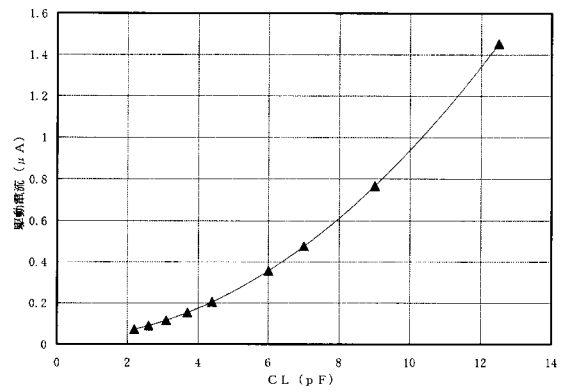
【図 1 2】



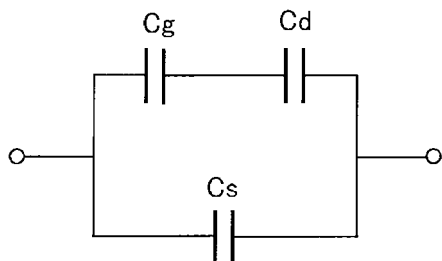
【図 1 3】



【図 1 5】



【図 1 4】



【図 1 6】

項目	単線方式	シールド線方式
Cos (pF)	0.85	0.38
Cgs (pF)	3.05	3.84
Cds (pF)	3.06	3.73
Cs (pF)	2.38	2.27
負性抵抗 (kΩ)	-730	-900
発振起動時間 (秒)	0.85	0.72