

公告本

申請日期	87.4.30
案 號	87106711
類 別	HOLL ²⁷ / ₁₀ . GIIC ¹¹ / ₃₄

A4
C4

434382

434882

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新 型 名 稱	中 文	使資料鎖住有穩定動作之SRAM及其驅動方法
	英 文	SRAM DEVICE HAVING NEGATIVE VOLTAGE GENERATOR FOR PERFORMING STABLE DATA LATCH OPERATION
	日 文	安定したデータラッチ動作のためのSRAM及びその驅動方法
二、發明 人 創 作	姓 名	1.柳德鉉 2.趙庸哲 3.嚴仁煥
	國 籍	均韓國
	住、居所	均韓國京畿道利川市夫鉢邑牙美里山136-1現代電子產業股份有限公司
三、申請人	姓 名 (名稱)	韓商現代電子產業股份有限公司
	國 籍	韓國
	住、居所 (事務所)	韓國京畿道利川市夫鉢邑牙美里山136-1
	代 表 人 名 姓 名	鄭東洙

裝

訂

線

434882

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

韓國 1997年5月8日 97-17728 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

[發明範圍]

本發明係有關半導體記憶體裝置者。特別是有關靜態隨機存取記憶體(SRAM: Static Random Access Memory)，以下簡稱為靜態記憶體。較詳細地說，本發明係有關能穩定地鎖住資料動作的靜態記憶體及其驅動方法。

[習知技藝]

如圖1所示的一般靜態記憶體(SRAM)，如圖所示，驅動電晶體(101、102)之源極端連接到接地電壓(GND)，汲極端(drain)連接到有貯存資料之單元節點，節點1與節點2。所以，藉著字線，經由能控制接通/關斷(on/off)之存取電晶體(111、112)，單元節點連接到資料存取線的位元線(bit line)，bit、bit。

具有這種構造的習知靜態記憶體單元有以下的問題。位元線在電源電壓位準時，為了預先充電，能使字線持續動作之位元線的正電荷會流到是單元節點之節點1與2，而使節點1與節點2的電壓上升。此時，電源電壓若是低電位，因為高電位的單元節點的電壓亦會變低，流到低電位的單元節點之驅動電晶體電流量跟著減少，而使低電位的單元節點之電壓會進一步升高；低電位的單元節點之電壓若是高電位，會使高電位的單元節點之驅動電晶體變弱，而高電位的單元節點之電壓就不能維持在高電位。藉此，二個節點間的電壓差(Voltage gap)就會減少。又，在低溫時，為了使驅動電晶體的臨界電壓(threshold voltage)上升，會使上述之接觸現象加速。總之，在低電源電壓時，高電位

五、發明說明 (2)

的單元節點與低電位的單元節點之電壓間隔會減少，單元對雜訊免疫極端微弱，單元電流會減少，單元會變成不穩定。又，單元電流減少，在位元線上，會使單元資料之傳送時間延遲，而這就是缺點之所在。

圖2A和圖2B係如圖1之習知靜態記憶體單元的暫態電壓分析(transient voltage analysis)，圖2A是電源電壓模擬2.5V(伏特)Vcc(電源電壓)之時，圖2B是電源電壓模擬2.0V(伏特)Vcc之時。參照圖面，節點1，節點2單元節點兩者間的電壓差在2.5V Vcc之時為1.3V，而在2V Vcc時，電壓差為0.45V。即，電源電壓在低電壓時，單元節點兩者之間的電壓差亦是不少，這是很明顯的。

在這樣的理由之下，因使用低電源電壓是趨勢所在，靜態記憶體的電源電壓從5V會如台階般降至3.3V，從3.3V會如台階般降至2.2V，由此，在單元的鎖住資料動作會有不穩定之問題。

[本發明欲解決的課題]

本發明之目的，鑑於這種習知問題，提供了由使用較低之電源電壓(Vcc)的靜態記憶體單元構造，來使鎖住資料動作穩定之靜態記憶體與其驅動方法。

[解決課題的方法]

本發明為了解決上述之課題，在具備了包含有驅動電晶體及存取電晶體之單位單元的靜態記憶體，在上述靜態記憶體的讀取週期之時，連接到上述之單位單元的字線處於動作狀態，該字線能以負電壓驅動上述驅動電晶體的源

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(3)

極；其他者則能用接地電壓驅動上述驅動電晶體的源極，而這是本發明所具備的驅動手段。

所以，上述之驅動手段具備有：連接到上述電晶體之源極的輸出端；邏輯電路部，其能與多數的控制信號響應，來判別上述之靜態記憶體是否為讀取週期，並判別連接在上述單位單元之字線(word line)是否處於動作狀態，上述之靜態記憶體在讀取週期時，上述字線處於動作狀態，該上述字線能使邏輯電位之高電位移至低電位；放電手段，其能與上述邏輯電路部之輸出響應，上述之靜態電晶體在讀取週期時，上述之字線不是處於動作狀態，而使上述之輸出端放電變成接地電壓；提供電容手段，其連接至上述之邏輯電路部與上述之輸出端。

又，上述之驅動手段進一步具備有：第1金屬氧化物電晶體(MOS transistor)，其在上述單位單元被施加電源之初期狀態，能以上述輸出端的電壓位準為自己的臨界電壓。上述之邏輯電路部是由下列者所構成：能輸入上述之多數控制信號的第1節點閘極(node gate)；能輸入上述之第1節點閘極所輸出反轉信號與其延遲信號之第2節點閘極；緩衝部(buffering)，其能緩衝上述之第2節點閘極(gate)的輸出，且對上述之提供電容手段提供輸出。上述之放電手段具備有：第2金屬氧化物半導體電晶體(MOS transistor)，其連接到上述之輸出端與接地電源端之間，當接通時，使上述之輸出端放電變成接地電壓；第3及第4金屬氧化物半導體電晶體(MOS transistor)，其等藉由上述之延遲信號來

五、發明說明(4)

控制，並控制第2金屬氧化物半導體電晶體的接通／關斷動作(on/off)；上述之提供電容手段是由第5金屬氧化物半導體電晶體所構成，該電晶體之閘極(gate)連接到上述之輸出端，而源極(source)與汲極(drain)則連接到上述之緩衝部的輸出端。

所以，具備有單位單元之靜態記憶體，該單位單元含有驅動電晶體與存取電晶體，該靜態記憶體具備有下述之驅動手段：在上述靜態記憶體之讀取週期時，連接到上述單位單元之字線處於動作狀態，含有上述之驅動電晶體的源極與上述驅動電晶體之井，與含有上述之井和上述之存取電晶體的井，其能各別用負電壓來驅動；其他者，則上述驅動電晶體之源極，與含有上述驅動電晶體之井，和含有上述存取電晶體之井，其能各別用接地電壓來驅動。

所以，在具備有單位單元之靜態記憶體的驅動方法，該單位單元包含有驅動電晶體與存取電晶體，爲了在低動作電壓時穩定鎖住資料動作，在上述靜態記憶體之讀取週期時，連接到上述單位單元之字線處於動作狀態，上述之驅動電晶體的源極能用負電壓來驅動；其他者，則用接地電壓來驅動上述驅動電晶體之源極。

[發明之實施例]

以下，請參照如附圖所示之理想的實施例，以便來更詳細地說明本發明。

圖3係本發明之靜態記憶體單元電路圖的實施例，其與習知靜態記憶體電路不同之處在於驅動電晶體(301、302)之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

源極並不是連接到接地電壓，而是連接到負電壓驅動部(300)，該負電壓驅動部(300)能產生負電壓和接地電壓。負電壓驅動部(300)在讀取週期時，僅當字線處於動作狀態，才能用負電壓驅動該驅動電晶體(301、302)之源極側；其他之動作則在該驅動電晶體(301、302)之源極側供應接地電壓。

圖4是適用於本發明之實施例，其係負電壓驅動部之電路圖。

如圖所示，負電壓驅動部在讀取週期時，僅在字線處於動作狀態才能用負電壓來驅動該驅動電晶體之源極側；其他的動作則是為了供應接地電壓給該驅動電晶體之源極側，即，為了配合其時序，能組合在習知靜態記憶體所使用的控制信號群(PWL, PEQB, DEQB)，來產生負電壓及接地電壓。

在具體說明圖4所示的負電壓驅動部之前，可透過圖5來觀看各控制信號(PWL, PEQB, DEQB)。

首先，控制信號"PEQB"是位址輸入信號，其係依序通過位址緩衝器(address buffer)與位址轉移偵測器(address transition detector)而產生之信號。控制信號"DEQB"是資料輸入信號，係依序通過資料緩衝器(data buffer)與資料轉移偵測器(data transition detector)而產生之信號。控制信號"PWL"脈衝字線(Pulsed Word Line)是位址輸入信號(PEQB)與資料輸入信號(DEQB)通過脈衝字線(PWL)產生器所生成之信號。

五、發明說明(6)

負電壓驅動部(300)靠輸入這樣的控制信號PWL, PEQB, 和DEQB來驅動。參照圖4來觀看其細部構造, 該負電壓驅動部(300)包含有: 以控制信號PWL, PEQB, 和DEQB為輸入之第1節點閘極(node gate 465); 第2節點閘極(node gate 470), 其以使用第1節點閘極輸出之反轉信號與其輸出作為輸入; 緩衝部(472), 其能緩衝第2節點閘極之輸出; P溝道金屬氧化物半導體電晶體(PMOS transistor 421), 其源極、汲極與N-基底共同連接到緩衝部(472)的輸出, 以便作為電容來動作; N溝道金屬氧化物半導體電晶體(NMOS transistor 412), 其連接到PMOS電晶體(421)與接地電源端之間, 當接通時, 會使輸出端節點的電壓放電變成接地電壓位準; P溝道金屬氧化物半導體電晶體(PMOS transistor 423), 在靜態記憶體單元上施加電源之初期狀態的輸出端節點電壓位準變成類似自己的臨界電壓, 則其連接在輸出端節點與接地電源端之間的連接, 會變成二極體連接(diode-coupled); P溝道金屬氧化物半導體電晶體(PMOS transistor 422)和N溝道金屬氧化物半導體電晶體(NMOS transistor 411), 其等能控制NMOS電晶體(412)的接通/關店(on/off), 並用能在一固定時間內延遲且反轉第1節點閘極之輸出信號作為輸出信號。

具有上述構造之負電壓驅動部的動作如下。當該位址輸出信號(PEQB), 資料輸入信號(DEQB)和脈衝字線信號(PWL)輸入第1節點閘極(468)時, 即使三種信號內之任一是邏輯低電位時, 其輸出就變成高電位。NMOS電晶體

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (7)

(411) 就會關斷 (turn-off)，PMOS 電晶體 (422) 亦會關斷，NMOS 電晶體 (412) 亦會關斷。結果，會在輸出端節點輸出接地電壓。另外，控制信號 PEQB，DEQB 和 PWL 若全部變成邏輯電位之高電位，NMOS 電晶體 (412) 會接通，緩衝部 (472) 的輸出端從邏輯電位之高電位變成低電位，輸出端節點接著從接地電壓變成負電壓。

結果，控制信號 PEQB，DEQB 和 PWL 全部是邏輯電位之高電位時，即，既使在讀取週期時，僅字線處於動作狀態，負電壓驅動部就輸出負電壓，以便驅動靜態記憶體單元之驅動電晶體的源極側，而且，在其他狀態，能以接地電壓驅動該驅動電晶體的源極側。

圖 6 是負電壓驅動部的時序圖。參照該圖，僅位址改變而資料不變時 (630)，控制信號資料輸入信號 (DEQB) 維持在邏輯電位之高電位 (635)，而經過如圖 5 與圖 4 之電路來產生負電壓 (637)。位址與資料共同改變時，亦同樣產生負電壓 (637)。

圖 7 與圖 8 係負電壓驅動部的暫態電壓分析圖，其能夠了解產生負電壓時的電壓位準 (645，647)。

圖 9 是表示在圖 3 所示之電路的鎖住問題 (latch up)，其係概念斷面圖。參照該圖 9，在圖 3 中為了降低單元節點 (節點 1、節點 2) 的電位，用負電壓僅能驅動該驅動電晶體 (301、302) 的源極，為了在源極一基底的接合處施加順向偏壓 (forward bias)，藉由寄生 PNP 雙極接面電晶體 (Bipolar Junction Transistor 933) 和 NPN (944) 來產生鎖住

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(8)

現象。

如上所述，爲了防止這種問題，在本發明之其他實施例中，靜態記憶體單元的驅動電晶體與存取電晶體之基底會如同驅動電晶體的源極，驅動負電壓和接地電壓。這些動作就如同在圖10所示。參照圖10，因爲驅動電晶體(301和302)之源極與驅動電晶體(301和302)和存取電晶體(311和312)之基底(P-基底)連接到負電壓驅動部(參照圖4)，靜態記憶體在讀取週期時，且僅在字線是處於動作狀態，驅動電晶體(301和302)之源極側與驅動電晶體(301和302)和存取電晶體(311和312)之基底(P-基底)，能用負電壓來驅動；在其他時候，就變成用接地電壓驅動。

圖11A，圖11B係在圖10所示之靜態記憶體單元電路的暫態電壓分析圖。參照該圖，在讀取週期，二者之單元節點間的電壓差在2.5V Vcc是1.49V，在2V Vcc是0.87V。若各自比較圖11A、11B與圖2A、圖2B，在讀取週期，高電位單元節點與低電位單元節點之電壓間隔，從2.5V Vcc，以0.18V程度減少至1.49V；在2V Vcc，從0.45V以0.42V程度增加到0.87V。尚者，位元線(bit line)之變化差，在2.5V Vcc時，從0.6V以0.37V程度增加至0.97V，在2V Vcc時，從0.06V以0.54V程度增加至0.6V。

本發明並不限定於上述之實施例，在不超過其要旨之範圍的變更是可能的。

[發明效果]

本發明能夠選擇性地以負電壓驅動靜態記憶體單元之驅

五、發明說明(9)

動電晶體的源極，且能夠在使用低電源電壓之靜態記憶體完成穩定鎖住資料的動作。

[圖面簡述]

圖1是習知靜態記憶體單元電路圖。

圖2A和2B是習知靜態記憶體單元的暫態電壓分析圖。

圖3是有關一本發明實施例的靜態記憶體單元電路圖。

圖4是適用於本發明實施例的負電壓驅動部電路圖。

圖5是有關負電壓驅動部之各個控制信號的路徑方塊圖。

圖6A和6B是負電壓驅動部之時序圖。

圖7和圖8是負電壓驅動部的暫態電壓分析圖。

圖9是表示如圖3所示之電路的鎖住(Latch up)問題，該圖係概念斷面圖。

圖10是有關本發明實施例之靜態記憶體單元的電路圖。

圖11A和11B是圖10之靜態記憶體單元電路的暫態電壓分析圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱：使資料鎖住有穩定動作之SRAM及其驅動方法)

本發明係提供能使資料鎖住動作穩定之靜態記憶體與其驅動方法，該靜態記憶體單元係使用較低的電源電壓(Vcc)。

本發明能在靜態記憶體之讀取週期時，能選擇靜態記憶體單元之驅動電晶體的源極，而被選定的靜態記憶體單元之字線也僅在動作狀態時才能以負電壓驅動，其他者則用一般的接地電壓來驅動，且亦能夠確保該靜態記憶體的動作穩定。又，包含驅動電晶體之源極與驅動電晶體的井，與包含有上述之井與存取電晶體的井能夠選擇地用負電壓來驅動。

英文發明摘要(發明之名稱：

SRAM DEVICE HAVING NEGATIVE VOLTAGE GENERATOR
FOR PERFORMING STABLE DATA LATCH OPERATION)
安定したデータラッチ動作のためのSRAM及びその驅動方法

【課題】 本發明はより低い電源電圧(Vcc)を使用するSRAMのセルが安定されたデータラッチがなされうるようにしたSRAM及びその驅動方法を提供することにある。

【解決手段】 本發明はSRAMセルの驅動トランジスタのソースを選択的にすなわちSRAMが読み出しサイクルで、選択されたセルのワードラインがイネーブルされる間のみ負電圧で驅動し、其の他には通常の接地電圧で驅動してSRAMの安定された動作を確保しうる。なお、驅動トランジスタのソースと共に驅動トランジスタを含むウェルとアクセストランジスタを含むウェルも選択的に負電圧で驅動しうる。

六、申請專利範圍

1. 一種具備有單位單元之靜態記憶體，該單位單元包含有驅動電晶體和存取電晶體，該靜態記憶體在讀取週期時，連接到上述之單位單元的字線處於動作狀態，能以負電壓驅動上述之驅動電晶體的源極；其他者則以接地電壓驅動上述之驅動電晶體的源極。
2. 如申請專利範圍第1項之靜態記憶體，該靜態記憶體之上述驅動手段具備有：
 - 連接到上述驅動電晶體源極之輸出端；
 - 邏輯電路部，其能與多數的控制信號響應，來判別上述之靜態記憶體是否為讀取週期，並判別連接到上述之單位單元的字線是否處於動作狀態，當上述之靜態記憶體在讀取週期時，上述之字線處於動作狀態，能使該邏輯電路部之輸出由邏輯電位之高電位往低電位遷移；
 - 放電手段，能與上述之邏輯電路部的輸出響應，在上述之靜態記憶體處於讀取週期時，而上述之字線不是處於動作狀態，會使上述之輸出端放電變成接地電壓；
 - 提供電容手段，其連接在上述之邏輯電路部與上述之輸出端。
3. 如申請專利範圍第2項之靜態記憶體，該靜態記憶體之上述驅動手段進一步具備有：在施加電源於上述之單位單元的初期狀態，能以上述之輸出端的電壓位準作為自己的臨界電壓之第1 MOS電晶體。
4. 如申請專利範圍第3項之靜態記憶體，該靜態記憶體之上述邏輯電路部具備有：

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

能輸入上述之多數控制信號的第1節點開極：

第2節點開極，其能輸入上述之第1節點開極所輸出的反轉信號與其延遲信號：

緩衝部，其能緩衝上述之第2節點開極的輸出，然後輸出到上述之提供電容手段。

5. 如申請專利範圍第4項之靜態記憶體，該靜態記憶體之上述放電手段具備有：

第2 MOS電晶體，其連接在上述輸出端與接地電源端之間，當其接通時，能使上述輸出端放電變成接地電壓：

第3 MOS電晶體與第4 MOS電晶體，該等電晶體藉由上述之延遲信號來控制，以便控制上述之第2 MOS電晶體的接通／關斷。

6. 如申請專利範圍第5項之靜態記憶體，該靜態記憶體之上述的提供電容手段是由第5 MOS電晶體所構成，該電晶體之源極與汲極連接到上述之緩衝部的輸出端，而該電晶體之閘極則連接到上述之輸出端。

7. 一種具備有單位單元之靜態記憶體，該單位單元包含有驅動電晶體和存取電晶體，該靜態記憶體在讀取週期時，連接到上述之單位單元的字線處於動作狀態，含有上述驅動電晶體之源極與上述驅動電晶體之井，與含有該井和上述之存取電晶體的井，其能各別以負電壓來驅動；其他者，則上述驅動電晶體之源極，和含有上述之驅動電晶體的井，與含有上述之存取電晶體的井，其能

(請先閱讀背面之注意事項再填寫本頁)

訂

後

六、申請專利範圍

各別以接地電壓來驅動，該靜態記憶體具備上述之驅動手段。

8. 如申請專利範圍第7項之靜態記憶體，該靜態記憶體之上述驅動手段具備有：

· 連接到上述驅動電晶體之源極的輸出端：

· 邏輯電路部，其能與多數的控制信號響應，來判別上述之靜態記憶體是否為讀取週期，並判別連接到上述之單位單元的字線是否處於動作狀態，當上述之靜態記憶體在讀取週期時，能使該邏輯電路部之輸出由邏輯電位之高電位往低電位遷移：

· 放電手段，能與上述之邏輯電路部的輸出響應，在上述之靜態記憶體處於讀取週期，而上述之字線不是處於動作狀態，會使上述之輸出端放電變成接地電壓：

· 提供電容手段，其連接在上述之邏輯電路部與上述之輸出端。

9. 如申請專利範圍第8項之靜態記憶體，該靜態記憶體之上述驅動手段進一步具備有：在施加電源於上述之單位單元的初期狀態，能以上述之輸出端的電壓位準作為自己的臨界電壓之第1 MOS電晶體。

10. 如申請專利範圍第9項之靜態記憶體，該靜態記憶體之上述邏輯電路部具備有：

· 能輸入上述之多數控制信號的第1節點開極：

· 第2節點開極，其能輸入上述之第1節點開極所輸出的反轉信號與其延遲信號：

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

緩衝部，其能緩衝上述之第2節點閘極的輸出，然後輸出到上述之提供電容手段。

11. 如申請專利範圍第10項之靜態記憶體，該靜態記憶體之上述放電手段具備有：

第2 MOS電晶體，其連接在上述輸出端與接地電源端之間，當其接通時，能使上述輸出端放電變成接地電壓：

第3 MOS電晶體與第4 MOS電晶體，該等電晶體藉由上述之延遲信號來控制，以便控制上述之第2 MOS電晶體的接通／關斷。

12. 如申請專利範圍第11項之靜態記憶體，該靜態記憶體之上述的提供電容手段是由第5 MOS電晶體所構成，該電晶體之源極與汲極連接到上述之緩衝部的輸出端，而該電晶體之閘極則連接到上述之輸出端。

13. 一種具備有單位單元之靜態記憶體之驅動方法，該單位單元含有驅動電晶體與存取電晶體，爲了在低動作電壓穩定鎖住資料動作，在上述靜態記憶體之讀取週期時，連接到上述單位單元之字線處於動作狀態，能以負電壓來驅動上述驅動電晶體之源極；其他者，則以接地電壓來驅動上述驅動電晶體之源極。

14. 一種具備有單元之靜態記憶體驅動方法，該單元是由負載、驅動電晶體及存取電晶體所構成，爲了在低動作電壓穩定鎖定資料動作，在上述靜態記憶體之讀取週期時，字線處於動作狀態，含有上述驅動電晶體之源極和

六、申請專利範圍

上述驅動電晶體之井，與含有上述存取電晶體之井，其能各別以負電壓來驅動；其他者，則含有上述驅動電晶體之源極和上述電晶體之井，與含有上述存取電晶體之井，其能各別以接地電壓來驅動。

(請先閱讀背面之注意事項再填寫本頁)

訂

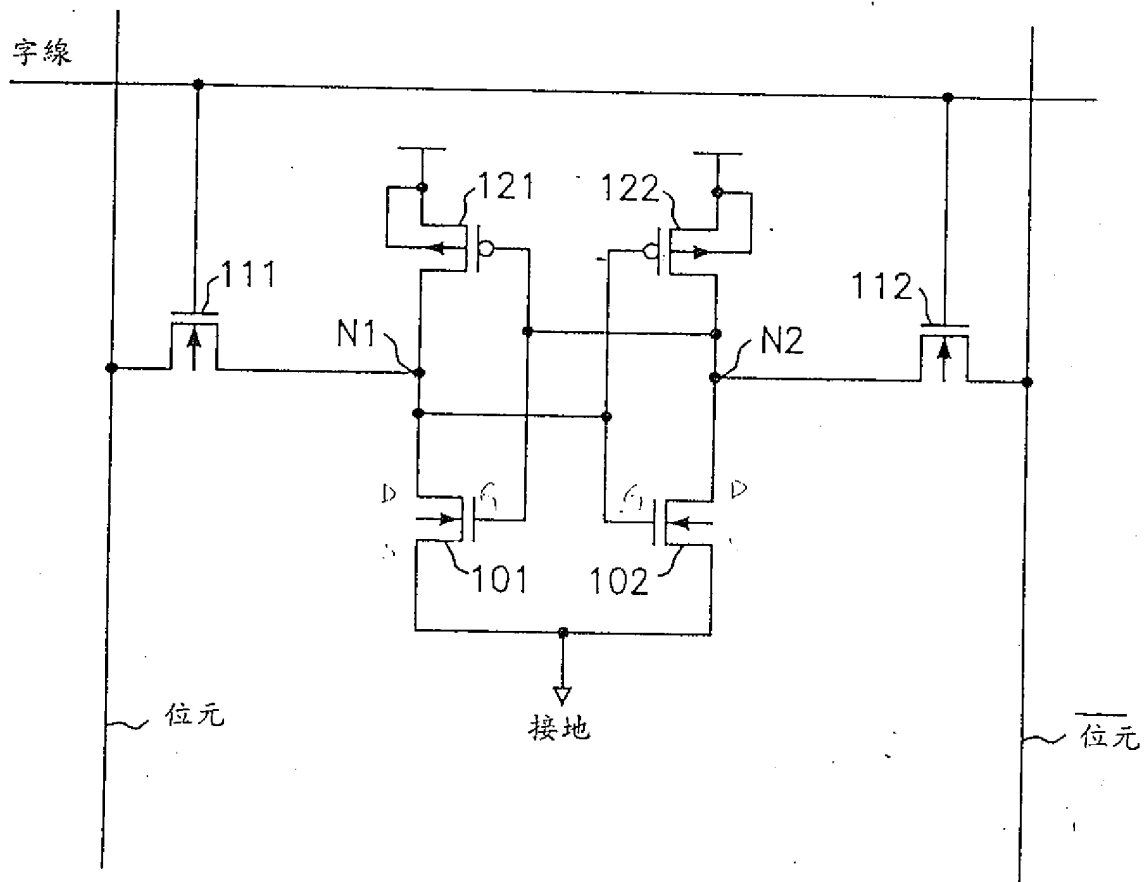


圖 1

90年1月30日 修正
補充

煩請委員明示 90 年 1 月 30 日所提之
修正本有無變更實質內容是否准予修正。

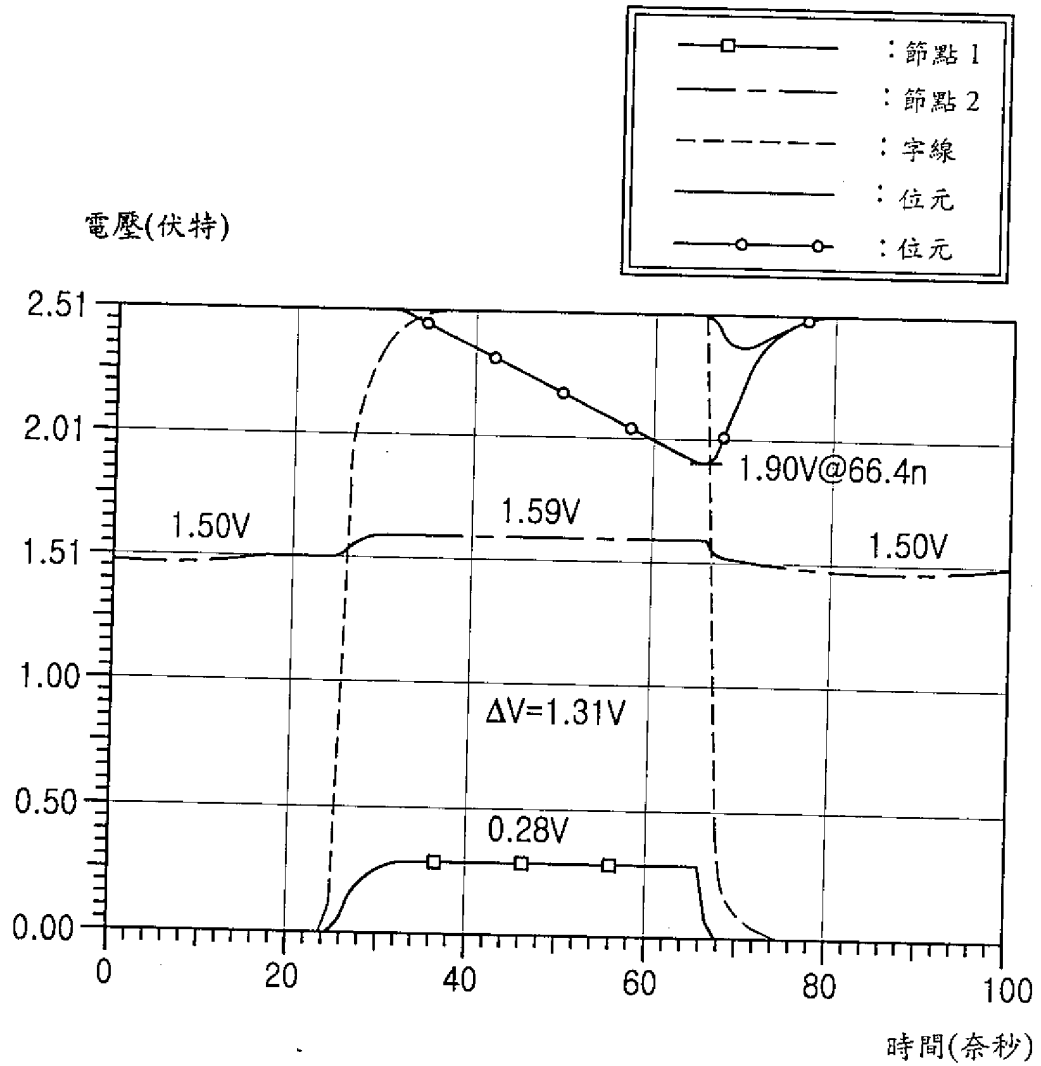


圖 2A

90年1月30日 修正
 補充

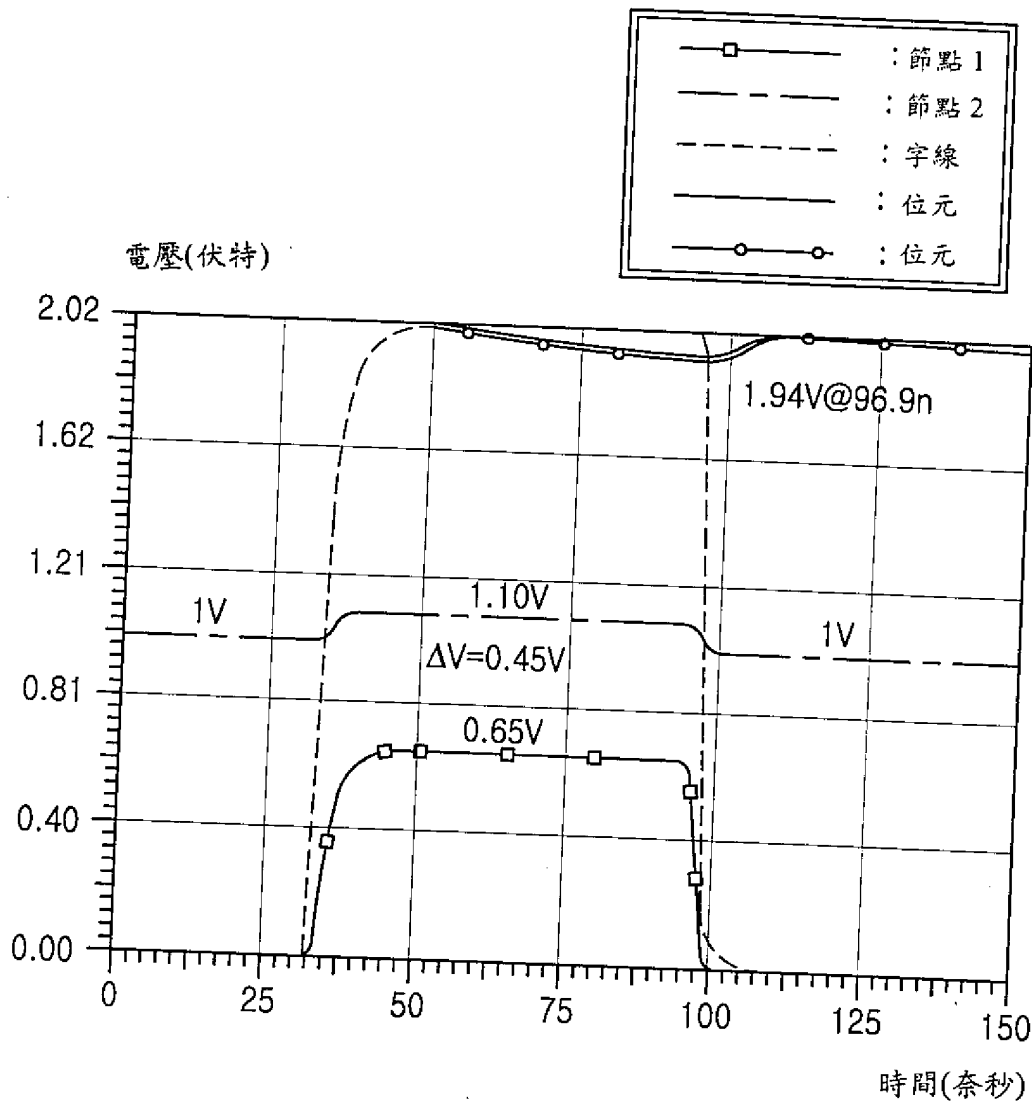


圖 2B

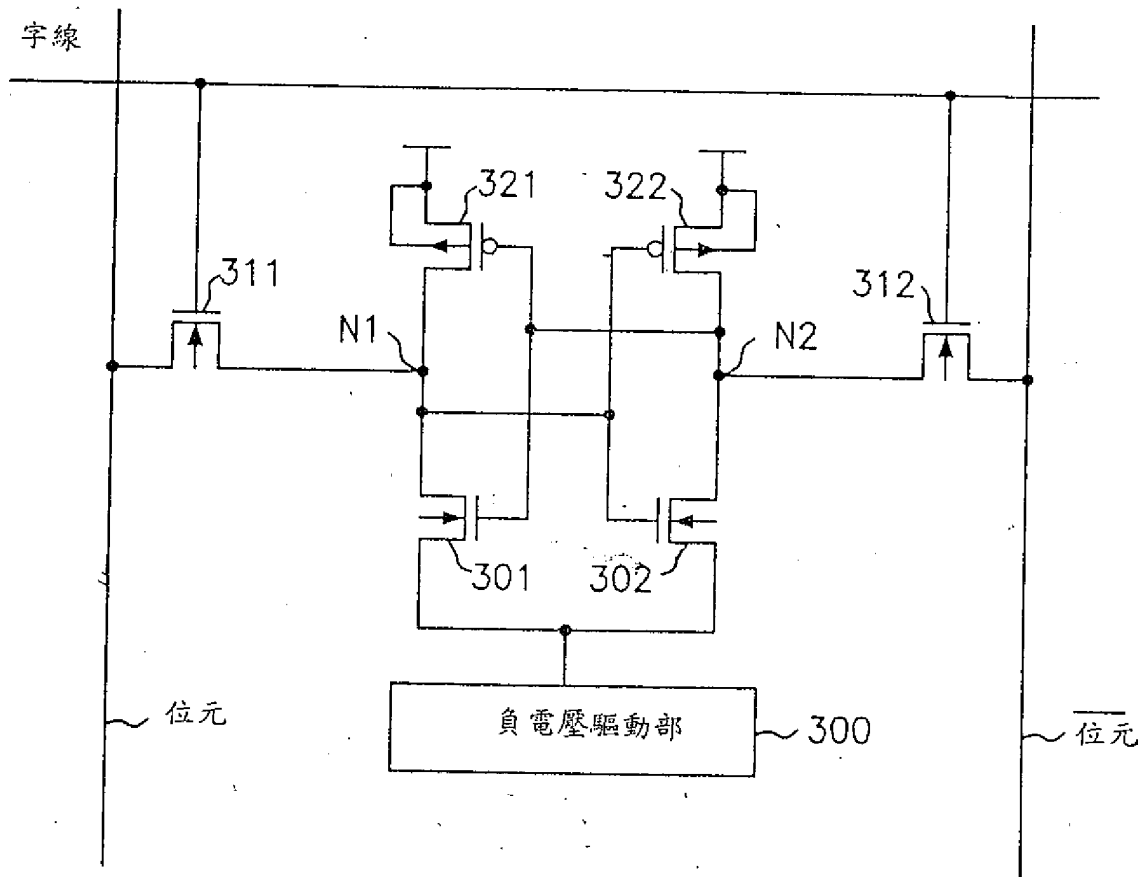


圖 3

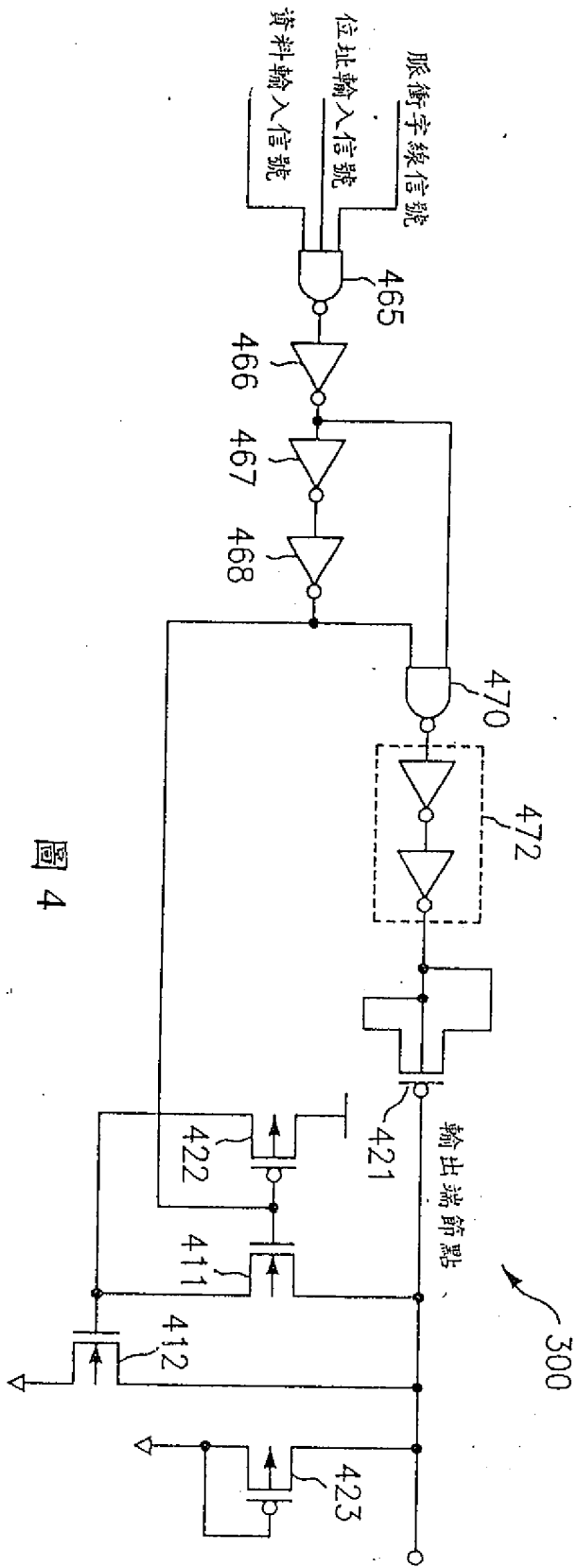


圖 4

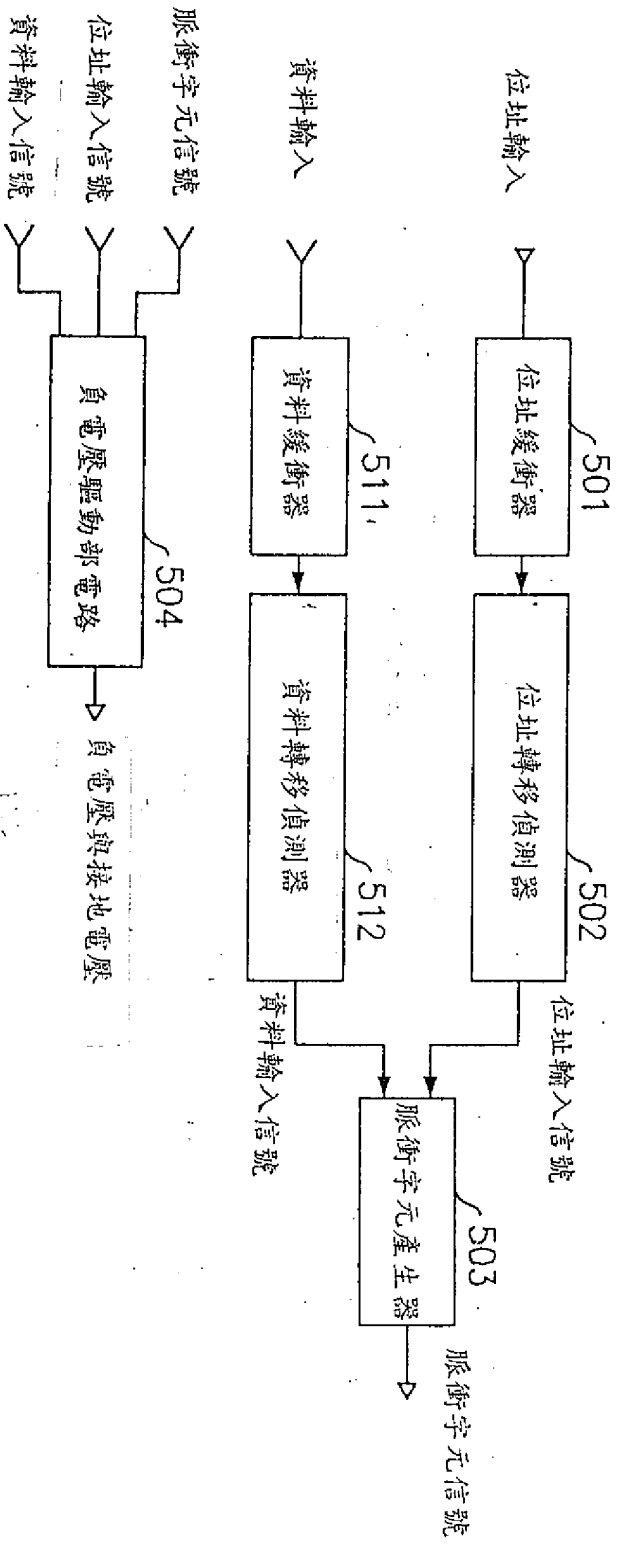


圖 5

修正
補充
90年1月20日

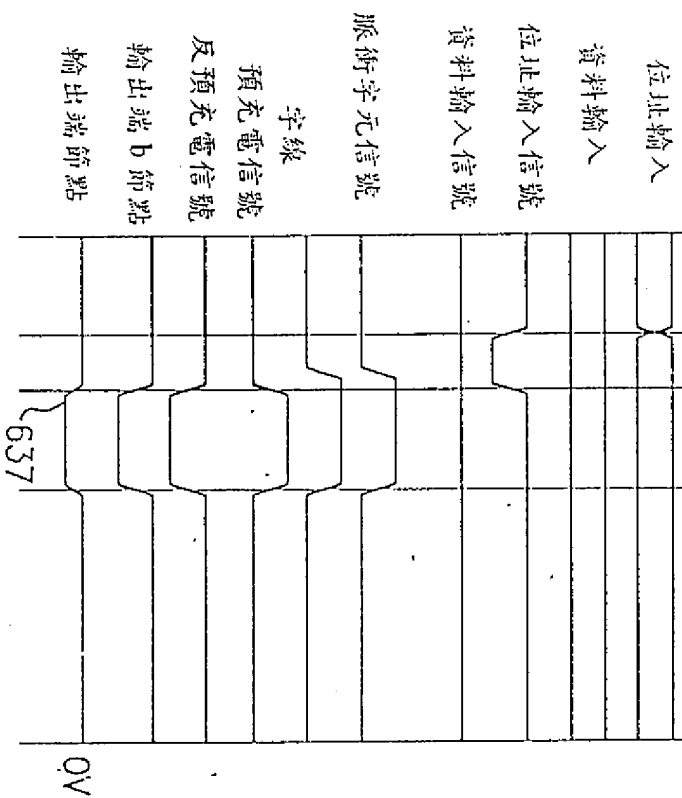


圖 6A

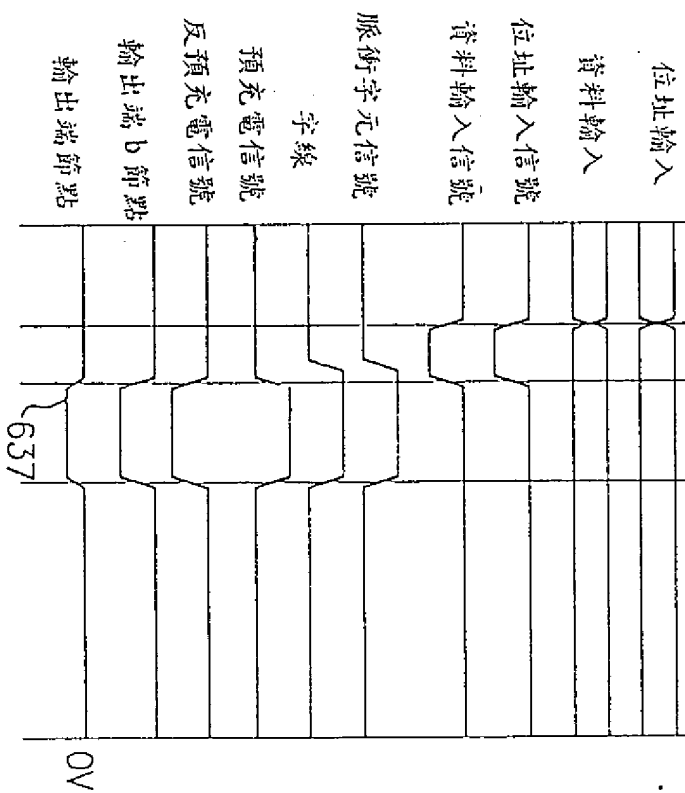


圖 6B

修正
 補充
 90年1月30日

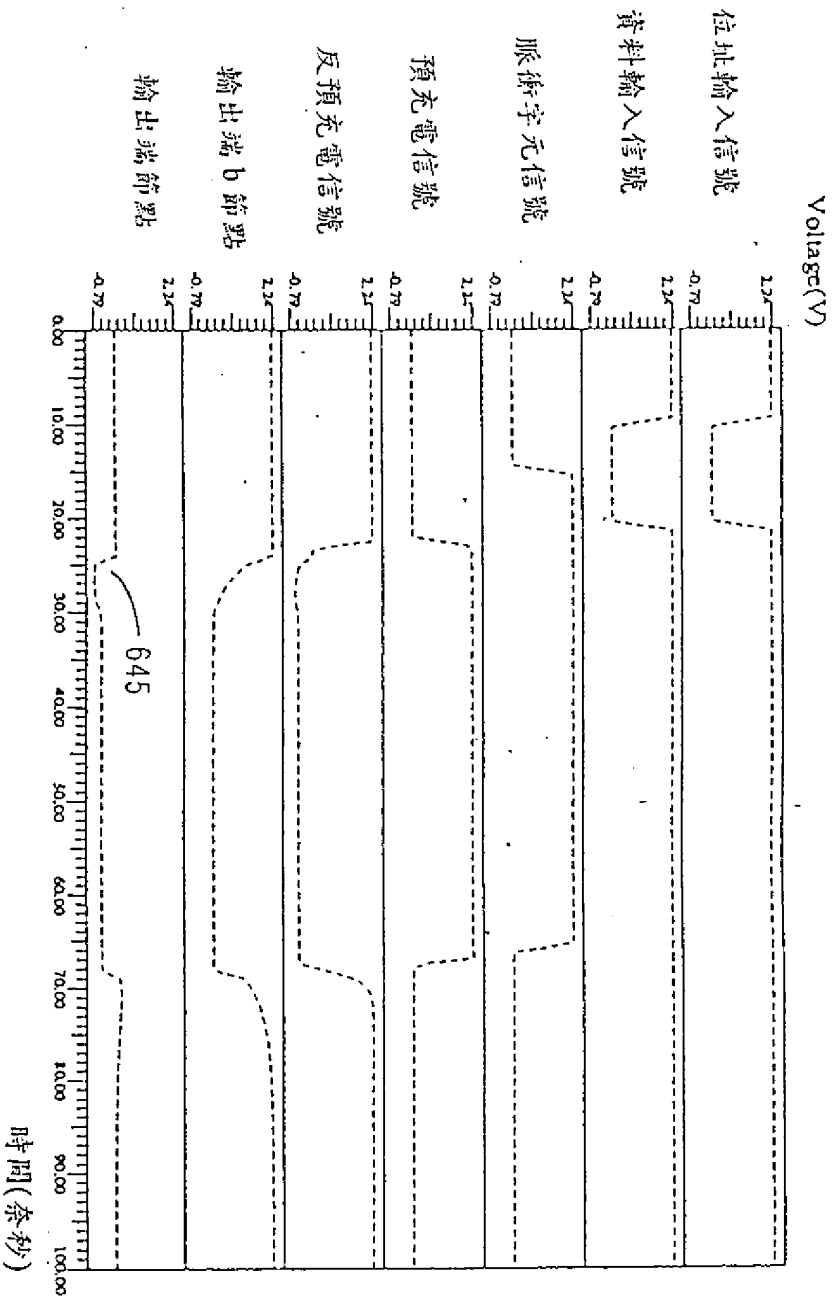


圖 7

434882

修正
 補充
 90年1月30日

—— : 位元輸入信號
 ——— : 脈衝字之信號
 - - - - : 輸出端節點

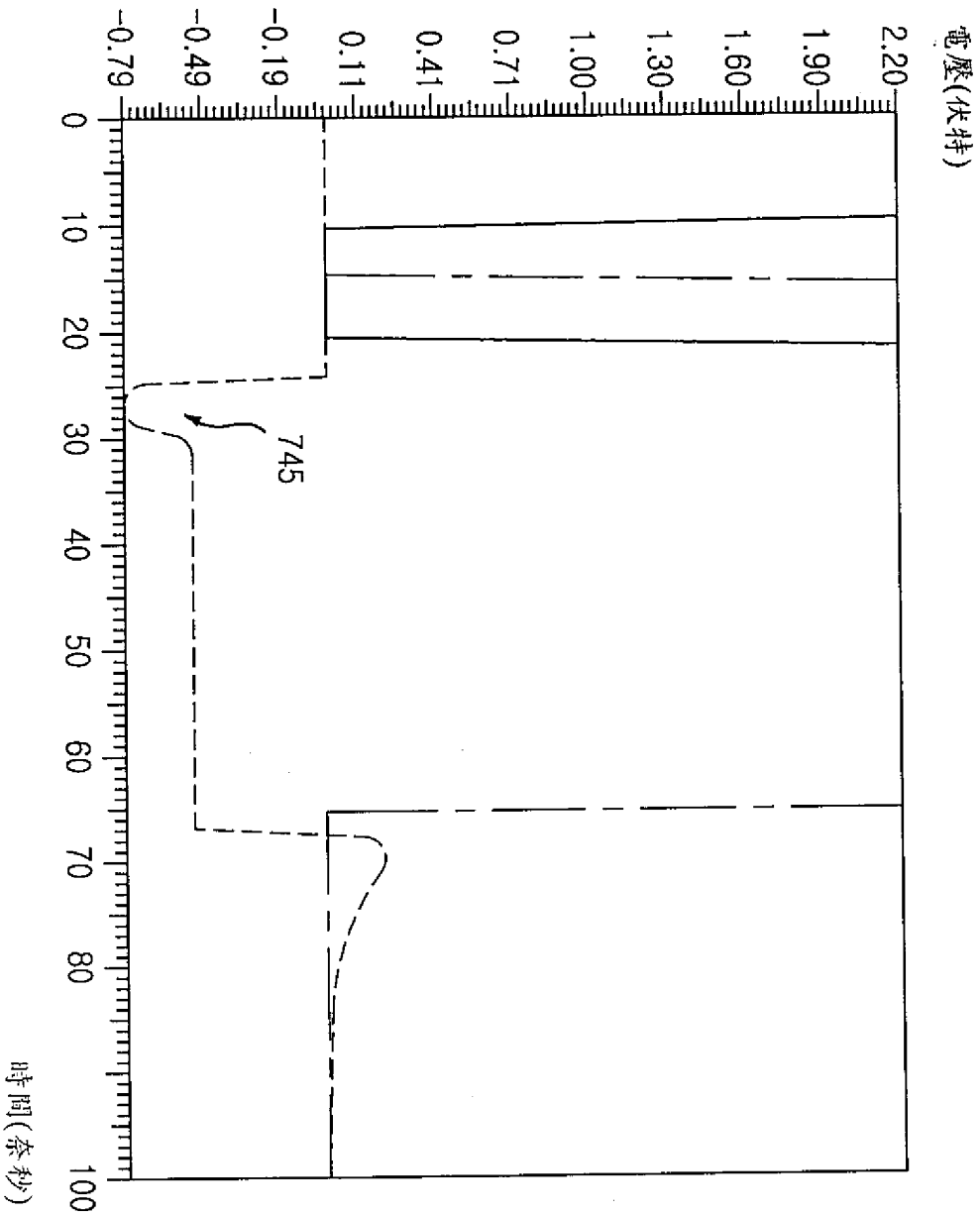


圖 8

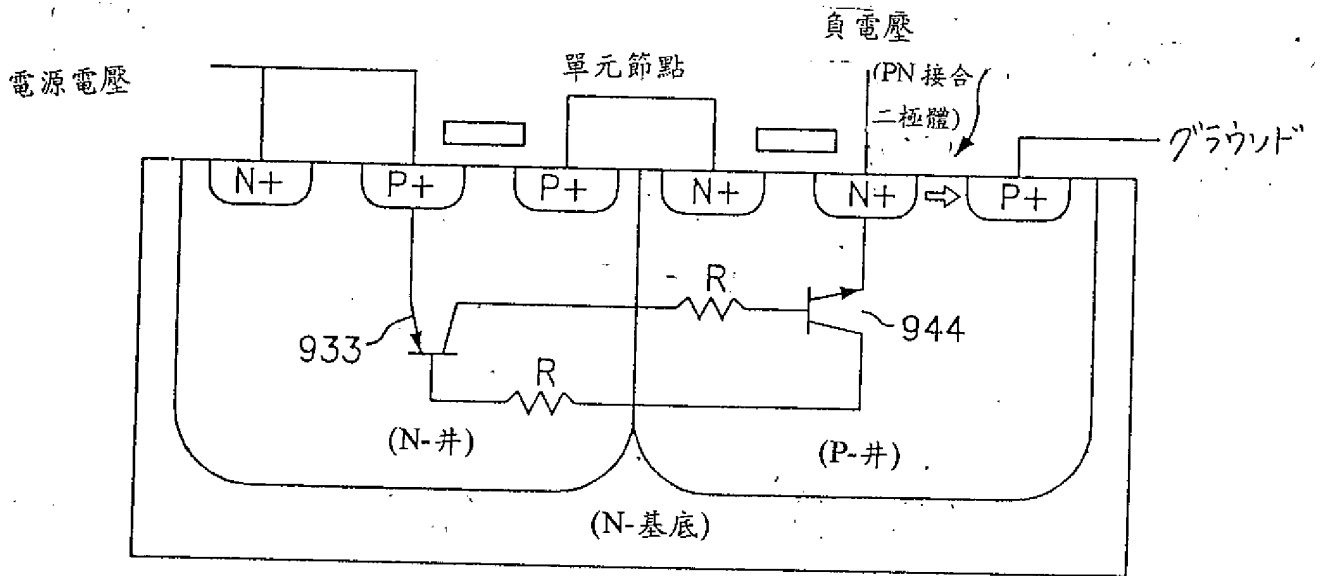


圖 9

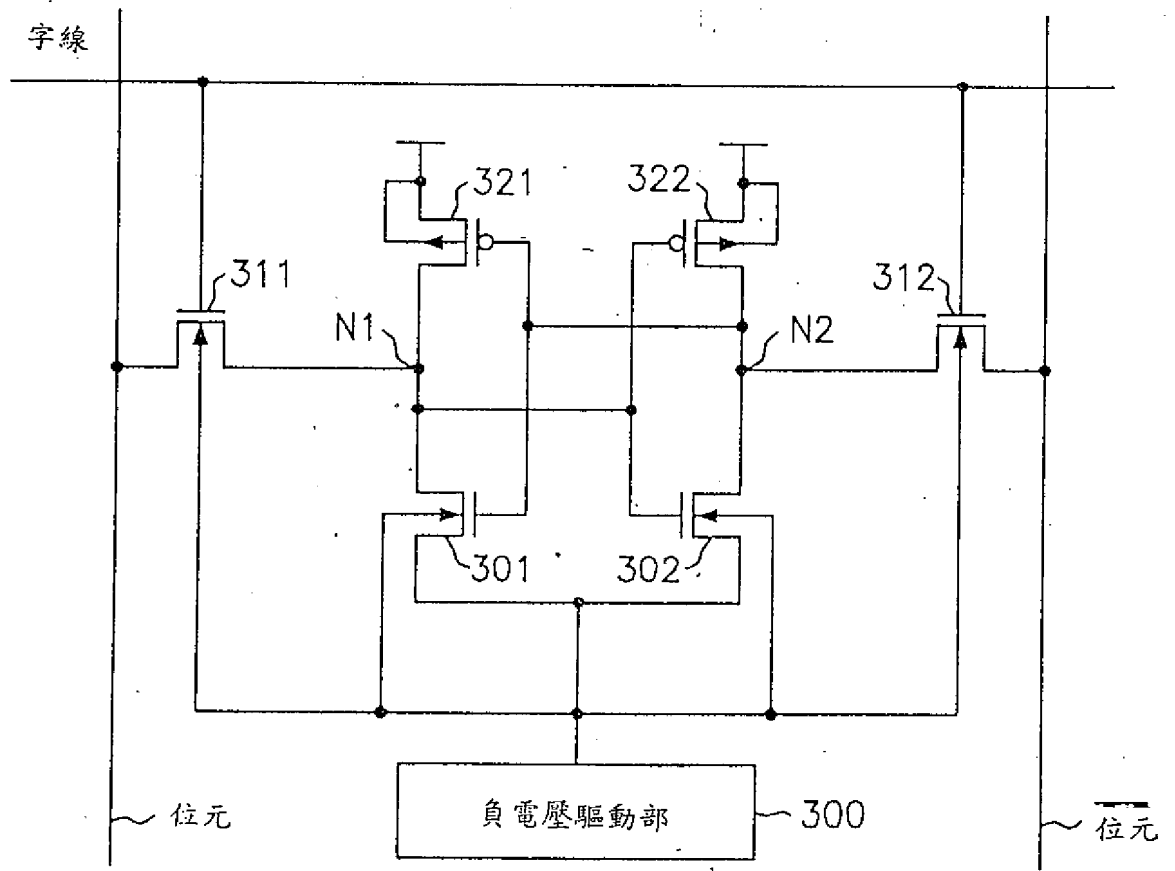


圖 10

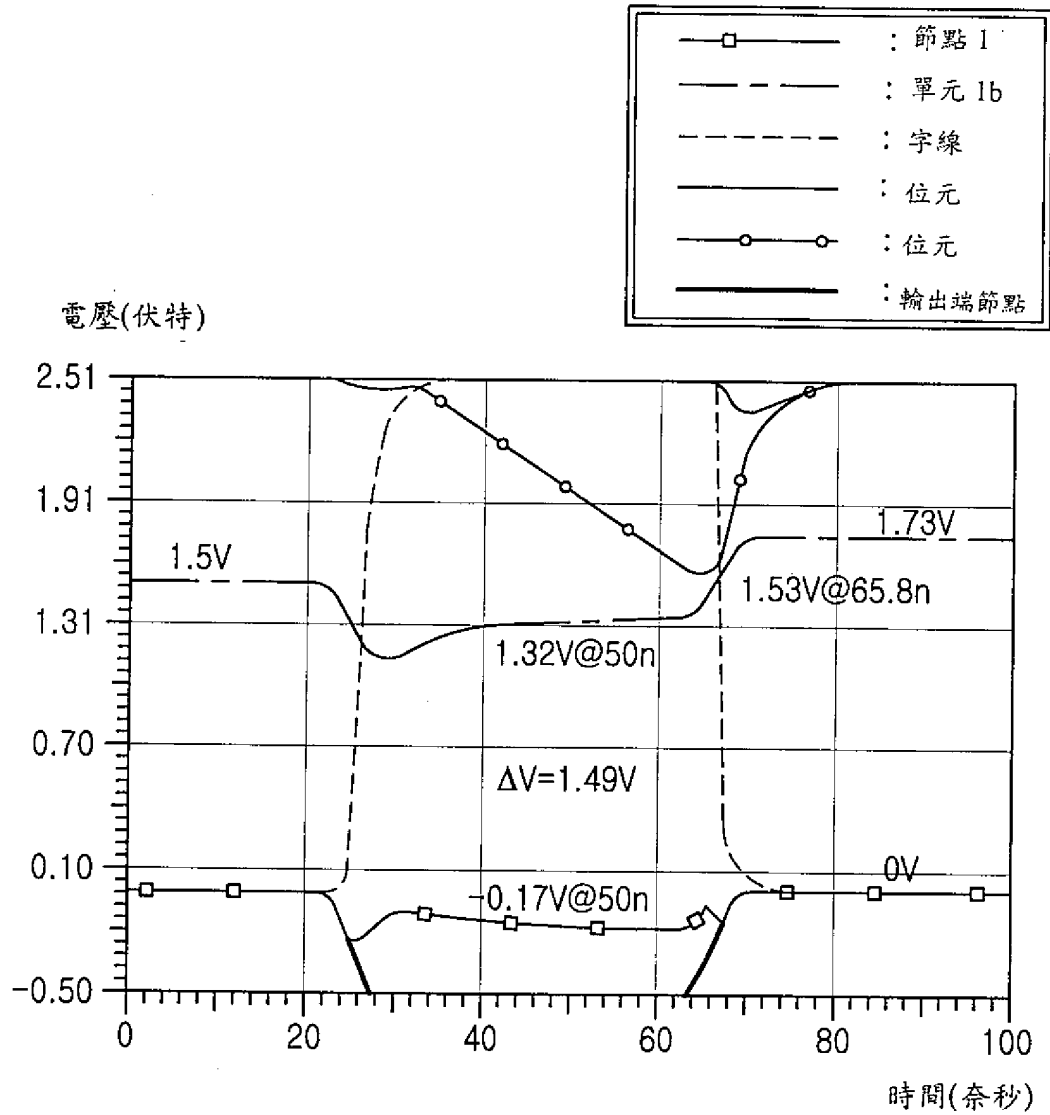


圖 11A

90年1月30日 修補

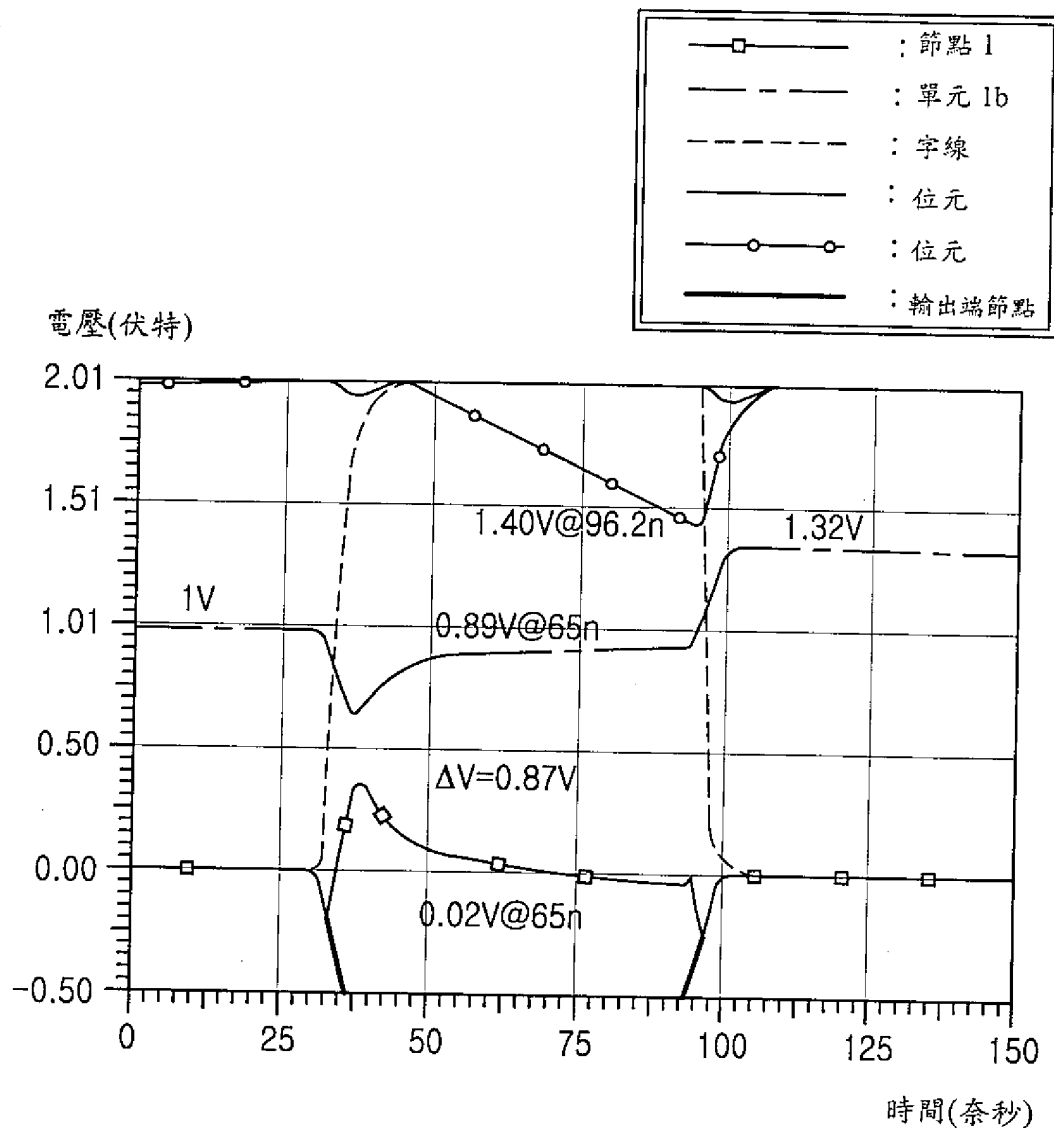


圖 11B

90年1月30日 修正
補充

煩請委員明示 90 年 1 月 30 日所提之
修正本有無變更實質內容是否准予修正。

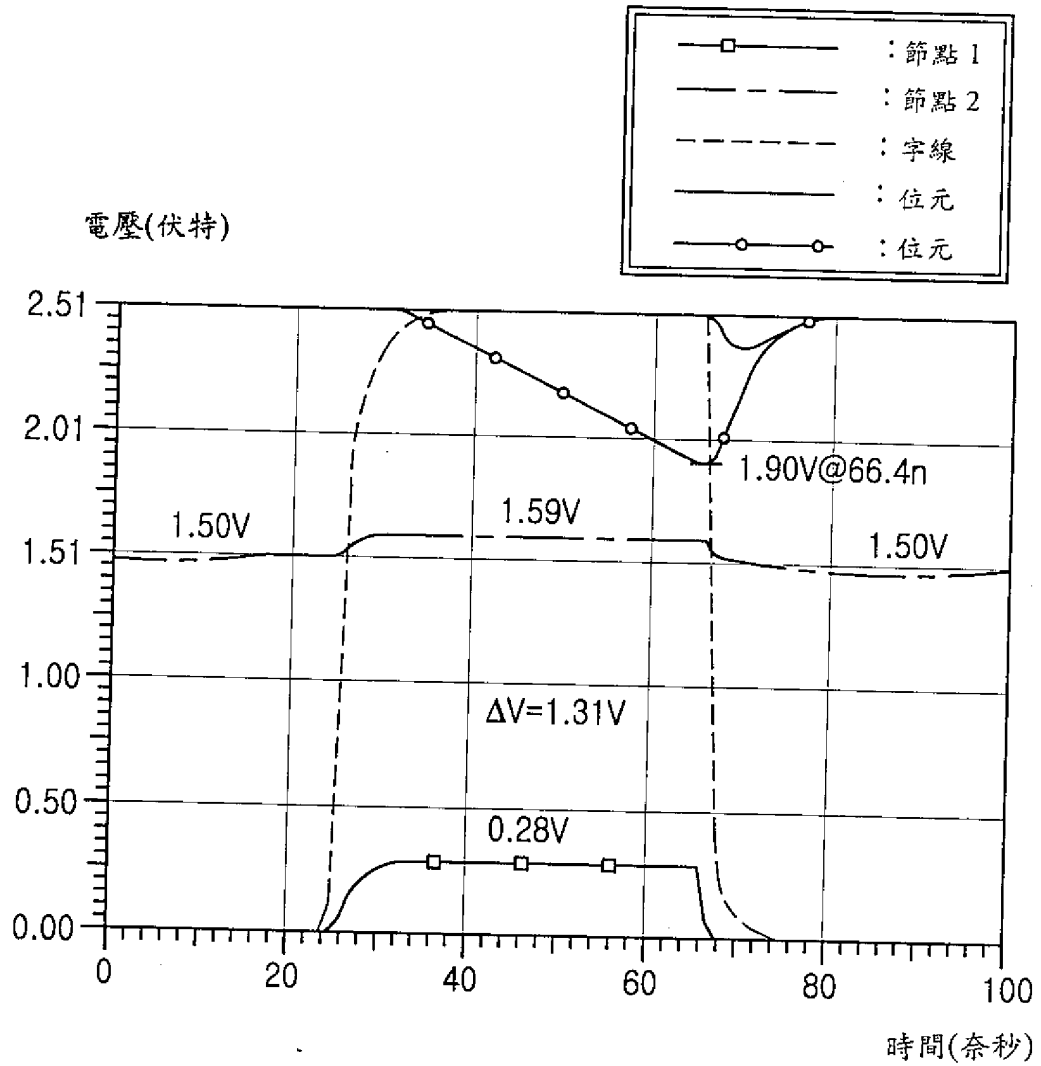


圖 2A

90年1月30日 修正
 補充

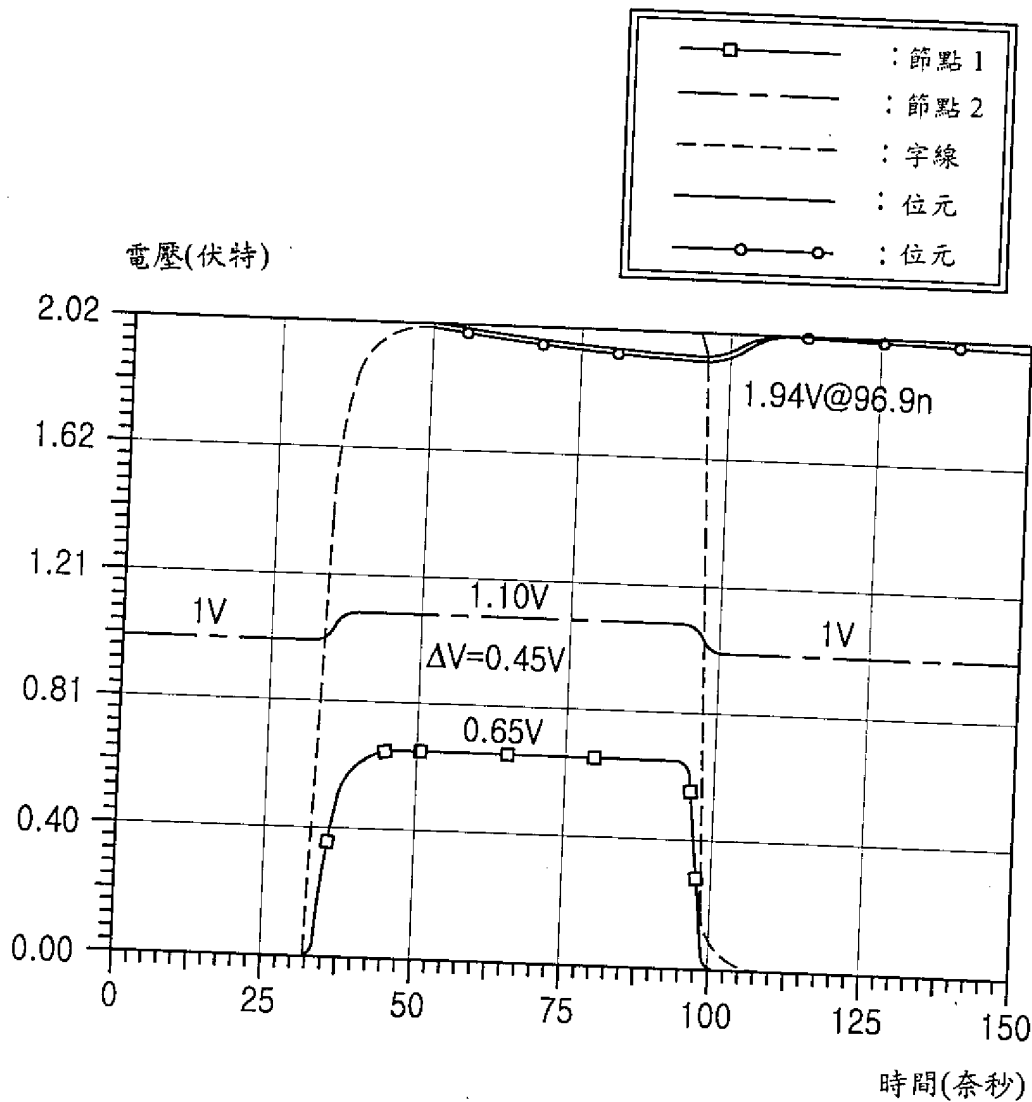


圖 2B

修正補充
90年1月20日

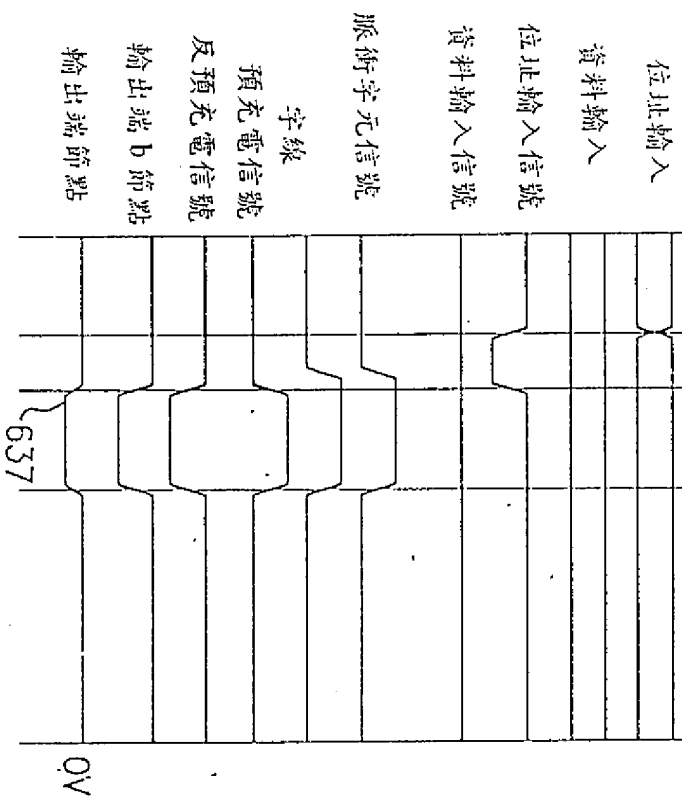


圖 6A

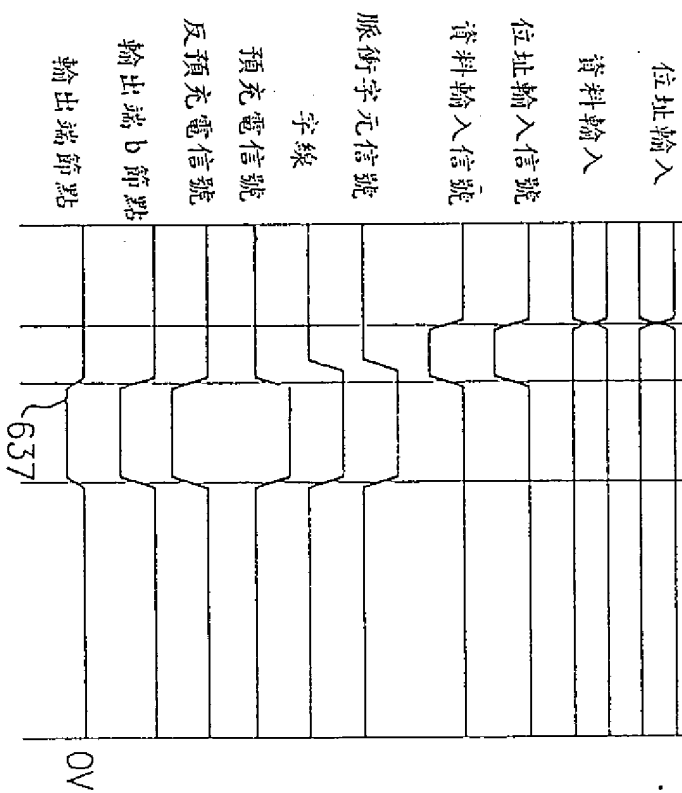


圖 6B

修正
 補充
 90年1月30日

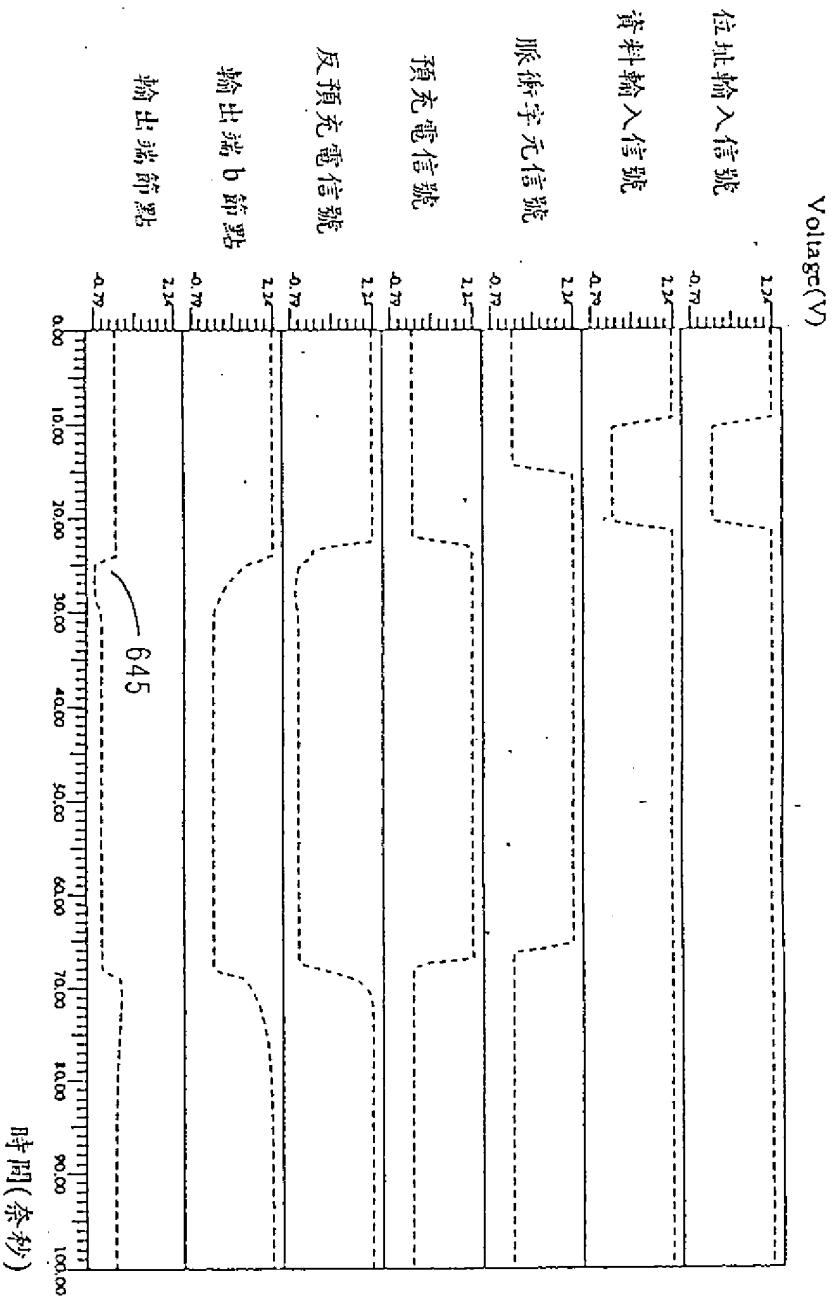


圖 7

時間(奈秒)

434882

修正
補充
90年1月30日

——	: 位元輸入信號
——	: 脈衝字之信號
- - - -	: 輸出端節點

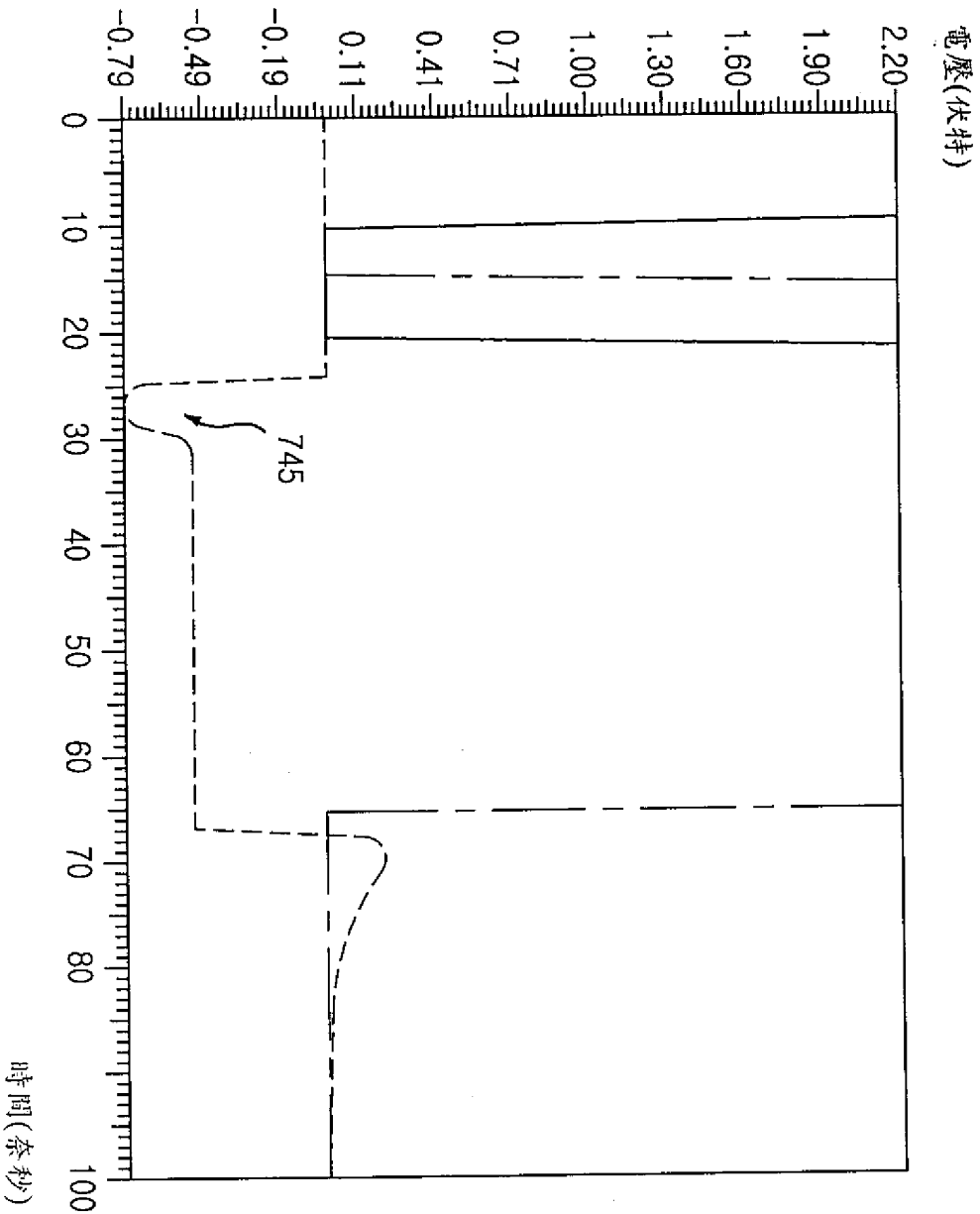


圖 8

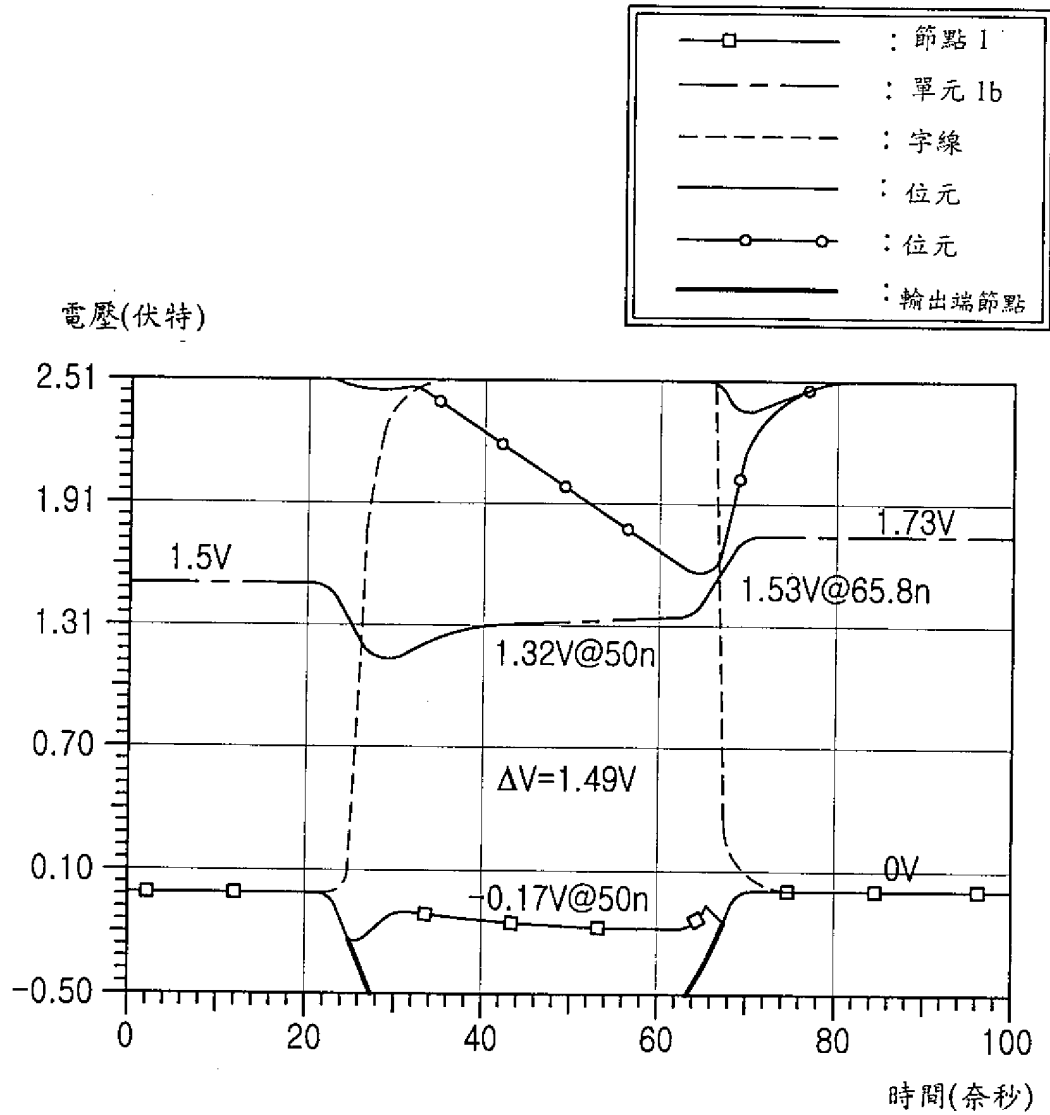


圖 11A

90年1月30日 修補

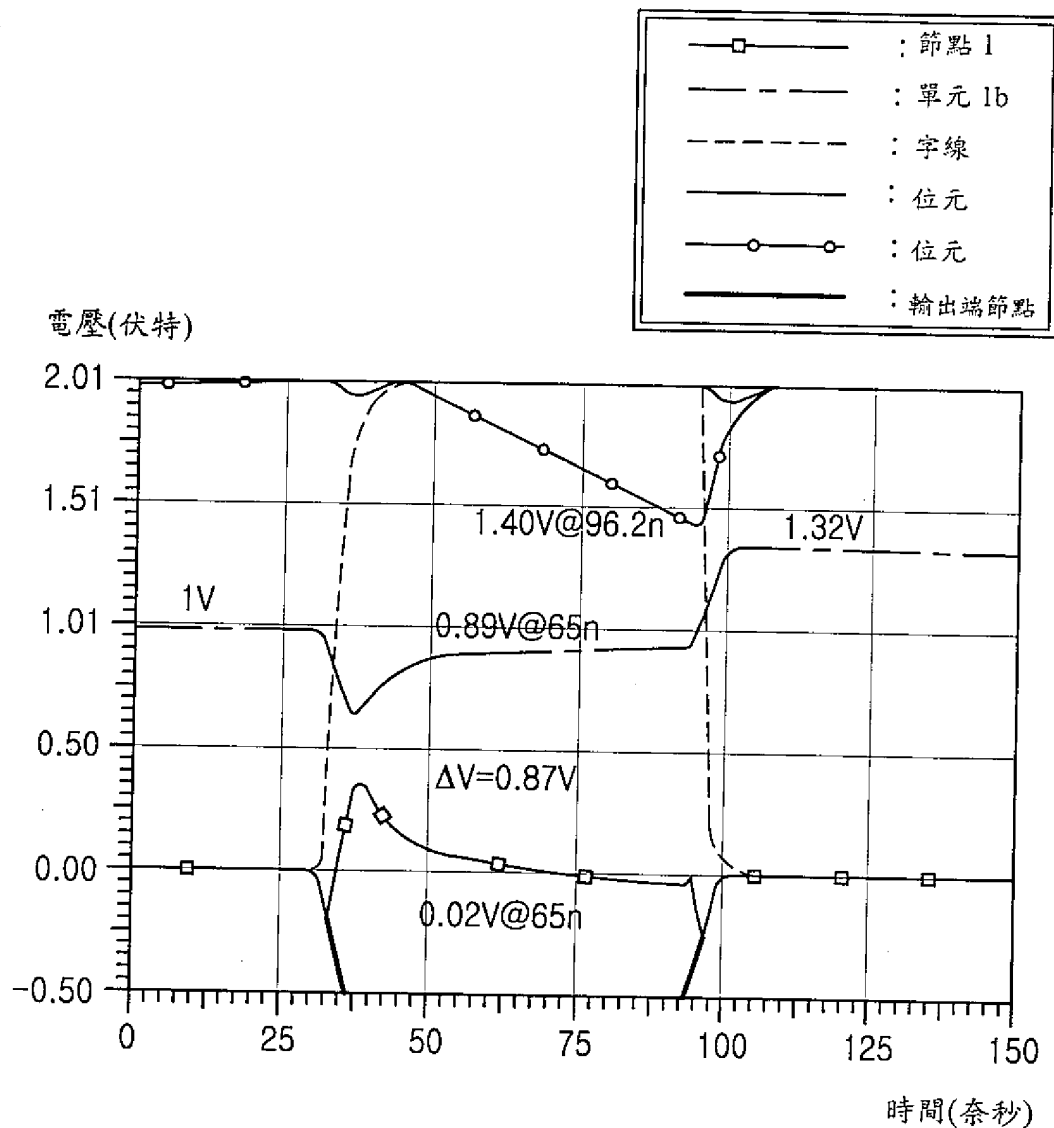


圖 11B