

(21) 申請案號：101145985

(22) 申請日：中華民國 101 (2012) 年 12 月 06 日

(51) Int. Cl. :

G06F9/06 (2006.01)

G06F9/30 (2006.01)

(30) 優先權：2011/12/22

世界智慧財產權組織

PCT/US11/67000

(71) 申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72) 發明人：歐德亞麥德維爾 艾蒙斯特阿法 OULD-AHMED-VALL, ELMOUSTAPHA (MR) ;

艾柏罕 西仕 ABRAHAM, SETH (US) ; 瓦倫泰 羅柏 VALENTINE, ROBERT

(US) ; 史博柏 澤夫 SPERBER, ZEEV (IL) ; 葛雷斯坦 亞米特 GRADSTEIN,

AMIT (IL)

(74) 代理人：林志剛

申請實體審查：有 申請專利範圍項數：29 項 圖式數：31 共 145 頁

(54) 名稱

封裝資料重整控制索引產生處理器、方法、系統及指令

PACKED DATA REARRANGEMENT CONTROL INDEXES GENERATION PROCESSORS, METHODS, SYSTEMS, AND INSTRUCTIONS

(57) 摘要

本發明之一態樣包括接收封裝資料重整控制指引產生指令。封裝資料重整控制指引產生指令指出一目的地儲存位置。結果儲存於此目的地儲存位置以回應封裝資料重整控制指引產生指令。此結果包括一序列的至少四個代表封裝資料重整控制指引的非負整數。在一態樣中，此至少四個非負整數的值並不使用前一指令的結果來計算。本發明揭露其它方法、設備、系統及指令。

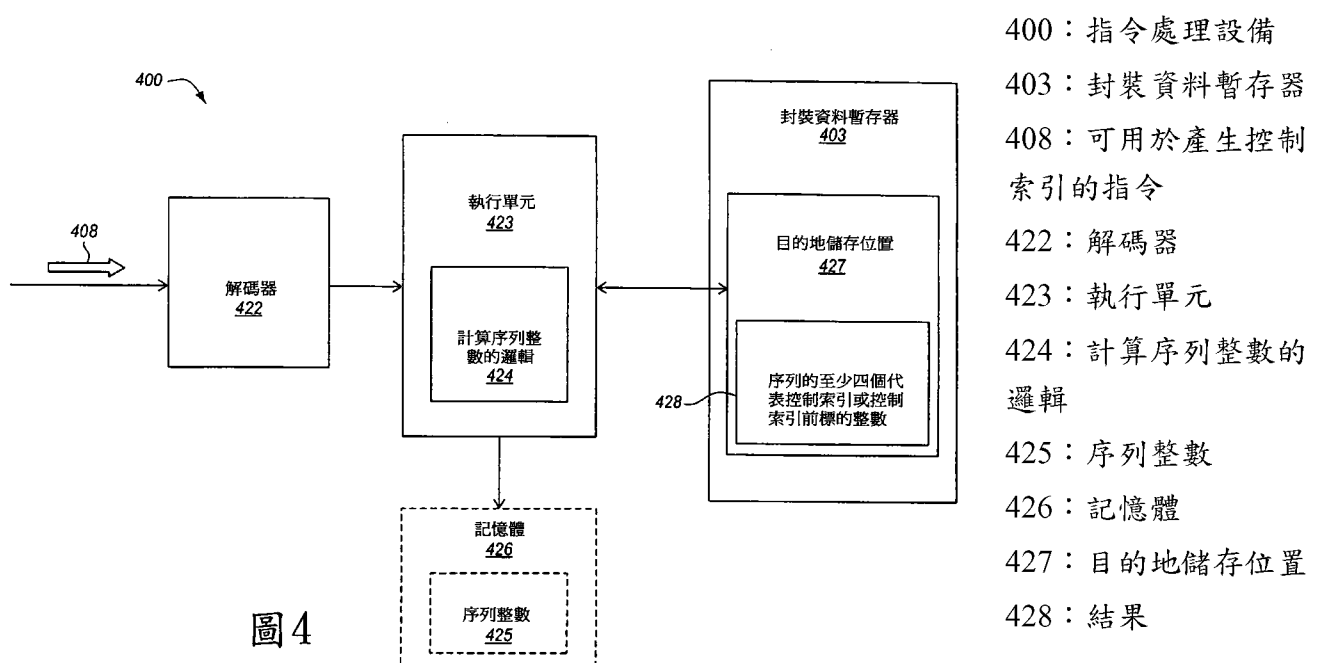


圖 4

(21) 申請案號：101145985

(22) 申請日：中華民國 101 (2012) 年 12 月 06 日

(51) Int. Cl. :

G06F9/06 (2006.01)

G06F9/30 (2006.01)

(30) 優先權：2011/12/22

世界智慧財產權組織

PCT/US11/67000

(71) 申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72) 發明人：歐德亞麥德維爾 艾蒙斯特阿法 OULD-AHMED-VALL, ELMOUSTAPHA (MR) ;

艾柏罕 西仕 ABRAHAM, SETH (US) ; 瓦倫泰 羅柏 VALENTINE, ROBERT

(US) ; 史博柏 澤夫 SPERBER, ZEEV (IL) ; 葛雷斯坦 亞米特 GRADSTEIN,

AMIT (IL)

(74) 代理人：林志剛

申請實體審查：有 申請專利範圍項數：29 項 圖式數：31 共 145 頁

(54) 名稱

封裝資料重整控制索引產生處理器、方法、系統及指令

PACKED DATA REARRANGEMENT CONTROL INDEXES GENERATION PROCESSORS, METHODS, SYSTEMS, AND INSTRUCTIONS

(57) 摘要

本發明之一態樣包括接收封裝資料重整控制指引產生指令。封裝資料重整控制指引產生指令指出一目的地儲存位置。結果儲存於此目的地儲存位置以回應封裝資料重整控制指引產生指令。此結果包括一序列的至少四個代表封裝資料重整控制指引的非負整數。在一態樣中，此至少四個非負整數的值並不使用前一指令的結果來計算。本發明揭露其它方法、設備、系統及指令。

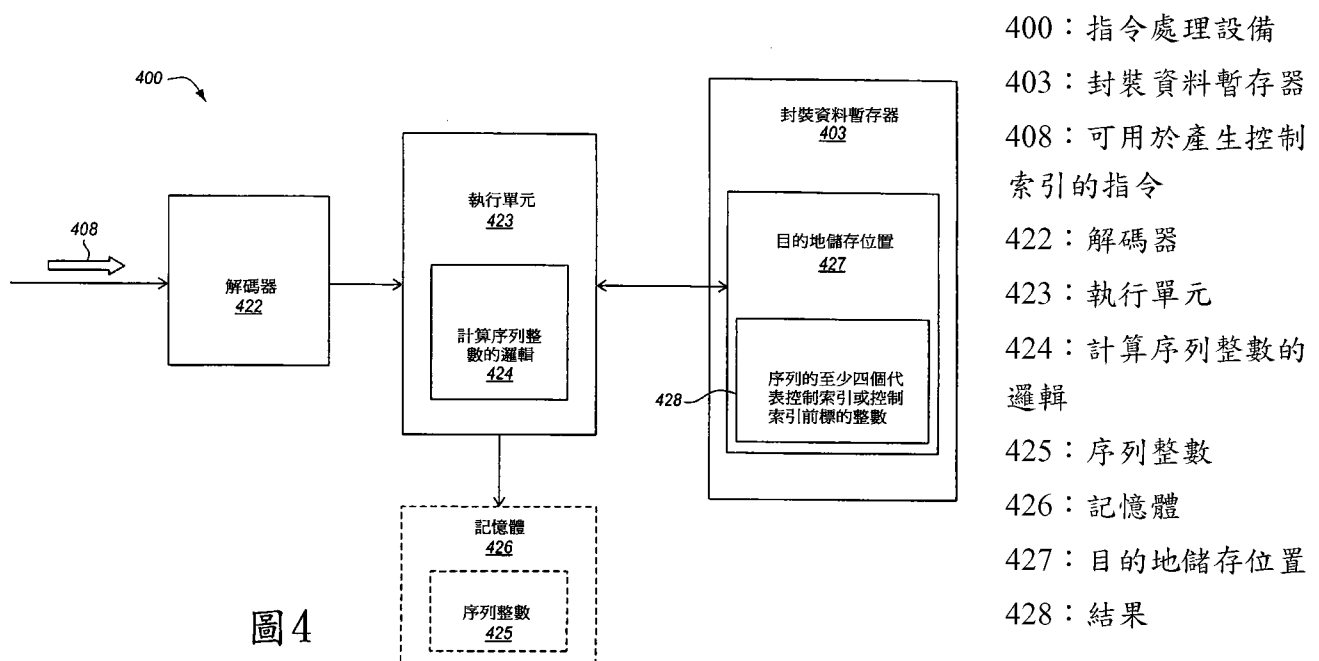


圖 4

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101145985

※申請日：101年12月06日

※IPC分類：G06F 9/66 (2006.01)

G06F 9/30 (2006.01)

一、發明名稱：(中文/英文)

封裝資料重整控制索引產生處理器、方法、系統及指令

Packed data rearrangement control indexes generation processors, methods, systems, and instructions

二、中文發明摘要：

本發明之一態樣包括接收封裝資料重整控制指引產生指令。封裝資料重整控制指引產生指令指出一目的地儲存位置。結果儲存於此目的地儲存位置以回應封裝資料重整控制指引產生指令。此結果包括一序列的至少四個代表封裝資料重整控制指引的非負整數。在一態樣中，此至少四個非負整數的值並不使用前一指令的結果來計算。本發明揭露其它方法、設備、系統及指令。

三、英文發明摘要：

A method of an aspect includes receiving a packed data rearrangement control indexes generation instruction. The packed data rearrangement control indexes generation instruction indicates a destination storage location. A result is stored in the destination storage location in response to the packed data rearrangement control indexes generation instruction. The result includes a sequence of at least four non-negative integers representing packed data rearrangement control indexes. In an aspect, values of the at least four non-negative integers are not calculated using a result of a preceding instruction. Other methods, apparatus, systems, and instructions are disclosed.

四、指定代表圖：

(一) 本案指定代表圖為：第(4)圖。

(二) 本代表圖之元件符號簡單說明：

400：指令處理設備

403：封裝資料暫存器

408：可用於產生控制索引的指令

422：解碼器

423：執行單元

424：計算序列整數的邏輯

425：序列整數

426：記憶體

427：目的地儲存位置

428：結果

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

實施例有關於處理器。尤其是，實施例有關於具有包括使用控制索引之指令的指令組的處理器。

【先前技術】

許多處理器具有單一指令多重資料 (SIMD) 架構。在 SIMD 架構中，封裝資料指令、向量指令或 SIMD 指令可同時或平行對多重資料元件或多對的資料元件操作。處理器可具有對用以同時或平行執行多重操作之封裝資料指令有反應的平行執行硬體。

多重資料元件可被封裝於一暫存器或記憶體位置內作為封裝資料或向量資料。在封裝資料中，暫存器或其它儲存位置的位元可邏輯劃分成一序列的多重資料元件。舉例來說，一個 256 位元寬的封裝資料暫存器可具有四個 64 位元寬的封裝資料元件，八個 32 位元寬的封裝資料元件，十六個 16 位元寬的封裝資料元件等等。每一個封裝資料元件可代表可個別操作或獨立於其它的一件獨立個別的資料 (例如像素的紅、綠、藍或阿爾發 (alpha) 顏色成分，或是複數的實數或複數部分等)。

某些 SIMD 架構具有根據控制索引而將封裝資料元件彈性重整於一或更多來源封裝資料內的指令。此等指令的範例為排列指令及混洗指令。控制索引控制封裝資料如何被指令重整。

【發明內容及實施方式】

在以下說明中，提出許多特定的細節(例如，特定的實施例、方法、運算、指令、數字模式、以及資料格式)。然而，應了解本發明實施例可無此等特定細節而加以實施。在其它例子中，已知電路、結構及技術未予以詳細顯示以便不阻礙本發明說明的了解。

用於排列指令及混洗指令的控制索引典型藉由執行一系列操作於具有來源封裝資料元件之來源封裝資料的通用指令而從頭開始逐步建立。舉例來說，產生控制索引的方法的一部分可包括執行一系列通用封裝資料算數指令以便執行一系列封裝資料算數運算於來源封裝料元件以便最後將來源封裝資料轉換成控制索引。

意圖限制排列及混洗指令之用處的一個因數，以及一般說來其它封裝資料重整指令的是典型需被執行以產生排列控制索引、混洗控制索引或其它封裝資料重整控制索引之指令的數目。可能要數個(例如，約 4 到 10 或更多)指令以產生一組控制索引。再者，所需之指令的數目一般會隨著封裝資料元件之總數目的增加而增加，封裝資料元件之總數目會因時間而隨著封裝資料暫存器的位元寬度的增加而增加。

執行此等指令在處理時間、處理器來源利用以及功耗方面是花錢的。此外，此種花費會降低或減損由封裝資料重指令所提供的整體利益。在某些情形中，在控制索引已

被產生及使用之後，控制索引可被拋棄，在此情形中，如有需要，它們可能需要從頭開始被重整。在其它情形中，在控制索引已被產生及使用之後，控制索引可被儲存於主要記憶體中，且接著需要時，它們經由一系統匯流排自該記憶體被擷取。此可有助於避免每當有需要它們時從頭開始產生控制索引，雖然自主記憶體擷取控制索引亦會花費顯著的時間量。

本文揭示的指令可用於產生用於其它指令(例如，排列指令、混洗指令、其它封裝資料重整指令、以及其它使用控制索引的指令)的控制索引。本文亦揭示用以執行指令的處理器、由該處理器於處理或執行該等指令時所執行的方法、以及包含一或更多處理或執行該等指令之處理器的系統。本文別處所揭示的種種處理器及系統亦適用。有利的是，此等指令、處理器、方法、及系統可有助於減少處理時間量及/或需要被執行以產生控制索引的指令數目。

圖 1 是一種用於處理對產生控制索引之指令的處理器 100 的示範實施例的方塊圖。處理器可以是任何不同的複雜指令集計算(CISC)處理器、不同的精簡指令集計算(RISC)處理器、不同的極長指令字(VLIW)處理器、其等不同的混合、或完全其它類型處理器。在其它實施例中，雖然沒有要求但處理器可以是通用處理器(例如，通用微處理器)。或者，處理器可以是特別用途處理器。或者，處理器包括但不侷限於只是列舉的一些例子：網路處理器、

通訊處理器、密碼處理器、圖形處理器、協處理器 (coprocessor)、嵌入式處理器、數位信號處理器 (DSP)、以及控制器 (例如，微控制器)。

處理器具有指令集架構 (ISA)¹⁰¹。ISA 代表有關程式設計的處理器的架構的一部分。ISA 一般包括處理器的原生指令、架構暫存器、資料類型、定址模式、記憶體架構、中斷與異常處置、以及外部輸入及輸出 (I/O)。ISA 與微架構不同，微架構一般代表選來實施 ISA 的特定處理器設計技術。具有不同微架構的處理器可以共享一共用 ISA。

ISA 包括架構上可見的或架構暫存器 (例如，架構暫存器檔案)¹⁰²。架構暫存器代表處理器上的儲存位置。架構暫存器於此亦可僅簡單稱為暫存器。除非有特定或明顯為其它方面，於此所使用的詞組架構暫存器、暫存器檔案、以及暫存器係指暫存器對軟體及 / 或程式員可見的 (例如，軟體可見的) 暫存器及 / 或由通用微架構指定來識別運算元的暫存器。此等暫存器係對照於在給定微架構 (例如，指令所使用的暫時暫存器、記錄器緩衝器、引退暫存器、由微指令所使用的微架構唯讀暫存器等等) 中的其它非架構或非架構可見的暫存器。所繪示的架構可見的暫存器包括封裝資料暫存器¹⁰³。封裝資料暫存器的每一者可操作來儲存封裝資料、向量資料或 SIMD 資料。

所繪示的 ISA 包括受到處理器支援的指令集¹⁰⁴。指令集的指令代表相對於微指令 (microinstructions 或 micro-

ops(例如，起因於處理器解碼微指令的結果))而言的微指令(例如，提供給處理器執行用的指令)。處理器可包括用以執行指令集之指令的指定或特定邏輯(例如，可能具有某韌體或軟體的電路)。

指令集包括一或更多使用控制索引 105 的指令。如上述，在某些實施例中，此等可包括一或更多排列指令、混洗指令、或其它封裝資料重整指令 106。作為另一選擇，如以下將予以討論者，在某些實施例中，此等可包括一或更多集中指令、或載入指令 107，其可操作來聚集或載入來自使用控制索引的處理器外記憶體的非相連資料。

根據本發明實施例，指令集亦包括一或更多可用於產生控制索引 108 的指令。在某些實施例中，此等可包括一或更多控制索引產生指令 109，其等可操作以產生實際控制索引。每一控制索引產生指令可操作來在單一巨集指令的執行的範圍內產生控制索引。相比之下，傳統上一系列通用微指令一般要被執行以便從頭開始逐漸或逐步建立控制索引。

在某些實施例中，指令可包括一或更多控制索引前標產生指令 110，其不產生實際控制索引，但其產生控制索引前標。每一控制索引前標產生指令可操作來在單一微指令的執行的範圍內產生控制索引。不需要從頭開始產生實際控制索引，而是控制索引前標可作為有用的起點或領先值，可以被一或更多其它指令有效率地轉換成實際控制索引。有利地，前標的使用可允許實際控制索引更快及/或

以從比從頭開始較少的指令產生。

處理器亦包括執行邏輯 111。執行邏輯 111 可操作以執行或處理指令集的諸指令。

圖 2 是一種處理封裝資料重整控制索引產生指令之示範實施例之方法 212 的示範實施例的方塊流程圖。封裝資料重整控制索引產生指令在方塊 213 被接收。被接收的指令指定或者指出第一目的地位置。在一些態樣中，第一目的地儲存位置可被指令的編碼的位元或一或更多欄位明白指定。在其它態樣中，第一目的地儲存位置可含在指令內。

在方塊 214，結果儲存在第一目的地的位置，回應及/或作為封裝資料重整控制索引產生指令。結果包括一序列的至少四個代表封裝資料重整控制索引的非負整數。至少四個整數典型具有複數個不同值(即，它們不是都為同一整數值)。在不同實施例中，該序列可包括至少八個、至少十六個、至少三十二個、或至少六十四個代表封裝資料重整控制索引的非負整數。該結果及/或該序列的整數可以是本文它處所揭示之結果及/或序列的整數的任一者。在某些實施例中，該結果及/或該序列的整數可以完全產生於單一巨集指令之執行的範圍內(例如，整數的值可以不取決於在程式流程中的先前指令)。

為進一步說明特定概念，且雖然本發明不侷限於此態樣，但封裝資料重整指令的接收發生於方塊 215。在種種態樣中，此指令可以是排列指令、混洗指令或另一類型的封裝資料重整指令，根據該封裝資料重整控制索引可操作

以重整資料元件於一或更多來源封裝資料。此指令指出該封裝資料重整控制索引(例如,指定第一目的地儲存位置)。此指令亦指定或者指出至少一具有封裝資料元件的來源封裝資料指定或者指出第二目的地儲存位置。

在方塊 216,一封裝資料結果係儲存於該第二目的地儲存位置,以回應於及/或作為封裝資料重整指令的結果。該封裝資料結果包括來自該至少一根據該封裝資料重整控制索引重整的來源封裝資料的資料元件。在某些實施例中,如許多排列及混洗指令的情形中,封裝資料重整控制索引可識別、選擇或者索引在至少一來源封裝資料之內的特定資料元件。被索引的資料元件可被儲存於位置對應於索引的結果資料元件。

圖 3 是一種處理封裝資料重整控制索引前標產生指令之示範實施例之方法 317 的示範實施例的方塊流程圖。在方塊 318,封裝資料重整控制索引前標產生指令被接收。所接收的指令指定或者指出一目的地儲存位置。

在方塊 319,一結果被儲存於目的地儲存位置,以回應及/或作為封裝資料重整控制索引前標產生指令的結果。該結果包括一序列的至少四個代表封裝資料重整控制索引前標的非負整數。該至少四個整數典型上具有複數個不同的值。在各種實施例中,該序列可包括至少八個、至少十六個、至少三十二個、或至少六十四個代表封裝資料重整控制索引前標的非負整數。該結果及/或該序列的整數可以是文中它處所揭示的任何結果及/或序列的整數。

在某些實施例中，該結果及/或該序列的整數可以完全產生於單一巨集指令之執行的範圍內(例如，整數的值可以不取決於在程式流程中的先前指令)。

為進一步說明特定概念，且雖然本發明不侷限於此態樣，但在方塊 320，至少一額外的指令(例如，至少一通用算數指令)被執行以將封裝資料重整控制索引前標轉換成封裝資料重整控制索引。該至少一額外指令的第一者可指出該目的地儲存位置為封裝資料重整控制索引前標的來源。

接著，在方塊 321，指出該封裝資料重整控制索引的封裝資料重整指令可被執行。該封裝資料重整指令的操作可類似於前述者。

在圖 2 及圖 3 中，在方塊 215、216、320 及 321 已顯示以較佳說明特定概念。然而，要了解的是本發明並不侷限於在此等方塊執行的操作。其它實施例有關個別封裝資料重整控制索引產生指令的方法及操作，且又有其它實施例有關個別封裝資料重整控制索引前標產生指令，其不侷限於其它後續指令。

圖 4 是一種可用於處理對產生控制索引之指令的指令處理設備 400 的示範實施例的方塊圖。此指令處理設備可以是處理器、或可以是處理器的一部分。例如，在某些實施例中，指令處理設備可以是，或可以不是圖 1 之處理器 100 或類似者的一部分。或者，指令處理設備可以包含於一不同的處理器，或電子系統(例如本文揭示之其它處理

器或系統)。

指令處理設備可接收可用於產生控制索引的指令 408。該指令在本文它處可代表可用於產生控制索引之指令的各種實施例的任一者。該指令可代表機器指令、巨集指令或類似控制信號。指令處理設備具有特定或特別電路或其它邏輯(例如，可能與韌體及/或軟體結合的硬體)可操作來處理指令及/或回應該指令、作為該指令的結果及/或根據該指令來儲存結果。

所示的指令處理設備包括指令解碼器 422。該解碼器可接收及解碼較高階機器指令或巨集指令，並輸出一或更多低階微運算、微碼入口點、微指令，或其它自來源較高階指令反射及/或導出的低階指令或控制信號。該等一或更多低階指令或控制信號可透過一或更多低階(例如，電路層或硬體層)操作來實施該較高指令。該解碼器可用各種不同機制加以實施，包括但並不侷限於微碼唯讀記憶體(ROM)、查找表、硬體實施、可程式邏輯陣列(PLA)以及其它用來實施習知解碼器的機制。

或者，不使用解碼器 422，在一或更多其它實施例中，取而代之的是，該設備可有一指令仿真器、轉譯器、編輯器、解譯器或其它指令轉換邏輯。各種類型的指令轉換邏輯是習知的且可實施於軟體、硬體、韌體或其等之組合。該指令轉換邏輯可接收該指令、仿真、轉譯、編輯、解譯或者將其轉換成一或更多對應之導出的指令或控制信號。在其它實施例中，指令處理設備可同時具有指令轉換

邏輯及解碼器二者。例如，指令處理設備可具有將導出指令轉換成一或更多中間指令的指令轉換邏輯，以及將該一或更多中間指令解碼成一或更多可由指令處理設備之原生硬體執行的低階指令或控制信號的解碼器。一些或全部的指令轉換邏輯可離開指令處理設備的其餘部分而位在晶粒外 (off-die)，諸如在一不的晶粒上或在一晶粒外記憶體內。

再參照圖 4，可用於產生控制索引 408 的指令明白指定 (例如，透過一或更多欄位)，或者指出 (例如，隱含指出) 目的地儲存位置 427。如所示，在某些實施例中，目的地儲存位置可以在指令處理設備的一組封裝資料暫存器 403 之內。或者，目的地儲存位置可以是另一暫存器或記憶體位置。封裝資料暫存器係架構可見之在處理器上的儲存位置，其可使用習知技術且不侷限於任何特定類型電路在不同微架構中以不同方式實施。只要能夠如此處所述地儲存及提供資料，各種不同類型暫存器都適合。適合類型的暫存器的例子包括但不侷限於專用實體暫存器、使用暫存器重新命名之動態分配實體暫存器、以及其等之組合。

指令處理設備亦包括執行單元 423。執行單元係與解碼器 422 及目的地儲存位置 427 耦合。執行單元可自解碼器接收一或更多微運算、微碼入口點、微指令、其它指令、或其它控制信號，其反射或導出自指令 408。藉由示例，執行單元可包括一算術邏輯單元、邏輯單元、算術單元、功能單元之類者。執行單元可包括可能具有其它邏輯

(例如，軟體、硬體、或組合)之特定或特別硬體邏輯(例如，積體電路)，其可操作來執行指令(例如，執行一或更多微指令)及/或儲存回應該指令之結果。

執行單元回應指令 408 之指令及/或作為其結果，可操作以儲存結果 428 於目的地儲存位置 427。如所示，在實施例中，該結果可包括一序列的至少四個整數。在指令 408 為一控制索引產生指令的實施例中，該等整數的每一者可代表一控制索引。在指令 408 為一控制索引前標產生指令的實施例中，該等整數的每一者可代表一控制索引前標。

在某些實施例中，執行單元可包括計算邏輯 424，其可操作以計算該序列之至少四個整數。此等可為特別用途或特定電路(例如，使用行掃描方式計算整數，反覆計算整數等等)。在某些實施例中，執行單元可回應該指令而自記憶體 426(例如，與執行單元在晶粒上的非架構可見唯讀記憶體(ROM))存取該序列之至少四個整數 425 的預先存在的複本。見例如以下圖 16 的討論。在此等實施例中的每一者中，該序列的整數典型不自晶片外主記憶體或透過系統匯流排存取。

在某些實施例中，該結果可包括一序列的至少四個、至少八個、至少十六個、至少三十二個、或至少六十四個依一數值模式的非負整數。在某些實施例中，依照該數值模式的整數可以是依數值順序(例如，0、1、2、3、4、5、6 及 7)的連續非負整數。在其它實施例中，依照該數

值模式的整數可以是依數值順序的非負整數，所有在連續位置的整數相差至少二個固定整數間隔。在某些實施例中，此間隔可以等於二，且該序列的整數可以是一序列依一數值順序的連續相同奇偶整數。例如，該連續相同奇偶整數可以是連續偶整數(例如，0、2、4、6、8、10、12及14)，或是連續奇整數(例如，1、3、5、7、9、11、13及15)。在其它實施例中，間隔(N)可以大於二(例如，間隔可以是3、4、8、16等等)，且該序列的整數可包括該間隔的連續倍數(例如，0、N、2N、3N、4N、5N、6N及7N)。

在某些實施例中，指令可明白指定或者指出一或更多數值模式界定參數(例如，整數偏移、固定整數間隔、整數旋轉量、整數偏移與固定整數間隔等等)。在某些實施例中，指令可包括正整數偏移(K)，且該等數數的最小者以該整數偏移(K)從零偏移(例如，在連續整數的情形，K、K+1、K+2、K+3、K+4、K+5、K+6及K+7)。在某些實施例中，指令可指出一正整數偏移(K)以及一固定整數間隔(N)，且該等整數可以是自零偏移之該間隔的連續整數倍數(例如，K、N+K、2N+K、3N+K、4N+K、5N+K、6N+K及7N+K)。或者，就可用於產生控制索引的指令之各種實施例而言，該結果及/或該序列的至少四個整數可以是本文它處所揭示之該等結果及/或該等序列的至少四個整數的任一者。在某些實施例中，該數值模式完全根據或至少主要根據該指令的一運算碼、或該運算碼與一或更

多數值模式界定參數，或以該運算碼、或該運算碼與該一或更多界定參數之數值模式固定。在其它實施例中，該序列的整數不需要依照一數值模式(例如，它們可以是看起來隨機的)。

為避免阻礙說明，已顯示及描述一相對簡單的指令處理設備 400。在某些實施例中，指令處理設備可隨意地包括其它眾所周知的組件，例如像是，指令提取單元、指令排程單元、分支預測單元、指令與資料快取、指令與資料轉譯旁看緩衝區、預取緩衝、微指令佇列、微指令定序器、匯流排介面單元、第二或較高階快取、引退單元、暫存器重新命名單元、其它包含於處理器的組件、以及各種其等的組合。實施例可具有多核心、邏輯處理器、或執行引擎。此處揭示之可操作來執行指令實施例的一執行單元，可包含於至少一、至少二、最多、或所有的核心、邏輯處理器、或執行引擎。應了解到，處理器中確實有許多不同的組值組合及組態，且本發明的範圍並不侷限於任何特定組合或組態。

圖 5 是一種處理指令之方法 530 的示範實施例的方塊流程圖，該指令儲存一序列的至少四個依一數值模式的非負整數。在方塊 531，指令被接收。指令指定或者指出一目的地儲存位置。

在方塊 532，一結果被儲存於該目的地儲存位置，以回應該指令及/或作為該指令的結果。該結果包括一序列的至少四個依照一數值模式的非負整數。在各種實施例

中，該結果可包括一序列的至少八個、至少十六個、至少三十二個、至少六十四個、或甚至更多依一數值模式的非負整數。該序列的整數可以是任何依照文中它處所揭示之各種數值模式之任一序列的整數。通常，至少二個、至少四個、至少一半、或甚至所有整數可具有一不同的值(即，諸整數典型上不全相同)。

圖 6 是一種用於產生控制索引之指令 608 的指令格式的示範實施例的方塊圖。該指令格式包括運算碼 633。該運算碼可代表複數個位元或一或更多欄位的指令格式以識別該指令。該指令格式亦包括一目的地儲存位置 634。在繪示的實施例中，指令格式包括複數個位元或一或更多欄位的指令格式以明白指定該目的地儲存位置。或者，該目的地儲存位置可隱含指出該指令。

在某些實施例中，指令格式不明白指定、隱含指出、或者指出一具有要被指令 635 操作的封裝資料元件的架構可見來源儲存位置(例如，一封裝資料暫存器或一主記憶體位置)。在本發明的實施例中，序列的整數、控制索引、以及控制索引前標，其被文中揭示的指令所儲存，而不自架構可見的來源儲存位置中的封裝資料元件計算出或者導出。相比之下，如於本案的先前技術所討論者，照慣例，典型藉由執行一系列會對架構可見的來源封裝資料暫存器內封裝資料元件操作的通用指令(例如，通用封裝資料算術指令)，直到封裝資料元件最後被轉換成排列或混洗控制索引，從頭開始逐步建立排列及混洗控制索引。在

本發明實施例中，於此揭示之被指令儲存的序列的整數、控制索引、及控制索引前標完全產生於單一巨集指令之執行的範圍內，且不根據任何依程式順序的先前指令的結果。

在某些實施例中，指令格式可具有一或更多運算元及/或一或更多立即明白指定一或更多數值模組界定參數 636。或者，指令可被隱含指出一或更多數植模式界定參數(例如，透過由指令隱含指出的暫存器而提供)。一或更多模式界定參數的每一者可影響儲存作為該指令之結果的整數的結果或序列。一或更多模式界定參數的模式每一者可影響在該序列或結果中的每一整數的值。一或更多模式界定參數的每一者可以用以評估數值模式界定方程式或關係對指令而言是隱含的。適合的數值模式界定參數的一些代表性例子包括但不侷限於自零的整數偏移、整數間隔、整數旋轉量、及其等之組合(例如，與整數間隔共同的自零的整數偏移)。

在其它實施例中，指令可以不指定或指出任何數值模式界定參數。在某些實施例中(例如，在指令不指定或者指出任何數值模式界定參數的實施例中)，指令可不具有(指定或者指出)任何來源運算元 637。

圖 7A 是一方塊圖，說明在某些實施例中，被指令 708A 儲存於目的地儲存位置 727A 之在結果 728A 中的一序列的整數 740A 可以具有完全根據或至少主要根據 738 在該指令之運算碼 733A 的數值模式。該指令具有該運算

碼及位元或一或更多欄位 734A 來指定目的地儲存位置 727A。要注意此實施例的指令不指定或者指出任何數值模式界定參數，或任何就此而言的來源運算元。此指令執行使結果儲存於目的地儲存位置。結果包括具有該數值模式的序列整數。在此等實施例中，該序列的整數的數值模式完全根據或至少主要根據該指令的運算碼。在此等實施例中，該序列的整數的數值模式對指令的運算碼是固定或恆定的。舉例來說，在該序列中的連續整數間的差可完全根據或至少主要根據該指令的運算碼及/或固定或恆定的指令的運算碼。當識別該運算碼時，該序列的整數及其等數值模式可為固定的(即，可不取決於任何指令的來源運算元)。在某些實施例中，指令/運算碼可能只能夠儲存一特定序列的整數及/或一特定數值模式。藉由比較，當通用算術指令對來源封裝資料運算來產生排列或混洗控制索引時，該排列或混洗控制索引不具有完全根據或甚至主要根據通用算術指令的運算碼，反而是根據該來源封裝資料。

圖 7B 是一方塊圖，說明在某些實施例中，被指令 708B 儲存於目的地儲存位置 727B 之在結果 728B 中的一序列的整數 740B 可以具有一數值模式，其部分根據 739 該指令之運算碼 733B 以及部分根據一或更多由該指令所指出之數值模式界定參數 736。數值模式完全或至少主要根據該運算碼及一或更多數值模式界定參數。該指令具有該運算碼、位元或一或更多欄位 734B 來指定目的地儲存位置 727B，且指定或者指出該一或更多數值模式界定參

數 736。該指令的執行使該結果儲存於目的地儲存位置。該結果指出該序列具有該數值模式的整數。在此等實施例中，該序列的整數的數值模式部分根據該指令的運算碼且部分根據該一或更多由該指令指出的數值模式界定參數，但完全或至少主要根據該運算碼及該一或更多數值模式界定參數(即，不根據由前一指令所儲存作為一結果的來源封裝資料)。

圖 8 是一種用以產生控制索引之處理指令的方法 830 的示範實施例的方塊流程圖，該指令儲存一序列的至少四個依一數值順序的連續非負整數。該指令在方塊 831 接收。該指令指定或者指出一目的地儲存位置。

在方塊 832，一結果儲存於目的地儲存位置，以回應該指令及/或作為該指令的結果。該結果包括一序列的至少四個依數值順序的連續非負整數。在某些實施例中，該結果可包括一序列的至少八個、至少十六個、至少三十二個、或至少六十四個、或甚至更多依一數值模式的非負整數於該目的地儲存位置。在各種實施例中，該序列的連續整數可包括任何顯示於表 1-3 中者。

表 1 列出不同數目之整數依遞增數值順序之序列的連續非負整數的示範實施例。

表 1

整數數目	依遞增數值順序之序列的連續整數
4	0, 1, 2, 3
8	0, 1, 2, 3, 4, 5, 6, 7
16	0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15
32	0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31
64	0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63

依遞增數值順序，整數的值隨著目的地儲存位置之遞增位元有效值增加（例如，最小整數要儲存最接近暫存器的最低階位元，且最大整數要儲存最接近暫存器的最高階位元）。在每一此示範例中，最小整數是零。在某些實施例中，指令/運算碼可能只能夠儲存一序列選自表 1 的整數（即，其不能夠儲存其它整數），雖然此對其它實施例並不要求。此種序列之依遞增數值順序的連續整數特別用於控制索引前標，因為它們可以是快速、有效率且多用途、以有一或一些額外指令算術上或邏輯上轉換成廣範圍之用於控制索引的不同序列的整數。

表 2 列出不同數目之整數依遞減數值順序之序列的連續非負整數的示範實施例。

表 2

整數數目	依遞減數值順序之序列的連續整數
4	3, 2, 1, 0
8	7, 6, 5, 4, 3, 2, 1, 0
16	15, 14, 13, 12, 11, 10, 9, 8, 7, 6, 5, 4, 3, 2, 1, 0
32	31, 30, 29, 28, 27, 26, 25, 24, 23, 22, 21, 20, 19, 18, 17, 16, 15, 14, 13, 12, 11, 10, 9, 8, 7, 6, 5, 4, 3, 2, 1, 0
64	63, 62, 61, 60, 59, 58, 57, 56, 55, 54, 53, 52, 51, 50, 49, 48, 47, 46, 45, 44, 43, 42, 41, 40, 39, 38, 37, 36, 35, 34, 33, 32, 31, 30, 29, 28, 27, 26, 25, 24, 23, 22, 21, 20, 19, 18, 17, 16, 15, 14, 13, 12, 11, 10, 9, 8, 7, 6, 5, 4, 3, 2, 1, 0

依遞減數值順序，整數的值隨著目的地儲存位置之遞減位元有效值減小。在某些實施例中，指令可具有一或更多位元用來指出整數是否要依遞增或遞減數值順序儲存以便允許一指令/運算碼供其者一者使用。此種依遞減順序之序列的連續整數係用以映射封裝資料重整。在映射封裝資料重整的例子中，在封裝資料源中的資料元件繞封裝資料源的中心被「映射」。舉例來說，在一來源中一較高階資料元件中成爲一結果中一最低階資料元件，在該來源中一次最高階資料元件成爲在該結果中一次最低階元件，等等，到使在該來源中一次最低階資料元件成爲在該結果中一次最高階資料元件，以及使在該來源中一次最低階元件成爲該結果中一次最高階資料元件。

表 3 列出依遞增數值順序之序列的連續非負整數的示範實施例，該等不同數目的整數具有自零以一整數偏移 (K) 的最小整數偏移。

表 3

整數數目	自零的整數偏移(K)	依遞增數值順序之偏移序列的連續整數
4	2	2, 3, 4, 5
4	K	K, K+1, K+2, K+3
8	5	5, 6, 7, 8, 9, 10, 11, 12
8	K	K, K+1, K+2, K+3, K+4, K+5, K+6, K+7
16	1	1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16
16	K	K, K+1, K+2, K+3, K+4, K+5, K+6, K+7, K+8, K+9, K+10, K+11, K+12, K+13, K+14, K+15
32	7	7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38
64	12	12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75

如所示，該等整數的一最小者可是自零以偏移的偏移且可具有該偏移的值。藉由例子，該整數偏移(K)可隨意被加到表 1 所示之序列的整數的每一者。考量依遞減數值順序的連續非負整數的類似實施例。此種依遞減數值順序的連續非負整數，其為自零以一可變正整數偏移(K)的偏移，可用於有助於自二對齊封裝資料取不對齊的封裝資料以避免需要執行不對齊的載入(見例如圖 9 的討論)。

在某些實施例中，指令可明白指定(例如，透過來源運算元或立即)或者指出(例如，隱含指出一暫存器具有)整數偏移(K)。偏移(K)代表模式界定參數的一範例實施例，其影響依該數值模式之整數的每一者的值，該數值模式根據該數值模式。

在某些實施例中，結果可包括依數值順序的旋轉連續

非負整數，其已以一整數旋轉量(R)被旋轉。表 4 列出一序列依遞減數值順序的連續非負整數的示範實施例，對於不同數目的整數而言，已以一整數旋轉量(R)被旋轉。

表 4

整數數目	整數旋轉量(R)	依遞增數值順序之旋轉序列的連續整數
4	3	1, 2, 3, 0
8	5	3, 4, 5, 6, 7, 0, 1, 2
16	2	14, 15, 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13
32	4	28, 29, 30, 31, 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27
64	1	63, 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62

如所示，每一整數依旋轉方向旋轉，且當轉出一端時即轉入另一端。在某些實施例中，該指令可明白指定(例如，透過一來源運算元或立即)或者指出(例如，隱含指出一暫存器具有)旋轉量(R)。旋轉量(R)代表模式界定參數的示範實施例，其影響依數值模式的整數的每一者的值，且數值模式根據該數值模式。該等整數可向右旋轉或向左旋轉。在某些實施例中，該指令亦可明白指定或隱含指出一旋轉方向。考量依遞減數值順序的連續非負整數的類似實施例。此等旋轉連續整數可用於旋轉封裝資料元件。此等旋轉連續整數可用於旋轉小於完全向量大小之序列中的封裝資料元件。

圖 9 是說明一種封裝資料重整操作的示範實施例的方

塊圖，使用封裝資料重整控制索引用以自二對齊的封裝資料擷取不對齊的封裝資料以避免需要執行不對齊的載入，該封裝資料重整控制索引具有依數值順序之偏移連續整數的值。該操作可被執行以回應一封裝資料重整指令。

該封裝資料重整指令可指出具有八個資料元件 A_0-A_7 的第一來源封裝資料 942、具有八個資料元件 B_0-B_7 的第二來源封裝資料 943、具有八個資料元件 C_0-C_7 的第三來源封裝資料 944，其各包括八個封裝資料重整控制索引 I_0-I_7 的一對應者，以及一結果封裝資料 945。藉由例子，控制索引 I_0-I_7 的每一者可為 4 位元寬且可包含於該對應封裝資料元件 C_0-C_7 的最低有效 4 位元，其可為 8 位元、16 位元、32 位元、或 64 位元寬。其它指令可使用其它數目的資料元件及控制索引。

結果封裝資料 945 被產生及儲存以回應該封裝資料重整運算/指令。在此實施例中，封裝資料重整控制索引的每一者對應到一對位元位置中的結果資料元件。每一控制索引可操作以選擇要被儲存入對應結果資料元件之第一與第二來源封裝資料(即， A_0-A_7 或 B_0-B_7 的任一者)的十六個資料元件的任一者。例如，第一控制索引 I_0 可操作以選擇要被儲存於該結果封裝資料之第一結果封裝資料元件之 A_0-A_7 或 B_0-B_7 的任一者。四個位元足以唯一地選擇該十六個來源資料元件的任一者。根據一可能轉換，控制索引具有 0 的值以選擇 A_0 、1 的值以選擇 A_1 、2 的值以選擇 A_2 、3 的值以選擇 A_3 、4 的值以選擇 A_4 、5 的值以選擇

A_5 、6 的值以選擇 A_6 、7 的值以選擇 A_7 。控制索引具有 8 的值以選擇 B_0 、9 的值以選擇 B_1 、10 的值以選擇 B_2 、11 的值以選擇 B_3 、12 的值以選擇 B_4 、13 的值以選擇 B_5 、14 的值以選擇 B_6 、15 的值以選擇 B_7 。

在此實施例，封裝資料重整控制索引具有依數值順序的偏移連續整數的值。尤其，控制索引 I_0 、 I_1 、 I_2 、 I_3 、 I_4 、 I_5 、 I_6 、 I_7 分別具有 2、3、4、5、6、7、8 及 9 的值。如所示，此等控制索引可操作以選擇 A_2 、 A_3 、 A_4 、 A_5 、 A_6 、 A_7 、 B_0 及 B_1 給該結封裝資料的八個資料元件。利用此等索引的操作合併 A_2 - A_7 與 B_0 - B_1 。不是需要執行不對齊的載入來合併 A_2 - A_7 與 B_0 - B_1 ，可利用依數值順序之該偏移連續整數來執行此合併。

同理，可以清楚見到可以如何使用依遞減數值順序的連續整數來執行映射封裝資料元件重整。再者，可以清楚見到可以如何使用旋轉連續整數來旋轉封裝資料元件。

圖 10 是一種處理指令之方法 1030 的示範實施例的方塊流程圖，該指令儲存一序列的至少四個依一數值順序的非負整數，所有在連續位置的整數相差一至少二的固定整數間隔。在方塊 1031，指令被接收。該指令指定或者指出目的地儲存位置。

在方塊 1032，一結果儲存於目的地儲存位置以回應該指令及 / 或作為該指令的結果。該結果包括一序列的至少四個依數值順序的非負整數，所有在連續位置的整數相差一至少二的固定整數間隔。在某些實施例中，該結果可包

括一序列的至少八個、至少十六個、至少三十二個、或至少六十四、或甚至更多個依數值順序的非負整數，所有在連續位置的整數相差一至少二的固定整數間隔。

固定間隔代表在目的地儲存位置中連續位置的整數的值之間一固定的差。在各種實施例中，該間隔可為二、三、四、或更多。被二、三、及四的固定間隔隔開的整數尤其可用於處理重覆排列成對/二元組資料(例如，成對的實與虛數，或其它成對的資料)、三元組資料(例如，RGB或其它顏色成分資料)、以及四元組資料(例如，RGBA或其它顏色成分加透明性/不透明性資料)。即使較大間隔可用於收集收集來自記憶體之非相連資料的指令之控制索引(例如，來自表或其它結構化資料分配)。在某些實施例中，該指令可能只能夠儲存一序列的整數，其中連續整數相差一固定間隔，雖然其它實施例並非如此限制。

圖 11 是一種處理指令之方法 1130 的示範實施例的方塊流程圖，該指令用以產生控制索引，其儲存一序列的至少四個依一數值順序的非負的相同奇偶(例如全部偶數或全部奇數)整數。在方塊 1131，指令被接收。該指令指定或者指出一目的地儲存位置。

在方塊 1132，一結果儲存於目的地儲存位置以回應該指令及/或作為該指令的一結果。該結果包括一序列的至少四個依數值順序之非負的相同奇偶整數。整數的奇偶意指其是否為偶或奇。偶整數具有相同奇偶，且奇整數具有相同奇偶，其為與偶數不同的奇偶。在某些實施例中，該

結果可包括一序列的至少八個、至少十六個、至少三十二個、至少六十四個、或更多依一數值模式的偶整數(例如，連續偶整數)。在其它實施例中，該結果可包括一序列的至少八個、至少十六個、至少三十二個、至少六十四個、或更多依一數值模式的奇整數(例如，連續奇整數)。

表 5 列出不同數目之整數依遞增數值順序之序列的連續偶整數的示範實施例。

表 5

整數數目	依遞增數值順序之序列的連續偶整數
4	0, 2, 4, 6
8	0, 2, 4, 6, 8, 10, 12, 14
16	0, 2, 4, 6, 8, 10, 12, 14, 16, 18, 20, 22, 24, 26, 28, 30
32	0, 2, 4, 6, 8, 10, 12, 14, 16, 18, 20, 22, 24, 26, 28, 30, 32, 34, 36, 38, 40, 42, 44, 46, 48, 50, 52, 54, 56, 58, 60, 62
64	0, 2, 4, 6, 8, 10, 12, 14, 16, 18, 20, 22, 24, 26, 28, 30, 32, 34, 36, 38, 40, 42, 44, 46, 48, 50, 52, 54, 56, 58, 60, 62, 64, 66, 68, 70, 72, 74, 76, 78, 80, 82, 84, 86, 88, 90, 92, 94, 96, 98, 100, 102, 104, 106, 108, 110, 112, 114, 116, 118, 120, 122, 124, 126

表 6 列出不同數目之整數依遞增數值順序之序列的連續奇整數的示範實施例。

表 6

整數數目	依遞增數值順序之序列的連續奇整數
4	1, 3, 5, 7
8	1, 3, 5, 7, 9, 11, 13, 15
16	1, 3, 5, 7, 9, 11, 13, 15, 17, 19, 21, 23, 25, 27, 29, 31
32	1, 3, 5, 7, 9, 11, 13, 15, 17, 19, 21, 23, 25, 27, 29, 31, 33, 35, 37, 39, 41, 43, 45, 47, 49, 51, 53, 55, 57, 59, 61, 63

64	1, 3, 5, 7, 9, 11, 13, 15, 17, 19, 21, 23, 25, 27, 29, 31, 33, 35, 37, 39, 41, 43, 45, 47, 49, 51, 53, 55, 57, 59, 61, 63, 65, 67, 69, 71, 73, 75, 77, 79, 81, 83, 85, 87, 89, 91, 93, 95, 97, 99, 101, 103, 105, 107, 109, 111, 113, 115, 117, 119, 121, 123, 125, 127
----	---

在某些實施例中，指令/運算碼可能只能夠儲存一序列選自表 5 或 6 的整數(即，其可能不能夠儲存其它整數)，雖然其它實施例不要求。此種序列的連續偶或奇整數尤其用於處理重覆排列成對/二元組資料，例如像是，成對的代表複數的實與虛數，以及其它成對的資料。例如，此等序列的連續偶及奇整數可被用來使一類型的成對或二元組資料彼此分隔、隔離或去交錯(例如，分隔實數與虛數)。見例如圖 12 的討論。

在其它實施例中，一整數偏移(K)可隨意加到相同奇偶整數的每一者。在其它實施例中，該序列的相同奇偶整數可被旋轉一整數旋轉量(R)。在其它實施例中，該相同奇偶整數可依遞減數值順序。

圖 12 是說明一種封裝資料重整操作的示範實施例的方塊圖，使用封裝資料重整控制索引，用以區隔實數(R)與虛數(IM)，該封裝資料重整控制索引具有依遞增數值順序之連續偶數整數的值。該運算可回應一封裝資料重整指令而運算。

該指令可指出具有八個資料元件 R_0 、 IM_0 、 R_1 、 IM_1 、 R_2 、 IM_2 、 R_3 、 IM_3 的第一來源封裝資料 1242、具有八個資料元件 R_4 、 IM_4 、 R_5 、 IM_5 、 R_6 、 IM_6 、 R_7 、 IM_7 的第二來源封裝資料 1243、具有八個資料元件 C_0 - C_7 的第三

來源封裝資料 1244，各包括八個封裝資料重整控制索引 I_0 - I_7 的一對應者，及一結果封裝資料 1245。在第一及第二來源封裝資料中，實數 (R) 與虛數 (IM) 是交錯的。藉由例子，該控制索引 I_0 - I_7 的一者可為 4 位元寬且可包含於該對應封裝資料元件 C_0 - C_7 的最低有效 4 位元。

結果封裝資料 1245 被產生及儲存以回應該封裝資料重整運算 / 指令。在此實施例中，封裝資料重整控制索引的每一者對應到一對應位元位置中的結果資料元件。在此實施例中，該封裝資料重整控制索引具有依遞增數值順序的連續偶整數的值。尤其，控制索引 I_0 、 I_1 、 I_2 、 I_3 、 I_4 、 I_5 、 I_6 及 I_7 分別具有 0、2、4、6、8、10、12 及 14 的值。如所示，此等控制索引可操作以選擇並儲存實數 R_0 、 R_1 、 R_2 、 R_3 、 R_4 、 R_5 、 R_6 及 R_7 於該結果封裝資料的八個資料元件。此實質上將實數 (R) 與虛數 (IM) 去交錯或分隔。

在替代實施例中，可使用具有依遞增數值順序之連續奇整數的值的控制索引來實施類似的封裝資料重整運算，以分隔虛數 (I) 與實數 (R)。尤其，控制索引 I_0 、 I_1 、 I_2 、 I_3 、 I_4 、 I_5 、 I_6 及 I_7 分別具有 1、3、5、7、9、11、13 及 15 的值，以便選擇並儲存實數 IM_0 、 IM_1 、 IM_2 、 IM_3 、 IM_4 、 IM_5 、 IM_6 及 IM_7 於該結封裝資料的八個資料元件。再者，具有依數值順序之連續偶或奇整數亦可用於分隔其它類型成對或二元組資料。

在其它實施例中，該區隔可大於二。表 7 列出不同數

目之整數依數值順序之序列的連續偶整數的示範實施例，在連續位置的整數相差大於二的固定整數間隔。

表 7

整數數目	固定間隔(N)	相差大於二之間隔的依遞增數值順序之序列的整數
4	3	0, 3, 6, 9
4	4	0, 4, 8, 12
4	8	0, 8, 16, 24
4	N	0, N, 2N, 3N
8	3	0, 3, 6, 9, 12, 15, 18, 21
8	4	0, 4, 8, 12, 16, 20, 24, 28
8	8	0, 8, 16, 24, 32, 40, 48, 56
8	N	0, N, 2N, 3N, 4N, 5N, 6N, 7N
16	3	0, 3, 6, 9, 12, 15, 18, 21, 24, 27, 30, 33, 36, 39, 42, 45
16	4	0, 4, 8, 12, 16, 20, 24, 28, 32, 36, 40, 44, 48, 52, 56, 60
16	8	0, 8, 16, 24, 32, 40, 48, 56, 64, 72, 80, 88, 96, 104, 112, 120
16	N	0, N, 2N, 3N, 4N, 5N, 6N, 7N, 8N, 9N, 10N, 11N, 12N, 13N, 14N, 15N

此等僅是一些說明例。為簡明目的，雖然亦考量其它數目(例如，32、64等)，但僅顯示四、八、或十六個控制索引或控制索引前標的例子。此外，為簡明目的，雖然亦考量其它數目(例如，5、6、10、16等)，但僅顯示間隔的代表範例(例如，3、4及8)。考量其它實施例，其中該序列的整數依遞減數值順序，自零偏移且/或被旋轉。

圖 13 是一種處理可用於產生控制索引之指令之方法 1330 的示範實施例的方塊流程圖，該指令儲存一序列的至

少四個依一數值順序的整數，其中最小的整數以該偏移 (K) 自零偏移，且其中所有在連續位置的整數彼此相差該間隔 (N)。在方塊 1331，指令被接收。該指令指定或者指出一目的地儲存位置。

在某些實施例中，指令可明白指定或者指出一整數偏移 (K) 及一固定整數間隔 (N)。在某些實施例中，該指令可具有明白指定該偏移 (K) 及 / 或該間隔 (N) 之一來源運算元及一立即的至少一者。作為另一選擇，該指令可隱含指出提供該偏移 (K) 及 / 或該間隔 (N) 的暫存器。在某些情形中，該偏移可為零，或在其它情形中，其可為非零正整數。固定整數間隔為一或更大的正整數。該指令可設定該偏移 (K) 及該間隔 (N) 的每一者來得到適合所欲之控制索引之所欲的數值模式。

在方塊 1332，一結果儲存於目的地儲存位置，以回應該指令及 / 或作為該指令的結果。該結果包括在目的地儲存位置中一序列的至少四個依數值順序的非負整數，其中最小的整數為自零偏移 (K) 的偏移，且在連續位置的所有整數彼此相差該間隔 (N)。在該目的地儲存位置中位置 (i) 的整數值可等於該間隔 (N) 乘以該位置 (i) 加到該偏移 (K)。數學上，此可以整數表示位置 $(i) = (N * i + K)$ ，其中 i 的範圍從零到比該序列中整數總數目小一者 (例如，對於第一整數而言 i 為零，對於第二整數而言 i 為 1，等等)。

表 8 列出不同數目之整數依數值順序之序列的整數的示範實施例，其中最小的整數以該偏移 (K) 自零偏移，且

其中所有在連續位置的整數彼此相差該間隔(N)。

表 8

整數數目	固定間隔(N)	偏移(K)	依方程式($N*i+K$)之序列的整數
4	2	1	1, 3, 5, 7
4	3	2	2, 5, 8, 11
4	4	2	2, 6, 10, 14
4	N	K	K, N+K, 2N+K, 3N+K
8	2	2	2, 4, 6, 8, 10, 12, 14, 16
8	3	1	1, 4, 7, 10, 13, 16, 19, 22
8	4	3	3, 7, 11, 15, 19, 23, 27, 31
8	N	K	K, N+K, 2N+K, 3N+K, 4N+K, 5N+K, 6N+K, 7N+K
16	2	4	4, 6, 8, 10, 12, 14, 16, 18, 20, 22, 24, 26, 28, 30, 32, 36
16	3	7	7, 10, 13, 16, 19, 22, 25, 28, 31, 34, 37, 40, 43, 46, 49, 52
16	4	3	3, 7, 11, 15, 19, 23, 27, 31, 35, 39, 43, 47, 51, 55, 59, 63
16	N	K	K, N+K, 2N+K, 3N+K, 4N+K, 5N+K, 6N+K, 7N+K, 8N+K, 9N+K, 10N+K, 11N+K, 12N+K, 13N+K, 14N+K, 15N+K

如上所討論，依數值順序的連續非負整數可用於且適用於產生種種不同整數序列及/或數值模式。在某些實施例中，儲存依數值順序之連續非負整數的指令可與一應用間隔及偏移的指令共用以產生有數個有用的數值模式的其中一者。

圖 14 是一種處理第一控制索引前標產生指令之方法 1446 的示範實施例的方塊流程圖，該指令儲存一序列的依一數值順序的連續非負整數，且一第二指令對依數值順序之連續非負整數的每一者加一間隔及一偏移。

在方塊 1431，該第一控制索引前標產生指令被接收。該指令指定或者指出一第一目的地儲存位置。

在方塊 1432，一第一結果儲存於該第一目的地儲存位置以回應該第一指令。該結果包括一序列的至少四個依數值順序之連續非負整數。在某些實施例中，該結果可包括以上表 1 所示之該等序列的整數的其中一者。

在方塊 1447，指出該序列的該至少四個依數值順序的連續整數(例如，明白指定該第一目的地儲存位置為一來源)的一第二指令被接收。該第二指令指出一第二目的地儲存位置且指出一間隔(N)及一偏移(K)。在某些實施例中，該第二指令可具有至少一運算元及/或立即以明白指定該間隔及該偏移。

在方塊 1448，一第二結果儲存於該第二目的地儲存位置以回應該第二指令，以回應該第二指令。該第二結果包括一序列的至少四個依數值順序的非負整數，其中所有在連續位置的整數彼此相差該間隔(N)，且其中最小的整數自零偏移該偏移(K)。在某些實施例中，該至少四個連續整數的每一者可乘以間隔(N)，且該偏移(K)可被加到每一乘積。例如，間隔(N)可被傳送進複數個在一第一暫存器的間隔(N)的值，偏移(K)可被廣播傳送進複數個在一第二暫存器的偏移(K)的值，且該四個至少連續整數的每一者可乘以第一暫時暫存器且結果乘積可被加到第二暫時暫存器。第二結果之序列的整數可依照數值模式($N*i+K$)。

圖 15 是一儲存 RGBA(即，紅、綠、藍、阿爾發(Alpha))

四元組資料的來源封裝資料 1542 的方塊圖。RGBA 資料代表顏色成分加透明性/不透明性資料。RGBA 資料通常用於電腦及其它具有顯示器/螢幕的電子設備。特別繪示的封裝資料運算元具有十六個資料元件。在圖式中，該十六個資料元件分別儲存 R_0 、 G_0 、 B_0 、 A_0 、 R_1 、 G_1 、 B_1 、 A_1 、 R_2 、 G_2 、 B_2 、 A_2 、 R_3 、 G_3 、 B_3 、 A_3 。在某些實施例中，數值模式或序列的整數可對四元組資料運算來執行有用的運算。

表 9 列出執行種種用以對 RGBA 資料或其它 4 元組資料之序列的整數的示範實施例。此等序列的許多者用於四元組資料。

表 9

整數數目	序列的整數	使用例
16	0, 4, 8, 12, 1, 5, 9, 13, 2, 6, 10, 14, 3, 7, 11, 15	分隔 R、G、B、及 A 成分的每一者
16	3, 2, 1, 0, 7, 6, 5, 4, 11, 10, 9, 8, 15, 14, 13, 12	將 RGBA 四元組內的順序反向或鏡射
16	0, 1, 2, 4, 5, 6, 8, 9, 10, 12, 13, 14	自 RGBA 四元組移除 A 成分
16	0, 1, 3, 2, 4, 5, 7, 6, 8, 9, 11, 10, 12, 13, 15, 14	交換 RGBA 四元組內之 R 與 G 的順序
16	3, 0, 1, 2, 7, 4, 5, 6, 11, 8, 9, 10, 15, 12, 13, 14	將 RGBA 轉換成 ARGB
16	2, 1, 0, 3, 6, 5, 4, 7, 10, 9, 8, 11, 14, 13, 12, 15	將 RGBA 轉換成 BGRA

注意此等數值模式具有四個整數的一重覆單元，使得每四個整數該模式就重覆一次。此等僅是一些例子。亦可考量執行其它操作的序列。

其它實施例不需要使用具有數值模式的封裝資料重整

控制索引。一般而言，只要可用於控制索引或控制索引前標，便可使用任何序列的整數。

整數可具有適合控制索引或控制索引前標的值。通常，封裝資料重整指令使用控制索引，其等可運算來索引或選擇 4 來源封裝資料元件、8 來源封裝資料元件、16 來源封裝資料元件、32 來源封裝資料元件、64 來源封裝資料元件、或在某些情況下 128 來源封裝資料元件的任一者。在實施例中，在序列中的每一整數可具有範圍從零到一上限的值，該上限為比與資料元件的總數目小一，相關聯的封裝資料重整在資料元件之間索引。例如，在各種實施例中，整數值範圍可都從 0 到 127 以便索引或選擇 128 來源封裝資料元件的任一者，範圍可從 0 到 63 以便索引 64 資料元件的任一者，範圍可從 0 到 31 以便索引 32 資料元件的任一者，範圍可從 0 到 15 以便索引 16 資料元件的任一者，或是範圍可從 0 到 7 以便索引 8 資料元件的任一者。在某些實施例中，指令/運算碼不能夠儲存此等範圍以外的整數，雖然其它實施例並不要求。可用於產生用於集中或載入自記憶體(例如，從表)載入非相連資料的指令的控制索引通常具有稍微大於整數值的範圍。

各種 ISA 具有一或更多指令，其自非相連記憶體位置載入資料，或儲存資料到非相連記憶體位置。此等指令的例子包括但不侷限於集中及分散指令。藉由例子，使用透過該等集中指令之來源所提供的集中索引向量，集中指令可從多非相連記憶體位置將多資料元件集中或載入到一結

果封裝資料。使用透過該等分散指令之來源所提供的集中索引向量，該分散指令可從一來源封裝資料將多資料元件散布或儲存進多重非相連記憶體位置。在某些實施例中，於此揭示的控制索引產生指令可用來產生用於此等集中及/或分散指令及/或用於存取記憶體中非相連位置之其它指令。例如，於此所揭示之控制索引產生指令可用於產生集中索引向量及/或分散索引向量，其可分別被該集中或分散指令指出為來源運算元。

集中及分散指令可用於各種不同目的。在某些實施例中，該集中及分散指令分別被用來從表或其它正規分配的資料結構載入或儲存資料到表或其它正規分配的資料結構。作為一例子，當該資料依主欄(column-major)順序儲存時，集中及分散指令可被用來存取二維陣列的一列。作為其它例子，當該資料依列主(row-major)順序陣列儲存時，集中及分散指令可被用來存取陣列的一行。其它例子包括在多維陣列中存取資料。於此等例子中，於此所揭示之序列或控制索引可用以產生、或以產生來幫助集索引向量及/或分散索引向量。通常，自主欄順序陣列中的列存取資料時，或是自列主順序陣列中的行存取資料時，可使用於文中別處所揭示的固定間隔。如前述，可使用文中所揭示的間隔值及偏移值來產生集中索引向量及/或分散索引向量。藉由例子，間隔可根據列長度及/或在該列範圍內的行位置。集中或分散指令接著可指定該集中索引向量及/或分散索引向量為一來源。

或者，在其它實施例中，從非相連記憶體位置載入資料的指令(例如，集中指令)或儲存資料到非相連記憶體位置(例如，分散指令)可加上控制索引產生能力，如文中它處所述者。舉例來說，在某些實施例中，集中指令及/或分散指令可指出具有一或更多間隔及偏移，且該集中及/或分散指令可操作來同時使用該信號接收器及/或該偏移來產生控制索引與在單一集中及/或分散指令的執行範圍內執行該集中及/或分散操作。使用前面提及之間隔及偏移的不同可能性亦可被此等指令所使用。此等指令的一可能好處在於可能不需要向量定標索引基礎(SIB)，其可能允許收回傳統的 SIB 及/或一較短指令編碼。

考量產生控制索引及/或控制索引前標的不同方式。在某些實施例中，一序列的整數可在製造時被儲存於處理器的記憶體(例如，在應用程式碼的運行時間執行之前)，且如於此所揭示的指令(例如，包括於在運行時間的應用程式碼中)可操作來當它們在運行時間被執行時從該記憶體存取該序列的整數。

圖 16 是一處理器 1600 的示範實施例的方塊圖。該處理器包括解碼與執行單元 1623、封裝資料暫存器 1603、以及唯讀記憶體(ROM)1650。該 ROM 具有多重非架構可見儲存位置 1651。此等位置的每一者儲存不同序列的整數。例如，第一儲存位置 1651-1 儲存第一序列的整數(例如，1、2、3、4、5、6 及 7)，第 M 個儲存位置 1651-M 儲存第 M 序列的整數(例如，0、2、4、6、8、10、12 及

14)，以及第 N 個儲存位置 1651-N 儲存第 N 序列的整數 (例如，0、1、3、5、7、9、11、13 及 15)。儲存於此等儲存位置的序列的整數代表預定序列的整數。該等儲存位置可儲存完全文中揭示之任何該等序列的整數，以及其它序列。典型上，可儲存一或幾個 (例如，從二到約十或更多) 較常使用的序列的整數及 / 或從頭始產生之相對較價昂之序列的整數。

解碼與執行單元 1623 接收一可用來產生控制索引的指令 1608。該指令指出一目的地儲存位置 1627，其在某些實施例中可在封裝資料暫存器 1603 中。在某些實施例中，該指令 (例如，該指令的一運算碼) 可隱含指出該 ROM 且該指令可指出其中一非架構可見的儲存位置。在某些此種實施例中，該一被指出的非架構可見的儲存位置對該指令而言可以是固定的或隱含的 (例如，對該指令而言是固定的或隱含的)。在某些此種實施例中，該指令可具有一或更多位元以明白指定或選擇該一非架構可見的儲存位置。例如，在某些實施例中，該指令可分別具有一、二、三、四、或更多位元來在二、四、八、或十六不同預定序列的整數之中選擇。有利的是，依此方式，一指令 / 運算碼可能夠在多序列的整數之中選擇。

在繪示範例中，該指令指出第 M 個非架構上可見的儲存位置 1651-M。回應於該指令，該執行單元可存取第 M 序列的整數 (例如，0、2、4、6、8、10、12 及 14)，且將它們儲存在目的地儲存位置 1627。在此種實施例中，第 M

序列的整數不需要被產生或計算，但可僅僅從該 ROM 存取預先存在/預先儲存的值。此可允許在單一指令的執行範圍內快速且有效率提供該序列的整數。在某些實施例中，該 ROM 可以與處理器及/或該解碼與執行單元在晶粒上，使得不需要從一晶片外主記憶體或其它來源及/或透過系統匯流排來存取該序列的整數。

處理器通常包括晶粒上的 ROM 以儲存各種不同類型的資訊(例如，處理器識別資訊、密碼金鑰、組態資訊等等)。通常在此種 ROM 中有可用的空間來儲存一或更多序列的整數，如本文所揭示者。或者，一專用 ROM、一唯讀暫存器、一非架構可見的暫存器、或另一非架構可見的儲存空間可被包含在晶粒上以儲存一或更多序列的整數，如此所揭示。作為另一選擇，一或更多序列的整數可被燒進一處理器的一次可編程熔絲內，或者與一處理器及/或執行單元預先儲存或預先設置在晶粒上。

在某些實施例中，可使用行掃描(column-sweep)方法來產生依數值順序之數值模式的整數。例如，為產生連續整數，一 1 的值可傳遍九個元件以得(A)。接著，具有 1 的被廣播傳送值的該等元件的一副本可向左移位以得(B)。接著(A)與(B)可相加以得(C)。接著(C)可向左移二個以得(D)。接著(C)和(D)可相加以得(E)。接著(E)可向左移四個以得(F)。接著(E)和(F)可相加以得(G)，等等。

111111111 (A)

11111111 (B)

222222221 (C)

2222221 (D)

444444321 (E)

44321 (F)

887654321 (G)

相較於純粹迭代產生，此種行掃描方法一般允許快速產生序列的整數。在又其它實施例中，如於此所揭示之一序列的整數可迭代產生。例如，未產生連續整數，當被計算出之前一整數加一時，可依序計算出每一整數。

圖 17A 是一方塊圖，說明用以儲存控制索引及控制索引前標的適合格式的第一示範實施例。一封裝資料運算元 1742A 包括封裝資料元件 A_0-A_N 。藉由例子，可有 4、8、16、32 或 64 個資料元件。封裝資料元件 A_0-A_N 的每一者具有不同對應的控制索引或控制索引前標。尤其是，第一資料元件 A_0 具有第一控制索引或前標 I_0 ，第二資料元件 A_1 具有第二控制索引或前標 I_1 ，第 N 個資料元件 A_N 具有第 N 個控制索引或前標 I_N ，等等。控制索引或前標的每一者被儲存於該對應的資料元件的位元子集。例如，控制索引或前標的每一者可儲存於該對應的資料元件之最低階位元組或控制位元組的位元子集中，雖然此並非必要。在各種實施例中，控制索引或前標的每一者可包含在該對應資料元件的例如最低階 2 位元、3 位元、4 位元、5 位元、或 6 位元。控制索引或前標的每一者可以是通常具有一範圍從 0 到 64 的整數。就封裝資料重整控制索引/前標而言，

每控制索引/前標的整數大小及位元數取決於在其中索引的來源資料元件的數目。在各種實施例中，資料元件可為 8 位元位元組、16 位元字、32 位元雙字、或 64 位元四倍字。

圖 17B 是一方塊圖，說明用以儲存控制索引及控制索引前標的適合格式的第二示範實施例。一封裝資料運算元 1742B 包括資料元件 A_0-A_N 。不是具有不同對應控制索引或前標之資料元件 A_0-A_N 的每一者，控制索引或前標在該封裝資料運算元之資料元件的一子集以內被相連地聚集一起。在繪示的實施例中，第一資料元件 A_0 具有第一控制索引或前標 I_0 、第二控制索引或前標 I_1 、第 N 個控制索引或前標 I_N ，等等。取決於控制索引或前標的大小、以及資料元件的大小，可用二或多個資料元件的子集來儲存所有的控制索引或前標。而且，在控制索引前標的情形中，它們可被儲存於通用或整數暫存器且稍後被後續的指令被轉換成封裝資料格式。

圖 18 是適合儲存封裝資料運算元的封裝資料暫存器組 1803 的示範實施例的方塊圖。繪示的封裝資料暫存器包括三十二個 512 位元寬的封裝資料或向量暫存器。此等三十二個 512 位元寬的暫存器被標為 $ZMM0$ 到 $ZMM31$ 。在繪示的實施例中，此等暫存器之較低十六個的較低階 256 位元，即 $ZMM0-ZMM15$ ，被混疊或覆加於個別的 256 位元寬的封裝資料或標為 $YMM0-YMM15$ 的向量暫存器，雖然此並非必要。同樣的，在繪示的實施例中， $YMM0-$

YMM15 的較低階 128 位元被混疊或覆加於個別的 128 位元封裝資料或標為 XMM0-XMM1 的向量暫存器，雖然此並非必要。512 位元寬的暫存器 ZMM0 到 ZMM31 可操作來保持 512 位元的封裝資料、256 位元的封裝資料、或 128 位元的封裝資料。256 位元寬的暫存器 YMM0-YMM15 可操作來保持 256 位元的封裝資料、或 128 位元的封裝資料。128 位元寬的暫存器 XMM0-XMM1 可操作來保持 128 位元的封裝資料。每一暫存器可用來儲存封裝浮點資料或封裝整數資料之一者。不同的資料元件大小受到支援，包括至少 8 位元組資料、16 位元字資料、32 位元雙字或單精準度浮點資料、以及 64 位元四倍字或雙精準度浮點資料。封裝資料暫存器的替代實施例可包括不同數目的暫存器、不同大小的暫存器，且可能或可能不將較大暫存器別名於較小暫存器。

圖 19 是一製造物品(例如，電腦程式產品)1952 的方塊圖，該製造物品 1952 包括儲存對產生控制索引有用之指令的機器可讀取儲存媒體 1953。在某些實施例中，該機器可讀取儲存媒體可為實體及/或非暫態機器可讀取儲存媒體。在各種示範實施例中，該機器可讀取儲存媒體可包括一軟式磁片、光碟片、光碟機(CD-ROM)、磁碟、磁光碟、唯讀記憶體(ROM)、可程式 ROM(PROM)、可抹除可程式 ROM(EPROM)、電性可抹除可程式 ROM(EEPROM)、隨機存取記憶體(RAM)、靜態 RAM(SRAM)、動態 RAM(DRAM)、快閃記憶體、相變記憶體、半導體記憶體、其它類型的記

憶體、或其等之組合。在某些實施例中，該媒體可包括一或更多固態資料儲存物質，例如像是，半導體資料儲存物質、相變資料儲存物質、磁性資料儲存物質、光透固態資料儲存物質，等等。

該機器可讀取儲存媒體儲存一或更多可用來產生控制索引 1908 的指令。在某些實施例中，此等可包括一或更多控制索引產生指令 1910。在某些實施例中，此等可包括一或更多控制索引前標產生指令 1911。該等指令的每一者若被機器執行，可用來產生該控制索引，該等指令的每一者可操作來致使該機儲存一結果於由該指令所指出的目的地儲存位置。該結果包括一序列的整數，其代表控制索引或控制索引前標。於此所揭示之該等指令、結果、以及序列的整數的任何一者是適合的。再者，其它指令可被儲存於該媒體(例如，封裝資料重整指令、集中指令、其它使用該等控制索引的指令等等)。

不同類型的機器的例子包括但不侷限於處理器(例如，通用處理器及特別用途處理器)、指令處理設備、以及各種具有一或更多處理器或指令處理設備的電子裝置。此種電子裝置的一些代表性的例子包括，但不侷限於電腦系統、桌上電腦、膝上型電腦、筆記型電腦、伺服器、網路路由器、網路交換機、桌上型易網機、機上盒、行動電話、視訊遊戲控制器，等等。

一指令集包括一或更多指令格式。一給定的指令格式界定各種欄位(位元數、位元位置)除了別的以外，用以指

定要被執行的操作(運算碼)及該操作要執行的運算元。一些指令格式透過指令範本(子格式)的定義進一步分析。例如，可定義該等指令格式的指令範本來具有不同子集的指令格式的欄位(被包含的欄位典型上依相同順序，但至少有些具有不同位元位置，因為包含有較少的欄位)及/或定義以具有不同解譯的給定欄位。因此，使用一給定指令格式表達 ISA 的每一指令(且如果被定義，則以一給定的一個該指令格式的指令範本)且包括用以指定該操作及該等運算元的欄位。例如，一示範 ADD 指令具有特定運算碼及指令格式，其包括用以指定該運算碼及運算元欄位來選擇運算元(來源 1/目的地及來源 2)的運算碼欄位；以及於指令流中此 ADD 指令的發生在選擇特定運算元之運算元欄位中將會有特定內容。一組意指先進向量延伸指令集(AVX)(AVX1 及 AVX2)且使用向量延伸指令集(VEX)的 SIMD 延伸指令集編碼方案已經發表及/或出版(例如，參見 Intel®64 及 IA-32 架構軟體開發手冊，2011 年十月；以及參見 Intel®先進向量延伸指令集，2011 年六月)。

示範指令格式

於本文描述的指令的實施例可以不同格式實施。此外，示範系統、架構、及管線予以描述如下。指令的實施例可執行於此種系統、架構、及管線，但不侷限於此所描述者。

VEX 指令格式

VEX 編碼允許指令具有多於二的運算元，且允許 SIMD 向量暫存器較 128 位元長。使用 VEX 前綴提供三運算元(或更多)語法。例如，前二運算元指令執行諸如 $A=A+B$ 的運算，其重寫一來源運算元。使用 VEX 前綴能使運算元執行諸如 $A=B+C$ 的非破壞性運算。

圖 20A 說明示範 AVX 指令格式，其包括 VEX 前綴 2002、實數運算碼欄位 2030、Mod R/M 位元組 2040、SIB 位元組 2050、位移欄位 2062、以及 IMM8 2072。圖 20B 說明圖 20A 之構成全運算碼欄位 2074 及基礎運算欄位 2042 的欄位。圖 20C 說明圖 20A 之構成暫存器索引欄位 2044 的欄位。

VEX 前綴(位元組 0-2)2002 以三位元組形式被編碼。第一位元組是格式欄位 2040(VEX 位元組 0，位元 [7:0])，其包含一明白的 C4 位元組值(用來區分 C4 指令格式之唯一值)。第二-第三位元組(VEX 位元組 1-2)包括提供一些特定能力的位元欄位。具體而言，REX 欄位 2005 (VEX 位元組 1，位元 [7-5])係由 VEX.R 位元欄位(VEX 位元組 1，位元 [7]-R)、VEX.X 位元欄位(VEX 位元組 1，位元 [6]-X)、以及 VEX.B 位元欄位(VEX 位元組 1、位元 [5]-B)所構成。其它欄位的指令編碼該暫存器索引的較低三位元如本技藝所周知者(rrr、xxx 及 bbb)，使得 Rxxx、Xxxx 及 Bbbb 可藉由相加 VEX.R、VEX.X 及 VEX.B 來形成。運算碼映射欄位 2015(VEX 位元組 1，位元 [4:0]-mmmm)

包括編碼一隱含的前導運算碼位元組的內容。W 欄位 2064(VEX 位元組 2, 位元 [7]-W)係以記法 VEX.W 表示, 且提供取決於指令的不同功能。VEX.vvvv 2020 的角色 (VEX 位元組 2, 位元 [6 : 3]-vvvv)可包括以下 :

- 1)VEX.vvvv 編碼第一來源暫存器運算元, 以反轉 (1 的補數)形式指定, 且對於具 2 或更多來源運算元的指令是有效的 ;
- 2)VEX.vvvv 編碼該目的地暫存器運算元, 以 1 的補數形式指定給特定向量位移 ;
- 3)VEX.vvvv 不編碼任何運算元, 該欄位被保留且應包含 1111b。若 VEX.L 2068 大小欄位 (VEX 位元組 2, 位元 [2]-L)=0, 則其指出 128 位元向量 ; 若 VEX.L=1, 則指出 256 位元向量。前綴編碼欄位 2025(VEX 位元組 2, 位元 [1 : 0]-pp)提供額外位元給基礎運算欄位。

真實運算碼欄位 2030(位元組 3)又被稱為運算碼位元組。部分的運算碼在此欄位係被指定的。

MOD R/M 欄位 2040(位元組 4)包括 MOD 欄位 2042 (位元 [7-6])、Reg 欄位 2044(位元 [5-3])、以及 R/M 欄位 2046(位元 [2-0])。Reg 欄位 2044 的角色可包括以下 : 編碼目的地暫存器運算元或來源暫存器運算元 (Rrrr 的 rrr), 或被視為一運算碼延伸指令且不被用來編碼任何指令運算元。R/M 欄位 2046 的角色可包括以下 : 編碼代表一記憶體位址的指令運算元, 或是編碼該目的地暫存器運算元或一來源暫存器運算元。

定標、索引、基礎 (SIB)-定標欄位 2050 的內容(位元

組 5)包括 SS2052(位元 [7-6])，其用於記憶體位址產生。SIB.xxx 2054(位元 [5-3])及 SIB.bbb 2056(位元 [2-0])先前已意指暫存器索引 Xxxx 及 Bbbb。

位移欄位 2062 及立即欄位 (IMM8)2072 包含位址資料。

同屬向量親和指令格式

一向量親和指令格式係一適合向量指令的指令格式(例如，有向量運算專用的特定欄位)。雖然所述的實施例中透過向量親和指令格式支援向量及純量運算，但替代的實施例僅使用以向量親和指令格式的向量運算。

圖 21A 至 21B 是方塊圖，說明根據本發明實施例之同屬向量親和指令格式及其指令範本。圖 21A 是一方塊圖，說明根據本發明實施例之同屬向量親和指令格式及其類別 A 指令範本；而圖 21B 是一方塊圖，說明根據本發明實施例之同屬向量親和指令格式及其類別 B 指令範本。精確而言，被定義類別 A 及類別 B 指令範本的同屬向量親和指令格式 2100，不包括記憶體存取 2105 指令範本及記憶體存取 2120 指令範本。在向量親和指令格式的情境中的名詞同屬意指不連結到任何特定指令集的指令格式。

雖然將說明本發明實施例，其中向量親和指令格式支援以下：具 32 位元(4 位元組)或 64 位元(8 位元組)資料元件寬度(或大小)的 64 位元組向量運算元長度(或大小)(且因而，由 16 雙字大小元件或者，8 四倍字大小元件構成的

64 位元組向量)；具 16 位元(2 位元組)或 8 位元(1 位元組)資料元件寬度(或大小)的 64 位元組向量運算元長度(或大小)；具 32 位元(4 位元組)、64 位元(8 位元組)、16 位元(2 位元組)、或 8 位元(1 位元組)資料元件寬度(或大小)的 32 位元組向量運算元長度(或大小)；以及具 32 位元(4 位元組)、64 位元(8 位元組)、16 位元(2 位元組)、或 8 位元(1 位元組)資料元件寬度(或大小)的 16 位元組向量運算元長度(或大小)；但替代實施例可支援更多、更少及/或不同具更多、更少或不同資料元件寬度(例如，128 位元(16 位元)資料元件寬度)的向量運算元大小(例如，256 位元組向量運算元)。

圖 21A 中的類別 A 指令範本包括：1)在無記憶體存取 2105 指令範本以內顯示有無記憶體存取、全捨入控制型運算 2110 指令範本及無記憶體存取、資料轉換型運算 2115 指令範本；以及 2)在記憶體存取 2120 指令範本以內顯示有記憶體存取、時間性 2125 指令範本及記憶體存取、非時間性 2130 指令範本。圖 21B 中的類別 B 指令範本包括：1)在無記憶體存取 2105 指令範本以內顯示有無記憶體存取、寫入遮罩控制、半捨入控制型運算 2112 指令範本及無記憶體存取、寫入遮罩控制、vsize 類型運算 2117 指令範本；以及 2)在記憶體存取 2120 指令範本以內顯示有無記憶體存取、寫入遮罩控制 2127 指令範本。

同屬向量親和指令格式 2100 包括下列依圖 21A 至 21B 中所繪示之順序的欄位。

格式欄位 2140-在此欄位中的特定值(一指令格式識別碼值)唯一識別該向量親和指令格式，且因而在該指令流中該向量親和指令格式中指令的出現。因此，此欄位就其對於僅具有該同屬向量親和指令格式的指令集而言不需要的意義而言是可選用的。

基礎運算欄位 2142-其內容有別於不同的基本運算。

暫存器索引欄位 2144-其內容、直接或透過位址產生，指定該來源及目的地運算元的位置，在暫存器或在記憶體中。此等包括一充分的位元數以從一 $P \times Q$ (例如， 32×512 、 16×128 、 32×1024 、 64×1024)暫存器檔案選擇 N 個暫存器。雖然在一實施例中 N 可達到三來源及一目的地暫存器，但替代實施例可支援更多或更少來源及目的地暫存器(例如，可支援達到二來源，其中此等來源的其中一者亦充作為該目的地，可支援達到三來源，其中此等來源的其中一者亦充作為該目的地，可支援達到二來源及一目的地)。

修飾符欄位 2146-其內容區分指定與不指定記憶體存取之在同屬向量指令格式中的指令的出現；換言之，區分無記憶體存取 2105 指令範本與記憶體存取 2120 指令範本之間。記憶體存取運算讀取及/或寫入到記憶體階層(在一些情形中使用暫存器中的值指定來源及/或目的地位址)，而非記憶體存取運算則不(例如，來源及目的地為暫存器)。雖然在一實施例中此欄位亦在三個不同執行記憶體位址計算的方式間選擇，但替代的實施例可支援更多、更

少、或不同執行記憶體位址計算的方式。

擴增運算欄位 2150-其內容區分除了該基本運算以外還要被執行之各種不同運算的其中一者。此欄位是情境特定。在本發明的一實施例中，此欄位被分成一類別欄位 2168、一阿爾發欄位 2152、以及一貝他(beta)欄位 2154。擴增運算欄位 2150 允許共同群組的運算要被執行於單一指令而不是 2、3、或 4 指令中。

定標欄位 2160-其內容允許用於記憶體位址產生之索引欄位的內容的定標(例如，用於使用 $2^{\text{定標}} * \text{索引} + \text{基礎}$ 的位址產生)。

位移欄位 2162A-其內容用作為部分的記憶體位址產生(例如，用於使用 $2^{\text{定標}} * \text{索引} + \text{基礎} + \text{位移}$ 的位址產生)。

位移因子欄位 2162B(注意，直接透過位移因子欄位 2162B 的位移欄位 2162A 的並列指出一或另一者被使用)-其內容係用作為部分的位址產生；其指定要被記憶體存取(N)的大小定規的位移因子-其中 N 係在記憶體存取中的位元組數(例如，用於使用 $2^{\text{定標}} * \text{索引} + \text{基礎} + \text{定規位移}$ 的位址產生)。冗餘低階位元被忽略，因而該位移因子欄位的內容被乘以記憶體運算元總大小(N)以便產生要被用於計算有效位址的最後的位移。N 的值由處理器硬體在運算時間基於完全運算碼欄位 2174(後述)以及資料調處欄位 2154C 所決定。位移欄位 2162A 及位移因子欄位 2162B 就其不用於可以僅實施該二者中的一者或無一者的無記憶體存取 2105 指令範本及/或不同實施例的意義而言是可選用

的。

資料元件寬度欄位 2164-其內容區分資料元件寬度的一組件的哪一者要被使用(在針對所有指令的某些實施例中；在僅針對某些指令的其它實施例中)。此欄位就若僅一資料元件寬度被支援及/或使用該等運算碼的某些態樣支援資料元件寬度而其不被需要的意義而言是可選用的。

寫入遮罩欄位 2170-其內容基於或按照資料元件位置，控制在目的地向量運算元中的資料元件位置是否反射該基本運算及擴增運算的結果。類別 A 指令範本支援合併寫入遮罩，而類別 B 指令範本同時支援合併寫入遮罩及歸零遮罩二者。當合併時，向量遮罩允許任何在目的地中的元件集於任何運算的執行期間受到保護免更新(由基本運算及擴增運算指定)；在其它一實施例中，保留該目的地的各元件的舊值，其中對應遮罩位元具有一個 0。相對的，當歸零時，向量遮罩允許任何在於任何運算的執行期間被歸零的目的地中的元件集(由基本運算及擴增運算指定)；在一實施例中，當對應遮罩位元具有一 0 的值時，該目的地的元件被設成 0。此功能的子集係控制正被執行的運算的向量長度的能力(亦即，元件的被修飾的期間，從第一到最後一個)；然而，被修飾之元件不需要是連續的。因此，寫入遮罩欄位 2170 允許包括載入、儲存、算術、邏輯等的部分向量運算，雖然所述的本發明實施例中，寫入遮罩欄位 2170 的內容選擇寫入遮罩暫存器的其中一組件，其包含要被使用的寫入遮罩(且因而該寫入遮罩欄

位 2170 的內容間接識別要被執行的遮罩)，反而替代實施例或額外的允許該遮罩寫入欄位 2170 的內容直接指定要被執行的遮罩。

立即欄位 2172-其內容允許一立即的規格。此欄位就其不存在於不支援立即之同屬向量親和格式的實施且其不存在於不使用一立即之指令中的意義而言是可選用的。

類別欄位 2168-其內容區分不同類別的指令。參照圖 21A 至 B，此欄位選擇類別 A 與類別 B 指令之間的內容。在圖 21A 至 B 中，圓角方塊被用來指出一特定值係存在於一欄位(例如，圖 21A 至 B 中分別為類別欄位 2168 的類別 A 2168A 及類別 B 2168B)。

類別 A 的指令範本

在類別 A 的非記憶體存取 2105 指令範本的情形中，阿爾發欄位 2152 被解譯為 RS 欄位 2152A，其內容區分不同擴增運算型的哪一個要被執行(例如，捨入 2152A.1 及資料轉換 2152A.2 分別被指定給無記憶體存取，捨入型運算 2110 及該無記憶體存取、資料轉換型運算 2115 指令範本，而貝他欄位 2154 區分該指定型的運算的哪一個要被執行。在無記憶體存取 2105 指令範本中，定標欄位 2160、位移欄位 2162A、以及位移定標欄位 2162B 並不存在。

無記憶體存取指令範本-完全捨入控制型運算

:

在該無記憶體存取完全捨入控制型運算 2110 指令範本中，貝他欄位 2154 被解譯為捨入控制欄位 2154A，其內容提供靜態捨入。雖然在所述之本發明實施例中，該捨入控制欄位 2154A 包括一抑制所有浮點異常 (SAE) 欄位 2156 及一捨入運算控制欄位 2158，但替代實施例可支援可編碼此等概念進該同一欄位或僅有此等概念/欄位的一或另一者(例如，可只有該捨入運算控制欄位 2158)。

SAE 欄位 2156-其內容區分是否要禁止該異常事件報告；當 SAE 欄位 2156 的內容指出抑制被致能時，一給定指令不報告任何種類的浮點異常旗標且不導致任何浮點異常處置器。

捨入運算控制欄位 2158-其內容區分一群捨入運算中的哪一者要執行(例如，捨進、捨去、向零方向捨入及就近捨入)。因此，捨入運算控制欄位 2158 允許根據指令的捨入模式的改變。在本發明一實施例中，其中一處理器包括一控制器暫存器，用以指定捨入模式，捨入運算控制欄位 2150 的內容重寫該暫存器值。

無記憶體存取指令範本-資料轉換型運算

在無記憶體存取資料轉換型運算 2115 指令範本中，貝他欄位 2154 被解譯為資料轉換欄位 2154B，其內容區分資料轉換的哪一組件要被執行(例如，無資料轉換、拌和、廣播)。

在類別 A 的記憶體存取 2120 指令範本的情形中，阿

爾發欄位 2152 被解譯為驅逐提示欄位 2152B，其內容區分驅逐提示的哪一個被使用(在圖 21A 中，時間性 2152B.1 及非時間性 2152B.2 分別指定記憶體存取、時間性 2125 指令範本及記憶體存取、非時間性 2130 指令範本)，而貝他欄位 2154 被解譯為資料調處欄位 2154C，其內容區分資料調處運算(眾所周知為基元)要被執行(例如，無調處；廣播；來源的向上轉換；以及目的地的向下轉換)。記憶體存取 2120 指令範本包括定標欄位 2160，且可選用位移欄位 2162A 或位移定標欄位 2162B。

向量記憶體指令執行從記憶體載入且向量儲存至記憶體，利用轉換支援。利用一般向量指令，向量記憶體指令資料元件的方式將資料從記憶體轉換或自記憶體轉換，真實被轉換的元件被該向量遮罩的內容指定，該向量遮罩被選作為寫入遮罩。

記憶體存取指令範本-時間性

時間性資料為可能足夠快要被再用而受益於高速存取的資料。但此為一提示，且不同處理器可依不同方式實施，包括完全忽略該提示。

記憶體存取指令範本-非時間性

非時間性資料為不可能足夠快被再用而受益於在第 1 階快速获取中高速存取且應被給予驅逐優先權的資料。但換言之，一提示及不同處理器可依不同方式實施，包括完全忽

略該提示。

類別 B 的指令範本

在類別 B 的指令範本的情形中，阿爾發欄位 2152 被解譯為一寫入遮罩控制 (Z) 欄位 2152C，其內容區分別受控於寫入遮罩欄位 2170 的寫入遮罩控制應為一合併或歸零。

在類別 B 的無記憶體存取 2105 指令範本的情形中，部分的貝他欄位 2154 被解譯為 RL 欄位 2157A，其內容區分該不同擴增運算類型中的哪一者要被執行 (例如，捨入 2157A.1 及向量長度 (VSIZE) 2157A.2 分別被指定給該無記憶體存取、寫入遮罩控制、半捨入控制型運算 2112 指令範本及該無記憶體存取、寫入遮罩控制、VSIZE 型運算 2117 指令範本)，而貝他欄位 2154 的其餘者區分該被指定類型的運算的哪一者要被執行。在無記憶體存取 2105 指令範本的情形中，定標欄位 2160、位移欄位 2162A、以及位移定標欄位 2162B 並不存在。

在該無記憶體存取、寫入遮罩控制、半捨入控制類型運算 2110 指令範本、貝他欄位 2154 的其餘者被解譯為一捨入運算欄位 2159A 且異常事件報告被禁止 (一給指令不報告任何種類的浮點異常旗標且不導致任何浮點異常處理器)。

捨入控制欄位 2159A - 正如同捨入運算控制欄位 2158，其內容區分一群組之捨入運算的哪一者要被執行 (例

如，捨進、捨去、向零方向捨入及就近捨入)。因此，捨入運算控制欄位 2159A 允許根據指令的捨入模式的改變。在本發明一實施例中，其中一處理器包括一控制器暫存器，用以指定捨入模式，捨入運算控制欄位 2150 的內容重寫該暫存器值。

在無記憶體存取中，寫入遮罩控制、VSIZE 類型運算 2117 指令範本、貝他欄位 2154 的其餘者被解譯為一向量長度欄位 2159B，其內容區分一些資料向量長度的哪一者要被執行(例如，128、256、或 512 位元組)。

在類別 B 的記憶體存取 2120 指令範本的情形中，部分的貝他欄位 2154 被解譯為一廣播欄位 2157B，其內容區分該廣播類型資料調處運算是否要被執行，而貝他欄位 2154 的其餘者被解譯為向量長度欄位 2159B。記憶體存取 2120 指令範本包括定標欄位 2160、且可選用位移欄位 2162A 或位移定標欄位 2162B。

關於同屬向量親和指令格式 2100，顯示完全運算碼欄位 2174 包括格式欄位 2140、基礎運算欄位 2142、以及資料元件寬度欄位 2164。雖然一實施例顯示完全運算碼 2174 包括所有此等欄位，但在不支援所有欄位的實施例中，完全運算碼 2174 包括小於全部此等欄位。完全運算碼 2174 提供該運算碼(運算碼)。

擴增運算欄位 2150、資料元件寬度欄位 2164、以及寫入遮罩欄位 2170 允許此等特性依據指令依同屬向量親和指令格式被指定。

寫入遮罩欄位與資料元件寬度的組合產生類型的指令，其允許該遮罩根據不同資料元件寬度被應用。

在類別 A 與類別 B 以內發現的各種指令範本可受益於不同情況。在本發明的某些實施例中，不同處理器或在處理器以內之不同核心僅可支援類別 A、僅可支援類別 B、或者同時支援二類別。例如，一用於通用運算之高性能通用無序核心可僅支援類別 B，一主要用於圖形及 / 或科學 (通量) 運的核心可僅支援類別 A，且一用於二者的核心可支援二者 (當然，具有來自二個類別之一些範本及指令的混合但並非來自二個類別的全部範本及指令是在本發明的範圍內)。此外，一單處理器可包括多核心，其全部支援同一類別或者其中不同核心支援不同類別。例如，在具獨立圖形及通用核心的處理器中，主要用於圖形及 / 或科學運算的圖形核心的其中一者可僅支援類別 A，而該通用核心的一或多者可為具無序執行及用於支援類別 B 之通用運算暫存器重新命的高性能通用核心。不具有獨立圖形核心的另一處理器可再包括一個同時支援類別 A 與類別 B 的通用有序或無序核心。當然，在本發明的不同實施例中，來自一類別的特徵亦可實施於另一類別中。以一高階語言寫的程式會被放進 (例如，剛好即時編譯或靜態編譯) 各種不同可執行的形式，包括：1) 一種僅具有受到執行的目標處理器支援之類別的指令的形式；或 2) 一種具有使用所有類別之指令的不同組合寫成的替代常式且具有控制流碼根據目前正在執行該碼的處理器所支援之指令選擇要執行之常

式的形式。

示範特定向量親和指令格式

圖 22A 是一方塊圖，說明根據本發明實施例之示範特定向量親和指令格式。圖 22A 顯示特定向量親和指令格式 2200，其就指定欄位位置、大小、解譯及順序以及某些該等欄位的值的意義而言是特定的。特向量親和指令格式 2200 可用來延伸 x86 指令集，且因而某些欄位與用於現存 x86 指令集及其延伸指令集(例如，AVX)的欄位類似或相同。此格式保持與具延伸指令集的現存 x86 指令集的前綴編碼欄位、真實運算碼位元組欄位、MOD R/M 欄位、SIB 欄位、位移欄位、以及立即欄位保持一致。繪示來自圖 22A 之欄位要映射到來自圖 21 之欄位。

應了解到，雖然本發明實施例為說明目的係參照在同屬向量親和指令格式 2100 之情境中的特定向量親和指令格式 2200，除了所請求的部分，本發明不侷限於特定向量親和指令格式 2200。例如，同屬向量親和指令格式 2100 考量各種欄位的種種可能的大小，而特定向量親和指令格式 2200 顯示為具有特定大小的欄位。藉由特定例子，雖然資料元件寬度欄位 2164 被繪示為在特定向量親和指令格式 2200 中的一個一位元欄位，但本發明並不如此限制(亦即，同屬向量親和指令格式 2100 考量其它大小的資料元件寬度欄位 2164)。

同屬向量親和指令格式 2100 包括以下依圖 22A 所列

之順序的欄位。

EVEX 前綴 (位元組 0-3) 2202-以一四位元組形式編碼。

格式欄位 2140 (EVEX 位元組 0, 位元 [7:0]) - 第一位元組 (EVEX 位元組 0) 是格式欄位 2140 且其包含 0x62 (用於區分在本發明一實施例中之向量親和指令格式的唯一值)。

第二-第四位元組 (EVEX 位元組 1-3) 包括一些提供特定能力的位元欄位。

REX 欄位 2205 (EVEX 位元組 1, 位元 [7-5]) - 係由 EVEX.R 位元欄位 (EVEX 位元組 1, 位元 [7]-R)、EVEX.X 位元欄位 (EVEX 位元組 1, 位元 [6]-X)、以及 2157BEX 位元組 1, 位 [5]-B) 所構成。EVEX.R、EVEX.X 及 EVEX.B 位元欄位提供與對應 VEX 位元欄位相同功的功能, 且使用 1 的補數的形式被編碼, 即。ZMM0 被編碼成 1111B、ZMM15 被編碼成 0000B。其它欄位的指令將暫存器索引的較低三位元編碼成本技藝所周知者 (rrr、xxx、及 bbb), 使得 Rrrr、Xxxx 及 Bbbb 可藉將 EVEX.R、EVEX.X 及 EVEX.B 加起來而形成。

REX' 欄位 2110 - 此 REX 的欄位 2110 的第一部分且是用來將延伸 32 暫存器集的較高 16 或較低 16 的 EVEX.R' 位元欄位 (EVEX 位元組 1, 位元 [4]-R')。在本發明的一實施例中, 此位元, 連同以下指出者, 以位元反轉格式被儲存, 以與 BOUND 指令區分 (以習知 x86 32 位元模式), 其

真實運算碼位元組是 62，但不接受在 MOD 欄位中 11 的值於 MOD R/M 欄位(下述)；本發明的替代實施例不儲存此以及以下依反轉格式的指出位元。1 的值被用來編碼較低 16 暫存器。換言之，R'Rrrr 係藉由結合 EVEX.R'、EVEX.R 以及來自其它欄位的其它 RRR 來形成。

運算碼映射欄位 2215(EVEX 位元組 1，位元 [3:0]-mmmm)-其內容編碼一隱含前導運算碼位元組(0F、0F38、或 0F3)。

資料元件寬度位元組 2164(EVEX 位元組 2，位元 [7]-W)-係以記法 EVEX.W 表示。EVEX.W 係用以界定資料型式(32 位元資料元件或 64 位元資料元件)的粒度(大小)。

EVEX.vvvv 2220(EVEX 位元組 2，位元 [6:3]-vvvv)-EVEX.vvvv 的角色可包括以下：1)EVEX.vvvv 將第一來源暫存器運算元編碼，以反轉(1 的補數)形式指定，且對於具 2 或更多來源運算元的指令是有效的；2)EVEX.vvvv 編碼該目的地暫存器運算元，以 1 的補數形式指定給特定向量位移；或 3)EVEX.vvvv 不編碼任何運算元，該欄位被保留且應包含 1111b。因此，EVEX.vvvv 欄位 2220 將以反轉(1 的補數)形式儲存的第一來源暫存器說明符的 4 低階位元編碼。取決於該指令，一額外的不同 EVEX 位元欄位係用以將說明符的大小到延伸到 32 個暫存器。

EVEX.U 2168 類別欄位(EVEX 位元組 2，位元 [2]-U)-若 EVEX.U=0，則其指示類別 A 或 EVEX.U0；若 EVEX.U=1，則其指示類別 B 或 EVEX.U1。前綴編碼欄位

2225(EVEX 位元組 2, 位元 [1:0]-pp)-提供額外位元給基礎運算欄位。除了提供支援給以 EVEX 前綴格式的舊有 SSE 指令，此亦具有精簡 SIMD 前綴的好處(不是需要一位元組來表示 SIMD 前綴，EVEX 前綴僅需要 2 位元)。在一實施例中，為支援使用同時以舊有格式及以 EVEX 前綴格式的 SIMD 前綴(66H, F2H, F3H)的舊有 SSE 指令，此等舊有 SIMD 前綴被編碼進 SIMD 前綴編碼欄位；且在運行時間在被提供到解碼器的 PLA 之前被延伸成舊有 SIMD 前綴(故 PLA 能執行舊有及 EVEX 格式的此舊有指令而不用修飾)。雖然較新的指令能直接使用 EVEX 前綴編碼欄位的內容直接作為一運算碼延伸，但特定實施例為一致性依類似方式延伸但允許要由此等舊有 SIMD 前綴指定的不同意義。一替代實施例可重新設 PLA 以支援該 2 位元 SIMD 前綴編碼，且不需要擴展。

阿爾發欄位 2152(EVEX 位元組 3, 位元 [7]-EH; 亦已知為 EVEX.EH、EVEX.rs、EVEX.寫入遮罩控制、以及 EVEX.N; 亦以 α 繪示)-如前述，此欄位為情境特定。

貝他欄位 2154(EVEX 位元組 3, 位元 [6:4]-SSS; 亦已知為 EVEX.s₂₋₀、EVEX.r₂₋₀、EVEX.rr1、EVEX.LL0、EVEX.LLB; 亦以 $\beta\beta\beta$ 繪示)-如前述，此欄位為情境特定。

REX' 欄位 2110-此為 REX' 欄位的提醒項目且為 EVEX.V' 位元欄位(EVEX 位元組 3, 位元 [3]-V')，其可用來編碼延伸 32 暫存器集的高 16 或低 16。此位元以位

元反轉格式儲存。一 1 的值係用來編碼該等較低 16 暫存器。換言之，V'VVVV 係藉由結合 EVEX.V'、EVEX.vvvv。

寫入遮罩欄位 2170(EVEX 位元組 3，位元 [2:0]-kkk)-其內容指定在寫入遮罩暫存器中一暫存器的索引，如前述。在本發明一實施例中，特定值 EVEX.kkk=000 具有一特別行為，隱含無寫入遮罩被用於特定指令(此可以各種方式實施，包括使用寫入遮罩硬接線到全部或旁路該遮罩硬體的硬體)。

真實運算碼欄位 2230(位元組 4)亦眾所周知為運算碼位元組，部分的運算碼於此欄位中指定。

MOD R/M 欄位 2240(位元組 5)包括 MOD 欄位 2242、Reg 欄位 2244、及 R/M 欄位 2246。如前述，MOD 欄位 2242 的內容區分記憶體存取與非記憶體存取運算。Reg 欄位 2244 的角色能概括為二個情況：編碼目的地暫存器運算元或來源暫存器運算元，或是被視為運算碼延伸且不用來編碼任何指令運算元。R/M 欄位 2246 的角色可包括以下：編碼參照一記憶體位址的指令運算元，或是編碼該目的地暫存器運算元或一來源暫存器運算元。

定標、索引、基礎(SIB)位元組(位元組 6)-如前述，定標欄位 2150 的內容係用於記憶體位址產生。SIB.xxx 2254 與 SIB.bbb 2256-此等欄位的內容先前已參照暫存器索引 Xxxx 與 Bbbb。

位移欄位 2162A(位元組 7-10)-當 MOD 欄位 2242 含有

10 時，位元組 7-10 為置欄位 2162A，且其作用與舊有 32-位元位移(disp32)相同且以位元組粒度作用。

位移因子欄位 2162B(位元組 7)-當 MOD 欄位 2242 含有 01 時，位元組 7 為位移定標欄位 2162B。此欄位的位置係與舊有 x86 指令集 8 位元位移(disp8)的相同，其以位元組粒度作用。由於 disp8 為正負號延伸，其僅可定址於 -128 及 127 位元組偏移之間；就 64 位元組快取線而論， disp8 使用 8 位元，其僅可被設定成四個真正有用的值 -128、-64、0、及 64；由於時常需要更大範圍，使用 disp32 ；然而， disp32 需要 4 位元組。相較於 disp8 及 disp32 ，位移因子欄位 2162B 係 disp8 的重新解譯；當使用位移因子欄位 2162B 時，由位移因子欄位的內容乘以記憶體運算元存取的大小(N)來判定真實的位移。這種位移稱為 $\text{disp8} * N$ 。這減少平均指令長度(針對位移使用單一位元組但大很多的範圍)。這種壓縮的位移係根據有效位移為記憶體存取之粒度的倍數之假設上，且因此，不需編碼位址偏移的冗餘低階位元。換言之，該位移因子欄位 2162B 取代舊有 x86 指令集 8 位元位移。因此，以與 x86 指令集 8 位元位移之相同方式編碼位移因子欄位 2162B(所以在 ModRM/SIB 編碼規則中無改變)，除了 disp8 超載至 $\text{disp8} * N$ 。換言之，在編碼規則或編碼長度方面無改變，而僅在硬體對位移值的解譯方面有改變(其需以記憶體運算元之大小定標位移來獲得逐位元組之位址偏移)。

立即欄位 2172 如前述操作。

全運算碼欄位

圖 22B 是一方塊圖，說明根據本發明實施例之構成全運算碼欄位 2174 之特定向量親和指令格式 2200 之欄位。具體而言，全運算碼欄位 2174 包括格式欄位 2140、基礎運算欄位 2142、及資料元件寬度(W)欄位 2164。基礎運算欄位 2142 包括前綴編碼欄位 2225、運算碼映射欄位 2215、及真實運算碼欄位 2230。

暫存器索引欄位

圖 22C 是一方塊圖，說明根據本發明實施例之構成暫存器索引欄位 2144 之特定向量親和指令格式 2200 之欄位。具體而言，暫存器索引欄位 2144 包括 REX 欄位 2205、REX'欄位 2210、MODR/M.reg 欄位 2244、MODR/M.r/m 欄位 2246、VVVV 欄位 2220、xxx 欄位 2254、及 bbb 欄位 2256。

擴增運算欄位

圖 22D 是一方塊圖，說明根據本發明實施例之構成擴增運算欄位 2150 之特定向量親和指令格式之欄位 2200。當類別(U)欄位 2168 含有 0 時，其代表 EVEX.U0(類別 A 2168A)；當其含有 1 時，其代表 EVEX.U1(類別 B 2168B)。當 U=0 且 MOD 2242 欄位含有 11 時(代表無記憶體存取運算)，將阿爾發欄位 2152(EVEX 位元組 3，位元[7]-EH)解

譯為 rs 欄位 2152A。當 rs 欄位 2152A 含有 1(捨入 2152A.1)時，將貝他欄位 2154(EVEX 位元組 3，位元 [6:4]-SSS)解譯為捨入控制欄位 2154A。捨入控制欄位 2154A 包括一位元 SAE 欄位 2156 及兩位元捨入運算欄位 2158。當 rs 欄位 2152A 含有 0 時(資料變換 2152A.2)，將貝他欄位 2154(EVEX 位元組 3，位元 [6:4]-SSS)解譯為三位元資料變換欄位 2154B。當 $U=0$ 且 MOD 2242 欄位含有 00、01、或 10 時(代表記憶體存取運算)，將阿爾發欄位 2152(EVEX 位元組 3，位元 [7]-EH)解譯為驅逐提示(EH)欄位 2152B 並將貝他欄位 2154(EVEX 位元組 3，位元 [6:4]-SSS)解譯為三位元資料調處欄位 2154C。

當 $U=1$ 時，將阿爾發欄位 2152(EVEX 位元組 3，位元 [7]-EH)解譯為寫入遮罩控制(Z)欄位 2152C。當 $U=1$ 且 MOD 2242 欄位含有 11 時(代表無記憶體存取運算)，將貝他欄位 2154 的一部分(EVEX 位元組 3，位元 [4]-S₀)解譯為 RL 欄位 2157A；當其含有 1(捨入 2157A.1)時，將貝他欄位 2154 的其餘部分(EVEX 位元組 3，位元 [6-5]-S₂₋₁)解譯為捨入運算欄位 2159A，而當 RL 欄位 2157A 含有 0(VSIZE 2157A.2)時，將貝他欄位 2154 的其餘部分(EVEX 位元組 3，位元 [6-5]-S₂₋₁)解譯為向量長度欄位 2159B(EVEX 位元組 3，位元 [6-5]-L₁₋₀)。當 $U=1$ 且 MOD 2242 欄位含有 00、01、或 10 時(代表記憶體存取運算)，將貝他欄位 2154(EVEX 位元組 3，位元 [6:4]-SSS)解譯為向量長度欄位 2159B(EVEX 位元組 3，位元 [6-5]-L₁₋₀)及廣播

欄位 2157B(EVEX 位元組 3，位元 [4]-B)。

示範暫存器架構

圖 23 是一根據本發明實施例之暫存器架構 2300 的方塊圖。在繪示的實施例中，有為 512 位元寬之 32 個向量暫存器 2310；此等暫存器稱為 zmm0 至 zmm31。較低 16 個 zmm 暫存器的低階 256 位元覆蓋在暫存器 ymm0-16 上。較低 16 個 zmm 暫存器的低階 128 位元 (ymm 暫存器之低階 128 位元) 覆蓋在暫存器 xmm0-15 上。特定向量親和指令格式 2200 在如下表中所示之此等被覆蓋暫存器檔上運算。

可調向量長度	類別	運算	暫存器
不包括向量長度欄位 2159B 的指令範本	A(圖 21A；U=0)	2110、2115、 2125、2130	zmm 暫存器(向量長度為 64 位元組)
	B(圖 21B；U=1)	2112	zmm 暫存器(向量長度為 64 位元組)
包括向量長度欄位 2159B 的指令範本	B(圖 21B；U=1)	2117、2127	取決於向量長欄位 2159B，zmm、ymm、或 xmm 暫存器(向量長度為 64 位元組、32 位元組、或 16 位元組)

換言之，向量長度欄位 2159B 在最大長度與一或更多其它較短長度之間做選擇，其中每一個這種較短長度為前一長度之半長；且無向量長度欄位 2159B 之指令範

本運算於最大向量長度。此外，在一實施例中，特定向量親和指令格式 2200 之類別 B 指令範本對封包或純量單/雙精準浮點資料及封包或純量整數資料運算。純量運算為在 `zmm/ymm/xmm` 暫存器中的最低階資料元件位置上執行之運算；較高階資料元件位置取決於實施例被保留成與在指令前相同或歸零。

寫入遮罩暫存器 2315-在繪示實施例中，有 8 個寫入遮罩暫存器 (`k0` 至 `k7`)，各具有 64 位元之大小。在一替代實施例中，寫入遮罩暫存器 2315 為 16 位元大小。如前述，在本發明之一實施例中，向量遮罩暫存器 `k0` 不可用作為寫入遮罩；當正常會指示 `k0` 的編碼係用於寫入遮罩時，其選擇 `0xFFFF` 之固線寫入遮罩，實際上針對該指令禁止寫入遮蓋。

通用暫存器 2325-在繪示實施例中，有十六個 64 位元的通用暫存器，其連同現有 `x86` 定址模式一起用來定址記憶體運算元。以名稱 `RAX`、`RBX`、`RCX`、`RDX`、`RBP`、`RSI`、`RDI`、`RSP`、及 `R8` 至 `R15` 參照這些暫存器。

純量浮點堆疊暫存器檔 (`x87` 堆疊) 2345，其上混疊有 `MMX` 封包整數扁暫存器檔 2350-在所示實施例中，該 `x87` 堆疊為八元件堆疊，用來對 32/64/80 位元浮點資料使用 `x87` 指令集延伸來執行純量浮點運算；而 `MMX` 暫存器用來對 64 位元封包整數資料執行運算，還有針對在 `MMX` 與 `XMM` 暫存器之間執行的一些運算保持運算元。

本發明之替代實施例可使用更寬或更窄的暫存器。另

外，本發明之實施例可使用更多、更少、或不同的暫存器檔及暫存器。

示範核心架構、處理器、及電腦架構

處理器核心可以不同方式針對不同目的以及於不同處理器中實施。例如，此種核心的實施可包括：1)用於通用運算的通用有序核心；2)用於通用運算的高性能通用無序核心；3)主要用於圖形及/或科學(通量)運算的特別用途核心。不同處理器的實施可包括：1)CPU 包括一或更多用於通用運算的通用有序核心及/或一或更多用於通用運算的通用無序核心；以及 2)包括一或更多主要用於圖形及/或科學(通量)的特別用途核心協處理器。此種不同的處理器導致不同電腦系統架構，其可包括 1)在與該 CPU 不同的晶片上的協處理器；2)在與一 CPU 相同的包裝中的一不同晶片上的協處理器；3)在與一 CPU 相同的晶片上的協處理器(在此情形中，此種協處理器有時稱為諸如整合圖形及/或科學(通量)邏輯的特別用途邏輯，或是稱為特別用途核心；4)在該同一晶粒上可包括所述的 CPU 的系統晶片(在此情形中，有時候稱為應用核心或應用處理器、上述的協處理器、以及額外功能。接下來說明範例核心架構，接著說明示範處理器及電腦架構。

示範核心架構

有序及無序核心方塊圖

:

圖 24A 是一方塊圖，說明根據本發明實施例之示範有序管線及示範暫存器重新命名、無序發出/執行管線二者的方塊圖。圖 24B 是一方塊圖，繪示要包括在處理器內之有序架構核心與範例暫存器重新命名、無序發出/執行架構核心二者的範例實施例。圖 24A-B 繪示有序管線與有序核心，而虛線框繪示暫存器重新命名、無序發出/執行管線及核心。假設該有序態樣是該無序態樣的子集，將說明該無序態樣。

在圖 24A 中，處理器管 2400 線包括提取階段 2402、長度解碼階段 2404、解碼階段 2406、分配階段 2408、重新命名階段 2410、排程(眾所周知為調度或發出)階段 2412、暫存器讀取/記憶體讀取階段 2414、執行階段 2416、寫回/記憶體寫入階段 2418、異常處置階段 2422、以及確定階段 2424。

圖 24B 顯示處理器核心 2490，其包括耦合到執行引擎單元 2450 的前端單元 2430，且二者耦合到記憶體單元 2470。核心 2490 可為一精簡指令集計算(RISC)核心、複雜指令集計算(CISC)、極長指令字(VLIW)核心、或混合或替代核心類型。作為又一個選項，核心 2490 可為特別用途核心，例如像是，網路或通訊核心、壓縮引擎、協處理器核心、通用計算圖形處理單元(GPGPU)核心、圖形核心等等。

前端單元 2430 包括耦合到指令快取單元 2434 分支預測單元 2432，其耦合到指令轉譯旁看緩衝器(TLB)2436，

其耦合到指令提取單元 2438，其耦合到解碼單元 2440。解碼單元 2440(或解碼器)可解碼指令，且產生如輸出一或更多微運算、微碼入口點、微指令、其它指令、或其它控制信號，其等可解碼自、或者反射、或導自該等原始指令。可使用各種不同的機制實施解碼單元 2440。適合的機制的範例包括但不侷限於查找表、硬體實施、可編程邏輯陣列(PLA)、微碼唯讀記憶體(ROM)等等。在一實施例中，核心 2490 包括一微碼 ROM 或其它儲存特定巨集指令之微碼的媒體(例如，在解碼單元 2440 或者在前端單元 2430 內)。解碼單元 2440 耦合到執行引擎單元 2450 中的重新命名/分配器單元 2452。

執行引擎單元 2450 包括耦合到引退單元 2454 及一組一或更多排程器單元 2456 的重新命名/分配器單元 2452。排程器單元 2456 代表任何數目的不同排程器，包括保留站(reservation station)、中央指令窗等等。排程器單元 2456 耦合到實體暫存器檔單元 2458。每一個實體暫存器檔單元 2458 代表一或更多實體暫存器檔單元，不同的實體暫存器檔單元 2458 儲存一或更多不同資料類型，諸如純量整數、純量浮點、封裝整數、封裝浮點、向量整數、向量浮點、狀態(例如，要被執行之下一指令之位址的指令指標)等等。在一實施例中，實體暫存器檔單元 2458 包含向量暫存器單元、寫入遮罩暫存器單元、以及純量暫存器單元。此等暫存器單元可提供架構向量暫存器、向量暫存器遮罩暫存器、以及通用暫存器。實體暫存器檔單元 2458

被引退單元 2454 覆蓋以說明可實施暫存器重新命名及無序執行的種種方式(例如, 使用記錄器緩衝器及引退暫存器檔案; 使用未來檔案、歷史緩衝器、以及引退暫存器檔案; 使用暫存器映射及暫存器池等等)。引退單元 2454 及實體暫存器檔單元 2458 耦合到執行叢集 2460。執行叢集 2460 包括一組或更多執行單元 2462 及一組一或更多記憶體存取單元 2464。執行單元 2462 可實施種種運算(例如, 移、加、減、乘)且對種種類型的資料(例如, 純量浮點、封包整數、封包浮點、向量整數、向量浮點)。雖然某些實施例可包括若干特定功能或成組的功能專用的執行單元, 但其它實施例可只包括一執行單元或多個全部執行所有功能的執行單元。排程器單元 2456、實體暫存器檔單元 2458、及執行叢集 2460 係眾所周知可能是複數的, 因為特定的實施例產生獨立的管線給特定類型的資料/運算(例如, 純量整數管線、純量浮點/封裝整數/封裝浮點/向量整數/向量浮點管線、及/或各具有自己排程器單元的記憶體存取管線、實體暫存器檔單元、及/或執行叢集-且在不同記憶體存取管線的情形中, 只有此管線的執行叢集具有記憶體存取單元 2464 的實施例被實施)。應了解到, 使用不同的管線情形中, 一或更多的此等管線可以是無序發出/執行, 而其餘者為有序的。

記憶體存取單元 2464 組耦合到記憶體單元 2470, 其包括耦合到二階(L2)快取單元 2476 之資料快取單元 2474 的資料 TLB 單元 2472。在一範例實施例中, 記憶體存取

單元 2464 可包括載入單元、儲存位址單元、以及儲存資料單元，其每一者耦合到記憶體單元 2470 中的資料 TLB 單元 2472。指令快取單元 2434 進一步耦合到記憶體單元 2470 中的二階 (L2) 快取單元 2476。L2 快取單元 2476 耦合到一或更多其它階的快取且最後耦合到主記憶體。

藉由範例，範例暫存器重新命名、無序發出/執行核心架構可實施管線 2400 如下：1) 指令提取 2438 執行提取及長度解碼階段 2402 及 2404；2) 解碼單元 2440 執行解碼階段 2406；3) 重新命名/分配器單元 2452 執行分配階段 2408 及重新命名階段 2410；4) 排程器單元 2456 執行排程階段 2412；5) 實體暫存器檔單元 2458 且記憶體單元 2470 執行暫存器讀取/記憶體讀取階段 2414；執行叢集 2460 執行執行階段 2416；6) 記憶體單元 2470 及實體暫存器檔單元 2458 執行寫回/記憶體寫入階段 2418；7) 各種單元可牽涉於異常處置階段 2422 中；及 8) 引退單元 2454 及實體暫存器檔單元 2458 執行確定階段 2424。

核心 2490 可以已添加較新版本之一些指令來支援一或更多指令集(例如，x86 指令集)美國加州 Sunnyvale 的 MIPS Technologies 之 MIPS 指令集；美國加州 Sunnyvale 的 ARM Holdings 之 ARM 指令集(具有諸如 NEON 之選配額外指令)，包括於此描述的指令。在一實施例中，核心 2490 包括支援一封裝資料指令集延伸(例如，AVX1、AVX2)的邏輯，從而允許許多要使用封資料來執行的媒體應用程式使用諸運算。

應了解到的是，該核心可支援多執行緒(執行二或更多平行組的運算或執行緒)，且可以各種方式，包括時間片多執行緒(time sliced multithreading)、同時多執行緒(simultaneous multithreading)(其中單一實體核心提供一本地核心給該實體核心正在同時多執行緒的每一執行緒)、或其等之組合(時間片提取與解碼及之後同時多執行緒諸如以 Intel®的超執行緒(Hyperthreading)技術)。

雖然暫存器重新命名在無序執行的情境中描述，但應了解到暫存器重新命名可用於有序架構。雖然處理器的說明實施例亦包括獨立指令及資料快取單元 2434/2474 與共享 L2 快取單元 2476，但替代實施例可具有內部快取給指令與資料，例如像是，一階(L1)內部快取、或內部快取的多階。在某些實施例中，系統可包括內部快取與在核心及/或處理器外部的的外部快取的組合。或者，所有的快取可在核心及/或處理器外部。

特定示範有序架構

圖 25A-B 繪示更特定的示範有序核心架構的方塊圖，其核心會是晶片中數個邏輯塊(包括相同類型及/或不同類型的其它核心)的其中一者。諸邏輯塊透過一高頻寬互連網路(例如，環狀網路)，取決於應用，與一些固定功能邏輯、記憶體 I/O 介面、以及其它必要 I/O 邏輯通訊。

圖 25A 是一方塊圖，根據本發明實施例之單處理器核

心，連同其與晶粒上 (on-die) 互連網路 2502 的連接以及連同其二階 (L2) 快取 2504 的本地子集。在一實施例中，指令解碼器 2500 以封裝指令集執行來支援 x86。L1 快取 2506 允許低潛伏存取以快取記憶體到純量及向量單元中。雖然在一實施例 (為簡化設計) 中，純量單元 2508 及向量單元 2510 使用分別的暫存器集 (分別為純量暫存器 2512 及向量暫存器 2514) 並將在其之間傳送的資料寫入記憶體並接著從一階 (L1) 快取 2506 回讀進來，本發明之替代實施例可使用不同的方式 (例如，使用單一暫存器集或包括允許資料在兩個暫存器檔之間傳送而不被寫入及讀回的通訊路徑)。

L2 快取 2504 的本地子集為總體 L2 快取之一部分，該總體 L2 快取分成分別的本地子集，每一個處理器核心一個。每一個處理器具有至其本身的 L2 快取 2504 之本地子集的直接存取路徑。由處理器核心讀取的資料係儲存在其之 L2 快取 2504 並可迅速加以存取，與存取其本身的本地 L2 快取子集之其它處理器平行。由處理器核心寫入的資料係儲存在其本身的 L2 快取子集 2504 中並若有需要的話從其它子集清除。此環狀網路確保共享資料的同調。此環狀網路為雙向以允許諸如處理器核心、L2 快取及其它邏輯塊與在晶片內的其它邏輯塊的代理器彼此通訊。每個環狀資料路徑每方向為 1012 位元寬。

圖 25B 是圖 25A 之根據本發明實施例之處理器核心的部分展開圖。第 25B 圖包括 L1 快取 2504 之 L1 資料快取

2506A 部分，以及關於向量單元 2510 及向量暫存器 2514 的更多細節。具體而言，向量單元 2510 為 16 寬的向量處理單元 (VPU)(見 16 寬 ALU 2528)，其執行一或更多整數、單精準浮點、及雙精準浮點指令。VPU 支援以拌和單元 2520 拌和暫存器輸入、數值轉換單元 2522A-B 的數值轉換、及以複製單元 2524 複製記憶體輸入。寫入遮罩暫存器 2526 允許預測結果之向量寫入。

具整合記憶體控制器及圖形的處理器

圖 26 是一根據本發明實施例之處理器 2600 的方塊圖，該處理器可具有多於一個核心，可以具有整合記憶體控制器，且可具有整合圖形。圖 26 中之實線框繪示具有單核心 2602A 之處理器 2600、系統代理器單元 2610 單元、一組一或更多匯流排控制器單元 2616，而虛線框繪示具有多核心 2602A-N 之替代處理器 2600、在系統代理器單元 2610 單元中之一組一或更多整合記憶體控制器單元 2614、及特別用途邏輯 2608。

因此，處理器 2600 的不同實施可包括：1)具有為整合圖形及/或科學(通量)邏輯(其可包括一或更多)的特別用途邏輯 2608、為一或更多通用目的核心(例如，通用有序核心、通用無序核心、二者的組合)的核心 2602A-N 的 CPU；2)具有為大量主要用於圖形及/或科學(通量)的特別用途核心之核心 2602A-N 的協處理器；以及 3)具有為大量通用有序核心之核心 2602A-N 的協處理器。因此，處理

器 2600 可以是通用處理器、協處理器或特別用途處理器，例如像是，網路或通訊處理器、壓縮引擎、圖形處理器、GPGPU(通用目的圖形處理單元)、高通量多重整合核心(MIC)協處理器(包括 30 或更多核心)、嵌入式處理器等。處理器可實施於一或更多晶片上。處理器 2600 可使用任何數目的處理技術，例如像是 BiCMOS、CMOS 或 NMOS 而為一或更多基板的一部分及/或實施於一或更多的基板上。

記憶體階層包括在核心內之一或更多階的快取、一組一或更多共享快取單元 2606、及耦合至該組整合記憶體控制器單元 2614 的外部記憶體(未示)。該組共享快取單元 2606 可包括一或更多中階快取，比如二階(L2)、三階(L3)、四階(L4)、或其它階的快取、最後一階快取(LLC)、及/或上述的組合。雖在一實施例中基於環狀之互連單元 2612 互連整合圖形邏輯 2608、該組共享快取單元 2606、及系統代理器單元 2610/整合記憶體控制器單元 2614，替代實施例可使用任何數量的眾所皆知技術來互連此種單元。在一實施例中，於一或更多快取單元 2606 與核心 2602A-N 之間保持同調。

在某些實施例中，核心 2602A-N 之一或更多者能進行多執行緒。系統代理器單元 2610 包括協調並操作核心 2602A-N 之該等組件。系統代理器單元 2610 可包括例如電力控制單元(PCU)及顯示單元。PCU 可為或包括調節核心 2602A-N 及整合圖形邏輯 2608 之電力狀態所需之邏輯

及組件。顯示單元用來驅動一或更多外部連接的顯示器。

核心 2602A-N 以架構及/或指令集而言可為同質或異質；換言之，二或更多的核心 2602A-N 能夠執行相同的指令集，而其它的能夠只執行一組的該指令集或一不同的指令集。

示範電腦架構

圖 27-30 是示範電腦架構的方塊圖。本技藝眾所周知之用於膝上型電腦、桌上型電腦、手持 PC、個人數位助理、工程站、伺服器、網路裝置、網路集線器、交換機、嵌入式處理器、數位信號處理器 (DSP)、圖形裝置、視頻遊戲裝置、機上盒、微控制器、手機、可攜式媒體播放器、手持裝置、及各種其它電子裝置的其它系統設計及組態亦屬適合。一般而言，能夠併入本文所揭露之處理器及/或其它執行邏輯之大量各種系統或電子裝置一般都適合。

現參照圖 27，其顯示一根據本發明一實施例之系統 2700 的方塊圖。系統 2700 可包括一或更多處理器 2710 及 2715，其耦合到控制器集線器 2720。在一實施例中，控制器集線器 2720 包括圖形記憶體控制器集線器 (GMCH) 2790 及輸入/輸出集線器 (IOH) 2750 (其可分別在不同的晶片上)；GMCH 2790 包括記憶體 2740 及與協處理器 2745 耦合的記憶體及圖形控制器；IOH 2750 將輸

入/輸出(I/O)裝置 2760 耦合到 GMCH 2790。或者，該記憶體及圖形控制器的一或兩者係合在處理器內(如於此所述者)，記憶體 2740 及協處理器 2745 係直接耦合到處理器 2710，而控制器集線器 2720 係與 IOH 2750 在一單晶片內。

額外處理器 2715 之可選本質在圖 27 中以間斷線標示。各處理器 2710 及 2715 可為處理器 2600 的某種版本。

記憶體 2740 可以是，例如，動態隨機存取記憶體(DRAM)、相變記憶體(PCM)、或二者的組合。對於至少一實施例而言，控制器集線器 2720 經由諸如前端匯流排(FSB)之多點匯流排、諸如快速路徑互連(QPI)的點對點介面、或類似連接 2795 與處理器 2710 及 2715 通訊。

在一實施例中，協處理器 2745 是一特別用途處理器，例如像是高通量 MIC 處理器、網路或通訊處理器、壓縮引擎、圖形處理器、GPGPU、嵌入式處理器等等。在一實施例中，控制器集線器 2720 可包括整合圖形加速器。

就不同優點衡量上來說實體資源 2710 及 2715 之間可有各種差異，包括架構、微架構、熱、功耗特性等等。

在一實施例中，處理器 2710 執行控制一般類型的資料處理運算的指令。嵌入在指令內的可以是協處理器指令。處理器 2710 辨認出此等協處理器指令為應該由附加協處理器 2745 所執行的類型。於是，處理器 2710 於一協

處理器匯流排或其它互連上發出此等協處理器指令(或代表協處理器指令的控制信號)到協處理器 2745。協處理器 2745 接受並執行所接收到的協處理器指令。

現參照圖 28，其顯示一根據本發明實施例之第一更特定範例系統 2800 的方塊圖。如圖 28 所示，多處理器系統 2800 為點對點互連系統，並包括經由點對點互連 2850 耦合之第一處理器 2870 及第二處理器 2880。處理器 2870 及 2880 的每一者可為處理器 2600 的某種版本。在本發明一實施例中，而處理器 2870 與 2880 分別為處理器 2710 與 2715，而協處理器 2838 為協處理器 2745。在另一實施例中，處理器 2870 與 2880 分別為處理器 2710 與協處理器 2745。

處理器 2870 與 2880 顯示分別包括整合記憶體控制器(IMC)單元 2872 與 2882。處理器 2870 亦包括作為其一部分的匯流排控制器點對點(P-P)介面 2876 及 2878；同理，第二處理器 2880 包括 P-P 介面 2886 及 2888。處理器 2870 及 2880 可經由點對點(P-P)介面 2850 使用 P-P 介面電路 2878 及 2888 來交換資料。如圖 28 所示，IMC 2872 及 2882 耦合處理器到個別記憶體，即記憶體 2832 與記憶體 2834，其可為本地附接到個別處理器的主記憶體之部分。

處理器 2870、2880 可各經由個別的 P-P 介面 2852 及 2854 使用點對點介面電路 2876、2894、2886、2898 與晶片組 2890 交換資料。晶片組 2890 也可經由高性能圖形介

面 2839 與高性能圖形電路 2838 交換資料。在一實施例中，協處理器 2838 為特別用途處理器，例如像是，高通量 MIC 處理器、網路或通訊處理器、壓縮引擎、圖形處理器、GPGPU、嵌入式處理器等等。

可將共享快取(未示)包括在二處理器內或外，但經由 P-P 互連與處理器連接，使得若一處理器被置於低功率模式，則處理器之一或兩者的本地快取資訊可儲存在共享快取中。

晶片組 2890 可經由介面 2896 耦合至第一匯流排 2816。在一實施例中，第一匯流排 2816 可為周邊組件互連(PCI)匯流排，或比如 PCI Express 匯流排或另外第三代 I/O 互連匯流排的匯流排，雖本發明之範疇不限於此。

如圖 28 所示，各種 I/O 裝置 2814 可耦合到第一匯流排 2816，連同耦合第一匯流排 2816 至第二匯流排 2820 之匯流排橋接器 2818。在一實施例中，一或更多額外處理器 2815，諸如，協處理器、高通量 MIC 處理器、GPGPU、加速器(例如像是，圖形加速器或數位信號處理(DSP)單元)、現場可程式閘陣列、或任何其它處理器，係耦接到第一匯流排 2816。在一實施例中，第二匯流排 2820 可為低腳數(LPC)匯流排。各種裝置可耦合到第二匯流排 2820 包括，例如，在一實施例中，鍵盤及/或滑鼠 2822、通訊裝置 2827 及儲存單元 2828，諸如碟驅動機或其它大量儲存裝置，其在一實施例中可包括指令/碼及資料 2830。再

者，音頻 I/O 2824 可耦合到第二匯流排 2820。注意到其它架構為可行。例如，取代圖 28 的點對點架構，系統可實現多點匯流排或其它此種架構。

現參照圖 29，其顯示一根據本發明實施例之第二更特定示範系統 2900 的方塊圖。圖 28 及 29 中之類似元件有類似參考符號，且圖 28 之某些態樣在圖 29 中省去以避免混淆圖 29 之其它態樣。

圖 29 繪示處理器 2870、2880 可包括分別整合記憶體及 I/O 控制邏輯(「CL」)2872 及 2882。因此，CL 2872、2882 包括整合記憶體控制器單元且包括 I/O 控制邏輯。圖 29 繪示不只是記憶體 2832、2834 耦合到 CL 2872、2882，但 I/O 裝置 2914 亦耦合到控制邏輯 2872、2882。舊有 I/O 裝置 2915 耦合到晶片組 2890。

現參照圖 30，其顯示一根據本發明實施例之 SoC 3000 的方塊圖。在圖 26 中類似的元件有類似參考符號。而且，虛線框在更先進 SoC 上為可選特徵。在圖 30 中，互連單元 3002 耦合到：應用處理器 3010，其包括一組一或更多核心 2602A-N 及共享快取單元 2606；系統代理器單元 2610；匯流排控制器單元 2616；整合記憶體控制器單元 2614；一組或一或更多協處理器 3020，其可包括整合圖形邏輯、影像處理器、音頻處理器及視頻處理器；靜態隨機存取記憶體 (SRAM) 單元 3030；直接記憶體存取 (DMA) 單元 3032；以及用以耦合一或更多外部顯示器之顯示單元 3040。在一實施例中，協處理器 3020 包括特別用

途處理器，例如像是，網路或通訊處理器、壓縮引擎、GPGPU、高通量 MIC 處理器、嵌入式處理器等等。

本文中揭露的機制之實施例可以硬體、軟體、韌體、或此等實施方式的組合實施。本發明之實施例可實施為電腦程式或程式碼，其在包含至少一處理器、儲存系統(包括揮發性及非揮發性記憶體及/或儲存元件)、至少一輸入裝置、及至少一輸出裝置的可編程系統上執行。

程式碼，諸如圖 28 中所示之碼 2830，可應用於輸入指令以執行本文所述之功能並產生輸出資訊。輸出資訊可以已知方式應用於一或更多輸出裝置。為了此申請案之目的，處理系統包括具有處理器(例如像是，數位信號處理器(DSP)、微控制器、特定應用積體電路(ASIC)、或微處理器)之任何系統。

程式碼可以高階程序或物件導向編程語言實現來與處理系統通訊。若有需要，可以組合或機器語言實現程式碼。事實上，本文所述之機制範圍上不限於任何特定編程語言。在任何情況中，語言可為編譯或解譯語言。

可藉由儲存在機器可讀取媒體上之代表指令實現至少一實施例的一或更多態樣，該等代表指令代表處理器內的各種邏輯，當由機器讀取時會令機器製造邏輯以執行本文中所述之技術。可將此種表示，周知為「IP 核心」，可儲存在具體機器可讀取媒體上，並供應至各種客戶或製造單位以載入到實際製作邏輯或處理器的製造機器之中。

此種機器可讀取媒體可包括而不侷限於，由機器或裝

置製造或形成的物品之非暫態具體配置，包括諸如硬碟、任何其它類型的碟（包括軟碟、光碟（光碟唯讀記憶體（CD-ROM）、可抹寫光碟（CD-RW）、及磁光碟））之儲存媒體、諸如唯讀記憶體（ROM）、隨機存取記憶體（RAM）（諸如動態隨機存取記憶體（DRAM）、靜態隨機存取記憶體（SRAM））、可抹除可程式唯讀記憶體（EPROM）、快閃記憶體、電性可抹除唯讀記憶體（EEPROM）之半導體裝置、相變記憶體（PCM）、磁或光卡、或適合儲存電子指令之任何其它類型的媒體。

因此，本發明之實施例亦包括非暫態、具體機器可讀取媒體，含有指令或含有設計資料，諸如硬體描述語言（HDL），其界定本文所述之結構、電路、設備、處理器、及/或系統特徵。此種實施例亦可稱為程式產品。

仿真（包括二進制轉譯、碼編輯器等等）

在一些情況中，指令轉換器可用來將指令從來源指令集轉換至目標指令集。例如，指令轉換器可轉譯（例如，使用靜態二進制轉譯、包括動態編譯之動態二進制轉譯）、變形、仿真、或否則轉換指令到將由核心處理的一或更多其它指令。可以軟體、硬體、韌體、或上述之組合實現指令轉換器。指令轉換器可在處理器上、處理器外、或部分在處理器上且部分在處理器外。

圖 31 是一使用軟體指令轉換器將來源指令集中的二進制指令轉換成目標指令集中的二進制指令的對照方塊

圖。在所示實施例中，指令轉換器為軟體指令轉換器，雖然指令轉換器替代地可以軟體、韌體、硬體、或其等之各種組合實施。圖 31 顯示可使用 x86 編譯器 3104 編譯在高階語言 3102 中之程式以產生 x86 二進制碼 3106，其可由處理器以至少一個 x86 指令集核心 3116 原生執行。具有至少一個 x86 指令集核心 3116 之處理器代表可執行與具有至少一個 x86 指令集核心的 Intel 處理器實質上相同功能之任何處理器，藉由可相容執行或者處理 (1) Intel x86 指令集核心之指令集的實質部分或 (2) 預計運行於具有至少一 x86 指令集核心之 Intel 處理器上的應用程式或其它軟體之物件碼版本，以得到與具有至少一個 x86 指令集核心的 Intel 處理器實質上相同的結果。x86 編譯器 3104 代表可被操作以產生 x86 二進制碼 3106 (例如，物件碼) 的編譯器，該碼可在有或無額外鏈結處理下以至少一 x86 指令集核心 3116 在處理器上加以執行。同理，圖 31 顯示在高階語言 3102 中之程式可使用一替代指令集編譯器 3108 編譯來產生替代指令集二進制碼 3110，其可由無至少一 x86 指令集核心 3114 的處理器原生執行 (例如，具有執行美國加州 Sunnyvale 的 MIPS Technologies 之 MIPS 指令集及 / 或執行美國加州 Sunnyvale 的 ARM Holdings 之 ARM 指令之核心的處理器)。指令轉換器 3112 用來轉換 x86 二進制碼 3106 成為可由無 x86 指令集核心 3114 的處理器原生執行的碼。此經轉換的碼不大可能與替代指令集二進制碼 3110 相同，因為能夠進行此之指令轉換器難以製造；然而，經

轉換的碼將完成一般操作並且係由來自替代指令集之指令構成。因此，指令轉換器 3112 代表軟體、韌體、硬體、或其等的組合，其透過仿真、模擬或任何其它程序，允許不具有 x86 指令集處理器或核心之處理器或其它電子裝置來執行 x86 二進制碼 3106。

雖然本文揭示之成序列的數可用於控制索引，其等之用途不侷限於控制索引。亦可用於其它用目的(例如，作為至其它指令或演繹法的輸入)。在其它實施例中，可儲存序列的其它數目的整數(例如，6、12、20、24、128 等等)。

顯示於本文方塊流程圖中之方法可以通用處理器、特別用途程序(例如，圖形處理器或數位信號處理器)、或其它類型的數位邏輯裝置或指令處理設備。在各種實施例中，指令可接收於指令處理設備、處理器、或其等的一部分(例如，解碼器、指令轉換器等等)。在各種態樣中，指令可從處理器外來源(例如，來自主記憶體、碟片、或匯流排/互連)，或來自處理器上來源(例如，來自指令快取記憶體、指令提取單元等等)被接收於處理器。在某些實施例中，諸方法可由圖 1 之處理器及/或圖 4 的指令處理設備所執行。或者，諸方法可由處理器及/或指令處理設備的不同實施例執行。此外，圖 1 的處理器及/或圖 4 的指令處理設備可執行與顯示於方塊流程圖之方法相同、類似、或不同的運算及方法。

顯示於本文之方塊流程圖的方法說明可由處理器或指

令處理設備外部可見(例如，以軟體觀點可見的)的運算。例如，指令被提供到處理器，結果被儲存於一架構可見的儲存位置以回應該指令。在其它實施例中，任何此等方法可選用地包括一或更多在處理器或指令處理設備內部產生的其它運算。藉由範例，可提取指令、可將指令解碼或者轉換成一或更多其它指令或控制信號，可致能執行單元來執行根據該等指令的運算，可執行實施該等指令的運算的微架構運算(例如，可計算或自一晶粒上 ROM 的非架構可見儲存位置存取序列的整數)。

術語「耦合的」及「連接的」，連同其等衍生詞可使用於本文。應了解的是此等術語非意圖為彼此的同義詞。更確切地，在特定實施例中，「連接的」用來指出二或更多元件係以直接實體或電性接觸。「耦合的」可意指二或更多元件係以直接實體或電性接觸。然而，「耦合的」亦可意指二或更多元件不是與彼此互相直接接觸，但仍彼此合作或互動。例如，一執行單元可與一暫存器經一或更多中間組件耦合。在圖式中，箭頭用來顯示耦合。

於上述說明中，為說明之目的，已敘述若干特定細節以便提供本發明實施例的透徹了解。然而，對熟悉此技藝人士而言很明顯地可在無此等特定細節下實行一或更多其它實施例。所述之特定實施例並非提供用來限制本發明而是用來說闡明本發明之實施例。本發明之範疇並非由以上提供的特定範例而係僅由下列申請專利範圍所決定。在其它範例中，眾所周知的電路、結構、裝置、及運算已以方

塊圖形式或無細節顯示以便避免阻礙對本說明的了解。

各種運算與方法業已說明。一些此等方法已以基本形式描述於流程圖中，但運算可選用地加到該方法及/或自該等方法移除。此外，一特定順序的運算已根據範例實施例加以描述，要了解的是該特定順序為示例性。替代實施例可選用地依不同順序執行諸運算、結合特定運算、重疊特定運算等等。

特定運算可以硬體組件執行、或嵌入於機器可執行或電路可執行的指令中，其可用來導致或至少產生利用執行該等運算的指令來編程電路或硬體。該電路，只舉出一些例子，可包括通用或特別用途處理器、或邏輯電路。該等運算亦可選用地由硬體與軟體的組合來執行。執行單元及/或處理器可包括回應於導自執行特定運算之機器指令的指令、微指令、或一或更多控制信號的特定或特別電路或其它邏輯。

應體認在本說明書通篇所指之「一實施例」或「一或更多實施例」意指特定特徵可包括在本發明之實施例的實行中。同理，應體認在說明中有時將各種特徵一起集結於單一實施例、圖示、或其說明中，以便於揭露之流暢並輔助各種發明態樣的理解。然而，本文揭露的方法不應詮釋為反映本發明需要比每一個申請專利範圍中所明確敘述更多的特徵之意圖。更確切地，如以下申請專利範圍所反映出，發明態樣係在於少於單一揭露實施例之所有特徵中。因此，在實施方式後之申請專利範圍在此明確併入到實施

方式中，每一個申請專利範圍獨立成立為本發明的一分別實施例。

【圖式簡單說明】

圖 1 是一種處理對產生控制索引有用之指令的處理器的示範實施例的方塊圖。

圖 2 是一種處理封裝資料重整控制索引產生指令之示範實施例之方法的示範實施例的方塊流程圖。

圖 3 是一種處理封裝資料重整控制索引前標產生指令之示範實施例之方法的示範實施例的方塊流程圖。

圖 4 是一種處理對產生控制索引有用之指令的指令處理設備的示範實施例的方塊圖。

圖 5 是一種處理指令之方法的示範實施例的方塊流程圖，該指令儲存一序列的至少四個依一數值模式的非負整數。

圖 6 是一種用於產生控制索引之指令的指令格式的示範實施例的方塊圖。

圖 7A 是一方塊圖，說明在某些實施例中，被指令儲存之一序列的整數可以具有主要根據或完全根據該指令之運算碼的數值模式。

圖 7B 是一方塊圖，說明在某些實施例中，被指令儲存之一序列的整數可以具有一數值模式，其部分根據該指令之運算碼以及部分根據一或更多定義由該指令所指出之數值模式界定參數。

:

圖 8 是一種處理指令之方法的示範實施例的方塊流程圖，該指令儲存一序列的至少四個依一數值順序的連續非負整數。

圖 9 是說明一種封裝資料重整操作的示範實施例的方塊圖，使用封裝資料重整控制索引用以自二對齊的封裝資料擷取不對齊的封裝資料以避免需要執行不對齊的載入，該封裝資料重整控制索引具有依數值順序之偏移連續整數的值。

圖 10 是一種處理指令之方法的示範實施例的方塊流程圖，該指令儲存一序列的至少四個依一數值順序的非負整數，所有在連續位置的整數相差至小二個固定整數間隔。

圖 11 是一種處理指令之方法的示範實施例的方塊流程圖，該指令儲存一序列的至少四個依一數值順序的非負的相同奇偶(例如全部偶數或全部奇數)整數。

圖 12 是說明一種封裝資料重整操作的示範實施例的方塊圖，使用封裝資料重整控制索引，用以區隔實數(R)與虛數(IM)，該封裝資料重整控制索引具有依遞增數值順序之連續偶數整數的值。

圖 13 是一種處理指令之方法的示範實施例的方塊流程圖，該指令儲存一序列的至少四個依一數值順序的整數，其中最小的整數以該偏移自零偏移，且其中所有在連續位置的整數彼此相差該間隔。

圖 14 是一種處理第一控制索引前標產生指令之方法

的示範實施例的方塊流程圖，該指令儲存一序列的依一數值順序的連續非負整數，且一第二指令對每一整數加一間隔及一偏移。

圖 15 是一儲存紅綠藍阿爾發 (Alpha) 四元組資料的來源封裝資料的方塊圖。

圖 16 是一處理器的示範實施例的方塊圖，該處理器包括儲存一或更多序列的整數的唯讀記憶體 (ROM)。

圖 17A 是一方塊圖，說明用以儲存控制索引及控制索引前標的適合格式的第一示範實施例。

圖 17B 是一方塊圖，說明用以儲存控制索引及控制索引前標的適合格式的第二示範實施例。

圖 18 是適合的封裝資料暫存器組的示範實施例的方塊圖。

圖 19 是一製造物品的方塊圖，該製造物品包括儲存對產生控制索引有用之指令的機器可讀取儲存媒體。

圖 20A 說明示範 AVX 指令格式，其包括 VEX 前綴、實數運算碼欄位、Mod R/M 位元組、SIB 位元組、位移欄位、以及 IMM8。

圖 20B 說明圖 20A 之構成全運算碼欄位及基礎運算欄位的欄位。

圖 20C 說明圖 20A 之構成暫存器索引欄位 2044 的欄位。

圖 21A 是一方塊圖，說明根據本發明實施例之同屬向量親和指令格式及其類別 A 指令範本。

圖 21B 是一方塊圖，說明根據本發明實施例之同屬向量親和指令格式及其類別 B 指令範本。

圖 22A 是一方塊圖，說明根據本發明實施例之示範特定向量親合指令格式。

圖 22B 是一方塊圖，說明根據本發明實施例之構成全運算碼欄位之特定向量親和指令格式之欄位。

圖 22C 是一方塊圖，說明根據本發明實施例之構成暫存器索引欄位之特定向量親和指令格式之欄位。

圖 22D 是一方塊圖，說明根據本發明實施例之構成擴增運算欄位之特定向量親和指令格式之欄位。

圖 23 是一根據本發明實施例之暫存器架構的方塊圖。

圖 24A 是一方塊圖，說明根據本發明實施例之示範有序管線及示範暫存器重新命名無序發出/執行管線二者的方塊圖。

圖 24B 顯示處理器核心，包括耦接到執行引擎單元之前端單元，且二者皆耦接到記憶體單元。

圖 25A 是一方塊圖，根據本發明實施例之單處理器核心，其與晶粒上 (on-die) 互連網路的連接以及二階 (L2) 快取的本地子集。

圖 25B 是圖 25A 之根據本發明實施例之處理器核心的部分展開圖。

圖 26 是一根據本發明實施例之處理器的方塊圖，該處理器可具有多於一個核心，可以具有整合記憶體控制

器，且可具有整合圖形。

圖 27 顯示一根據本發明實施例之系統的方塊圖。

圖 28 顯示一根據本發明實施例之第一更特定示範系統的方塊圖。

圖 29 顯示一根據本發明實施例之第二更特定示範系統的方塊圖。

圖 30 顯示一根據本發明實施例之 SoC 的方塊圖。

圖 31 是一使用軟體指令轉換器將來源指令集中的二進制指令轉換成目標指令集中的二進制指令的對照方塊圖。

【主要元件符號說明】

100：處理器

101：指令集架構

102：架構暫存器

103：封裝資料暫存器

104：指令集

105：使用控制索引的指令

106：封裝資料重整指令(例如，排列、混洗等等)

107：集中指令

108：可用於產生控制索引的指令

109：控制索引產生指令

110：控制索引前標產生指令

111：執行邏輯

- 400：指令處理設備
- 403：封裝資料暫存器
- 408：可用於產生控制索引的指令
- 422：解碼器
- 423：執行單元
- 424：計算序列整數的邏輯
- 425：序列整數
- 426：記憶體
- 427：目的地儲存位置
- 428：結果
- 633：運算碼
- 634：目的地儲存位置
- 635：無具有要被指令操作(例如，被轉換成結果)的封裝資料元件的架構可見來源儲存位置
- 636：數值模式界定參數(例如，偏移、間隔、旋轉量、偏移與間隔)(選用)
- 637：在某些例子中無來源運算元
- 708A、708B：指令
- 727A、727B：目的地儲存位置
- 728A、728B：結果
- 733A、733B：運算碼
- 734A、734B：目的地儲存位置
- 736：數值模式界定參數
- 738：數值模式完全根據運算碼

- 739：數值模式根據運算碼及數值模式界定參數
- 740A、740B：具有數值模式的序列的整數
- 942、1242：第一來源封裝資料
- 943、1243：第二來源封裝資料
- 944：具有封裝資料重整控制索引的來源封裝資料
- 945、1245：結果封裝資料
- 1244：具有封裝資料重整控制索引的第三來源封裝資料
- 1542：來源封裝資料
- 1600：處理器
- 1603：封裝資料暫存器
- 1608：指出其中一非架構可見儲存位置的指令
- 1623：解碼與執行單元
- 1627：目的地儲存位置
- 1640-1：第一序列的整數
- 1640-M：第 M 個序列的整數
- 1640-N：第 N 個序列的整數
- 1650：唯讀記憶體
- 1651-1：第一非架構可見的儲存位置
- 1651-M：第 M 個非架構可見的儲存位置
- 1651-N：第 N 個非架構可見的儲存位置
- 1742A：封裝資料運算元
- 1742B：封裝資料運算元
- A_0 、 A_1 、 A_N 、 B_0 、 B_1 、 B_N ：資料元件
- 1803：封裝資料暫存器

- 1908：可用於產生控制索引的指令
- 1909：控制索引產生指令
- 1910：控制索引前標產生指令
- 1952：製造物品
- 1953：機器可讀取儲存媒體
- 2002：VEX 前綴
- 2015：運算碼映射
- 2020：VVVV 欄位
- 2025：前綴編碼欄位
- 2030：真實運算碼欄位
- 2040、2140：格式欄位
- 2042、2142：基礎運算欄位
- 2044、2144：暫存器索引欄位
- 2062：位移欄位
- 2064：資料元件寬度欄位
- 2068：大小欄位
- 2100：同屬向量親和指令格式
- 2105：無記憶體存取
- 2110：無記憶體存取全捨入控制類型運算
- 2115：無記憶體存取全捨入控制類型運算
- 2117：無記憶體存取寫入遮罩控制 VSIZE 類型運算
- 2120、2146B：記憶體存取
- 2125：記憶體存取時間性
- 2127：記憶體存取寫入遮罩控制

- 2130：記憶體存取非時間性
- 2144：暫存器索引欄位
- 2146：修飾符欄位
- 2146A：無記憶體存取
- 2146B：記憶體存取
- 2150：擴增運算欄位
- 2152：阿爾發欄位
- 2152A：RS欄位
- 2152A.1：捨入
- 2152A.2：資料變換
- 2152B：驅逐提示(EH)欄位
- 2152B.1：時間性
- 2152B.2：非時間性
- 2152C：寫入遮罩控制欄位
- 2154：貝他欄位
- 2154A：捨入控制欄位
- 2154B：資料變換欄位
- 2154C：資料調處欄位
- 2156：SAE欄位
- 2157A：RL欄位
- 2157A.1：捨入
- 2157A.2：VSIZE
- 2157B：廣播欄位
- 2158：捨入運算控制欄位

- 2159A：捨入運算欄位
- 2159B：向量長度欄位
- 2160：定標欄位
- 2162A：位移欄位
- 2162B：位移定標欄位
- 2164：資料元件寬度欄位
- 2168：類別欄位
- 2168A：類別 A 欄位
- 2168B：類別 B 欄位
- 2170：寫入遮罩欄位
- 2172：立即欄位
- 2174：全運算碼欄位
- 2100：同屬向量親和指令格式
- 2105：無記憶體存取
- 2112：無記憶體存取寫入遮罩控制半捨入控制類型運算
- 2170：寫入遮罩欄位
- 2202：VEX 前綴
- 2215：運算碼映射
- 2220：VVVV 欄位
- 2225：前綴編碼欄位
- 2230：真實運算碼欄位
- 2242：MOD 欄位
- 2300：暫存器架構
- 2310：向量暫存器

- 2315 : 寫入遮罩暫存器 :
- 2325 : 通用暫存器
- 2345 : 純量浮點堆疊暫存器檔
- 2350 : MMX 封裝整數扁暫存器
- 2400 : 管線
- 2402 : 提取
- 2404 : 長度解碼
- 2406 : 解碼
- 2408 : 分配階段
- 2410 : 重新命名
- 2412 : 排程
- 2424 : 暫存器讀取 / 記憶體讀取
- 2426 : 執行階段
- 2418 : 寫回 / 記憶體寫入階段
- 2422 : 異常處置階段
- 2424 : 確定階段
- 2430 : 前端單元
- 2432 : 分支預測單元
- 2434 : 指令快取單元
- 2436 : 指令轉譯旁看緩衝器
- 2438 : 指令提取單元
- 2440 : 解碼單元
- 2450 : 執行引擎單元
- 2452 : 重新命名 / 分配器單元

- 2454 : 引退單元
- 2456 : 排程器單元
- 2458 : 實體暫存器檔單元
- 2460 : 執行叢集
- 2462 : 執行單元
- 2464 : 記憶體存取單元
- 2470 : 記憶體單元
- 2472 : 資料 TLB 單元
- 2474 : 資料快取單元
- 2476 : L2 快取單元
- 2490 : 核心
- 2502 : 環狀網路
- 2504 : L2 快取之本地子集
- 2506 : L1 快取
- 2508 : 純量單元
- 2510 : 向量單元
- 2512 : 純量暫存器
- 2514 : 向量暫存器
- 2506A : L1 資料快取
- 2514 : 向量暫存器
- 2520 : 拌和單元
- 2522A : 數值轉換單元
- 2522B : 數值轉換單元
- 2524 : 複製單元

- 2526 : 寫入遮罩暫存器
- 2528 : 16 寬的向量 ALU
- 2600 : 處理器
- 2602A、2602N : 核心
- 2604A、2604N : 快取單元
- 2606 : 共享快取單元
- 2608 : 特別用途邏輯
- 2610 : 系統代理器單元
- 2612 : 環狀之互連單元
- 2614 : 整合記憶體控制器單元
- 2616 : 匯流排控制器單元
- 2700 : 系統
- 2710 : 處理器
- 2715 : 處理器
- 2720 : 控制器集線器
- 2740 : 記憶體
- 2745 : 協處理器
- 2750 : 輸入/輸出集線器 (IOH)
- 2760 : 輸入/輸出 (I/O)
- 2790 : 圖形記憶體控制器集線器 (GMCH)
- 2800 : 系統
- 2814 : I/O 裝置
- 2815 : 處理器
- 2816 : 第一匯流排

- 2818：匯流排橋接器
- 2820：第二匯流排
- 2822：鍵盤及/或滑鼠
- 2824：音頻 I/O
- 2827：通訊裝置
- 2828：儲存單元
- 2830：指令/碼及資料
- 2832、2834：記憶體
- 2838：協處理器
- 2839：圖形介面
- 2850：互連
- 2852：P-P 介面
- 2854：P-P 介面
- 2870：處理器
- 2872：IMC/控制邏輯 CL
- 2876：點對點 (P-P) 介面
- 2878：點對點 (P-P) 介面
- 2880：處理器/協處理器
- 2882：整合記憶體控制器 (IMC)/控制邏輯 (CL)
- 2886：點對點 (P-P) 介面
- 2888：點對點 (P-P) 介面
- 2890：晶片組
- 2894：點對點 介面
- 2896：介面

- 2898 : 點對點 (P-P) 介面
- 2894 : 點對點 介面
- 2898 : 點對點 (P-P) 介面
- 2900 : 系統
- 2914 : I/O 裝置
- 2915 : 舊有 I/O
- 3000 : 系統晶片
- 3002 : 互連單元
- 3010 : 應用處理器
- 3020 : 協處理器
- 3030 : SRAM 單元
- 3032 : DMA 單元
- 3040 : 顯示單元
- 3102 : 高階語言
- 3104 : x86 編譯器
- 3106 : x86 二進制碼
- 3108 : 替代指令集編譯器
- 3110 : 替代指令集二進制碼
- 3112 : 指令轉換器
- 3114 : 無 x86 指令集核心的處理器
- 3116 : 處理器以至少一個 x86 指令集核心

七、申請專利範圍：

1.一種方法，包含：

接收一封裝資料重整控制索引產生指令，該封裝資料重整控制索引產生指令指出一目的地儲存位置；以及

儲存一結果於目的地儲存位置，以回應該封裝資料重整控制索引產生指令，該結果包括一序列的至少四個代表封裝資料重整控制索引的非負整數，

其中，該至少四個非負整數的值不是使用前一指令的結果所計算而得的。

2.如申請專利範圍第 1 項之方法，其中，接收包含接收一不指出來源封裝資料運算元的封裝資料重整控制索引產生指令，該來源封裝資料運算元在一架構可見的儲存位置具有複數個封裝資料元件。

3.如申請專利範圍第 1 項之方法，其中，儲存該結果包含儲存一序列的至少八個具有一數值模式的非負整數，且其中，該數值模式係主要根據該封裝資料重整控制索引產生指令的運算碼。

4.如申請專利範圍第 1 項的方法，其中，接收包含接收一封裝資料重整控制索引產生指令，其指出一或更多個數值模式界定參數，該一或更多個數值模式界定參數的每一者影響該四個非負整數的每一者的值。

5.如申請專利範圍第 1 項之方法，其中，儲存該結果包含儲存一序列的至少八個具有一數值模式的非負整數，該數值模式係主要根據該封裝資料重整控制索引產生指令

的運算碼以及該一或更多個界定參數之數值模式。

6.如申請專利範圍第 1 項之方法，其中，接收包含接收一封裝資料重整控制索引產生指令，其指出一整數偏移，且其中，儲存包含儲存一序列的至少四個非負整數，該至少四個非負整數的最小者與零相差該整數偏移。

7.如申請專利範圍第 1 項之方法，其中，接收包含接收一封裝資料重整控制索引產生指令，其指出固定整數間隔，且其中，儲存包含儲存一序列的至少四個非負整數，所有連續整數相差該固定整數間隔。

8.如申請專利範圍第 1 項之方法，其中，儲存包含儲存一序列的至少四個非負整數，所有連續整數相差一固定間隔，且其中，接收包含接收一具有一運算碼的指令，該運算碼確使所有該等連續整數相差該固定間隔。

9.如申請專利範圍第 1 項之方法，其中，儲存包含儲存一序列的至少四個在該封裝資料重整控制索引產生指令的執行之前已被預定的非負整數。

10.如申請專利範圍第 1 項之方法，其中，儲存包含儲存一包括一序列的至少三十二個代表封裝資料重整控制索引之非負整數的結果。

11.如申請專利範圍第 1 項之方法，進一步包含存取該序列的該至少四個來自一非架構可見儲存位置的非負整數，該非架構可見儲存位置與一執行該封裝資料重整控制索引產生指令的指令單元係在晶粒上。

12.如申請專利範圍第 1 項之方法，進一步包含：

接收一選自一排列指令及一混洗指令的封裝重整指令，該封裝資料重整指令指出該等封裝資料重整控制索引，指出至少一來源封裝資料，以及指出一第二目的地儲存位置；以及

儲存一封裝資料結果於該第二目的地儲存位置以回應該封裝資料重整指令，該封裝資料結果包括來自該至少一根據該等封裝資料重整控制索引而重整之來源封裝資料的資料元件。

13.一種設備，包含：

一目的地儲存位置；以及

一與該目的地儲存位置耦合的執行單元，該執行單元回應一指出該目的地儲存位置之封裝資料重整控制索引產生指令，儲存一結果於該目的地儲存位置，該結果包括一序列的至少四個代表封裝資料重整控制索引的非負整數，

其中，該執行單元用以儲存包括代表該等封裝資料重整控制索引之該序列的該至少四個非負整數的結果，而不自前一指令的結果計算該至少四個非負整數的值。

14.如申請專利範圍第 13 項之設備，其中，該執行單元用以儲存回應一封裝資料重整控制索引產生指令的結果，該封裝資料重整控制索引產生指令不指出一來源封裝資料運算元，該來源封裝資料運算元具有複數個封裝資料元件於一架構可見的儲存位置。

15.如申請專利範圍第 13 項之設備，其中，該執行單元用以回應該封裝資料重整控制索引產生指令，儲存一序

列的至少八個具有一數值模式的非負整數，且其中，該數值模式係主要根據該封裝資料重整控制索引產生指令的一運算碼。

16.如申請專利範圍第 13 項之設備，其中，該執行單元用以儲存回應一封裝資料重整控制索引產生指令的結果，該封裝資料重整控制索引產生指令指出一或更多個數值模式界定參數，該一或更多個數值模式界定參數的每一者影響該至少四個非負整數的值。

17.如申請專利範圍第 16 項之設備，其中，該執行單元用以回應該封裝資料重整控制索引產生指令，儲存一序列的至少八個具有一數值模式的非負整數，該數值模式係主要根據該封裝資料重整控制索引產生指令的一運算碼以及該一或更多個數值模式數值模式界定參數。

18.如申請專利範圍第 13 項之設備，其中，該封裝資料重整控制索引產生指令係用以指出一整數偏移，且其中，該執行單元用以回應該封裝資料重整控制索引產生指令，儲存一序列的至少四個非負整數，該至少四個非負整數的最小者與零相差該整數偏移。

19.如申請專利範圍第 13 項之設備，其中，該封裝資料重整控制索引產生指令係用以指出一固定整數間隔，且其中，該執行單元用以回應該封裝資料重整控制索引產生指令，儲存一序列的至少四個非負整數，所有連續整數相差該固定整數間隔。

20.如申請專利範圍第 13 項之設備，其中，該執行單

元用以回應一封裝資料重整控制索引產生指令的運算碼，儲存呈該序列的該至少四個非負整數的所有連續整數，該所有連續整數相差一固定間隔。

21.如申請專利範圍第 13 項之設備，其中，該執行單元用以回應該封裝資料重整控制索引產生指令，儲存一序列的至少四個在該封裝資料重整控制索引產生指令的執行之前已被預定的非負整數。

22.如申請專利範圍第 13 項之設備，其中，該執行單元用以回應該封裝資料重整控制索引產生指令，儲存一包括一序列的至少三十二個代表封裝資料重整控制索引之非負整數的結果。

23.如申請專利範圍第 13 項之設備，進一步包含一非架構可見儲存位置，其與儲存該至少四個封裝資料重整控制索引的執行單元在晶粒上，且其中，該執行單元用以回應該封裝資料重整控制索引產生指令，存取該至少四個來自該非架構可見儲存位置的封裝資料重整控制索引。

24.一種系統，包含：

一互連；

一用以與該互連耦合的處理器，該處理器包括一目的地暫存器，該處理器回應一指出該目的地暫存器之封裝資料重整控制索引產生指令，儲存一結果於該目的地暫存器，該結果包括一序列的至少四個代表封裝資料重整控制索引的非負整數，

其中，該處理器用以儲存回應一封裝資料重整控制索

引產生指令的結果，該等封裝資料重整控制索引不指出一來源封裝資料運算元，該來源封裝資料運算元具有複數個封裝資料元件於一架構可見的儲存位置；以及

一與該互連耦合的動態隨機存取記憶體。

25.如申請專利範圍第 24 項之系統，其中，該序列的至少四個非負整數具有一數值模式，該數值模式係主要根據該封裝資料重整控制索引產生指令之運算碼的一或多者以及一或更多個數值模式界定參數，該一或更多個數值模式界定參數由該封裝資料重整控制索引產生指令所指出。

26.如申請專利範圍第 24 項之系統，其中，該處理器儲存用以回應該封裝資料重整控制索引產生指令的結果，該封裝資料重整控制索引產生指令指出一或更多個數值模式界定參數。

27.一種製造物品，包含：

一包括一或更多個固態儲存材料的機器可讀取儲存媒體，機器可讀取儲存媒體儲存一封裝資料重整控制索引產生指令，

該封裝資料重整控制索引產生指令指出一目的地儲存位置，且該封裝資料重整控制索引產生指令若由一機器所執行，則致使該機器實施包含以下的操作：

決定一序列的至少四個代表封裝資料重整控制索引的非負整數；以及

儲存一結果於該目的地儲存位置，該結果包括該序列的該至少四個代表封裝資料重整控制索引的非負整數，

其中，該封裝資料重整控制索引產生指令不指出一來源封裝資料運算元，該來源封裝資料運算元在一架構可見的儲存位置具有複數個封裝資料元件。

28.如申請專利範圍第 27 項之物件，其中，該封裝資料重整控制索引產生指令不指出一在一架構可見的儲存位置中的來源運算元。

29.如申請專利範圍第 27 項之物件，其中，該封裝資料重整控制索引產生指令指出一或更多個數值模式界定參數。

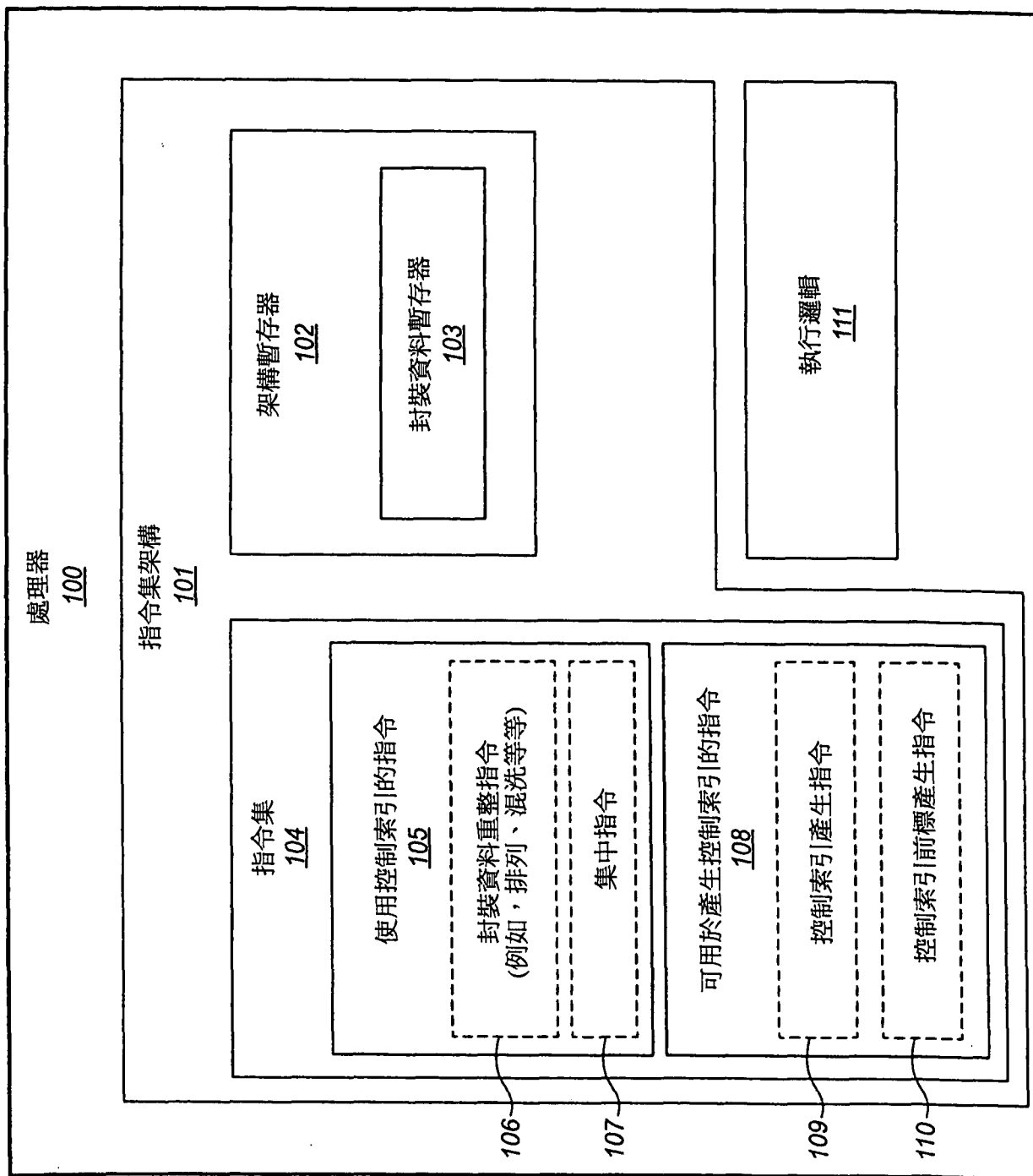


圖1

圖2

處理封裝資料重
整控制索引產生
指令之方法

212

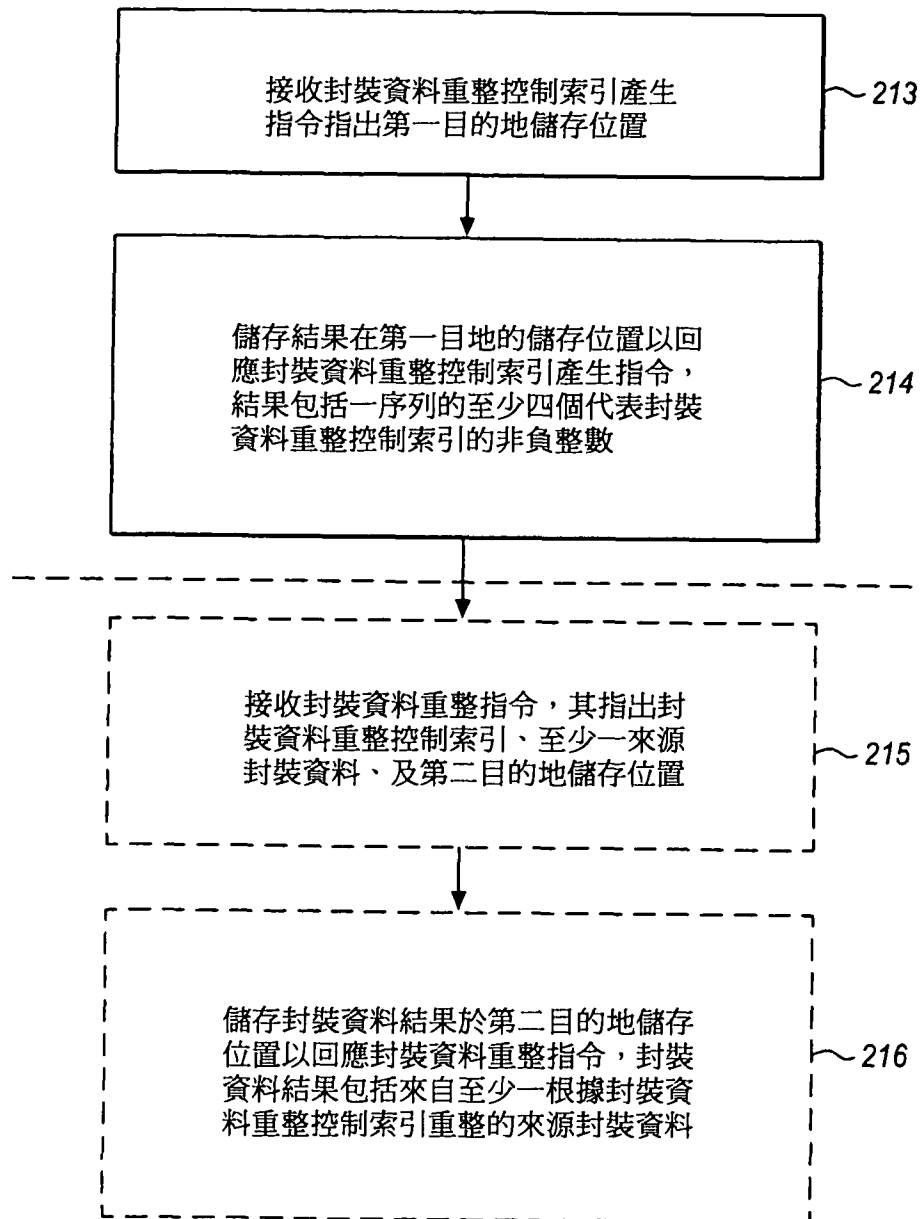
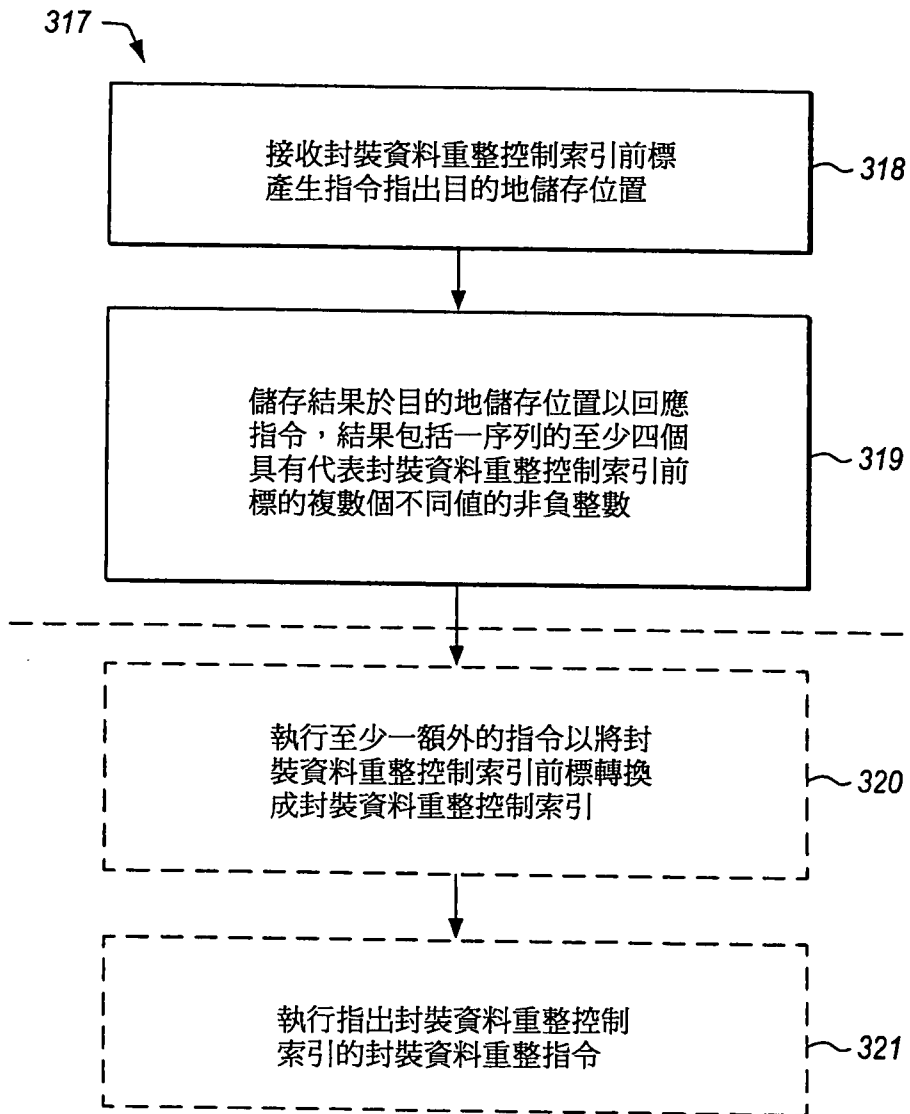


圖3

處理封裝資料重整控制索引前標產生指令之方法



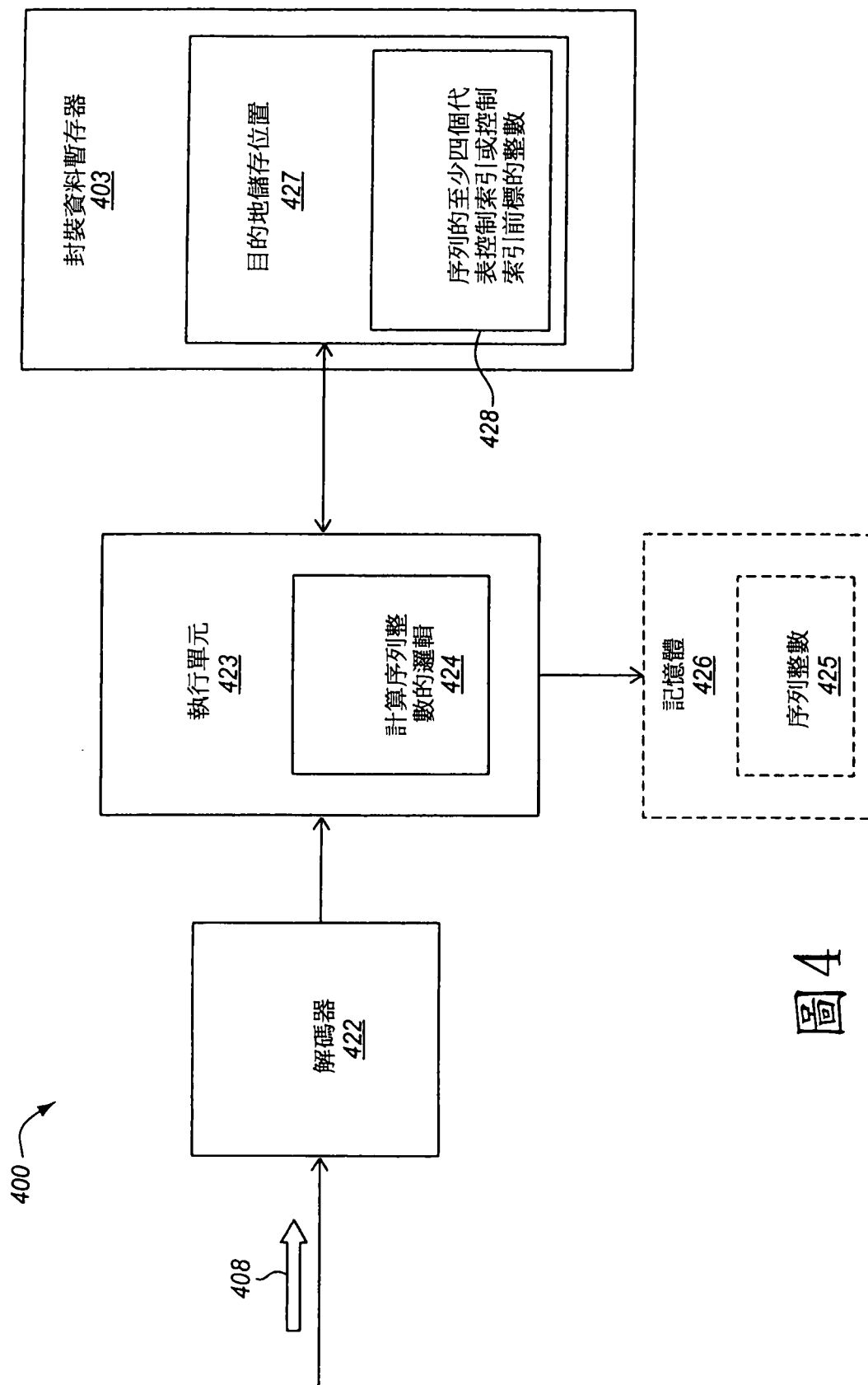
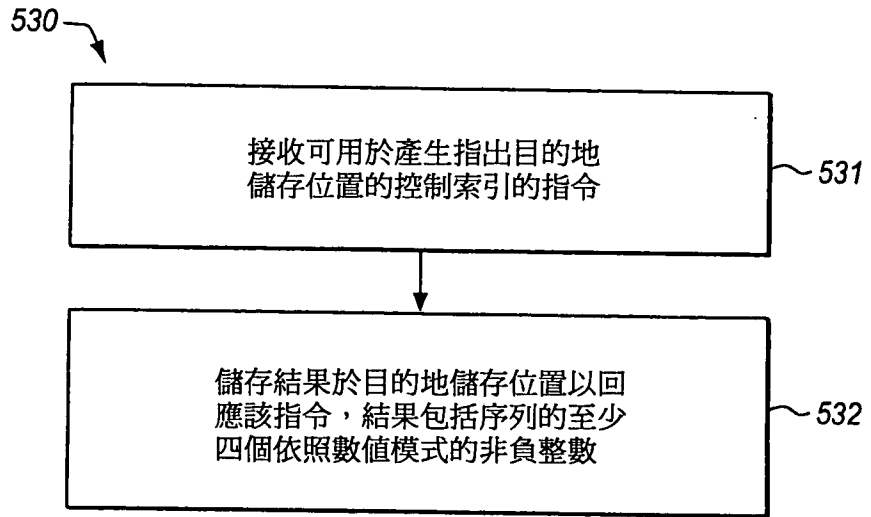


圖4

圖5



608 →

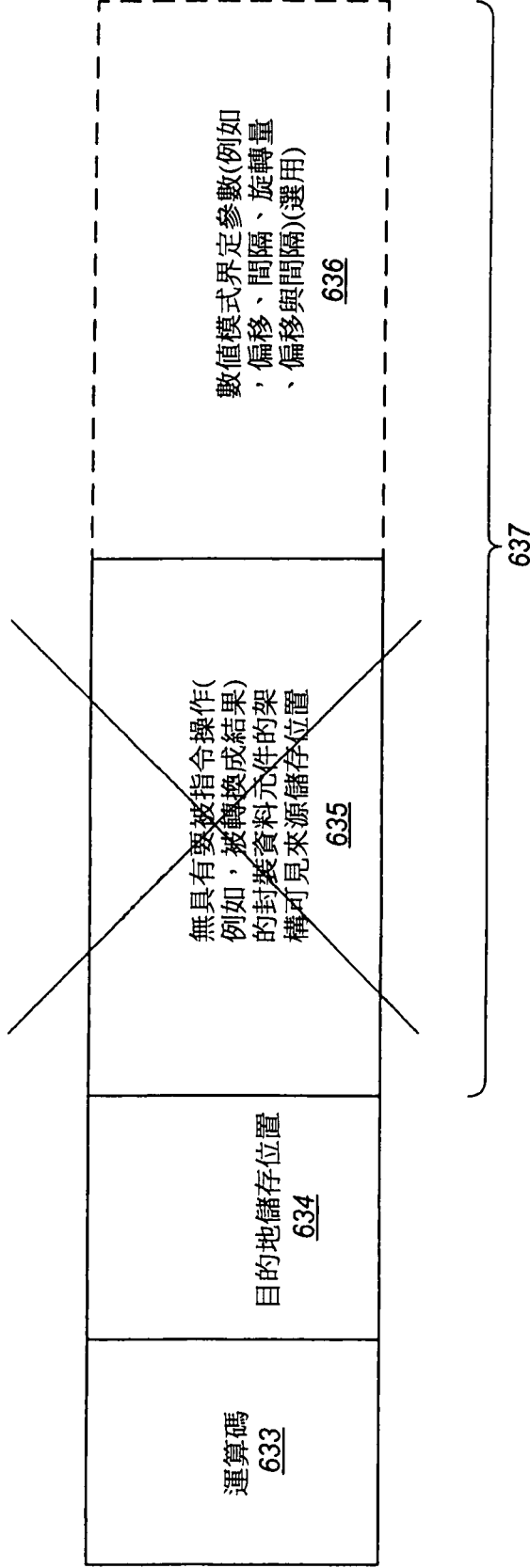


圖6

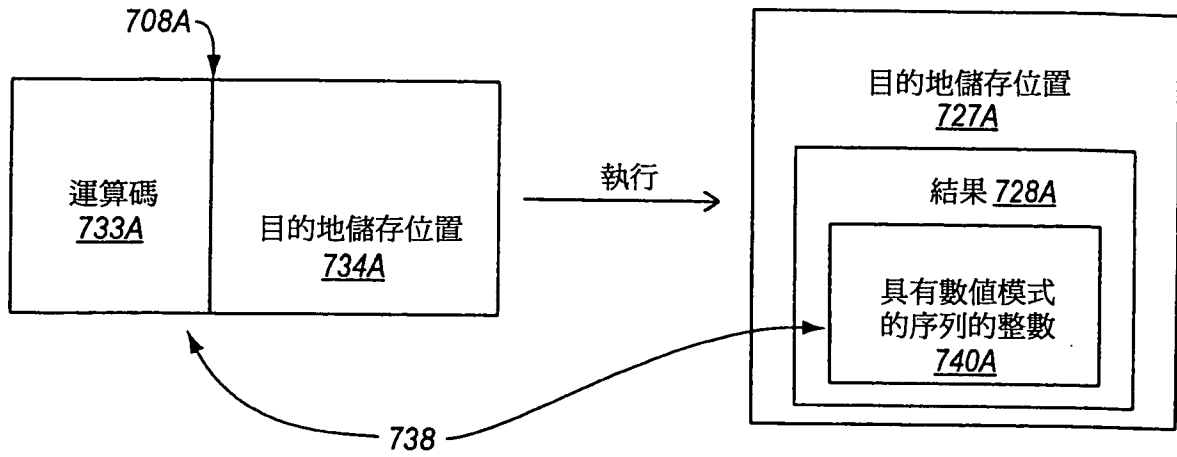


圖 7A

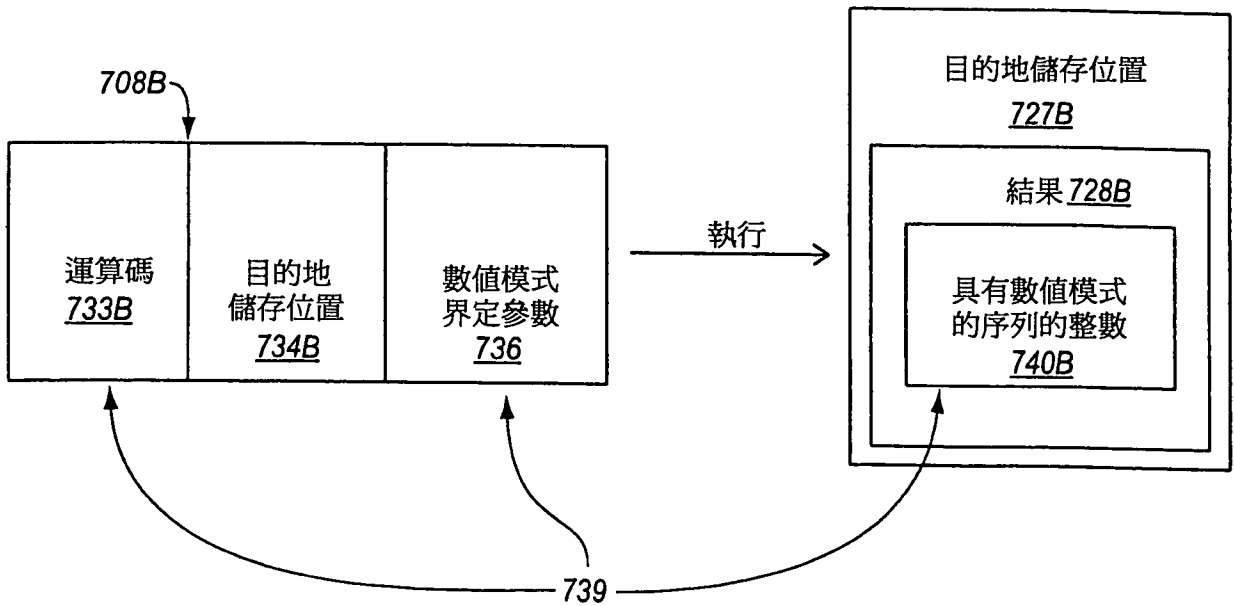
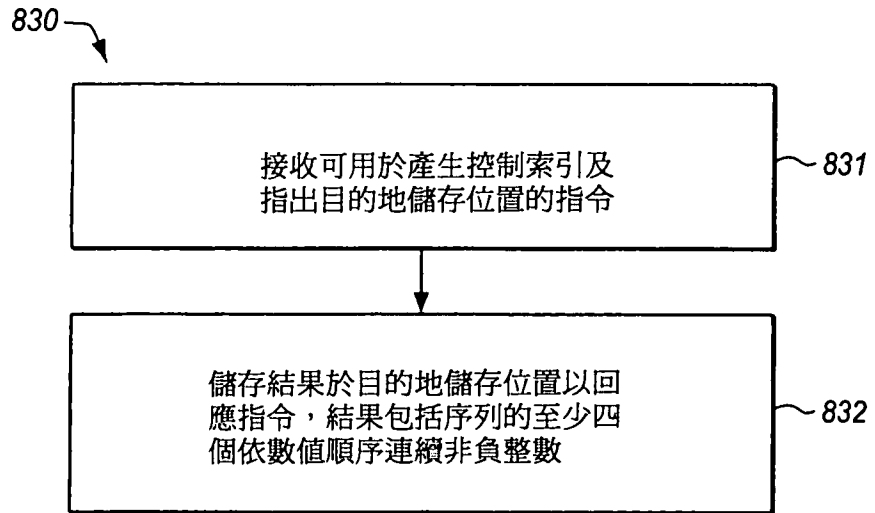


圖 7B

圖8



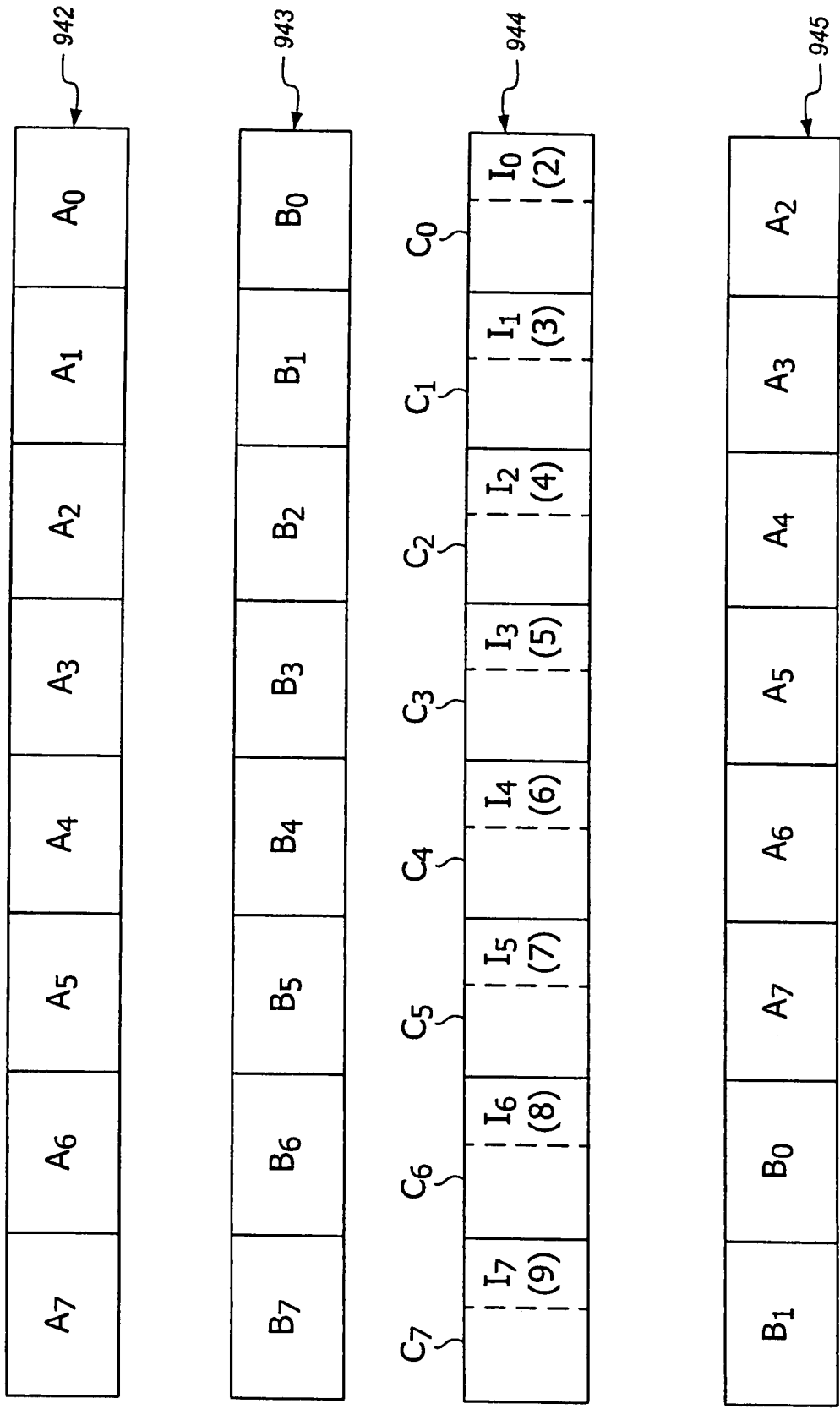


圖9

圖 10

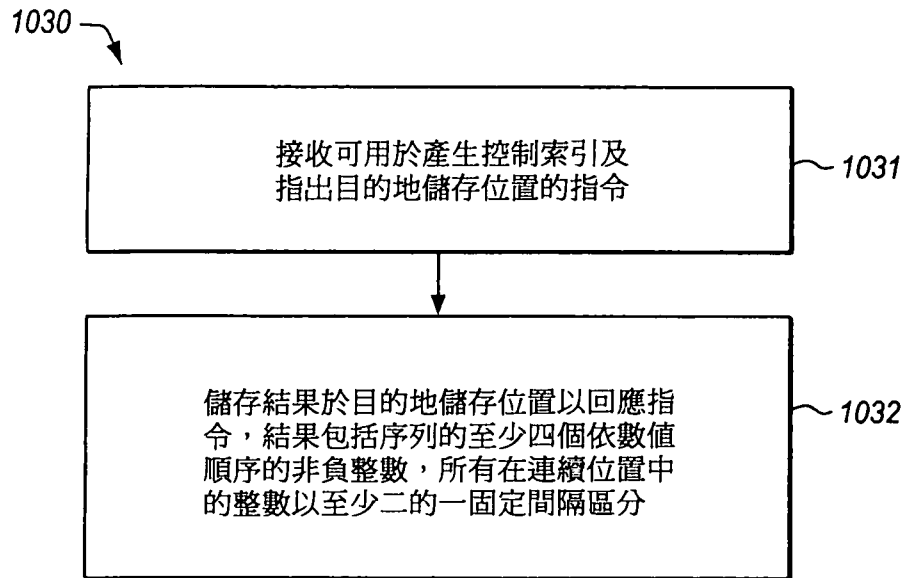
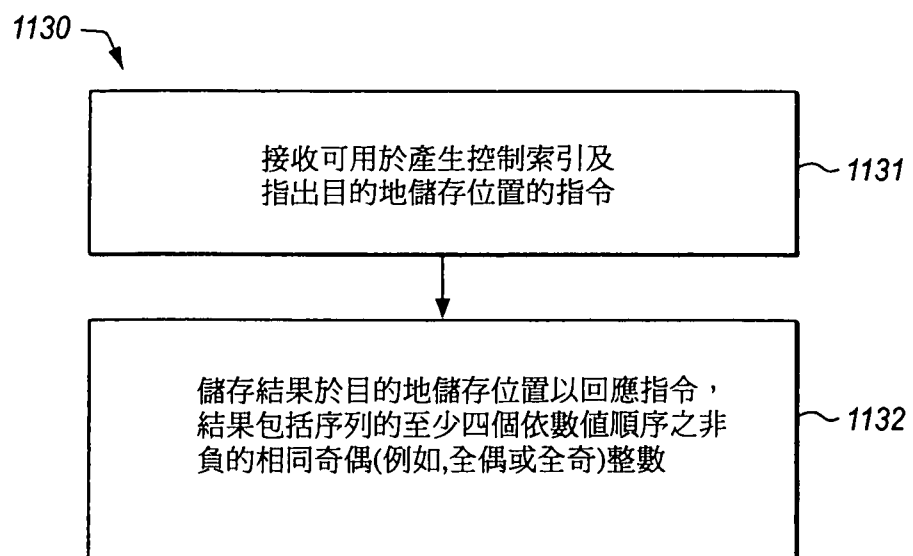


圖 11



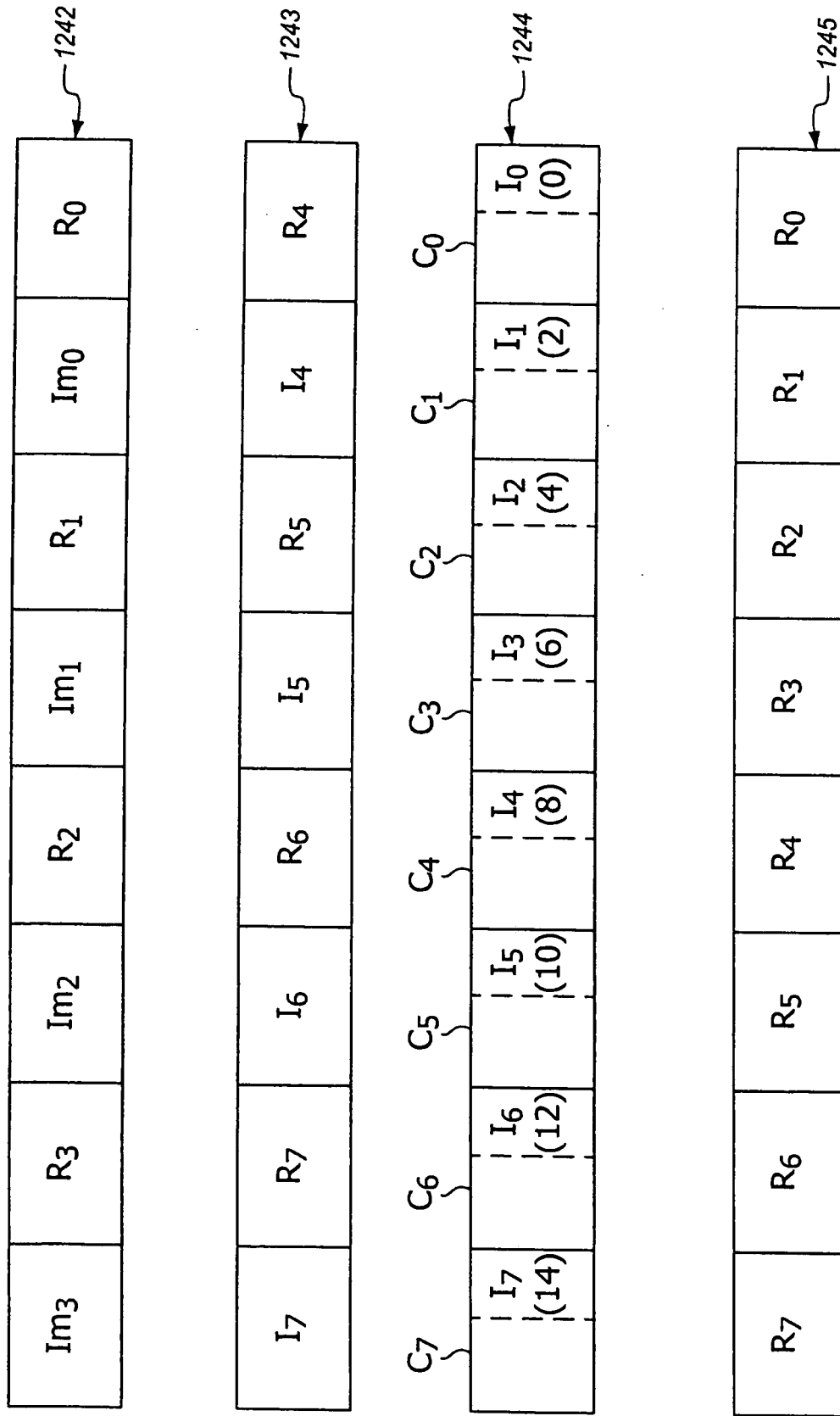


圖12

圖 13

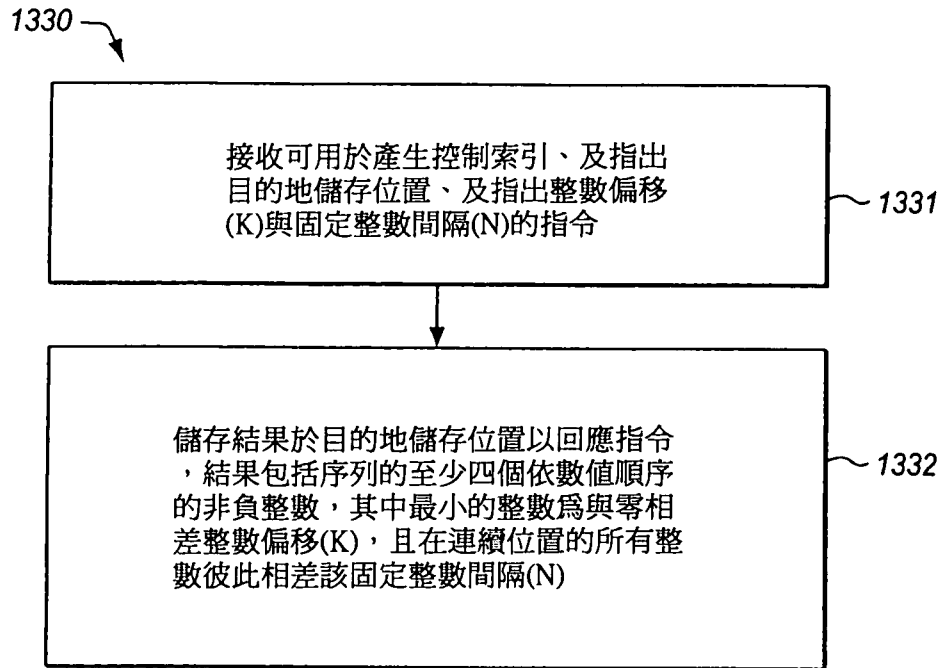
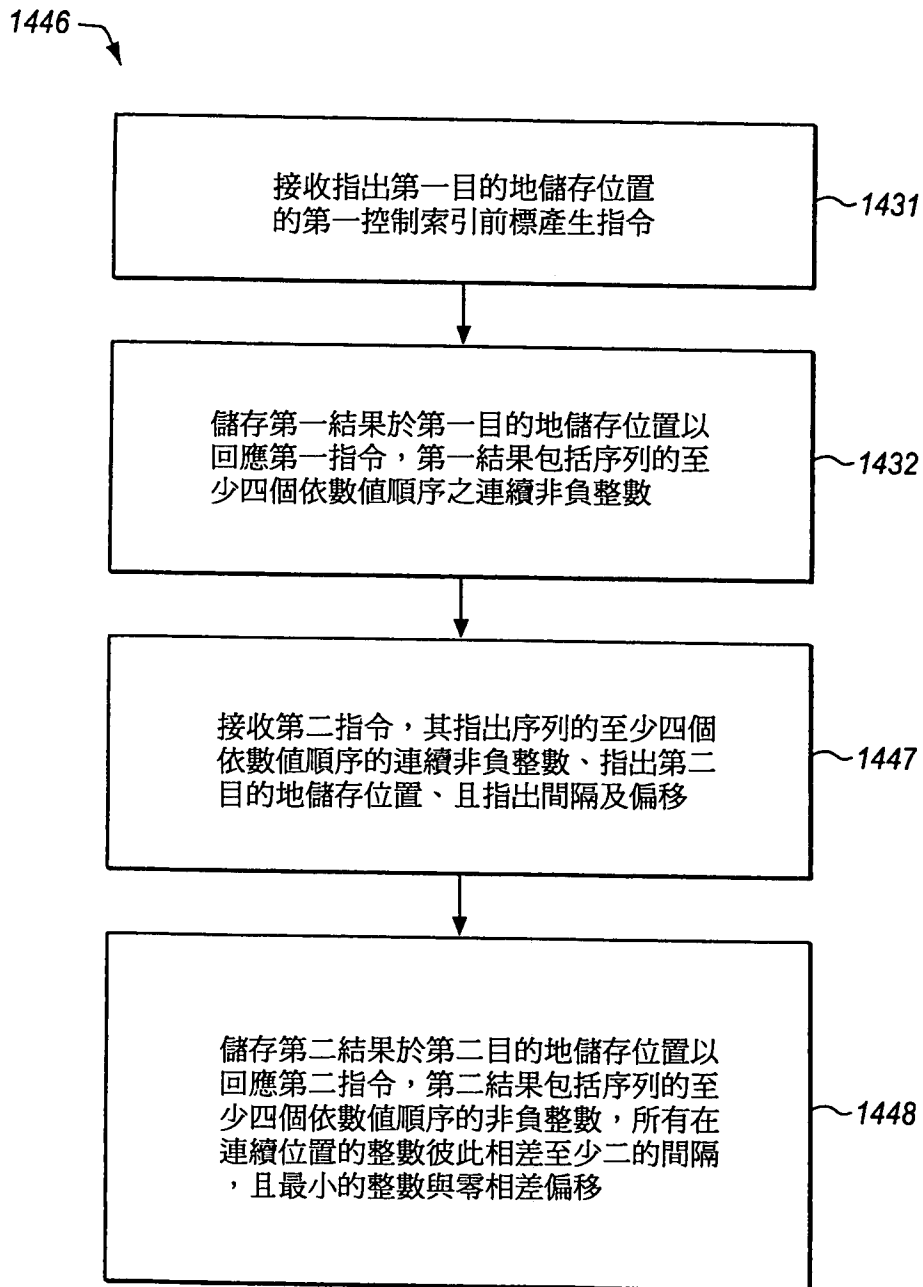


圖 14



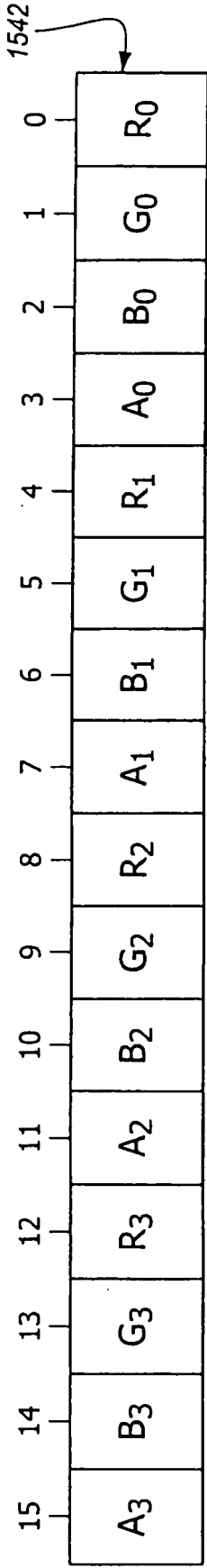


圖15

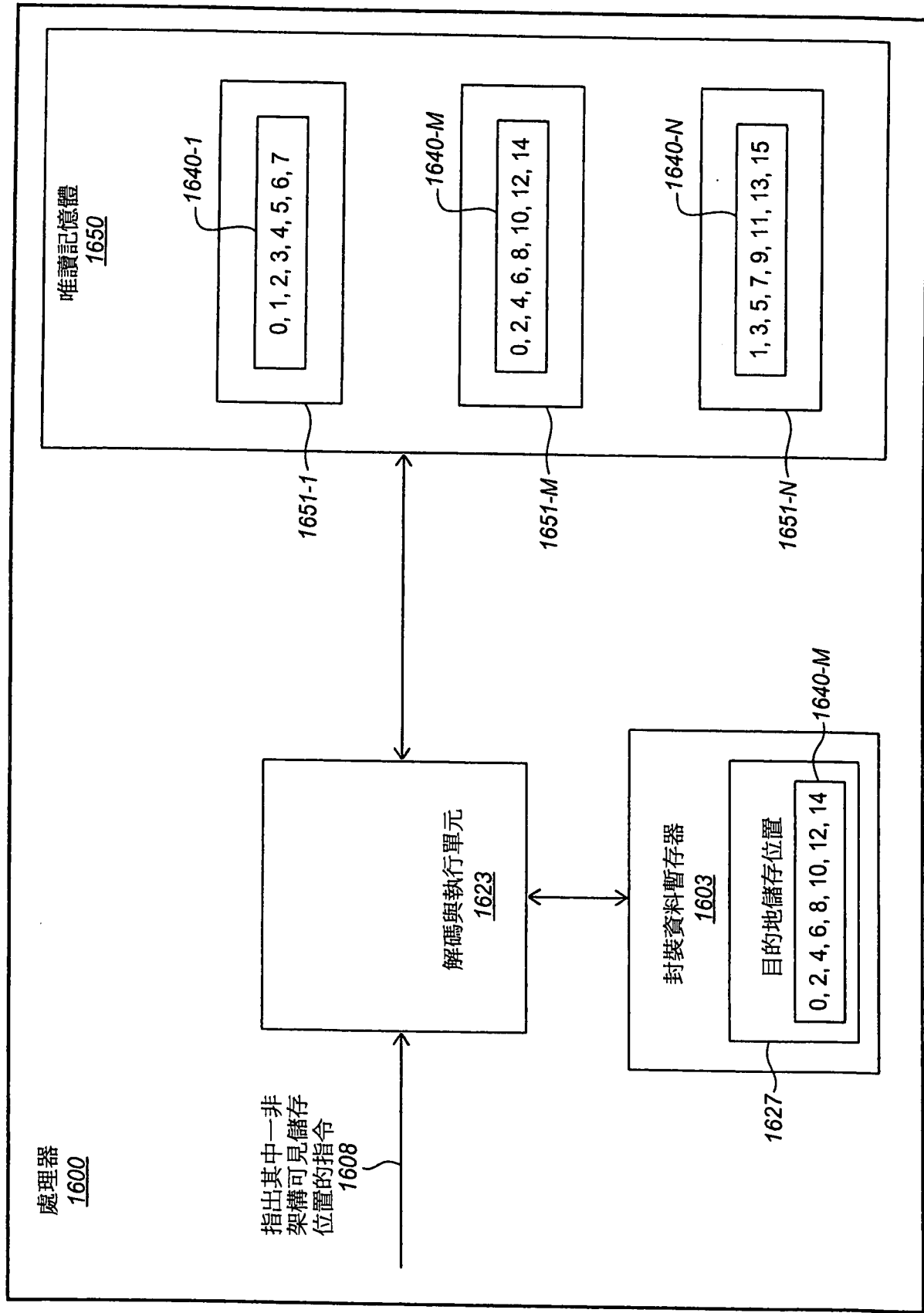


圖16

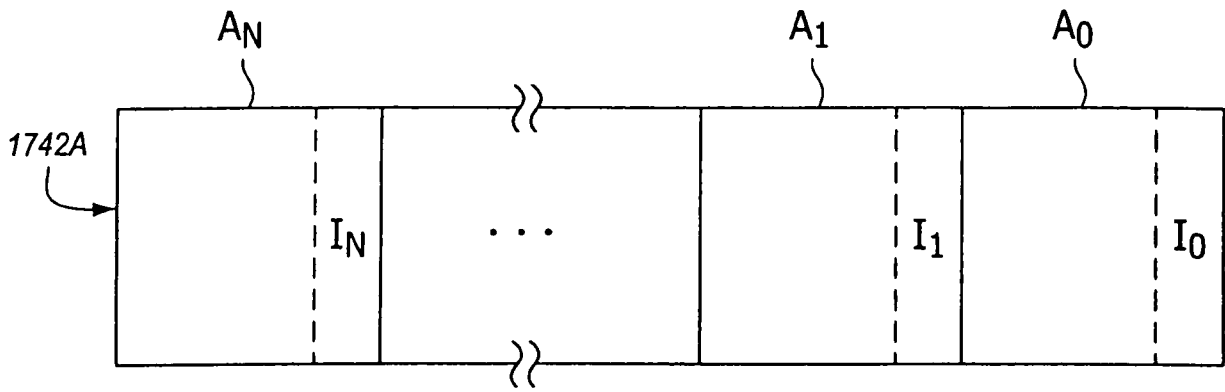


圖 17A

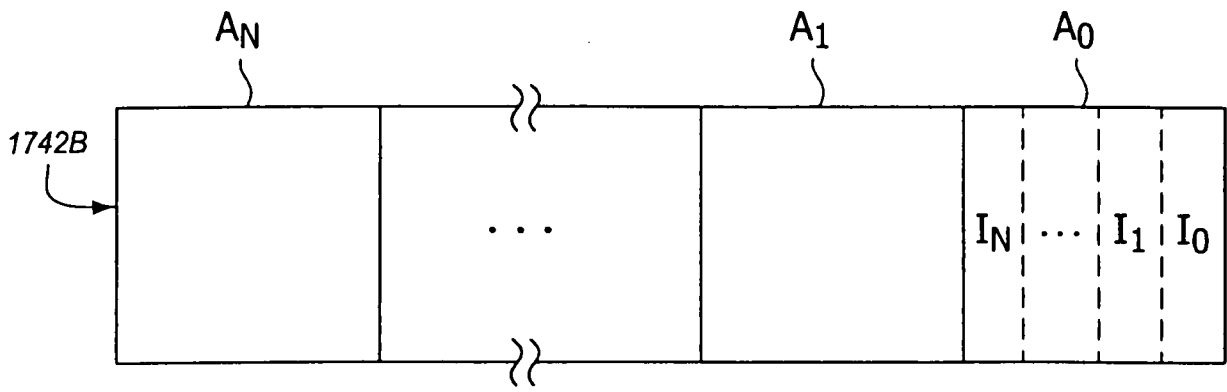


圖 17B

圖 18

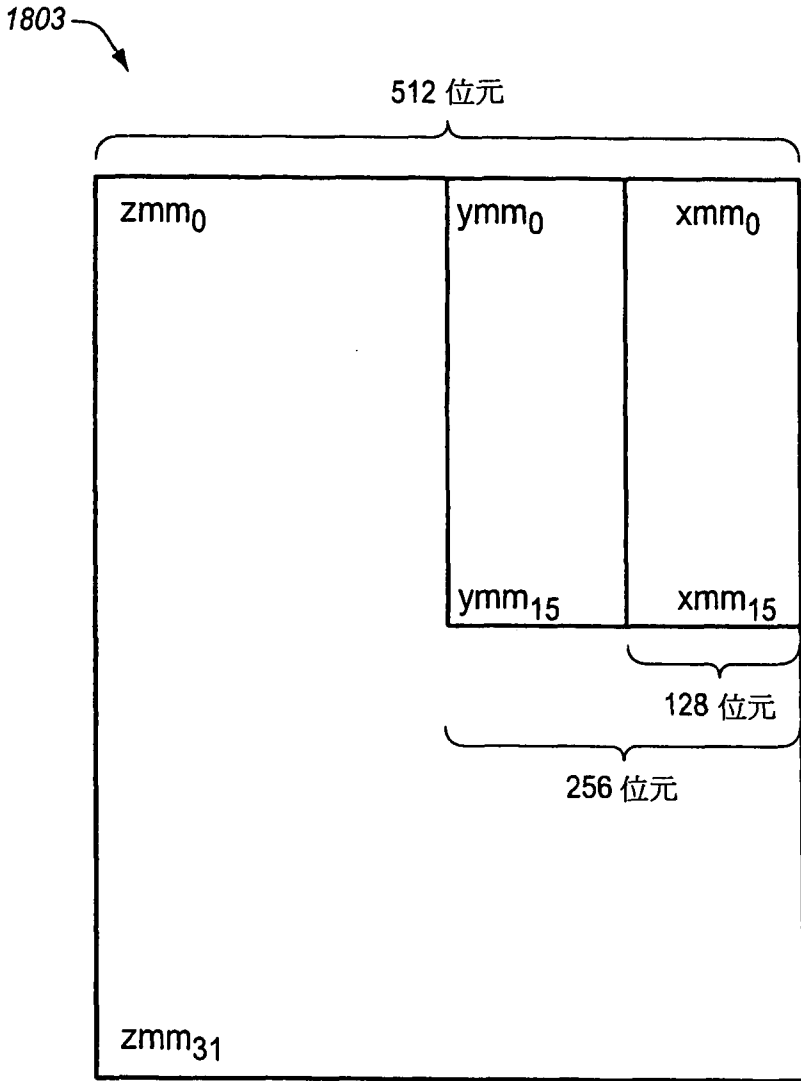


圖 19

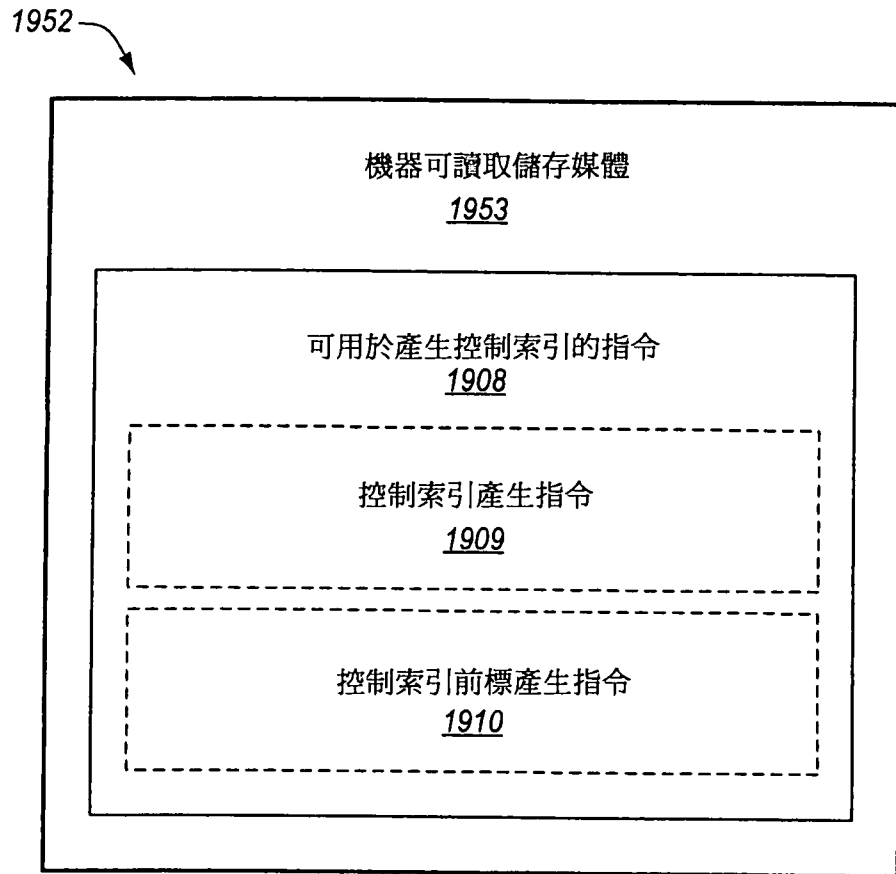


圖 20A

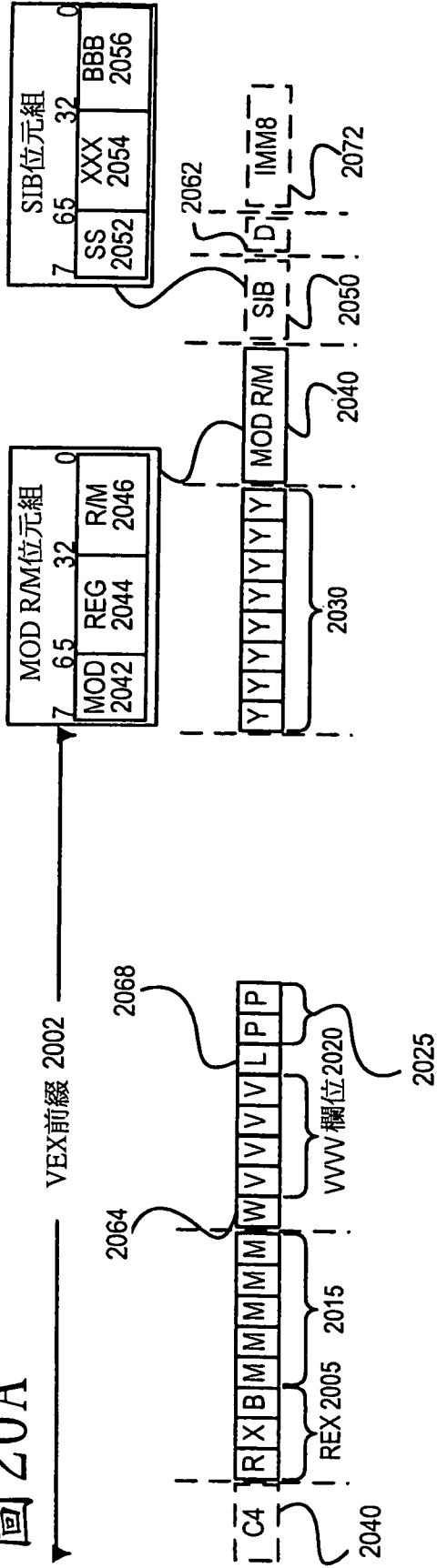


圖 20B

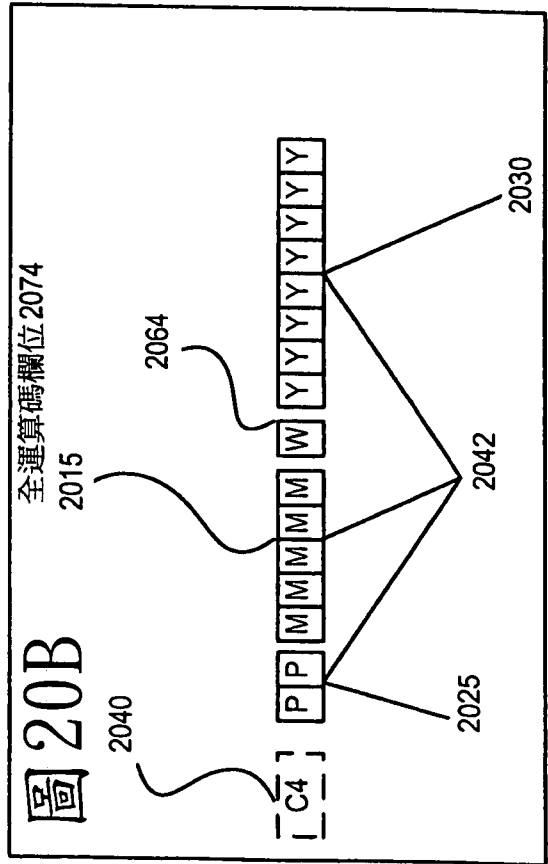


圖 20C

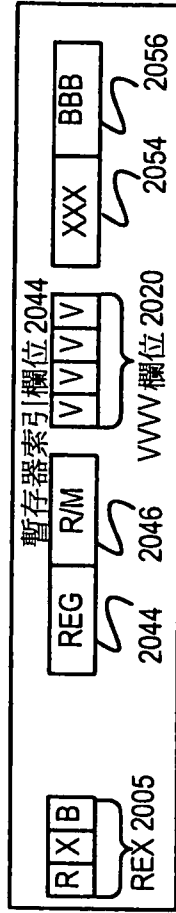


圖 21A

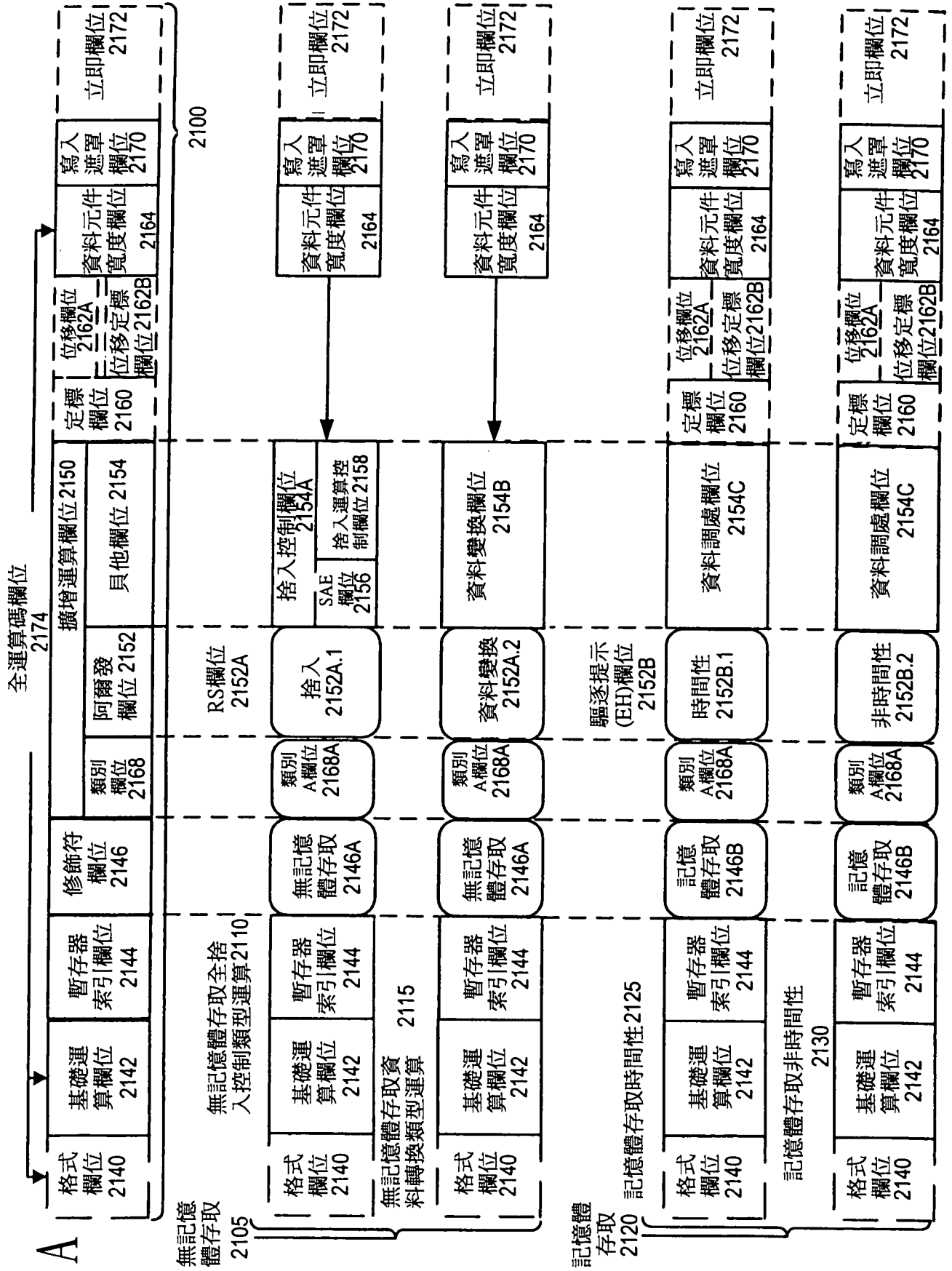


圖 21B

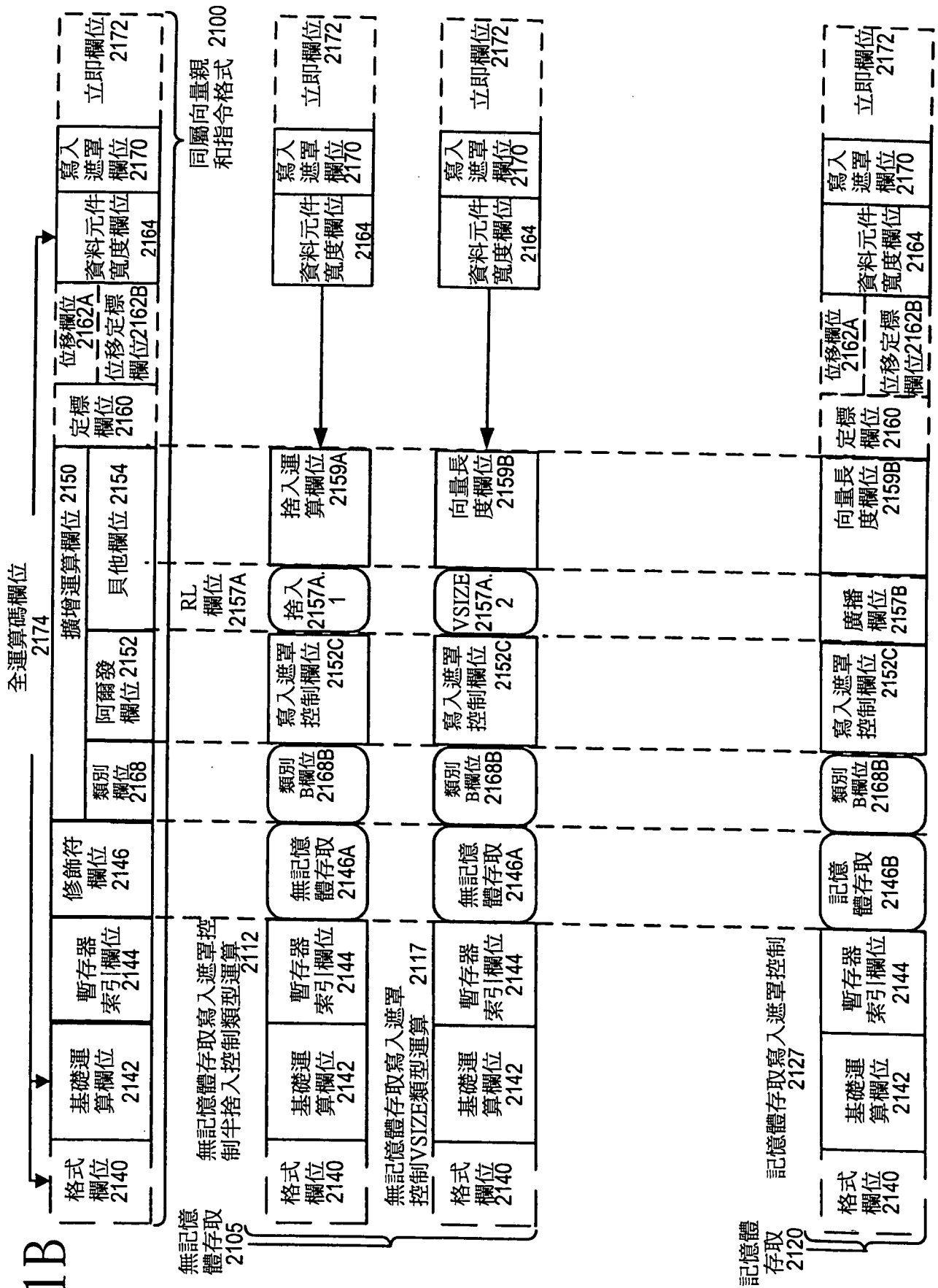


圖 22A

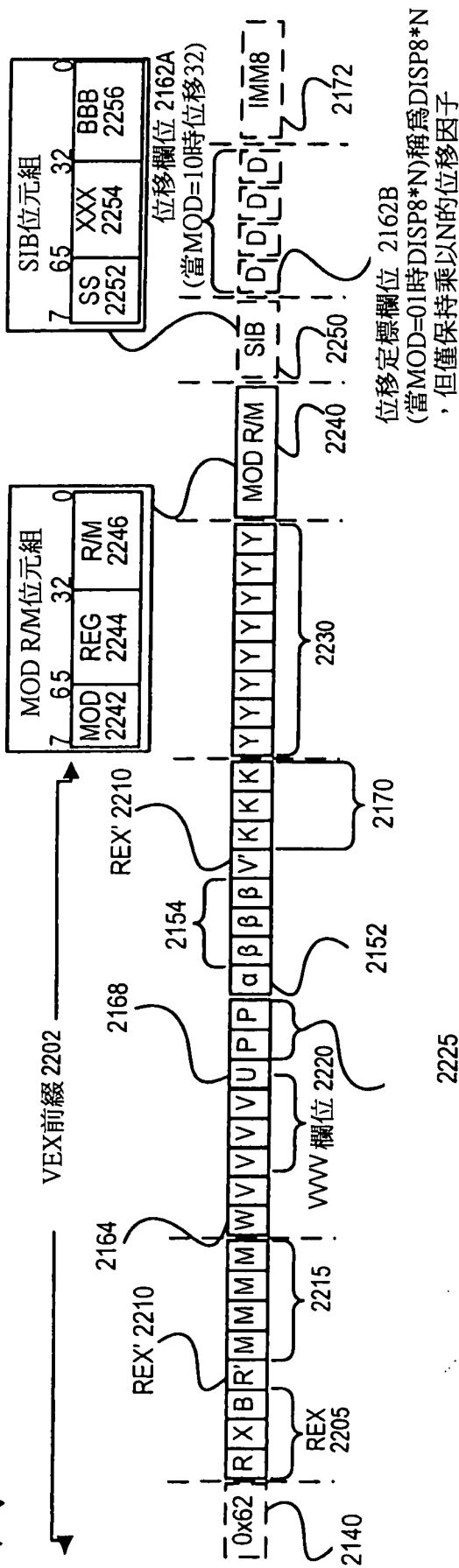


圖 22C

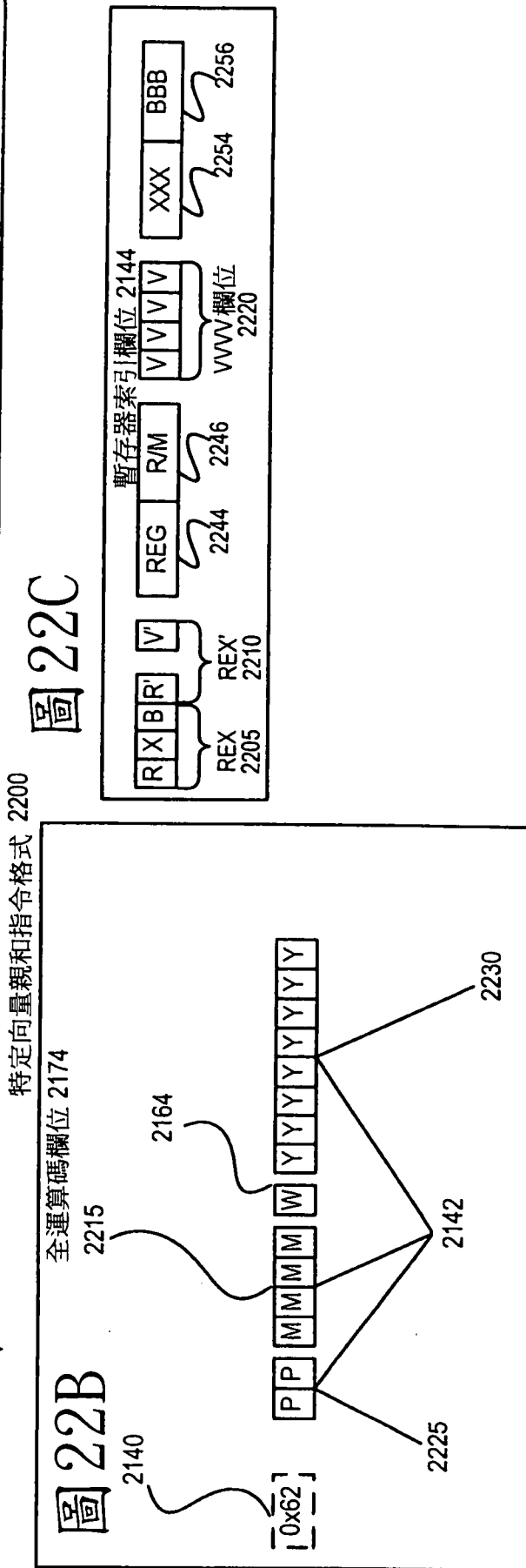
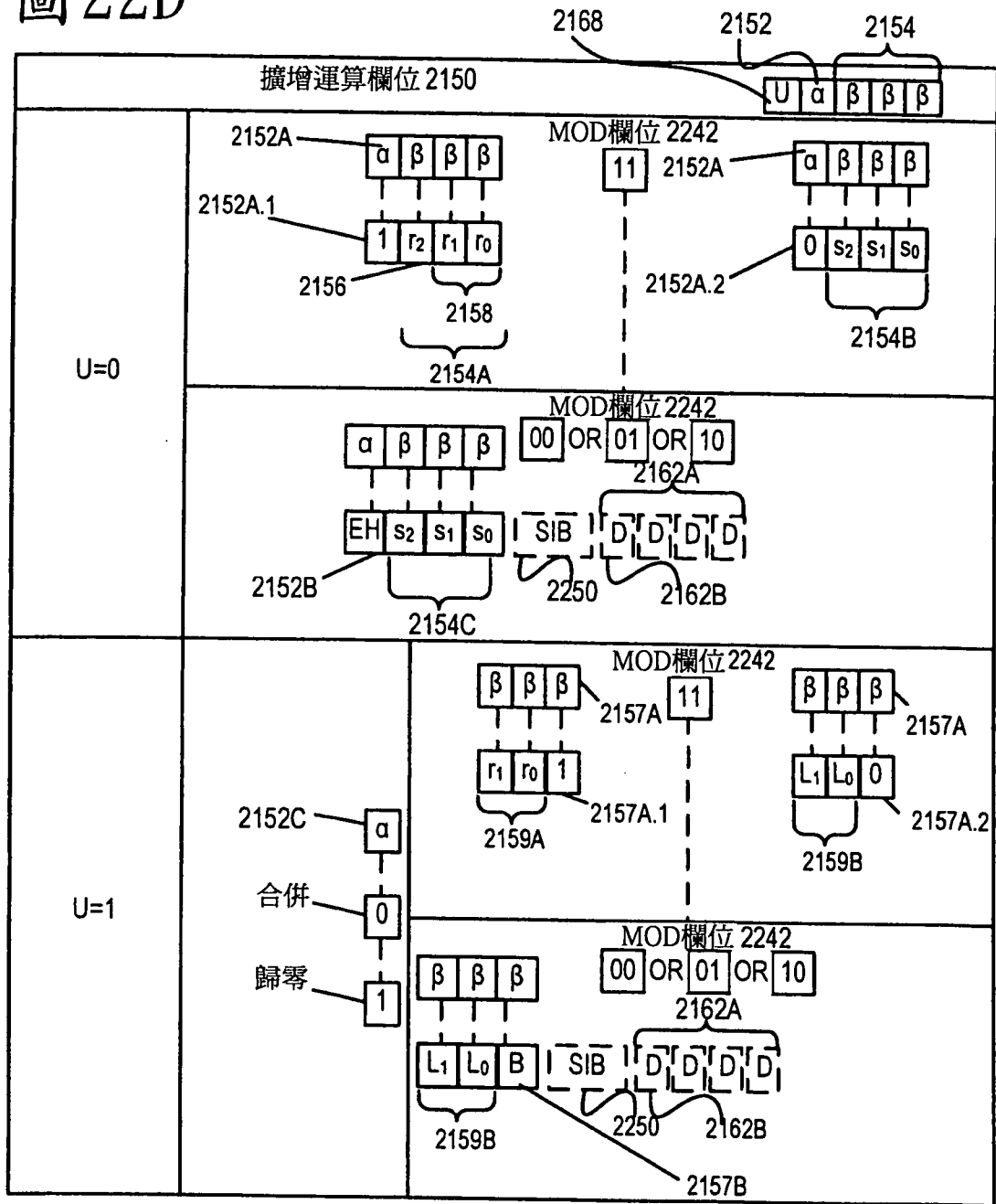
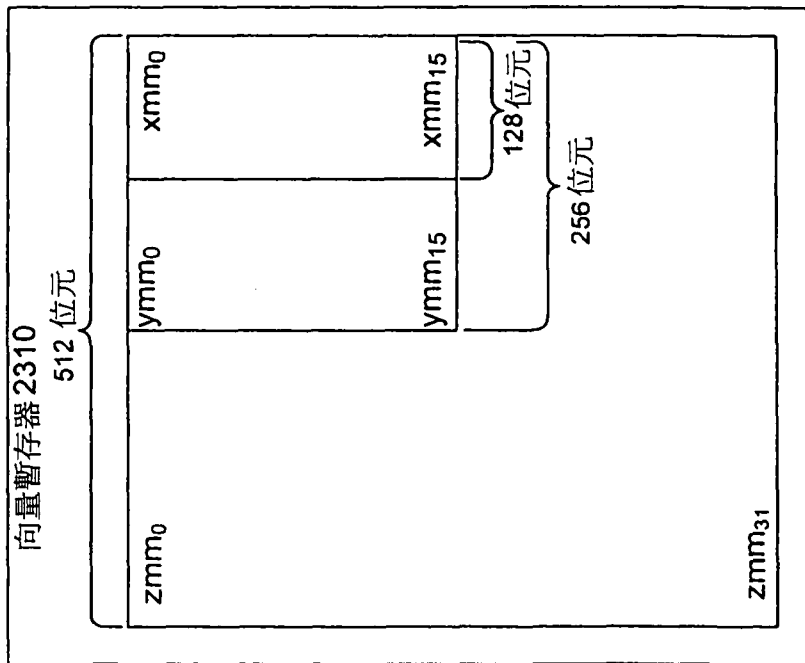
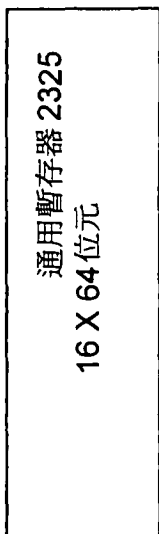


圖 22D



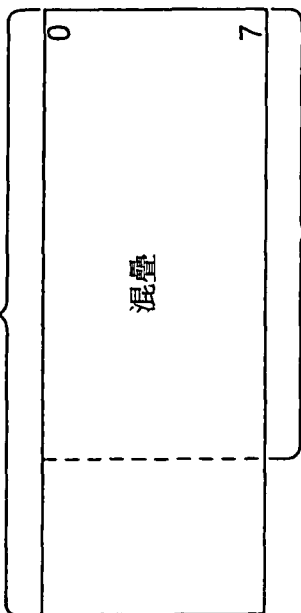
暫存器架構 2300



純量浮點堆疊暫存器檔

圖 23

2345
(X87FP)
80 位元



MMX封裝整數扁暫存器 2350

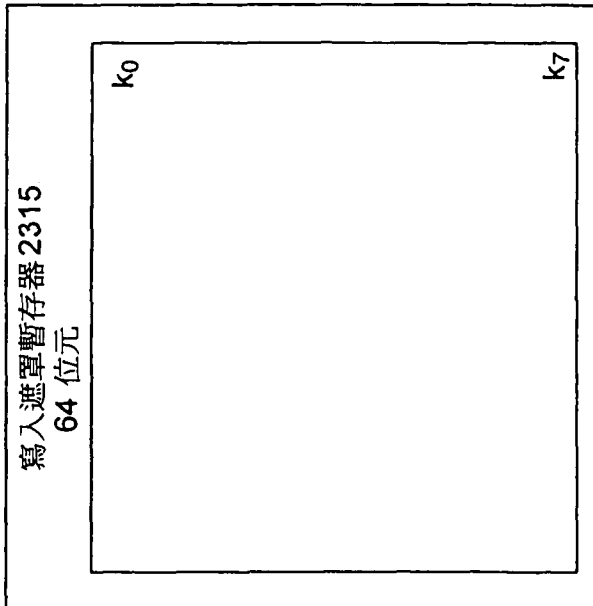
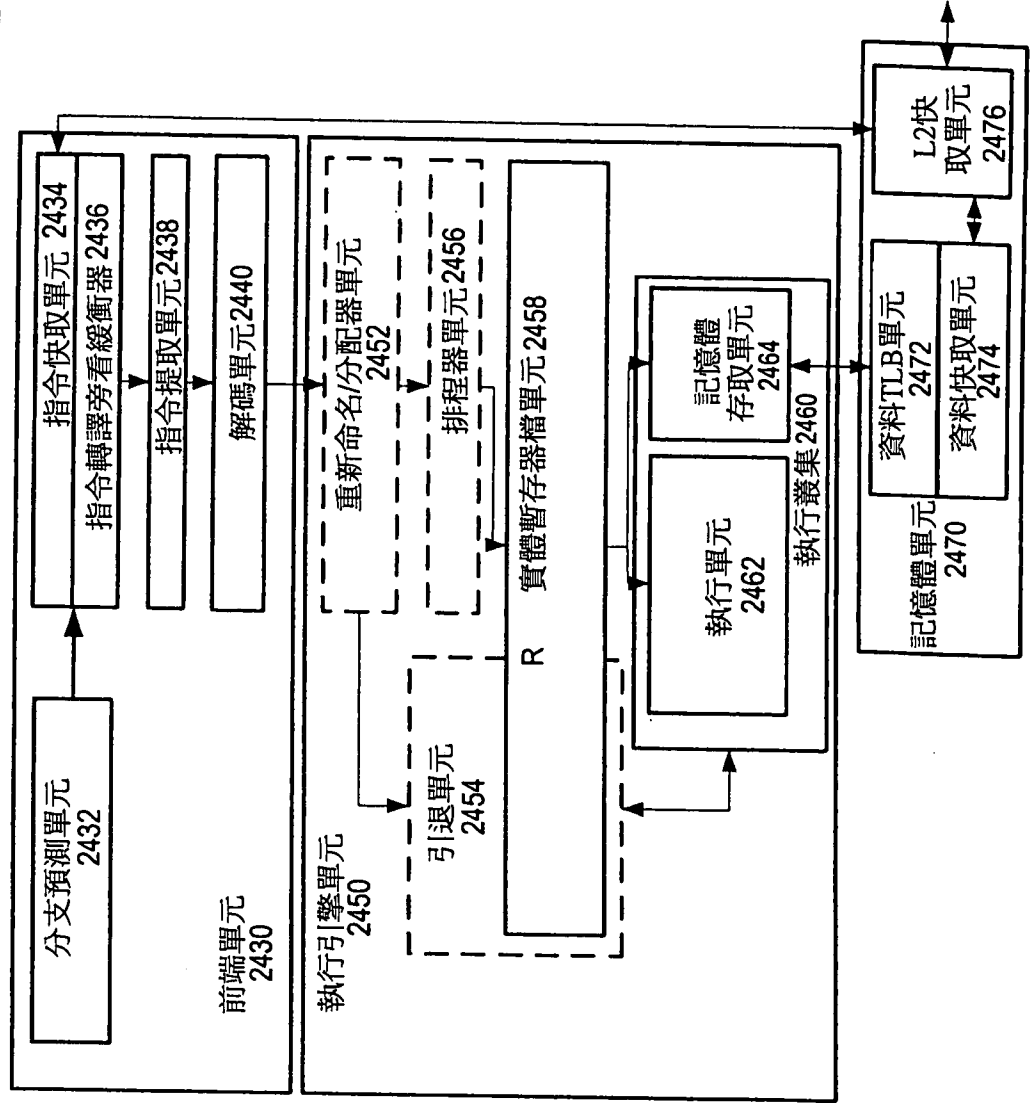
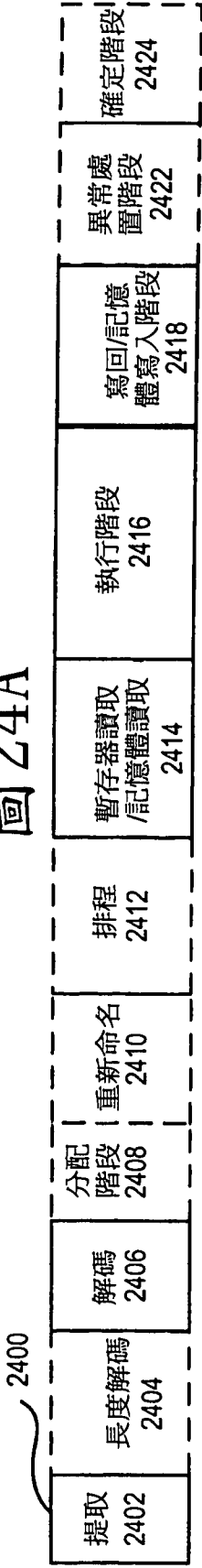


圖 24A



2490

圖 24B

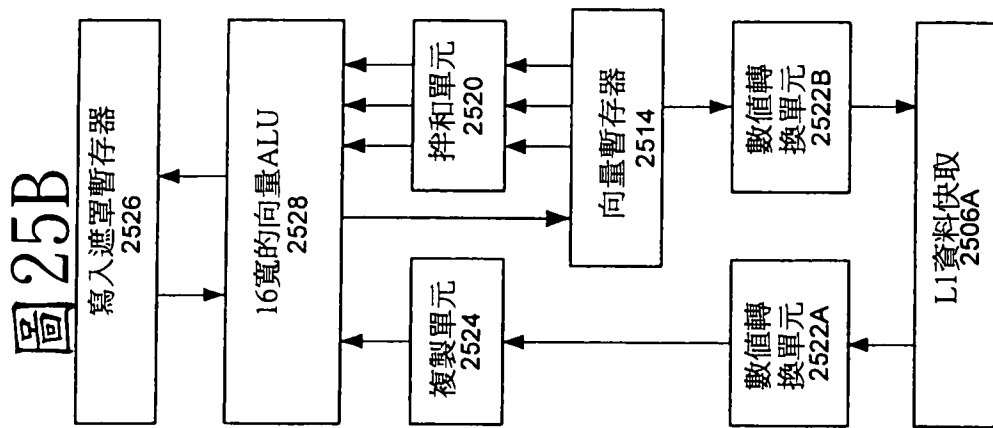
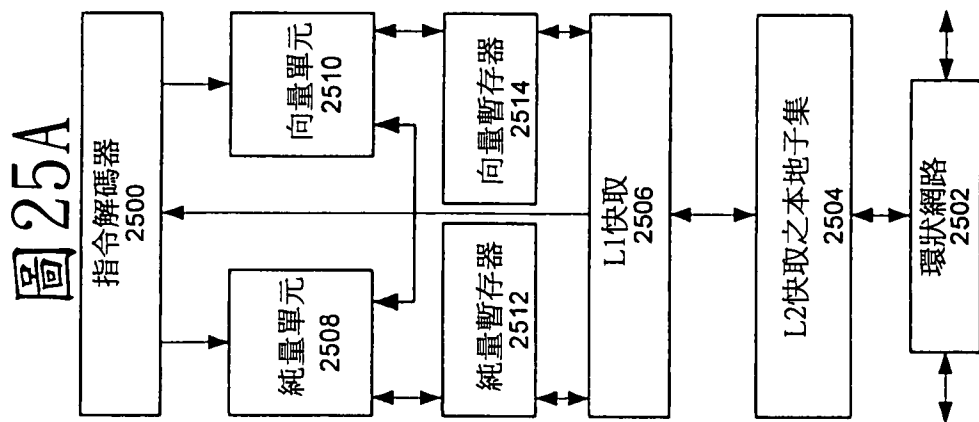


圖26

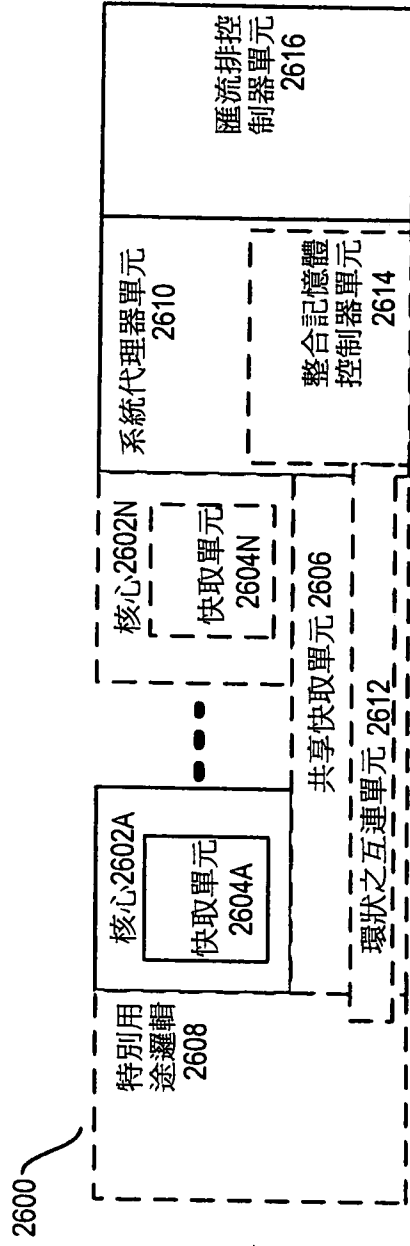
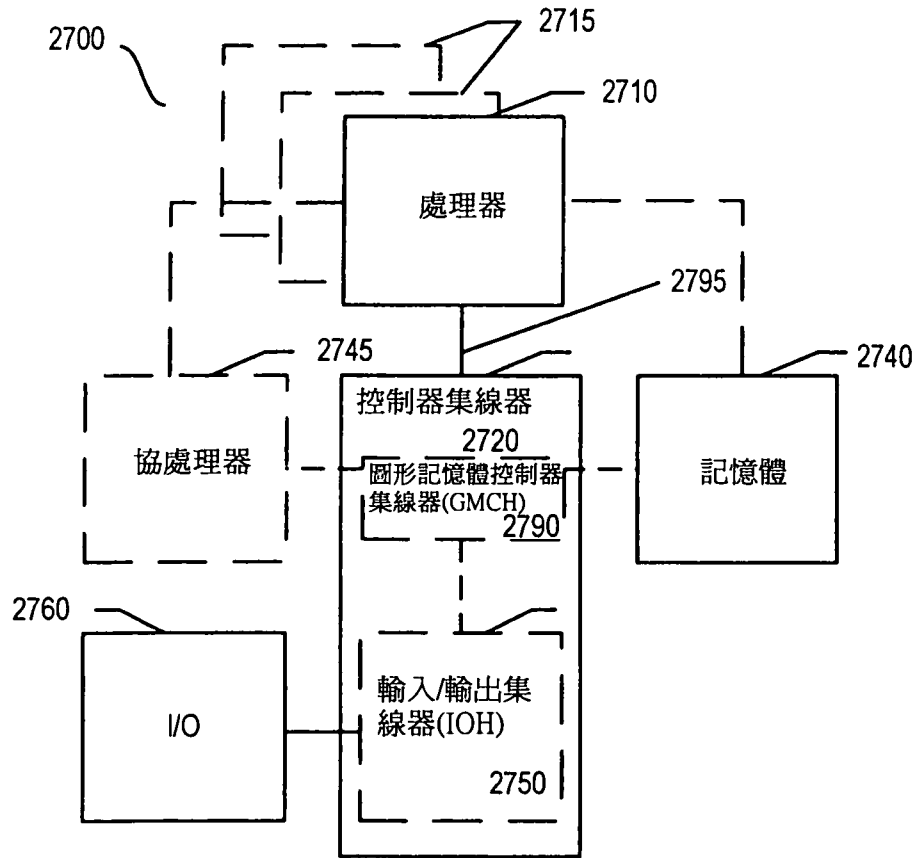


圖 27



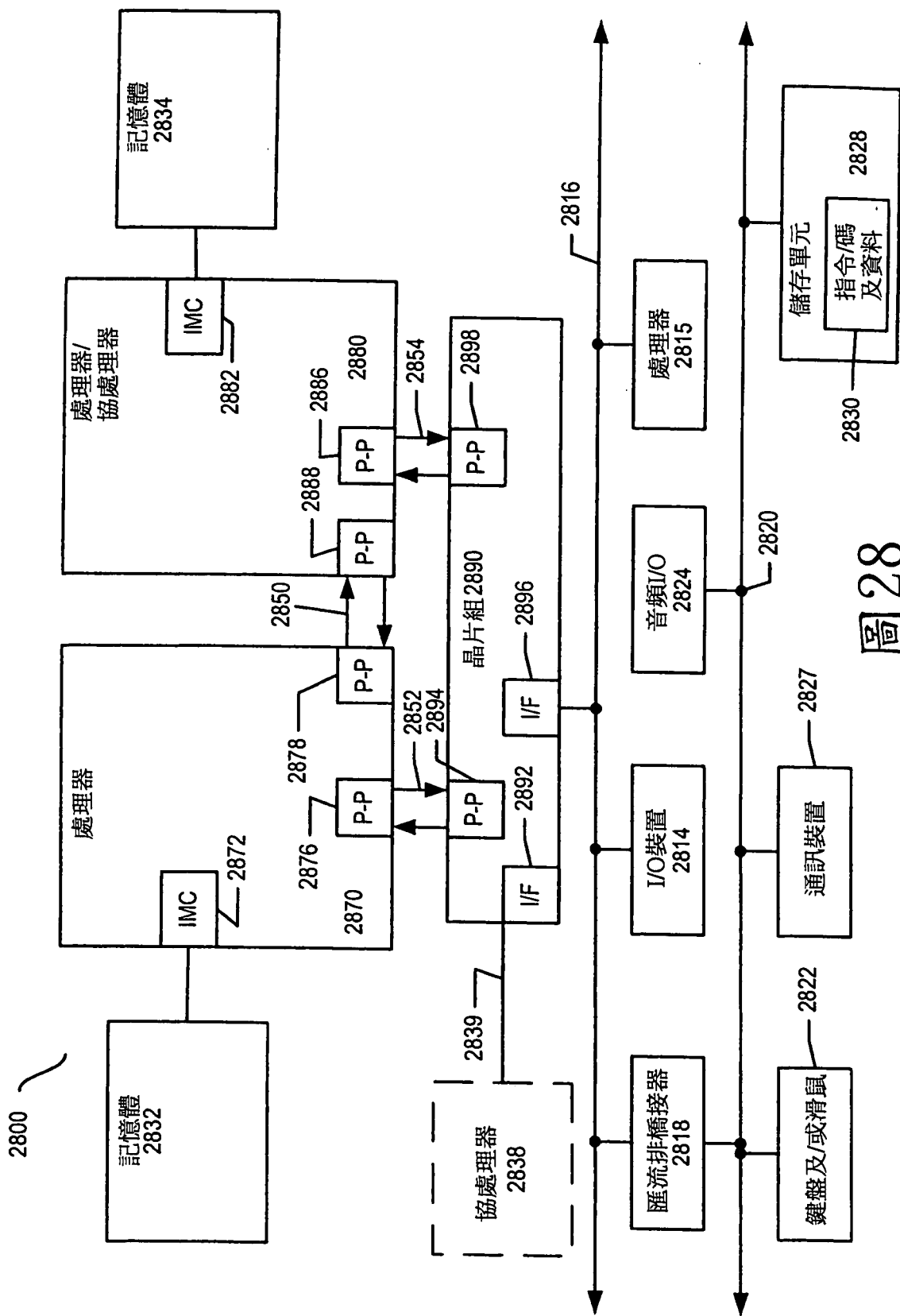


圖 28

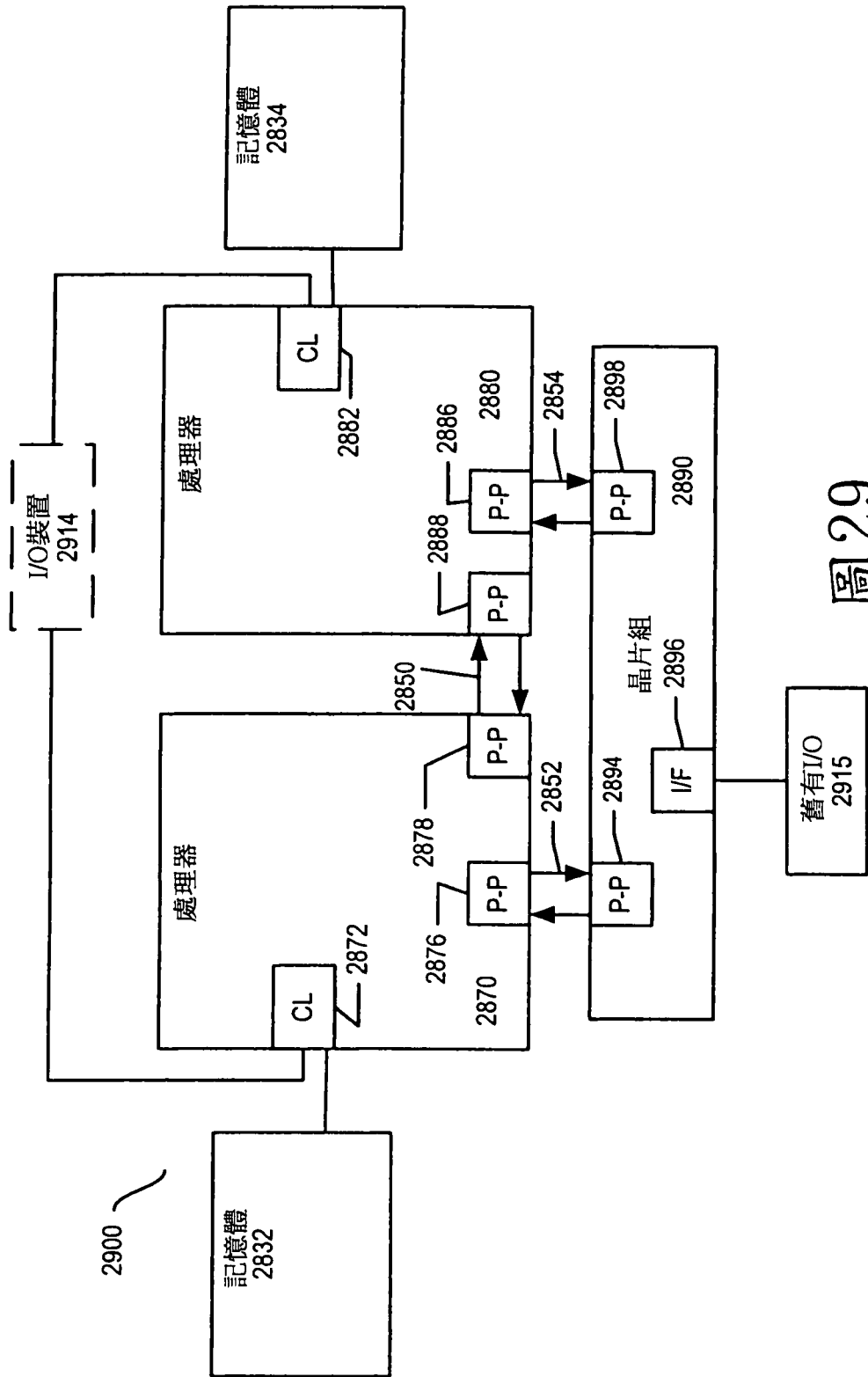


圖29

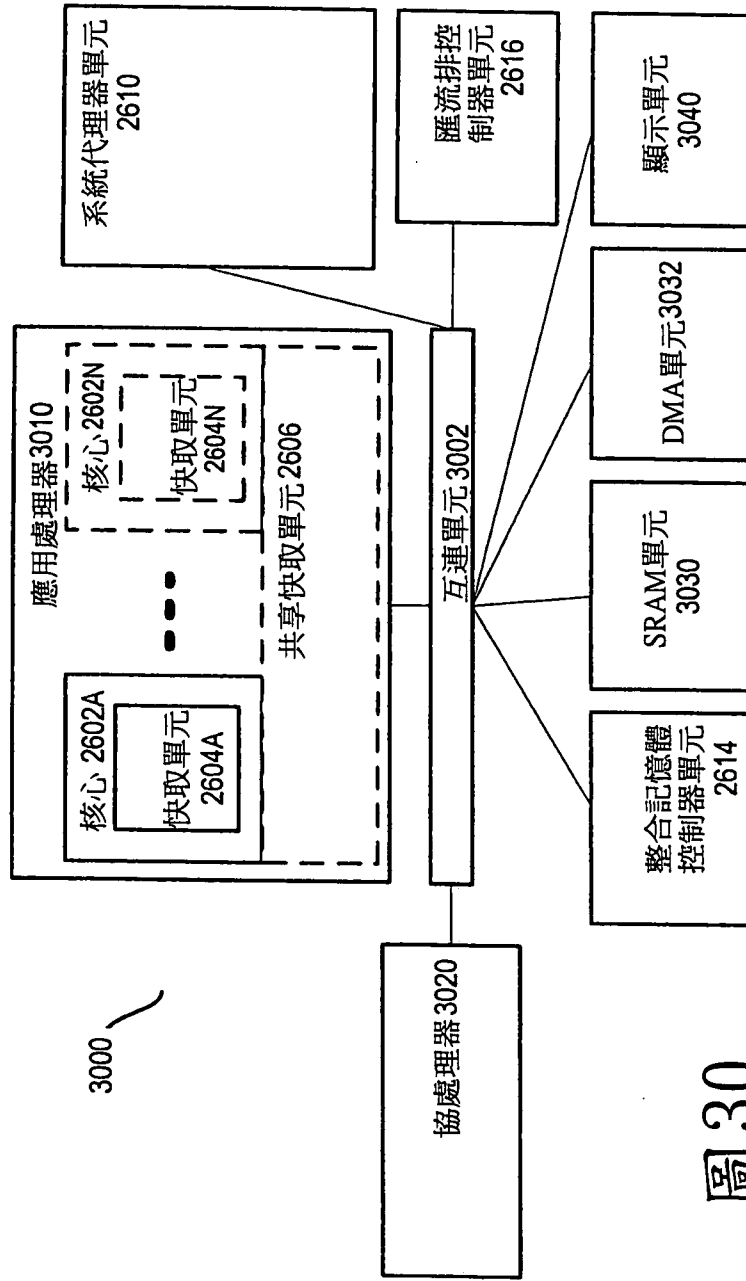


圖 30

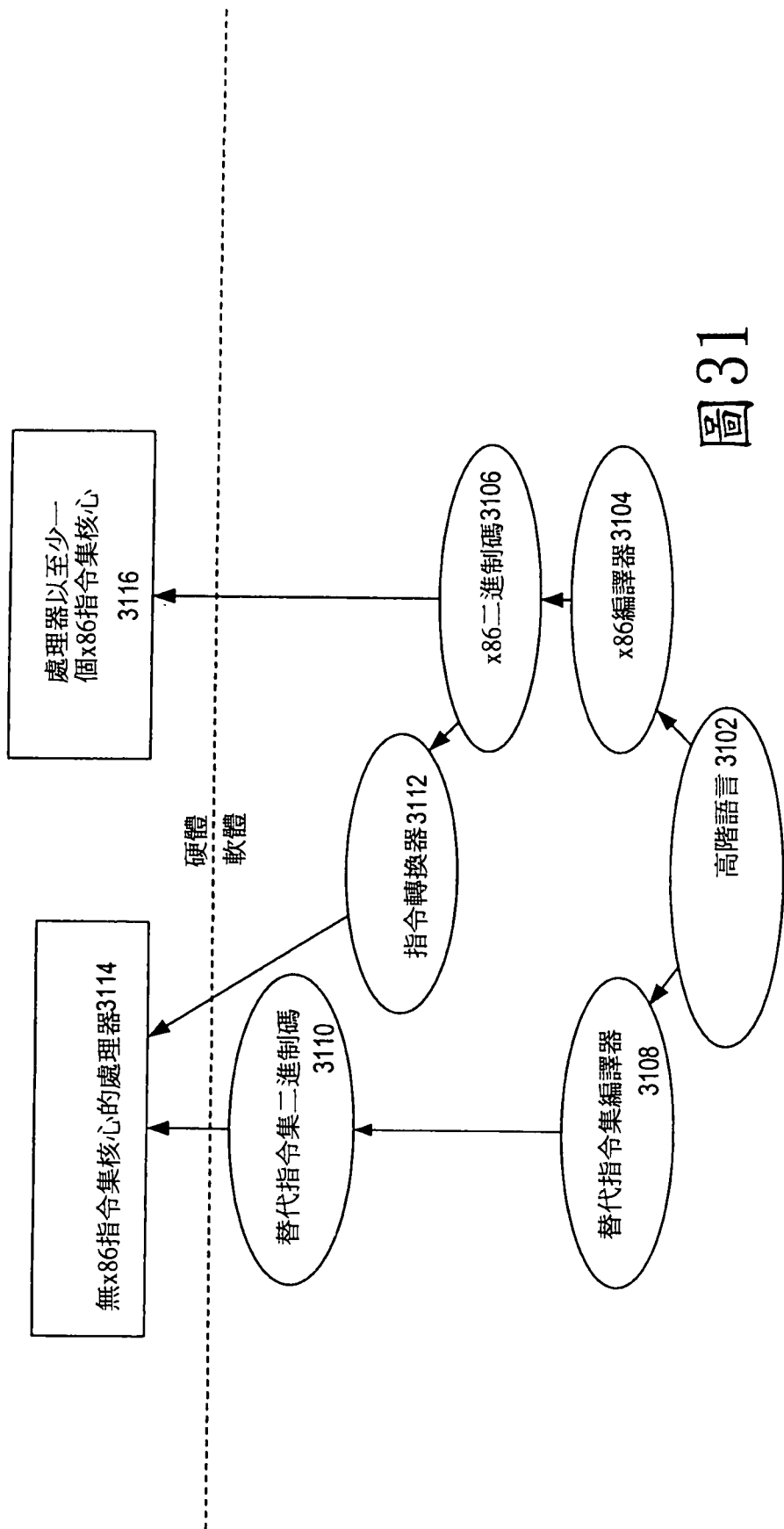


圖31