

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

95445

Patent dodatkowy
do patentu nr _____

Zgłoszono: 08.11.74 (P. 175447)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 19.06.76

Opis patentowy opublikowano: 15.04.1978

MKP G05b 19/24

Int. Cl.² G05B 19/24

Twórcy wynalazku: Mieczysław Bukowski, Tadeusz Lewandowski, Zygmunt Mirecki, Jerzy Grela

Uprawniony z patentu: Centralne Biuro Konstrukcyjne Obrabiarek, Pruszków (Polska)

Interpolator kołowo-liniowy z automatycznym skracaniem rejestrów

1

Przedmiotem wynalazku jest interpolator kołowo-liniowy z automatycznym skracaniem rejestrów mający zastosowanie w systemach sterowania numerycznego.

Znane są rozwiązania interpolatorów z tak zwanym bitem prowadzącym, budowa których wymaga zastosowania rejestrów przesuwających informację w obu kierunkach oraz rozbudowanego układu sterowania skracania rejestrów. Organizacja tego układu po wpisaniu informacji do rejestrów funkcji wymaga przesuwania ich zawartości w lewo tak długo dopóki nie pojawi się jedynek w skrajnej lewej pozycji jednego z rejestrów funkcji. Przesunięciu temu musi towarzyszyć umieszczenie bitu prowadzącego „1” na prawo od najmniej znaczącego bitu zawartości rejestru. W czasie pracy interpolatora bit prowadzący wyznacza początek cyklu interpolacji.

Istota interpolatora według wynalazku polega na tym, że zawiera on dwa przerzutniki, dwie bramki iloczynowe i bramkę sterującą połączone ze sobą oraz z dwoma sumatorami i dwoma sumatorami-subtraktorami integratorów funkcji (x) i funkcji (y) oraz z generatorem impulsów zegarowych w ten sposób, że wejścia triggerowe obu przerzutników połączone są z wyjściem bramki sterującej, a wejścia sterujące z wyjściami sumatorów, wejścia bramek iloczynowych połączone są z wyjściami przerzutników oraz ze źródłem sygnału początkowej chwili cyklu pracy interpolatora, wejścia bramki

2

sterującej połączone są z wyjściami sumatorów-subtraktorów oraz ze źródłem impulsów zegarowych, przy czym każda z bramek iloczynowych jest otwarta tylko w początkowej chwili cyklu pracy interpolatora, a bramka sterująca tylko wtedy gdy na jednym lub obu jej wejściach połączonych z sumatorami-subtraktorami pojawia się sygnał „1”.

Schemat blokowy interpolatora według wynalazku jest przedstawiony na rysunku.

Interpolator kołowo-liniowy składa się z rejestru funkcji RF_1 , rejestru reszt RR_1 , sumatora-subtraktora SS_1 , sumatora S_1 połączonych tak, że tworzą integrator szeregowy funkcji (x) oraz z rejestru funkcji RF_2 , rejestru reszt RR_2 , sumatora-subtraktora SS_2 , sumatora S_2 połączonych tak, że tworzą integrator szeregowy funkcji (y).

Zawiera on ponadto bramkę sterującą (BS), przerzutniki P_1 i P_2 , bramki iloczynowe BI_1 i BI_2 oraz bramki wyjściowe BW_1 i BW_2 . W integratorze funkcji (x) operacje dodawania i odejmowania wykonywane są bit po bicie. Sumator-subtraktor SS_1 służy do dodawania lub odejmowania od zawartości rejestru funkcji RF_1 przyrostów funkcji (x) podawanych na wejście 1.

Wynik dodawania lub odejmowania przesyłany jest z powrotem do rejestru funkcji RF_1 oraz pojawia się na wyjściu 4. Wybór operacji dodawania lub odejmowania odbywa się przez podanie odpowiedniego sygnału na wejście 2. Sumator S_1 służy do dodawania zawartości rejestru funkcji RF_1 do za-

wartości rejestru reszt RR_1 . Podczas dodawania wartości rejestrów RF_1 i RR_1 na wyjściu 3 sumatora S_1 pojawiają się sygnały przeniesień.

Przed rozpoczęciem całkowania do rejestru funkcji RF_1 wprowadzona jest wartość początkowa funkcji (x) w taki sposób, że w chwili „2⁰” najmłodszy bit tej liczby zajmuje pierwszy bit rejestru funkcji RF_1 . Rejestry RF_1 i RR_1 posiadają „n” bitów. W ten sposób cykl pracy integratora wyznaczony jest przez chwile „2⁰” i „2ⁿ⁻¹”. Impuls reprezentujący przyrost funkcji (x) musi być podawany na wejście 1 na początku cyklu pracy integratora, a więc w chwili „2⁰”.

Integrator funkcji (y) działa podobnie jak integrator funkcji (x). Sygnały z wyjść 4 i 8 integratorów funkcji (x) i funkcji (y), reprezentujące liczby zawarte w rejestrach funkcji RF_1 i RF_2 , wchodzi na wejścia 4 i 8 bramki sterującej BS. Na wejście 9 bramki sterującej BS wchodzi impulsy zegarowe, które są przepuszczane na wyjście 10 tylko wtedy gdy na obu wejściach 4 i 8 lub na jednym z tych wejść pojawia się sygnał „1”.

Sygnał z wyjścia 10 bramki sterującej BS wchodzi na wejścia triggerowe przerzutników P_1 i P_2 . Na wejścia sterujące przerzutników P_1 i P_2 podawane są sygnały przeniesień z wyjść 3 i 7 sumatorów S_1 i S_2 . W ten sposób przerzutniki P_1 i P_2 zapamiętują, do początku następnego cyklu pracy interpolatora, te przeniesienia z sumatorów S_1 i S_2 , które pojawiają się na wyjściach 3 i 7 w czasie kiedy jeden lub oba najstarsze bity liczb pojawiających się na wyjściach 4 i 8 są równe „1”. Sygnały z wyjść 11 i 12 przerzutników P_1 i P_2 wchodzi na bramki iloczynowe BI_1 i BI_2 . Na pozostałe wejścia 13 tych bramek podawany jest sygnał początkowej chwili cyklu pracy interpolatora.

Przy odpowiednich stanach przerzutników P_1 i P_2 , na wyjściach 14 i 15 bramek iloczynowych BI_1 i BI_2 pojawiają się impulsy na początku każdego cyklu pracy interpolatora. Są to opóźnione impulsy przeniesienia z wyjść 3 i 7 generowane w czasie kiedy jeden lub oba najstarsze bity liczb reprezentowanych przez sygnały na wyjściach 4 i 8 są równe „1”. W ten sposób uzyskuje się automatyczne skracanie długości rejestrów interpolatora. Efektywna długość rejestrów jest równą liczbie bitów większej z liczb reprezentowanych przez sygnały na wyjściach 4 i 8 jeżeli one są różne lub liczbie bitów jednej z tych liczb jeżeli są one równe.

W przypadku interpolacji kołowej wyjście 14 bramki iloczynowej BI_1 jest połączone z wejściem 5 sumatora-subtraktora SS_2 oraz wyjście 15 bramki iloczynowej BI_2 z wejściem 1 sumatora-subtraktora SS_1 . Podczas interpolacji liniowej na wejścia 1 i 5 sumatorów-subtraktorów SS_1 i SS_2 podawane są sygnały „0”. Impulsy z wyjść 14 i 15 po przejściu przez bramki wyjściowe BW_1 i BW_2 stają się impulsami wyjściowymi interpolatora. Bramki wyjściowe BW_1 i BW_2 są zamykane i otwierane w zależności od wartości wchodzących do nich sygnałów sterujących na wejścia 16 i 17. Wartości sygna-

łów sterujących na wejściach 16 i 17 mogą być jednocześnie równe lub różne. Przy obu sygnałach sterujących na wejściach 16 i 17 równych „1” bramki wyjściowe BW_1 i BW_2 są zamknięte.

Przy obu sygnałach sterujących na wejściach 16 i 17 równych „0” na wyjściu 18 bramki wyjściowej BW_1 pojawiają się impulsy z wyjścia 14 oraz na wyjściu 19 bramki wyjściowej BW_2 pojawiają się impulsy z wyjścia 15.

Przy sygnale sterującym na wejściu 16 równym „0” i na wejściu 17 równym „1” bramka wyjściowa BW_1 jest zamknięta, zaś bramka wyjściowa BW_2 przepuszcza sumę logiczną sygnałów z wyjść 14 i 15. Przy sygnale sterującym na wejściu 16 równym „1” i na wejściu 17 równym „0” bramka wyjściowa BW_1 jest zamknięta, zaś bramka wyjściowa BW_2 przepuszcza sumę logiczną sygnałów z wyjść 14 i 15.

Tak działające bramki wyjściowe BW_1 i BW_2 umożliwiają zakończenie procesu interpolacji i osiągnięcie żadanego punktu końcowego łuku okręgu.

Zastrzeżenia patentowe

1. Interpolator kołowo-liniowy z automatycznym skracaniem rejestrów, **znamienny tym**, że zawiera dwa przerzutniki (P_1) i (P_2), dwie bramki iloczynowe (BI_1) i (BI_2) i bramkę sterującą (BS) połączone ze sobą oraz z dwoma sumatorami (S_1 , (S_2) i dwoma sumatorami-subtraktorami (SS_1) i (SS_2) integratorów funkcji (x) i funkcji (y) oraz z generatorem impulsów zegarowych w ten sposób, że wejścia triggerowe obu przerzutników (P_1) i (P_2) połączone są z wyjściem (10) bramki sterującej (BS) a wejścia sterujące z wyjściami (3) i (7) sumatorów (S_1) i (S_2), wejścia bramek iloczynowych (BI_1) i (BI_2) połączone są z wyjściami (11) i (12) przerzutników (P_1) oraz ze źródłem sygnału początkowej chwili cyklu pracy interpolatora na wejściach (13), wejścia (4) i (8) bramki sterującej (BS) połączone są z wyjściami sumatorów-subtraktorów (SS_1) i (SS_2) oraz wejście (9) ze źródłem impulsów zegarowych, przy czym każda z bramek iloczynowych (BI_1), (BI_2) jest otwarta tylko w początkowej chwili cyklu pracy interpolatora, a bramka sterująca (BS) tylko wtedy gdy na jednym lub obu jej wejściach (4) i (8) połączonych z sumatorami-subtraktorami (SS_1) i (SS_2) pojawia się sygnał „1”.

2. Interpolator według zastrz. 1, **znamienny tym**, że bramki iloczynowe (BI_1) i (BI_2) są połączone z bramkami wyjściowymi (BW_1) i (BW_2) w ten sposób, że wyjścia (14) i (15) bramek iloczynowych (BI_1) i (BI_2) połączone są z wejściami bramek wyjściowych (BW_1) i (BW_2), przy czym na wejścia (16) i (17) bramek wyjściowych (BW_1) i (BW_2) są podawane takie dwa sygnały sterujące, że jeżeli oba sygnały sterujące są równe „1” to obie bramki wyjściowe (BW_1) i (BW_2) są zamknięte, jeżeli oba sygnały sterujące są równe „0” to obie bramki wyjściowe (BW_1) i (BW_2) są otwarte oraz jeżeli sygnały sterujące są różne to jedna z bramek wyjściowych (BW_1), (BW_2) jest zamknięta a druga przepuszcza sygnały z obu bramek iloczynowych (BI_1) i (BI_2).

