

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 19/28 (2006.01)



[12] 发明专利说明书

专利号 ZL 02126136.9

[45] 授权公告日 2009 年 5 月 27 日

[11] 授权公告号 CN 100492544C

[22] 申请日 2002.7.16 [21] 申请号 02126136.9

[30] 优先权

[32] 2001.7.16 [33] JP [31] 216040/01

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72] 发明人 纳光明

[56] 参考文献

EP1056069A2 2000.11.29

US6166725A 2000.12.26

审查员 吴 敏

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 吴立明 梁 永

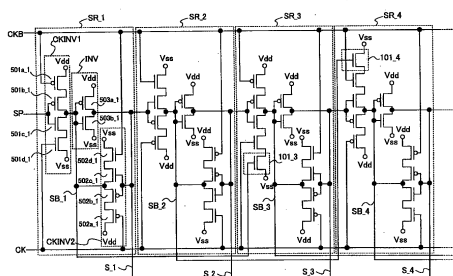
权利要求书 5 页 说明书 30 页 附图 28 页

[54] 发明名称

移位寄存器及其驱动方法

[57] 摘要

电压幅度小于移位寄存器的电源电压的时钟脉冲，被输入到移位寄存器。构成移位寄存器第二时钟倒相器的 TFT 的栅宽度被设定得宽，以便减小第一时钟倒相器漏电流造成的输出电位的起伏。而且，TFT 被附加到第一时钟倒相器。电压幅度相同于电源电压的信号被输入到加入的 TFT 的栅电极，以便在开通与关断之间转换。第一时钟倒相器的漏电流于是被截断。



1. 一种包含 r 个级的移位寄存器，各级包含：

第一和第二时钟倒相器，各与时钟脉冲和借助于反转时钟脉冲的极性而得到的倒相时钟脉冲同步地输出信号；以及

用来将借助于反转来自第一时钟倒相器的输出信号的极性而得到的信号输入到第二时钟倒相器的装置，

其中 r 是等于或大于 3 的自然数，

其中第一时钟倒相器的输出端子被连接到第二时钟倒相器的输出端子，

其中在第 k 级中，保持在第一时钟倒相器第一电源电位的布线，通过第一 n 沟道 TFT 和串联连接到第一 n 沟道 TFT 的第二 n 沟道 TFT，被连接到第一时钟倒相器的输出端子，

其中 k 是等于或大于 3 且等于或小于 r 的自然数，

其中借助于反转从第 $(k-1)$ 级第一时钟倒相器输出的信号的极性而得到的信号，被输入到第一 n 沟道 TFT 的栅电极，且

其中第 $(k-2)$ 级第一时钟倒相器的输出端子被连接到第二 n 沟道 TFT 的栅电极。

2. 一种包含 r 个级的移位寄存器，各级包含：

第一和第二时钟倒相器，各与时钟脉冲和借助于反转时钟脉冲的极性而得到的倒相时钟脉冲同步地输出信号；以及

用来将借助于反转来自第一时钟倒相器的输出信号的极性而得到的信号输入到第二时钟倒相器的装置，

其中 r 是等于或大于 3 的自然数，

其中第一时钟倒相器的输出端子被连接到第二时钟倒相器的输出端子，

其中在第 j 级中，保持在第一时钟倒相器第一电源电位的布线，通过第一 n 沟道 TFT 和串联连接到第一 n 沟道 TFT 的第二 n 沟道 TFT，被连接到第一时钟倒相器的输出端子，

其中 j 是等于或大于 2 且等于或小于 r 的自然数，

其中借助于反转从第 $(j-1)$ 级第一时钟倒相器输出的信号的极性而得到的信号，被输入到第一 n 沟道 TFT 的栅电极，

其中在第二级中,第二 n 沟道 TFT 的栅电极通过延迟电路被连接到第一级第一时钟倒相器的输出端子,

其中在第 k 级中,第 $(k-2)$ 级第一时钟倒相器的输出端子被连接到第二 n 沟道 TFT 的栅电极,并且

其中 k 是等于或大于 3 且等于或小于 r 的自然数。

3. 一种包含 r 个级的移位寄存器,各级包含:

第一和第二时钟倒相器,各与时钟脉冲和借助于反转时钟脉冲的极性而得到的倒相时钟脉冲同步地输出信号;以及

用来将借助于反转来自第一时钟倒相器的输出信号的极性而得到的信号输入到第二时钟倒相器的装置,

其中 r 是等于或大于 3 的自然数,

其中第一时钟倒相器的输出端子被连接到第二时钟倒相器的输出端子,

其中在第 k 级中,保持在第一时钟倒相器第二电源电位的布线,通过第一 p 沟道 TFT 和串联连接到第一 p 沟道 TFT 的第二 p 沟道 TFT,被连接到第一时钟倒相器的输出端子,

其中 k 是等于或大于 3 且等于或小于 r 的自然数,

其中借助于反转从第 $(k-1)$ 级第一时钟倒相器输出的信号的极性而得到的信号,被输入到第一 p 沟道 TFT 的栅电极,且

其中第 $(k-2)$ 级第一时钟倒相器的输出端子被连接到第二 p 沟道 TFT 的栅电极。

4. 一种包含 r 个级的移位寄存器,各级包含:

第一和第二时钟倒相器,各与时钟脉冲和借助于反转时钟脉冲的极性而得到的倒相时钟脉冲同步地输出信号;以及

用来将借助于反转来自第一时钟倒相器的输出信号的极性而得到的信号输入到第二时钟倒相器的装置,

其中 r 是等于或大于 3 的自然数,

其中第一时钟倒相器的输出端子被连接到第二时钟倒相器的输出端子,

其中在第 j 级中,保持在第一时钟倒相器第二电源电位的布线,通过第一 p 沟道 TFT 和串联连接到第一 p 沟道 TFT 的第二 p 沟道 TFT,被连接到第一时钟倒相器的输出端子,

其中 j 是等于或大于 2 且等于或小于 r 的自然数,

其中借助于反转从第 $(j-1)$ 级第一时钟倒相器输出的信号的极性而得到的信号, 被输入到第一 p 沟道 TFT 的栅电极,

其中在第二级中, 第二 p 沟道 TFT 的栅电极通过延迟电路被连接到第一级第一时钟倒相器的输出端子,

其中在第 k 级中, 第 $(k-2)$ 级第一时钟倒相器的输出端子被连接到第二 p 沟道 TFT 的栅电极, 并且

其中 k 是等于或大于 3 且等于或小于 r 的自然数。

5. 一种包含 r 个级的移位寄存器, 各级包含第一和第二时钟倒相器以及倒相器,

其中 r 是等于或大于 3 的自然数,

其中第一时钟倒相器的输出端子被连接到第二时钟倒相器的输出端子,

其中第一时钟倒相器的输出端子被连接到倒相器的输入端子,

其中在第 k 级中, 保持在第一时钟倒相器第一电源电位的布线, 通过第一 n 沟道 TFT 和串联连接到第一 n 沟道 TFT 的第二 n 沟道 TFT, 被连接到第一时钟倒相器的输出端子,

其中 k 是等于或大于 3 且等于或小于 r 的自然数,

其中第一 n 沟道 TFT 的栅电极被连接到第 $(k-1)$ 级的倒相器的输出端子, 且

其中第 $(k-2)$ 级第一时钟倒相器的输出端子被连接到第二 n 沟道 TFT 的栅电极。

6. 一种包含 r 个级的移位寄存器, 各级包含第一和第二时钟倒相器以及倒相器,

其中 r 是等于或大于 3 的自然数,

其中第一时钟倒相器的输出端子被连接到第二时钟倒相器的输出端子,

其中第一时钟倒相器的输出端子被连接到倒相器的输入端子,

其中在第 j 级中, 保持在第一时钟倒相器第一电源电位的布线, 通过第一 n 沟道 TFT 和串联连接到第一 n 沟道 TFT 的第二 n 沟道 TFT, 被连接到第一时钟倒相器的输出端子,

其中 j 是等于或大于 2 且等于或小于 r 的自然数,

其中第一 n 沟道 TFT 的栅电极被连接到第 $(j-1)$ 级的倒相器的输出端子,

其中在第二级中, 第二 n 沟道 TFT 的栅电极通过延迟电路被连接到第一级第一时钟倒相器的输出端子,

其中在第 k 级中, 第 $(k-2)$ 级第一时钟倒相器的输出端子被连接到第二 n 沟道 TFT 的栅电极, 并且

其中 k 是等于或大于 3 且等于或小于 r 的自然数。

7. 一种包含 r 个级的移位寄存器, 各级包含第一和第二时钟倒相器以及倒相器,

其中 r 是等于或大于 3 的自然数,

其中第一时钟倒相器的输出端子被连接到第二时钟倒相器的输出端子,

其中第一时钟倒相器的输出端子被连接到倒相器的输入端子,

其中在第 k 级中, 保持在第一时钟倒相器第二电源电位的布线, 通过第一 p 沟道 TFT 和串联连接到第一 p 沟道 TFT 的第二 p 沟道 TFT, 被连接到第一时钟倒相器的输出端子,

其中 k 是等于或大于 3 且等于或小于 r 的自然数,

其中第一 p 沟道 TFT 的栅电极被连接到第 $(k-1)$ 级的倒相器的输出端子, 且

其中第 $(k-2)$ 级第一时钟倒相器的输出端子被连接到第二 p 沟道 TFT 的栅电极。

8. 一种包含 r 个级的移位寄存器, 各级包含第一和第二时钟倒相器以及倒相器,

其中 r 是等于或大于 3 的自然数,

其中第一时钟倒相器的输出端子被连接到第二时钟倒相器的输出端子,

其中第一时钟倒相器的输出端子被连接到倒相器的输入端子,

其中在第 j 级中, 保持在第一时钟倒相器第二电源电位的布线, 通过第一 p 沟道 TFT 和串联连接到第一 p 沟道 TFT 的第二 p 沟道 TFT, 被连接到第一时钟倒相器的输出端子,

其中 j 是等于或大于 2 且等于或小于 r 的自然数,

其中第一 p 沟道 TFT 的栅电极被连接到第 $(j-1)$ 级的倒相器的输出

端子，

其中在第二级中，第二 p 沟道 TFT 的栅电极通过延迟电路被连接到第一级第一时钟倒相器的输出端子，

其中在第 k 级中，第 (k-2) 级第一时钟倒相器的输出端子被连接到第二 p 沟道 TFT 的栅电极，并且

其中 k 是等于或大于 3 且等于或小于 r 的自然数。

9. 一种包含根据权利要求 1 的移位寄存器的驱动电路。
10. 一种包含根据权利要求 2 的移位寄存器的驱动电路。
11. 一种包含根据权利要求 3 的移位寄存器的驱动电路。
12. 一种包含根据权利要求 4 的移位寄存器的驱动电路。
13. 一种包含根据权利要求 5 的移位寄存器的驱动电路。
14. 一种包含根据权利要求 6 的移位寄存器的驱动电路。
15. 一种包含根据权利要求 7 的移位寄存器的驱动电路。
16. 一种包含根据权利要求 8 的移位寄存器的驱动电路。
17. 一种包括根据权利要求 9 的驱动电路的显示器件。
18. 一种包括根据权利要求 10 的驱动电路的显示器件。
19. 一种包括根据权利要求 11 的驱动电路的显示器件。
20. 一种包括根据权利要求 12 的驱动电路的显示器件。
21. 一种包括根据权利要求 13 的驱动电路的显示器件。
22. 一种包括根据权利要求 14 的驱动电路的显示器件。
23. 一种包括根据权利要求 15 的驱动电路的显示器件。
24. 一种包括根据权利要求 16 的驱动电路的显示器件。
25. 一种采用根据权利要求 17 的显示器件的电子装置。
26. 一种采用根据权利要求 18 的显示器件的电子装置。
27. 一种采用根据权利要求 19 的显示器件的电子装置。
28. 一种采用根据权利要求 20 的显示器件的电子装置。
29. 一种采用根据权利要求 21 的显示器件的电子装置。
30. 一种采用根据权利要求 22 的显示器件的电子装置。
31. 一种采用根据权利要求 23 的显示器件的电子装置。
32. 一种采用根据权利要求 24 的显示器件的电子装置。

移位寄存器及其驱动方法

技术领域

本发明涉及移位寄存器。具体地说，本发明涉及由薄膜晶体管（以下称为 TFT）组成的移位寄存器，并涉及驱动该移位寄存器的方法。

背景技术

接收时钟脉冲和起始脉冲以顺序输出脉冲（取样脉冲）的移位寄存器，被应用于各种电路中。在具有多个排列成矩阵的象素的显示器件中，移位寄存器被具体地用作栅信号线驱动电路以及用来选择象素并将信号输入到被选择的象素的栅信号线驱动电路。

图 5 示出了一般的移位寄存器的结构例子。此移位寄存器具有第一级到第 r 级（ r 是等于或大于 3 的自然数）。各个级由第一时钟倒相器 CKINV1、第二时钟倒相器 CKINV2 以及倒相器 INV 组成。

第 i 级（ i 是等于或小于 r 的自然数）被称为 SR- i 。构成第 i 级的第一时钟倒相器、第二时钟倒相器以及倒相器，分别被称为 CKINV1- i 、CKINV2- i 和 INV- i 。

在第一级 SR-1 中，起始脉冲 SP 从外部被输入到第一时钟倒相器 CKINV1-1 的输入端子，且第一时钟倒相器 CKINV1-1 的输出端子被连接到倒相器 INV-1 的输入端子和第二时钟倒相器 CKINV2-1 的输出端子。第二时钟倒相器 CKINV2-1 的输入端子被连接到倒相器 INV-1 的输出端子。INV-1 的输出端子用作第一级 SR-1 的输出端子。

在第二级 SR-2 中，第一时钟倒相器 CKINV1-2 的输入端子被连接到第一级 SR-1 中的倒相器 INV-1 的输出端子，且第一时钟倒相器 CKINV1-2 的输出端子被连接到倒相器 INV-2 的输入端子和第二时钟倒相器 CKINV2-2 的输出端子。第二时钟倒相器 CKINV2-2 的输入端子被连接到倒相器 INV-2 的输出端子。INV-2 的输出端子用作第二级 SR-2 的输出端子。

通常，在第 j 级中（ j 是等于或大于 2 并等于或小于 r 的自然数）中，第一时钟倒相器 CKINV1- j 的输入端子被连接到第 $(j-1)$ 级 SR- $j-1$ 中的倒相器 INV- $j-1$ 的输出端子，且第一时钟倒相器 CKINV1- j 的输出端子被连接到倒相器 INV- j 的输入端子和第二时钟倒相器 CKINV2- j

的输出端子。第二时钟倒相器 CKINV2-j 的输入端子被连接到倒相器 INV-j 的输出端子。倒相器 INV-j 的输出端子用作第 j 级的输出端子。

当起始脉冲 SP 被输入到第一级时,由如上所述构成的第一级电路 SR-1 至第 r 级电路 SR-r 组成的移位寄存器,与时钟脉冲 CK 和借助于反转时钟脉冲 CK 的极性而得到的倒相时钟脉冲 CKB 同步地从第一级电路 SR-1 至第 r 级电路 SR-r 的输出端顺序输出移位脉冲 S-1 至 S-r。时钟脉冲 CK 和倒相时钟脉冲 CKB 被输入到第 1 至第 r 级的第一时钟倒相器 CKINV1 和第二时钟倒相器 CKINV2。

图 4 是构成具有图 5 所示结构的移位寄存器中各个级的第一时钟倒相器 CKINV1、第二时钟倒相器 CKINV2 和倒相器 INV 的详细电路图的例子。

Vdd 表示高电源电位,而 Vss 表示低电源电位。此处,高电源电位 Vdd 被设定为高于低电源电位 Vss。高电源电位 Vdd 与低电源电位 Vss 之间的电位差相当于移位寄存器的电源电压。

第一时钟倒相器 CKINV1 由 p 沟道 TFT 501a 和 501b 以及 n 沟道 TFT 501d 和 501c 组成。在本说明书中,通过其栅电极接收时钟脉冲 CK 或倒相时钟脉冲 CKB 的第一时钟倒相器 CKINV1 的 p 沟道 TFT 和 n 沟道 TFT,分别被表示为 501a 和 501d。p 沟道 TFT 501b 和 n 沟道 TFT 501c 的栅电极则被连接到第一时钟倒相器 CKINV1 的输入端子。

若要将时钟脉冲 CK 输入到 p 沟道 TFT 501a 的栅电极,则倒相时钟脉冲 CKB 被输入到 n 沟道 TFT 501d 的栅电极。另一方面,若要将倒相时钟脉冲 CKB 输入到 p 沟道 TFT 501a 的栅电极,则时钟脉冲 CK 被输入到 n 沟道 TFT 501d 的栅电极。

p 沟道 TFT 501a 的源电极被保持在相同于高电源电位 Vdd 的电平,而其漏电极被连接到 p 沟道 TFT 501b 的源电极。p 沟道 TFT 501b 的漏电极被连接到 n 沟道 TFT 501c 的漏电极,而 n 沟道 TFT 501c 的源电极被连接到 n 沟道 TFT 501d 的漏电极。n 沟道 TFT 501d 的源电极被保持在相同于低电源电位 Vss 的电平。p 沟道 TFT 501b 和 n 沟道 TFT 501c 的栅电极用作第一时钟倒相器 CKINV1 的输入端子。p 沟道 TFT 501b 和 n 沟道 TFT 501c 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。

第二时钟倒相器 CKINV2 由 p 沟道 TFT 502a 和 502b 以及 n 沟道

TFT 502d 和 502c 组成。在本说明书中, 通过其栅电极接收时钟脉冲 CK 或倒相时钟脉冲 CKB 的第二时钟倒相器 CKINV2 的 p 沟道 TFT 和 n 沟道 TFT, 分别被表示为 502a 和 502d。而且, p 沟道 TFT 502b 和 n 沟道 TFT 502c 的栅电极被连接到倒相器 INV 的输出端子。

若要将时钟脉冲 CK 输入到构成第一时钟倒相器 CKINV1 的 p 沟道 TFT 501a 的栅电极, 则倒相时钟脉冲 CKB 被输入到构成第二时钟倒相器 CKINV2 的 p 沟道 TFT 502a 的栅电极, 且时钟脉冲 CK 被输入到 n 沟道 TFT 502d 的栅电极。另一方面, 若要将倒相时钟脉冲 CKB 输入到构成第一时钟倒相器 CKINV1 的 p 沟道 TFT 501a 的栅电极, 则时钟脉冲 CK 被输入到构成第二时钟倒相器 CKINV2 的 p 沟道 TFT 502a 的栅电极, 且倒相时钟脉冲 CKB 被输入到 n 沟道 TFT 502d 的栅电极。

p 沟道 TFT 502a 的源电极被保持在相同于高电源电位 Vdd 的电平, 而其漏电极被连接到 p 沟道 TFT 502b 的源电极。p 沟道 TFT 502b 的漏电极被连接到 n 沟道 TFT 502c 的漏电极, 而 n 沟道 TFT 502c 的源电极被连接到 n 沟道 TFT 502d 的漏电极。n 沟道 TFT 502d 的源电极被保持在相同于低电源电位 Vss 的电平。p 沟道 TFT 502b 和 n 沟道 TFT 502c 的漏电极用作第二时钟倒相器 CKINV2 的输出端子。

倒相器 INV 由 p 沟道 TFT 503a 和 n 沟道 TFT 503b 组成。p 沟道 TFT 503a 的源电极被保持在相同于高电源电位 Vdd 的电平, 而 p 沟道 TFT 503a 的漏电极被连接到 n 沟道 TFT 503b 的漏电极。n 沟道 TFT 503b 的源电极被保持在相同于低电源电位 Vss 的电平。p 沟道 TFT 503a 和 n 沟道 TFT 503b 的栅电极用作倒相器 INV 的输入端子。p 沟道 TFT 503a 和 n 沟道 TFT 503b 的漏电极用作倒相器 INV 的输出端子。

若第 i 级(i 是自然数)的第一时钟倒相器 CKINV1- i 的 p 沟道 TFT 501a- i 的栅电极接收时钟脉冲 CK, 则倒相时钟脉冲 CKB 被输入到第 $(i-1)$ 级的第一时钟倒相器 CKINV1- $i-1$ 的 p 沟道 TFT 501a- $i-1$ 的栅电极。

构成第 i 级的第一时钟倒相器 CKINV1- i (i 是自然数)的 p 沟道 TFT 501a 和 501b 以及 n 沟道 TFT 501c 和 501d, 分别由 501a- i 和 501b- i 以及 501c- i 和 501d- i 表示。同样, 构成第 i 级的第二时钟倒相器 CKINV2- i 的 p 沟道 TFT 502a 和 502b 以及 n 沟道 TFT 502c 和 502d, 分别由 502a- i 和 502b- i 以及 502c- i 和 502d- i 表示。构成第

i 级的倒相器 INV-i 的 n 沟道 TFT 503a 和 p 沟道 TFT 503b, 分别由 503a-i 和 503b-i 表示。

图 7 是时间图, 示出了如图 4 和 5 所示构成的移位寄存器的理想驱动方法。下面描述其具体工作。

移位寄存器接收时钟脉冲 CK、借助于反转时钟脉冲 CK 的极性而得到的倒相时钟脉冲 CKB、以及起始脉冲 SP。在第一级 SR-1 的第一时钟倒相器 CKINV1-1 中, 倒相时钟脉冲 CKB 被输入到 p 沟道 TFT 501a-1 的栅电极, 而时钟脉冲 CK 被输入到 n 沟道 TFT 501d-1 的栅电极。起始脉冲 SP 被输入到第一时钟倒相器 CKINV1-1 的 p 沟道 TFT 501b-1 和 n 沟道 TFT 501c-1。

在图 7 的时间图中, 示出了起始脉冲 SP、时钟脉冲 CK、以及倒相时钟脉冲 CKB 之间的关系。

起始脉冲 SP 被输入到第一级 SR-1 的第一时钟倒相器 CKINV1-1 的输入端子。换言之, 第一时钟倒相器 CKINV1-1 在起始脉冲 SP 输入时接收“Hi”电位, 并接收时钟脉冲 CK 以及倒相时钟脉冲 CKB。第一时钟倒相器 CKINV1-1 的 n 沟道 TFT 501c-1 和 501d-1 被开通。第一时钟倒相器 CKINV1-1 的输出端子的电位于是被设定为低电源电位 Vss。亦即, 第一级的第一时钟倒相器 CKINV1-1 的输出 SB-1 是“Lo”电位。此时, 同一级的第二时钟倒相器 CKINV2-1 的 p 沟道 TFT 502a-1 和 n 沟道 TFT 502d-1 被输入到 TFT 502a-1 和 502d-1 的栅电极的时钟脉冲 CK 和倒相时钟脉冲 CKB 关断。

另一方面, 第二级的第一时钟倒相器 CKINV1-2 的 p 沟道 TFT 501a-2 和 n 沟道 TFT 501d-2 二者被输入到 TFT 501a-2 和 501d-2 的栅电极的时钟脉冲 CK 和倒相时钟脉冲 CKB 关断。

第二时钟倒相器 CKINV2-2 的 p 沟道 TFT 502a-2 和 n 沟道 TFT 502d-2 都被输入到 TFT 502a-2 和 502d-2 的栅电极的时钟脉冲 CK 和倒相时钟脉冲 CKB 开通, 且“Lo”电位被输入到第二时钟倒相器 CKINV2-2 的输入端子。因此, 高电源电位 Vdd 从第二时钟倒相器 CKINV2-2 的输出端子被输出。换言之, 第二时钟倒相器 CKINV2-2 输出“Hi”电位。

接着, 时钟脉冲 CK 和倒相时钟脉冲 CKB 将第一级 SR-1 的第一时钟倒相器 CKINV1-1 中的 n 沟道 TFT 501d-1 关断。另一方面, 第二时

钟倒相器 CKINV2-1 中的 n 沟道 TFT 502d-1 被开通。

第一时钟倒相器 CKINV1-1 的输出 SB-1 通过倒相器 INV-1 被输入到第二时钟倒相器 CKINV2-1 的输入端子。换言之，借助于将第一时钟倒相器 CKINV1-1 的输出 SB-1 的极性倒相而得到的信号，被输入到第二时钟倒相器 CKINV2-1 的输入端。此输入信号将第二时钟倒相器 CKINV2-1 中的 n 沟道 TFT 502c-1 开通。以这种方式，第二时钟倒相器 CKINV2-1 的输出端子被设定为低电源电位 V_{ss} 。亦即，第二 CKINV2-1 的输出 SB-1 是“Lo”电位。

另一方面，“Hi”电位从第一级 SR-1 被输入到第二级的第一时钟倒相器 CKINV1-2 的输入端子。时钟脉冲 CK 和倒相时钟脉冲 CKB 将 n 沟道 TFT 501d-2 开通。于是，第二级的第一时钟倒相器 CKINV1-2 的输出端子被设定为低电源电位 V_{ss} ，第二级的第一时钟倒相器 CKINV1-2 的输出 SB-2 就获得“Lo”电位。

时钟脉冲 CK 和倒相时钟脉冲 CKB 再次将第一级的第一时钟倒相器的 p 沟道 TFT 501a-1 开通。此时，起始脉冲 SP 不被输入，第一时钟倒相器的 p 沟道 TFT 501b-1 因而也被开通。因此，第一级的第一时钟倒相器 CKINV1-1 的输出端子被设定为高电源电位 V_{dd} ，第一时钟倒相器的输出 SB-1 就获得“Hi”电位。

第一时钟倒相器 CKINV1 和第二时钟倒相器 CKINV2 的输出如上所述被改变。各个级的输出 S 于是被输出，同时各个输出被顺序从输入的起始脉冲 SP 移位时钟脉冲 CK 的半个周期。图 4 所示的移位寄存器以这种方式输出脉冲。

与图 4 所示构造的移位寄存器相反，存在着这样一种移位寄存器，它输出从相邻各级的输出信号 S 的 NAND 操作得到的脉冲。图 10 示出了这种移位寄存器的一个例子。在图 10 中，与图 4 中的元件相同的各个元件用相同的参考号表示，其描述从略。

第 i 级电路 SR- i 的输出 S_i 和第 $(i+1)$ ($(i+1)$ 是等于或小于 r 的自然数) 级电路 SR- $i+1$ 的输出 S_{i+1} ，被输入到第 i 个 NAND 电路 NAND- i 。第 i 个 NAND 电路 NAND- i 输出第 i 个脉冲 SMP- i 。脉冲 SMP- i 是移位寄存器的输出脉冲。

图 11 是图 10 所示移位寄存器的驱动方法的时间图。图 10 中的操作与图 7 中的操作相同，直至完成从第一级电路 SR-1-第 r 级电路 SR- r

顺序输出移位脉冲 S_1-S_r 。然后,相邻各级的输出被输入到各个 NAND 电路 $NAND_1-NAND_{r-1}$, 且脉冲 SMP_1-SMP_{r-1} 被顺序输出。图 10 所示的移位寄存器以这种方式输出各个脉冲。

图 4、5 和 10 的移位寄存器需要少量的元件来构成电路。因此,仅仅需要小的负载容量,高频下的工作从而相对容易。

通常,移位寄存器以几乎等于时钟脉冲和起始脉冲信号幅度的电源电压工作。移位寄存器的电源电压通常被设定为大约 10V。

诸如时钟脉冲和起始脉冲的待要输入到移位寄存器的脉冲信号,通常由制作在单晶集成电路衬底上的脉冲信号控制电路输出。脉冲信号控制电路一般输出电压幅度 (amplitude voltage) 约为 3.3V 的控制信号。从脉冲信号发生电路输出的脉冲信号的电压幅度通常被电平移位器之类提高,以便在输入到移位寄存器之前达到大约与移位寄存器的电源电压相同的电平。

现在假设待要输入到移位寄存器的脉冲信号的信号电压未被电平移位器之类提高。这相当于构成图 4 的移位寄存器的各个元件的电源电压 (相当于高电源电位 V_{dd} 与低电源电位 V_{ss} 之间的电位差), 亦即移位寄存器的电源电位, 大于起始脉冲 SP 和时钟脉冲 CK 的电压幅度的情况。

参照图 6 的时间图来描述移位寄存器在这种情况下的工作。图 4 是移位寄存器的电路结构。为便于解释,假设移位寄存器的电源电压为 10V (高电源电位 V_{dd} 为 10V, 而低电源电位 V_{ss} 为 0V), 且诸如时钟脉冲和起始脉冲的脉冲信号的电压幅度为 3.0V。相当于“Lo”的脉冲信号的电位 (最低电位) 则被设定为 3.5V, 而相当于“Hi”的脉冲信号的电位 (最高电位) 被设定为 6.5V。

集中到第一时钟倒相器 CKINV1。考虑了这样一种情况, 其中, 时钟脉冲 CK 和倒相时钟脉冲 CKB 被输入其中, 且 p 沟道 TFT 501a 的栅电极接收相当于“Hi”, 此时为 6.5V 的电位, 同时 n 沟道 TFT 501d 接收相当于“Lo”, 此时为 3.5V 的电位。在此情况下, p 沟道 TFT 501a 和 n 沟道 TFT 501d 二者都被理想地关断。但由于时钟脉冲 CK 和倒相时钟脉冲 CKB 的电压幅度小于电源电压而产生下列问题。

在 p 沟道 TFT 501a 中, 其源电极的电位超过其栅电极的电位。在此例子中, p 沟道 TFT 501a 的源电极电位为 10V, 即高电源电位 V_{dd} ,

而其栅电极电位为 6.5V，即时钟脉冲 CK 或倒相时钟脉冲 CKB 的“Hi”电位，源电极与栅电极之间的电位差从而为 3.5V。若 p 沟道 TFT 501a 的阈值电压（p 沟道 TFT 中栅电极电位相对于源电极电位）为 -3.5V 或以上，换言之，若 p 沟道 TFT 501a 的阈值电压的绝对值小于 3.5V，则 p 沟道 TFT 501a 被不希望有地开通，使其源-漏导电。

同样，在 n 沟道 TFT 501d 中，其源电极的电位低于其栅电极的电位。在此例子中，n 沟道 TFT 501d 的源电极电位为 0V，即低电源电位 V_{ss} ，而其栅电极电位为 3.5V，即时钟脉冲 CK 或倒相时钟脉冲 CKB 的“Lo”电位，源电极与栅电极之间的电位差从而为 3.5V。若 n 沟道 TFT 501d 的阈值电压（n 沟道 TFT 中栅电极电位相对于源电极电位）为 3.5V 或以下，则 n 沟道 TFT 501d 被不希望有地开通。

时间图中由虚线表示的区域，示出了当应该关断的 TFT 由于上述问题而被开通时，移位寄存器的工作。

此时，若如时间图所示，起始脉冲 SP 被输入到第一级 SR-1 的第一时钟倒相器（clocked inverter）CKINV1-1 的输入端子，则第一时钟倒相器 CKINV1-1 与时钟脉冲 CK 和倒相时钟脉冲 CKB 同步地输出信号 SB-1。

来自第一级 SR-1 的倒相器 INV-1 的输出（图中用 S-1 表示），被输入到第二级 SR-2 的第一时钟倒相器 CKINV1-2。

若从第一级 SR-1 输出的脉冲信号 S-1 被输入到第二级 SR-2 的第一时钟倒相器 CKINV1-2 的输入端子，且应该关断的 n 沟道 TFT 501d-2 由于上述问题而被开通，漏电流流过 n 沟道 TFT 501c-2 和 n 沟道 TFT 501d-2。当这一漏电流流动时，第一时钟倒相器 CKINV1-2 的输出电位 SB-2 变得低于高电源电位 V_{dd} （在图 6 中用虚线 401n 表示）。

另一方面，若从第一级 SR-1 输出的脉冲信号 S-1 不被输入到第二级 SR-2 的第一时钟倒相器 CKINV1-2 的输入端子，且应该关断的 p 沟道 TFT 501a-2 由于上述问题而被开通，漏电流流过 p 沟道 TFT 501a-2 和 p 沟道 TFT 501b-2。当这一漏电流流动时，第一时钟倒相器 CKINV1-2 的输出电位 SB-2 变得高于低电源电位 V_{ss} （在图 6 中用虚线 401p 表示）。

相似的现象发生在第三级 SR-3 及其后续各级，漏电流引起涉及到的级的第一时钟倒相器 CKINV1 的输出电位 SB 从图 7 时间图所示的理

想工作起伏。

如上所述，若脉冲被输入到第一时钟倒相器 CKINV1 的输入端子，同时，应该关断的 p 沟道 TFT 501a 和 n 沟道 TFT 501d 被开通，则电流流过 n 沟道 TFT 501c 和 501d（以下将此电流称为 n 沟道 TFT 的漏电流），从而输出比预计输出电位 V_{dd} 更低的电位。

而且，若脉冲不被输入到第一时钟倒相器 CKINV1 的输入端子，同时，应该关断的 TFT 501a 和 TFT 501d 被开通，则电流流过 TFT 501a 和 501b（以下将此电流称为 p 沟道 TFT 的漏电流），从而输出比预计输出电位 V_{ss} 更高的电位。

当漏电流大时，不可能使输出 SB 的脉冲移位。

以这种方式，当应该关断的 TFT 被开通时，移位寄存器无法正常运行输出，很可能出现误动作。

为了防止上述原因引起的误动作，在脉冲信号的电压幅度被电平移位器提高到移位寄存器电源电压电平之后，常规的移位寄存器接收诸如时钟脉冲 CK 和起始脉冲 SP 之类的脉冲信号。

此处将带有包括电平移位器的移位寄存器的驱动电路的显示器件作为一个例子。此时的电平移位器可以被制作在其上制作具有移位寄存器的驱动电路和接收驱动电路输出的信号以显示图像的象素部分的衬底（此衬底被称为平板衬底）上。作为变通，电平移位器可以被制作在与平板衬底分隔开的单晶集成电路衬底上。

若电平移位器被制作在与平板衬底分隔开的衬底上，则象素部分外围上的电路在显示器件中占据很大的面积。此外，由于平板衬底上电平移位器与电路之间连接部分处的布线电容和布线电阻大而使功耗也大。

另一方面，若电平移位器被制作在平板衬底上，则出现下列问题。时钟脉冲 CK 和起始脉冲 SP 输入到其中的信号线的负载电容大。因此，缓冲器输出中的诸如时钟脉冲 CK 和起始脉冲 SP 的脉冲信号在电平移位之后变得迟钝，从而由于信号延迟而引起时间偏离。为了防止脉冲信号变得迟钝，必须增强缓冲器的电流馈送能力。

如上所述，具有制作在平板衬底上的电平移位器的移位寄存器有诸如难以在高频下工作、电源线中的噪声、以及占据的面积大之类的问题。

为了提高输入的脉冲信号的电压幅度，移位寄存器可以采用制作在平板衬底上的电平移位器或制作在与平板衬底分隔开的衬底上的电平移位器。但以二者中任何一种方式，此移位寄存器都有一些问题，包括难以在高频下工作、电源线中的噪声、以及占据的面积大。

发明内容

本发明的目的因而是提供一种没有上述问题的移位寄存器以及驱动该移位寄存器的方法。

本发明的移位寄存器接收电压幅度小于移位寄存器电源电压的时钟脉冲和起始脉冲。因此，没有必要在平板衬底外面制作用来提升时钟脉冲和起始脉冲的电压幅度的电平移位器，也没有必要将已经被电平移位以将其电压幅度提升到电源电压电平的时钟脉冲和起始脉冲输入到平板。因此，有可能解决平板衬底上各个电路与电平移位器之间的布线电容和布线电阻造成的功耗增大问题。

而且，根据本发明，没有必要在平板衬底上制作用来提升时钟脉冲和起始脉冲的电压幅度的电平移位器，也没有必要将已经被电平移位的时钟脉冲和起始脉冲输入到信号线。因此，信号线负载造成的迟钝影响被抑制，移位寄存器从而能够工作于高频。电源线噪声的影响也能够被抑制。

此外，根据本发明，由于不需要电平移位器，故安置移位寄存器所需要的面积被减小。

以这种方式，提供了一种在高频下功耗较小地驱动移位寄存器的方法，同时解决了诸如电源线噪声和占据面积大的问题。

在采用上述驱动方法的情况下，若构成移位寄存器的第二时钟倒相器具有大的电流容量，则有可能减小由于应该关断的第一时钟倒相器的 TFT 处于开通状态而使电流（漏电流）流动所造成的第一时钟倒相器的输出电位的起伏。构成第二时钟倒相器的 TFT 的栅宽度于是被设定得宽。

在常规移位寄存器中，各级中第二时钟倒相器 CKINV2 的唯一任务是保持第一时钟倒相器 CKINV1 输出的信号。因此，为了减小第二时钟倒相器造成的负载，相对于各自的极性，构成第二时钟倒相器 CKINV2 的 TFT，亦即 p 沟道 TFT 502a 和 502b 以及 n 沟道 TFT 502c 和 502d 的栅宽度，常常比构成第一时钟倒相器 CKINV1 的 TFT，亦即 p 沟道 TFT

501a 和 501b 以及 n 沟道 TFT 501c 和 501d 的栅宽度更小。例如，构成第二时钟倒相器的 TFT 的栅宽度被设定为构成第一时钟倒相器的 TFT 的栅宽度的 1/10。注意，所有这些 TFT 都具有相同的栅长度。

另一方面，在本发明中，移位寄存器接收电压幅度比移位寄存器电源电压小的时钟脉冲和起始脉冲，从而引起漏电流问题。因此，借助于将构成第二时钟倒相器的 TFT 的栅宽度设定得比现有技术中的更宽，降低了漏电流。

例如，考虑了这样一种情况，其中构成移位寄存器第一时钟倒相器的 n 沟道 TFT 的源电极的电位与输入到 n 沟道 TFT 的栅电极的时钟脉冲或倒相时钟脉冲的最低电位（相当于“Lo”电位）之间的电位差的绝对值大于 n 沟道 TFT 的阈值电压绝对值。借助于将构成第二时钟倒相器的 p 沟道 TFT 的栅宽度设定得宽，就有可能减小由于应该关断的 n 沟道 TFT 处于开通状态而使电流（漏电流）流动所造成的第一时钟倒相器的输出电位的起伏。

此外，考虑了这样一种情况，其中构成移位寄存器第一时钟倒相器的 p 沟道 TFT 的源电极的电位与输入到 p 沟道 TFT 的栅电极的时钟脉冲或倒相时钟脉冲的最高电位（相当于“Hi”电位）之间的电位差的绝对值大于 p 沟道 TFT 的阈值电压绝对值。借助于将构成第二时钟倒相器的 n 沟道 TFT 的栅宽度设定得宽，就有可能减小由于应该关断的 p 沟道 TFT 处于开通状态而使电流（漏电流）流动所造成的第一时钟倒相器的输出电位的起伏。

而且，另一个 TFT 被加入到第一时钟倒相器。电源电位通过加入的 TFT 的源-漏，被输出到第一时钟倒相器的输出端子。电压幅度电平与移位寄存器的电源电压相同的信号，被输入到加入的 TFT 的栅电极。当漏电流引起问题时，加入的 TFT 就被关断。流在第一时钟倒相器中的电流（漏电流）于是被截断。

于是得到不怕误动作的移位寄存器。

利用上述结构，提供了一种不误动作的并且能够以低电源电压工作于高频下的移位寄存器以及驱动此移位寄存器的方法。

附图说明

在附图中：

图 1 是电路图，示出了根据本发明的移位寄存器的结构；

图 2 是时间图，示出了根据本发明的移位寄存器的驱动方法；
图 3 是时间图，示出了根据本发明的移位寄存器的驱动方法；
图 4 示出了移位寄存器的结构；
图 5 示出了移位寄存器的结构；
图 6 是时间图，示出了常规移位寄存器的驱动方法；
图 7 是时间图，示出了移位寄存器的理想驱动方法；
图 8 是电路图，示出了根据本发明的移位寄存器的结构；
图 9 是时间图，示出了根据本发明的移位寄存器的驱动方法；
图 10 是电路图，示出了移位寄存器的结构；
图 11 是时间图，示出了根据本发明的移位寄存器的驱动方法；
图 12 是电路图，示出了根据本发明的移位寄存器的结构；
图 13 是具有采用本发明的移位寄存器的驱动电路的显示器件的方框图；

图 14A-14F 示出了其中应用了具有本发明的移位寄存器的驱动电路的显示器件的电子设备；

图 15 是俯视图，示出了根据本发明的移位寄存器的制造例子；
图 16 是俯视图，示出了根据本发明的移位寄存器的制造例子；
图 17 是剖面图，示出了根据本发明的移位寄存器的制造例子；
图 18 是电路图，示出了根据本发明的移位寄存器的结构；
图 19 是电路图，示出了根据本发明的移位寄存器的结构；
图 20 是时间图，示出了根据本发明的移位寄存器的驱动方法；
图 21 是电路图，示出了根据本发明的移位寄存器的结构；
图 22 是电路图，示出了根据本发明的移位寄存器的结构；
图 23 是电路图，示出了根据本发明的移位寄存器的结构；
图 24 是电路图，示出了根据本发明的移位寄存器的结构；
图 25 是电路图，示出了根据本发明的移位寄存器的结构；
图 26A-26B 示出了 TFT 的栅宽度；
图 27 是从上表面拍摄的根据本发明的移位寄存器的照片；而
图 28 示出了根据本发明的移位寄存器在 5MHz 的频率下工作过程中的波形。

具体实施方式

[实施方案 1]

作为现有技术例子，等效于图 4 电路图的电路图被用来描述根据本发明实施方案 1 的移位寄存器。与图 4 相同的元件用相同的参考号来表示，其解释从略。

本发明的移位寄存器接收电压幅度小于移位寄存器的电源电压（相当于高电源电位 V_{dd} 与低电源电位 V_{ss} 之间的电位差）的起始脉冲 SP 和时钟脉冲 CK。

此处，移位寄存器各级具有第一时钟倒相器和第二时钟倒相器。第二时钟倒相器 CKINV2 具有 p 沟道 TFT 502a 和 502b，它们的栅宽度被设定为第一时钟倒相器的 p 沟道 TFT 501a 和 501b 的栅宽度的 1/2 或更大。

此处的 TFT 栅宽度指的是沿垂直于载流子运动方向覆盖 TFT 的半导体有源层的栅电极部分的长度。参照图 26A 和 26B 来描述栅宽度 W。沿图 26A 中 a-a' 线的剖面图对应于图 26B。3000 表示的是具有绝缘表面的衬底；3005 表示半导体有源层；3004 表示栅电极；而 3001 表示栅绝缘膜。半导体有源层 3005 具有用作源区和漏区的区域 3002a 和 3002b，并具有沟道区 3006。图中用 W 来表示栅宽度。

移位寄存器各级由第一时钟倒相器和第二时钟倒相器组成。第二时钟倒相器具有 n 沟道 TFT 502c 和 502d，它们的栅宽度被设定为第一时钟倒相器的 n 沟道 TFT 501c 和 501d 的栅宽度的 1/2 或更大。

各级电路中的第二时钟倒相器 CKINV2 的电流容量以这种方式被提高。利用提高了的电流容量，来自第二时钟倒相器 CKINV2 的“Hi”电位（高电源电位 V_{dd} ）输出能够减小由于接收电压幅度小于移位寄存器电源电压的起始脉冲 SP 和时钟脉冲 CK 的移位寄存器中的第一时钟倒相器 CKINV1 的 n 沟道 TFT 漏电流造成的输出电位 SB 的起伏。

以相同的上述的方式，来自第二时钟倒相器 CKINV2 的“Lo”电位（低电源电位 V_{ss} ）输出能够减小由第一时钟倒相器 CKINV1 的 p 沟道 TFT 漏电流造成的输出电位 SB 的起伏。

参照图 3 的时间图来描述如上所述构造的移位寄存器的工作。虚线表示漏电流造成的输出电位 SB 起伏。在图 3 中，虚线 301n 示出了由流过第二级的第一时钟倒相器 CKINV1-2 的 n 沟道 TFT 501c 和 501d 的漏电流造成的输出电位 SB-2 的起伏。虚线 301p 示出了由流过第二级的第一时钟倒相器 CKINV1-2 的 p 沟道 TFT 501a 和 501b 的漏电流

造成的输出电位 SB-2 的起伏。

借助于增大第二时钟倒相器 CKINV2 的 p 沟道 TFT 的栅宽度, 由于图 6 所示现有技术例子的漏电流而使输出电位 SB-2 的起伏 301n 小于起伏 401n。

而且, 借助于增大第二时钟倒相器 CKINV2 的 n 沟道 TFT 的栅宽度, 由于图 6 所示现有技术例子的漏电流而使输出电位 SB-2 的起伏 301p 小于起伏 401p。

根据上述结构, 能够减小第一时钟倒相器漏电流造成的输出电压的起伏。

如现有技术例子的图 4 所示, 移位寄存器各级中的第一时钟倒相器的 p 沟道 TFT 501a 和 p 沟道 TFT 501b 能够调换位置。p 沟道 TFT 501a 具有其中被输入时钟脉冲 CK 或倒相时钟脉冲 CKB 的栅电极。p 沟道 TFT 501b 具有用作第一时钟倒相器输入端子的栅电极。

此处来确定上述二个 TFT 装置位置的准确调换。例如, 第一结构具有 TFT1 和 TFT2, 借助于调换 TFT1 和 TFT2 的位置而得到第二结构。输入到第二结构中的 TFT1 和 TFT2 各个栅电极的信号与第一结构中的相同。在第二结构中, 布线被连接成使 TFT1 的源电极的电连接关系与第一结构的 TFT2 的源电极电连接关系相同, TFT2 的源电极电连接关系与第一结构的 TFT1 源电极电连接关系相同, TFT1 的漏电极电连接关系与第一结构的 TFT2 的漏电极电连接关系相同, TFT2 的漏电极电连接关系与第一结构的 TFT1 的漏电极电连接关系相同。

第一时钟倒相器的 n 沟道 TFT 501d 和 n 沟道 TFT 501c 也能够调换其位置。n 沟道 TFT 501d 具有时钟脉冲 CK 或倒相时钟脉冲 CKB 被输入其中的栅电极。n 沟道 TFT 501c 具有用作第一时钟倒相器的输入端子的栅电极。

以相同于上述的方式, 移位寄存器各级中的第二时钟倒相器的 p 沟道 TFT 501a 和 p 沟道 TFT 501b 能够调换位置。p 沟道 TFT 501a 具有其中被输入时钟脉冲 CK 或倒相时钟脉冲 CKB 的栅电极。p 沟道 TFT 501b 具有用作第二时钟倒相器输入端子的栅电极。第二时钟倒相器的 n 沟道 TFT 501d 和 n 沟道 TFT 501c 也能够调换其位置。n 沟道 TFT 501d 具有时钟脉冲 CK 或倒相时钟脉冲 CKB 被输入其中的栅电极。n 沟道 TFT 501c 具有用作第二时钟倒相器输入端子的栅电极。

在图 4 中, 构成移位寄存器各级的第一时钟倒相器 CKINV1、第二时钟倒相器 CKINV2、以及倒相器 INV 的 TFT, 具有单栅结构。但 TFT 不局限于此, 而是可以采用双栅结构或具有二个以上栅电极的多栅结构。

[实施方案 2]

图 1 是电路图, 示出了实施方案 2 的移位寄存器的结构。此移位寄存器的与图 4 中相同的元件用相同的参考号表示, 其解释从略。

本发明的移位寄存器接收电压幅度小于移位寄存器的电源电压 (相当于高电源电位 Vdd 与低电源电位 Vss 之间的电位差) 的起始脉冲 SP 和时钟脉冲 CK。以上引起第一时钟倒相器的漏电流。本实施方案利用下述结构来减小漏电流。

在图 1 中, n 沟道 TFT 101 被加入到构成移位寄存器的第三级和第三级之后的各级中的第一时钟倒相器 CKINV1。第 k (k 是等于或大于 3 并且等于或小于 r 的自然数) 级中的 n 沟道 TFT 101 用 101-k 表示。

n 沟道 TFT 101-k 的栅电极被连接到第 (k-2) 级的第一时钟倒相器 CKINV1-k-2 的输出端子。n 沟道 TFT 101-k 的源电极被连接到低电源电位 Vss, 而其漏电极被连接到第一时钟倒相器 CKINV1-k 的 n 沟道 TFT 501d-k 的源电极。

利用上述结构, 信号 SB-k-2 被输入到第 k 级的第一时钟倒相器 CKINV1-k 中的 n 沟道 TFT 101-k 的栅电极。当 n 沟道 TFT 501d-k 应该关断时, 信号 SB-k-2 为 “Lo” 电位。信号 SB-k-2 的 “Lo” 电位与低电源电位 Vss 大约相同。因此, 当信号 SB-k-2 的 “Lo” 电位被输入到 n 沟道 TFT 501d-k 的栅电极时, n 沟道 TFT 501d-k 就获得大约 0V 的栅电压 (栅-源电压 Vgs), 并被无误地关断。以这种方式, 能够在第 k 级电路的第一时钟倒相器 CKINV1-k 中避免 n 沟道 TFT 的漏电流。

图 2 是用来驱动图 1 的移位寄存器的时间图。

若以时间图所示的方式来输入起始脉冲 SP, 则漏电流造成的第一级的第一时钟倒相器的输出 SB-1 的起伏不是问题。换言之, 在第一级的第一时钟倒相器中, 若第一级的第一时钟倒相器 CKINV1-1 的输出 SB-1 是借助于反转被输入的起始脉冲 SP 的极性而得到的信号, 则漏电流造成的第一级的第一时钟倒相器的输出 SB-1 的起伏不是问题。

第二级的第一时钟倒相器的输出 SB-2 由于漏电流而起伏。另一方面, 本实施方案的结构能够防止第三级及其后续各级中的第一时钟倒相器的输出 SB 由于 n 沟道 TFT 的漏电流而起伏。因此, 第三级及其后续各级的输出被认为是移位寄存器的合理输出。

如上所述, 借助于将 n 沟道 TFT 101 加入到第三级及其后续各级的第一时钟倒相器 CKINV1, 防止了漏电流, 移位寄存器就能够正常工作。

现在参照图 12 来描述一种不同类型的移位寄存器。此移位寄存器输出从相邻各级的输出信号 S 的 NAND 运算得到的信号。各级的输出 S 是图 1 所示那些电位。此移位寄存器与图 1 所示相同的元件用相同的参考号表示, 其解释从略。

若以时间图所示的方式来输入起始脉冲 SP, 则漏电流造成的第一级的第一时钟倒相器 CKINV1-1 的输出 SB-1 的起伏不是问题。虽然第二级的第一时钟倒相器的输出 SB-2 由于漏电流而起伏, 但由于从第一和第二级的输出 S-1 和 S-2 的 NAND 运算得到的信号被输出作为取样脉冲 SMP-1, 故此起伏不干扰移位寄存器的工作。借助于将 n 沟道 TFT 101 加入到第三级及其后续各级的第一时钟倒相器 CKINV1, 防止了漏电流, 移位寄存器就能够正常工作。

注意, 在本实施方案中, 没有为无误地防止 p 沟道 TFT 的漏电流而加入新的 p 沟道 TFT。通常, n 沟道 TFT 的特性比 p 沟道 TFT 更好, 因此, 确保防止 n 沟道 TFT 的漏电流是特别重要的。因此, 上述用来防止漏电流的结构是非常有效的。

在本实施方案的移位寄存器的第一级和第二级中, 其第一时钟倒相器 CKINV1 的 p 沟道 TFT 501a 和 501b 能够调换其位置。详细地说, 如图 1 和 12 所示, 一种能够被采用的结构将源电极连接到高电源电位 Vdd 的 TFT 设定为 p 沟道 TFT 501a。在此情况下, p 沟道 TFT 501a 被按此顺序串联连接到 p 沟道 TFT 501b, 而 p 沟道 TFT 501b 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。另一种能够被采用的结构将源电极连接到高电源电位 Vdd 的 TFT 设定为 P 沟道 TFT 501b。在此情况下, P 沟道 501b 被按此顺序串联连接到 P 沟道 TFT 501a, 而 P 沟道 TFT 501a 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。

如上所述, 有二种在第一时钟倒相器 CKINV1 中安置 p 沟道 TFT

501a 和 501b 的方法。在二种安置方法的每一种中, n 沟道 TFT 501d 和 501c 能够调换其位置。详细地说, 如图 1 和 12 所示, 一种能够被采用的结构将源电极连接到低电源电位 V_{ss} 的 TFT 设定为 n 沟道 TFT 501d。在此情况下, n 沟道 TFT 501d 被按此顺序串联连接到 n 沟道 TFT 501c, 而 n 沟道 TFT 501c 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。另一种能够被采用的结构将源电极连接到低电源电位 V_{ss} 的 TFT 设定为 n 沟道 TFT 501c, 且此 n 沟道 TFT 501c 被按此顺序串联连接到 n 沟道 TFT 501d, 而 n 沟道 TFT 501d 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。

在第一级电路和第二级电路中, 相似于第一时钟倒相器 CKINV1, 第二时钟倒相器 CKINV2 的 p 沟道 TFT 501a 和 501b 能够调换其位置。第二时钟倒相器 CKINV2 的 n 沟道 TFT 501d 和 501c 也能够调换其位置。

在本实施方案移位寄存器的第三级电路以及第三级之后的各级的电路中, 其第一时钟倒相器 CKINV1 的 p 沟道 TFT 501a 和 501b 能够调换其位置。详细地说, 如图 1 和 12 所示, 一种能够被采用的结构将源电极连接到高电源电位 V_{dd} 的 TFT 设定为 p 沟道 TFT 501a。在此情况下, p 沟道 TFT 501a 被按此顺序串联连接到 p 沟道 TFT 501b, 而 p 沟道 TFT 501b 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。另一种能够被采用的结构将源电极连接到高电源电位 V_{dd} 的 TFT 设定为 p 沟道 TFT 501b, 在此情况下, p 沟道 TFT 501b 被按此顺序串联连接到 p 沟道 TFT 501a, 而 p 沟道 TFT 501a 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。

如上所述, 有二种在第一时钟倒相器 CKINV1 中安置 p 沟道 TFT 501a 和 501b 的方法。在二种安置方法的每一种中, n 沟道 TFT 101、501d 和 501c 能够调换其位置。详细地说, 如图 1 和 12 所示, 一种能够被采用的结构将源电极连接到低电源电位 V_{ss} 的 TFT 设定为 n 沟道 TFT 101。在此情况下, n 沟道 TFT 101 被按此顺序串联连接到 n 沟道 TFT 501d 和 501c, 而 n 沟道 TFT 501c 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。另一种能够被采用的结构将源电极连接到低电源电位 V_{ss} 的 TFT 设定为 n 沟道 TFT 101。在此情况下, n 沟道 TFT 101 被按此顺序串联连接到 n 沟道 TFT 501c 和 501d, 而 n 沟道 TFT 501d

的漏电极用作第一时钟倒相器 CKINV1 的输出端子。又一种能够被采用的结构将源电极连接到低电源电位 V_{ss} 的 TFT 设定为 n 沟道 TFT 501d。在此情况下, n 沟道 TFT 501d 被按此顺序串联连接到 n 沟道 TFT 101 和 501c, 而 n 沟道 TFT 501c 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。再一种能够被采用的结构将源电极连接到低电源电位 V_{ss} 的 TFT 设定为 n 沟道 TFT 501c。在此情况下, n 沟道 TFT 501c 被按此顺序串联连接到 n 沟道 TFT 101 和 501d, 而 n 沟道 TFT 501d 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。再一种能够被采用的结构将源电极连接到低电源电位 V_{ss} 的 TFT 设定为 n 沟道 TFT 501d。在此情况下, n 沟道 TFT 501d 被按此顺序串联连接到 n 沟道 TFT 501c 和 101, 而 n 沟道 TFT 101 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。再一种能够被采用的结构将源电极连接到低电源电位 V_{ss} 的 TFT 设定为 n 沟道 TFT 501c。在此情况下, n 沟道 TFT 501c 被按此顺序串联连接到 n 沟道 TFT 501d 和 101, 而 n 沟道 TFT 101 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。

相似于第一级电路和第二级电路中的第二时钟倒相器 CKINV2, 第三级及其后续各级中的第二时钟倒相器 CKINV2 的 p 沟道 TFT 501a 和 501b 也能够调换其位置。第二时钟倒相器 CKINV2 的 n 沟道 TFT 501d 和 501c 也能够调换其位置。

在图 1 和 12 中, 构成移位寄存器各级的第一时钟倒相器 CKINV1、第二时钟倒相器 CKINV2、以及倒相器 INV 的 TFT, 具有单栅结构。但 TFT 不局限于此, 而是可以采用双栅结构或具有二个以上栅电极的多栅结构。

本实施方案可以与实施方案 1 自由组合。

[实施方案 3]

本实施方案描述一种不同于图 1 所示实施方案 2 所构成的移位寄存器。参照图 8 来进行描述。在图 8 中, 与图 1 相同的元件用相同的参考号表示, 其描述从略。

本发明的移位寄存器接收电压幅度小于移位寄存器的电源电压 (相当于高电源电位 V_{dd} 与低电源电位 V_{ss} 之间的电位差) 的起始脉冲 SP 和时钟脉冲 CK。以上引起第一时钟倒相器的漏电流。本实施方案利用下述结构来减小漏电流。

在图 8 中, n 沟道 TFT 101 被加入到构成移位寄存器的第二级和第二级之后的各级中的第一时钟倒相器 CKINV1。第 k (k 是等于或大于 2 和等于或小于 r 的自然数) 级中的 n 沟道 TFT 101 用 101- k 表示。

n 沟道 TFT 101- k 的栅电极被连接到第 $(k-2)$ 级的第一时钟倒相器 CKINV1- $k-2$ 的输出端子。 n 沟道 TFT 101- k 的源电极被连接到低电源电位 V_{ss} , 而其漏电极被连接到第一时钟倒相器 CKINV1- k 的 n 沟道 TFT 501d- k 的源电极。

加入到第二级的 n 沟道 TFT 101-2 的源电极, 被连接到低电源电位 V_{ss} , 而其漏电极被连接到第一时钟倒相器 CKINV1-2 的 n 沟道 TFT 501d-2 的源电极。

在图 8 中, 第一级倒相器 INV-1 的输出通过延迟电路 110 被输入到第二级 n 沟道 TFT 101-2 的栅电极。此延迟电路 110 由多个纵向连接的倒相器电路组成。但本发明不局限于此, 具有任何熟知结构的电路都能够被自由地用作延迟电路 110。

利用上述结构, 当要关断 n 沟道 TFT 时, 借助于延迟第一级的输出 S-1 (第一级倒相器 INV-1 的输出) 而得到的信号, 被输入到第二级的第一时钟倒相器 CKINV1-2 中的 n 沟道 TFT 101-2 的栅电极。此信号在被延迟大约半个时钟脉冲周期之后被输入。于是防止了 n 沟道 TFT 的漏电流在第二级电路的第一时钟倒相器 CKINV1-2 中流动。

n 沟道 TFT 101-2 的栅电极能够接收不是借助于使第一级倒相器 INV-1 的输出 S-1 延迟半个时钟脉冲周期而得到的信号的其它信号。例如, 可以输入借助于反转第一级的第一时钟倒相器 CKINV1-1 的输出 SB-1 的极性而得到的信号。

输入到 n 沟道 TFT 101-2 栅电极的信号不局限于上述信号, 只要当 n 沟道 TFT 的漏电流引起问题时 n 沟道 TFT 101-2 被关断, 以及只要当第二级的 n 沟道 TFT 501c 和 501d 都被开通时 n 沟道 TFT 101-2 被开通即可。

在第 k ($k=3$ 或以上) 级电路的第一时钟倒相器中, 借助于当 n 沟道 TFT 501d- k 要被关断时将信号 SB- $k-2$ 输入到 n 沟道 TFT 101- k 的栅电极, n 沟道 TFT 101- k 就被关断。于是防止了 n 沟道 TFT 的漏电流在第 k 级的第一时钟倒相器 CKINV1- k 中流动。

若起始脉冲 SP 以时间图所示的方式被输入, 则漏电流造成的第一

级的第一时钟倒相器的输出 SB_1 的起伏不是问题。换言之，在第一级的第一时钟倒相器中，若第一级的第一时钟倒相器 CKINV1_1 的输出 SB_1 是借助于反转被输入的起始脉冲 SP 的极性而得到的信号，则漏电流造成的第一级的第一时钟倒相器的输出 SB_1 的起伏不是问题。

因此，借助于将 n 沟道 TFT 101 加入到第二级及其后续各级中的第一时钟倒相器 CKINV1，防止了漏电流，移位寄存器从而能够正常地工作。

参照图 9 的时间图来描述根据此实施方案的移位寄存器的驱动方法。图 9 示出了通过延迟电路 110 被输入到 TFT 101-2 栅电极的信号 S_1R。TFT 101-2 被信号 S_1R 关断，以便避免第二级的第一时钟倒相器 CKINV1-2 的漏电流。

为了无误地防止 p 沟道 TFT 的漏电流，没有加入新的 p 沟道 TFT。通常，n 沟道 TFT 的特性比 p 沟道 TFT 更好，因此，确保防止 n 沟道 TFT 的漏电流特别重要。因此，上述用来防止漏电流的结构非常有效。

在本实施方案的移位寄存器的第一级中，第一时钟倒相器 CKINV1_1 的 p 沟道 TFT 501a 和 501b 能够调换其位置。详细地说，如图 8 所示，一种能够被采用的结构将源电极连接到高电源电位 Vdd 的 TFT 设定为 p 沟道 TFT 501a。在此情况下，p 沟道 TFT 501a 被按此顺序串联连接到 p 沟道 TFT 501b，而 p 沟道 TFT 501b 的漏电极用作第一时钟倒相器 CKINV1_1 的输出端子。另一种能够被采用的结构将源电极连接到高电源电位 Vdd 的 TFT 设定为 p 沟道 TFT 501b，在此情况下，p 沟道 TFT 501b 被按此顺序串联连接到 p 沟道 TFT 501a，而 p 沟道 TFT 501a 的漏电极用作第一时钟倒相器 CKINV1_1 的输出端子。

如上所述，有二种在第一时钟倒相器 CKINV1_1 中安置 p 沟道 TFT 501a 和 501b 的方法。在二种安置方法的每一种中，n 沟道 TFT 501d 和 501c 能够调换其位置。详细地说，如图 8 所示，一种能够被采用的结构将源电极连接到低电源电位 Vss 的 TFT 设定为 n 沟道 TFT 501d。在此情况下，n 沟道 TFT 501d 被按此顺序串联连接到 n 沟道 TFT 501c，而 n 沟道 TFT 501c 的漏电极用作第一时钟倒相器 CKINV1_1 的输出端子。另一种能够被采用的结构将源电极连接到低电源电位 Vss 的 TFT 设定为 n 沟道 TFT 501c。在此情况下，n 沟道 TFT 501c 被按此顺序串联连接到 n 沟道 TFT 501d，而 n 沟道 TFT 501d 的漏电极用作第一时

钟倒相器 CKINV1-1 的输出端子。

在第一级电路中，相似于第一时钟倒相器 CKINV1-1，第二时钟倒相器 CKINV2-1 的 p 沟道 TFT 501a 和 501b 能够调换其位置。第二时钟倒相器 CKINV2-1 的 n 沟道 TFT 501d 和 501c 也能够调换其位置。

在本实施方案移位寄存器的第二级电路以及第二级之后的各级的电路中，其第一时钟倒相器 CKINV1 的 p 沟道 TFT 501a 和 501b 能够调换其位置。详细地说，如图 8 所示，一种能够被采用的结构将源电极连接到高电源电位 Vdd 的 TFT 设定为 p 沟道 TFT 501a。在此情况下，p 沟道 TFT 501a 被按此顺序串联连接到 p 沟道 TFT 501b，而 p 沟道 TFT 501b 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。另一种能够被采用的结构将源电极连接到高电源电位 Vdd 的 TFT 设定为 p 沟道 TFT 501b。在此情况下，p 沟道 TFT 501b 被按此顺序串联连接到 p 沟道 TFT 501a，而 p 沟道 TFT 501a 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。

如上所述，有二种在第一时钟倒相器 CKINV1 中安置 p 沟道 TFT 501a 和 501b 的方法。在二种安置方法的每一种中，n 沟道 TFT 101、501d 和 501c 能够调换其位置。详细地说，如图 8 所示，一种能够被采用的结构将源电极连接到低电源电位 Vss 的 TFT 设定为 n 沟道 TFT 101。在此情况下，n 沟道 TFT 101 被按此顺序串联连接到 n 沟道 TFT 501d 和 501c，而 n 沟道 TFT 501c 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。另一种能够被采用的结构将源电极连接到低电源电位 Vss 的 TFT 设定为 n 沟道 TFT 101。在此情况下，n 沟道 TFT 101 被按此顺序串联连接到 n 沟道 TFT 501c 和 501d，而 n 沟道 TFT 501d 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。又一种能够被采用的结构将源电极连接到低电源电位 Vss 的 TFT 设定为 n 沟道 TFT 501d。在此情况下，n 沟道 TFT 501d 被按此顺序串联连接到 n 沟道 TFT 101 和 501c，而 n 沟道 TFT 501c 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。再一种能够被采用的结构将源电极连接到低电源电位 Vss 的 TFT 设定为 n 沟道 TFT 501c。在此情况下，n 沟道 TFT 501c 被按此顺序串联连接到 n 沟道 TFT 101 和 501d，而 n 沟道 TFT 501d 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。再一种能够被采用的结构将源电极连接到低电源电位 Vss 的 TFT 设定为 n 沟道 TFT 501d。在此情况下，n

n 沟道 TFT 501d 被按此顺序串联连接到 n 沟道 TFT 501c 和 101, 而 n 沟道 TFT 101 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。再一种能够被采用的结构将源电极连接到低电源电位 V_{ss} 的 TFT 设定为 n 沟道 TFT 501c。在此情况下, n 沟道 TFT 501c 被按此顺序串联连接到 n 沟道 TFT 501d 和 101, 而 n 沟道 TFT 101 的漏电极用作第一时钟倒相器 CKINV1 的输出端子。

相似于第一级电路中的第二时钟倒相器 CKINV2-1, 第二级及第二级之后的各级中的第二时钟倒相器 CKINV2 的 p 沟道 TFT 501a 和 501b 也能够调换其位置。第二时钟倒相器 CKINV2 的 n 沟道 TFT 501d 和 501c 也能够调换其位置。

在图 8 中, 构成移位寄存器各级的第一时钟倒相器 CKINV1、第二时钟倒相器 CKINV2、以及倒相器 INV 的 TFT, 具有单栅结构。但 TFT 不局限于此, 而是可以采用双栅结构或具有二个以上栅电极的多栅结构。

本实施方案可以与实施方案 1 自由组合。

[实施方案 4]

本实施方案描述一种不同于实施方案 2 或 3 所构成的移位寄存器。

本实施方案的移位寄存器是图 1 所示构造的移位寄存器的一种修正, 并借助于从具有第一时钟倒相器 CKINV1 中 n 沟道 TFT 101 的第三级及其后续级的各级中清除其中输入时钟脉冲 CK 或倒相时钟脉冲 CKB 的 n 沟道 TFT 501d 而得到。本实施方案的移位寄存器的结构被示于图 18。此移位寄存器与图 1 相同的元件用相同的参考号表示, 其解释从略。例如, 图 18 中第三级的第一时钟倒相器 CKINV1 不具有图 1 的 n 沟道 TFT 501d-3。图 18 所示构造的移位寄存器的输出脉冲的时刻与图 1 所示构造的移位寄存器相同。

图 18 所示的结构具有数目与常规移位寄存器所具有的相同的构成移位寄存器的 TFT。但当移位寄存器接收电压幅度比移位寄存器电源电压小的时钟脉冲和起始脉冲时, 图 18 的结构能够减小漏电流造成的第一时钟倒相器输出电位的起伏。这样得到的是一种以较小功耗工作于高频下且没有诸如电源线噪声和占据面积大之类问题的移位寄存器。

借助于从具有第一时钟倒相器 CKINV1 中 n 沟道 TFT 101 的第二级

及其后续级的各级中清除其中输入时钟脉冲 CK 或倒相时钟脉冲 CKB 的 n 沟道 TFT 501d, 图 8 所示结构的移位寄存器能够被修正以获得不同的结构。此结构被示于图 19。此移位寄存器与图 8 相同的元件用相同的参考号表示, 其解释从略。例如, 图 19 中第二级的第一时钟倒相器 CKINV1 不具有图 8 的 n 沟道 TFT 501d-2。图 19 所示结构的移位寄存器的输出脉冲的时刻与图 8 所示结构的移位寄存器相同。

图 19 所示的结构也具有数目与常规移位寄存器所具有的相同的构成移位寄存器的 TFT。但当移位寄存器接收电压幅度比移位寄存器电源电压小的时钟脉冲和起始脉冲时, 图 19 的结构能够减小漏电流造成的第一时钟倒相器输出电位的起伏。这样得到的是一种以较小功耗工作于高频下且没有诸如电源线噪声和占据面积大之类问题的移位寄存器。

本实施方案可以与实施方案 1-3 中任何一个自由组合。

[实施方案 5]

本实施方案示出了移位寄存器的一个例子, 其中被输入电压幅度小于移位寄存器电源电压 (相当于高电源电位 Vdd 与低电源电位 Vss 之间的电位差) 的起始脉冲 SP 和时钟脉冲 CK, 且利用下述结构来减小由输入这些脉冲所造成的第一时钟倒相器的漏电流。

在本实施方案中, 移位寄存器被构造成使流过第一时钟倒相器的 p 沟道 TFT 501a 和 501b 的漏电流被减小。

图 21 示出了本实施方案的移位寄存器的结构。图 20 是图 21 所示移位寄存器的时间图。此处用来输入起始脉冲 SP 和时钟脉冲 CK 的时刻相似于实施方案 1 中图 1 所示的移位寄存器的时刻, 其详细描述因而从略。

但输入到如图 21 所示结构的移位寄存器的起始脉冲的极性与输入到实施方案 1 图 1 所示结构的移位寄存器的起始脉冲的极性相反。图 21 的移位寄存器和图 1 的移位寄存器接收相同的时钟脉冲 CK 和倒相的时钟脉冲 CKB。

在图 21 所示的移位寄存器中, 第三级及其后续级的各级中的第一时钟倒相器 CKINV1 具有 p 沟道 TFT 1101。用 1101-k 表示第 k (k 是等于或大于 3 且等于或小于 n 的自然数) 级的 p 沟道 TFT 1101。p 沟道 TFT 1101 栅电极的电连接如图 21 所示; 一个级的 p 沟道 TFT 1101

的栅电极接收该级前二个级的第一时钟倒相器 CKINV1 的输出。

利用图 21 所示的结构,移位寄存器能够减小流过第一时钟倒相器的 p 沟道 TFT 501a 和 501b 的漏电流。这样得到的是一种以较小功耗工作于高频下且没有诸如电源线噪声和占据面积大之类问题的移位寄存器。

在图 21 所示的结构中,可以将另一个 p 沟道 TFT 1101 加入到第二级的时钟倒相器 CKINV1。此结构被示于图 22。在图 22 所示的结构中,用相同的参考号表示与图 21 相同的元件,其描述从略。在图 22 中,110 表示的是延迟电路。第一级的第一时钟倒相器 CKINV1 的输出,通过延迟电路 110 被输入到加在第二级的第一时钟倒相器 CKINV1 中的加入的 p 沟道 TFT 1101-2 的栅电极。延迟电路 110 将信号延迟大约半个时钟脉冲周期。

利用图 22 所示的结构,移位寄存器能够减小流过第一时钟倒相器的 p 沟道 TFT 501a 和 501b 的漏电流。这样得到的是一种以较小功耗工作于高频下且没有诸如电源线噪声和占据面积大之类问题的移位寄存器。

在图 21 和 22 所示结构的移位寄存器中,可以从其中加入了一个附加的 p 沟道 TFT 1101 的第一时钟倒相器 CKINV1 中清除其中输入时钟脉冲 CK 或倒相时钟脉冲 CKB 的 p 沟道 TFT 501a。

亦即,在图 21 中,可以从其中加入了一个附加的 p 沟道 TFT 1101 的第三级及其后续级的各级中的第一时钟倒相器 CKINV1 中清除其中输入时钟脉冲 CK 或倒相时钟脉冲 CKB 的 p 沟道 TFT 501a。此结构被示于图 23。例如,图 23 中第三级的第一时钟倒相器 CKINV1 不具有图 21 的 p 沟道 TFT 501a-3。

在图 22 中,可以从其中加入了一个附加的 p 沟道 TFT 1101 的第二级及其后续级的各级中的第一时钟倒相器 CKINV1 清除其中输入时钟脉冲 CK 或倒相时钟脉冲 CKB 的 p 沟道 TFT 501a。此结构被示于图 24。例如,图 24 中第二级的第一时钟倒相器 CKINV1 不具有图 8 的 p 沟道 TFT 501a-2。

图 23 和 24 所示的结构具有数目与常规移位寄存器所具有的相同的构成移位寄存器的 TFT。但当移位寄存器接收电压幅度比移位寄存器电源电压小的时钟脉冲和起始脉冲时,图 23 和 24 的结构能够减小漏

电流造成的第一时钟倒相器输出电位的起伏。这样得到的是一种以较小功耗工作于高频下且没有诸如电源线噪声和占据面积大之类问题的移位寄存器。

图 21-24 的移位寄存器可以被修正,使从相邻各级的输出 S 的 NOR 操作得到的信号作为各级的输出信号被输出。图 25 示出了借助于修正图 21 的移位寄存器,使从相邻各级的输出的 NOR 操作得到的信号作为输出信号被输出而得到的移位寄存器。

注意,在图 25 中,若在图 21 中起始脉冲 SP 以时间图所示的方式被输入,则漏电流造成的第一级的第一时钟倒相器 CKINV1-1 的输出 SB-1 的起伏不是问题。虽然第二级的第一时钟倒相器的输出 SB-2 由于漏电流而起伏,但由于电路将从第一级和第二级的输出 S-1 和 S-2 的 NOR 操作得到的信号作为取样脉冲 SMP-1,这一起伏不干扰移位寄存器的工作。借助于将 p 沟道 TFT 1101 加入到第三级及其后续各级中的第一时钟倒相器 CKINV1,防止了漏电流,移位寄存器因而能够正常地工作。

本实施方案可以与实施方案 1-4 中任何一个自由组合。

[实施方案 6]

根据本发明的移位寄存器及其驱动方法,能够被用于显示器件的驱动电路。

例如,采用 EL 元件的 EL (电致发光) 显示器件的驱动电路以及采用液晶元件的液晶显示器件的驱动电路,能够使用根据本发明的移位寄存器及其驱动方法。利用本发明,能够提供尺寸小而功耗低的高可靠显示器件。

EL 元件指的是一种当电压被施加到中间夹着 EL 层的一对电极(阳极和阴极)时发光的元件。EL 层可以由有机化合物或无机化合物制成,或由有机化合物与无机化合物的混合物制成。包括含有有机化合物作为其主要成分的 EL 层的元件,此处被特别称为 OLED (有机发光二极管) 元件。采用 OLED 的显示器件被称为 OLED 显示器件。

OLED 元件的 EL 层指的是有机化合物层。有机化合物层通常具有叠层结构。其典型的叠层结构是柯达公司 Tang 等人提出的有空穴输运层、发光层、以及电子输运层组成的那种。叠层结构的其它例子包括在阳极上依次层叠空穴注入层、空穴输运层、发光层、以及电子输运

层的那种，以及在阳极上依次层叠空穴注入层、空穴输运层、发光层、电子输运层、以及电子注入层的那种。可以用荧光颜料之类对发光层进行掺杂。上述的空穴注入层、空穴输运层、发光层、电子输运层、电子注入层、以及其它的层，都被包括在有机化合物层中。给定的电压从一对电极（阳极和阴极）被施加到如上构造的有机化合物层，以便在其发光层中引起载流子复合。结果，发光层就发光。

有机化合物层中的各个层不总是可以彼此清晰地区分，相邻层之间的一个有机化合物层可能具有混合了相邻层的材料的层。

本说明书中的 OLED 元件指的是采用单重态激发来发光（荧光）的元件、采用三重态激发来发光（磷光）的元件、或采用二者的元件。

图 13 是方框图，示出了显示器件结构的例子。在图 13 中，显示器件 700 由源信号线驱动电路 701、栅信号线驱动电路 702、以及像素部分 703 组成。源信号线驱动电路 701 由移位寄存器 704、第一锁存电路 705、以及第二锁存电路 706 组成。栅信号线驱动电路 702 由移位寄存器 707 组成。

在像素部分 703 中，信号从源信号线驱动电路 701 输入其中的多个源信号线被排列成列，而信号从栅信号线驱动电路 702 输入其中的多个栅信号线被排列成行。像素被置于源信号线与栅信号线彼此相交的各个交点处。

若显示器件 700 是 OLED 显示器件，则各个像素具有 OLED 元件。若显示器件 700 是液晶显示器件，则各个像素具有液晶元件。

根据来自移位寄存器 707 的信号，栅信号线驱动电路 702 将信号顺序输出到栅信号线，以便选择像素部分 703 的像素行。当信号从移位寄存器 704 被输入时，源信号线驱动电路 701 将视频信号顺序保持在第一锁存电路 705 中。保持在第一锁存电路 705 中的视频信号被传送到第二锁存电路 706，并被输入到源信号线。以这种方式，信号被输入到一行像素。这一操作对所有的像素行重复，以显示一个图像。

例如，OLED 显示器件的各个像素由开关 TFT 和 OLED 驱动 TFT 组成。开关 TFT 用作开关，用来根据栅信号线的信号决定是否将源信号线的信号输入到像素。OLED 驱动 TFT 根据开关 TFT 被开通时从源信号线输入的信号而控制流入像素的 OLED 元件的电流。

可以自由地采用任何已知的像素结构。

根据本发明的移位寄存器及其驱动方法, 能够被用于源信号线驱动电路 701 的移位寄存器 704 以及栅信号线驱动电路 702 的移位寄存器 707。

本实施方案可以与实施方案 1-5 中的任何一个自由地组合。

[实施方案 7]

本实施方案描述本发明的一种实际装配的移位寄存器。其俯视图被示于图 15。图 15 的俯视图示出了对应于图 1 中移位寄存器第三级及其后续各级中的一个级。图 15 的俯视图示出了第 k (k 是等于或大于 3 的自然数) 级 SR_k 。

第 k 级 SR_k 具有第一时钟倒相器 $CKINV1_k$ 、第二时钟倒相器 $CKINV2_k$ 、以及倒相器 INV_k 。图 15 中与图 1 相同的元件用相同的参考号表示。

第一时钟倒相器 $CKINV1_k$ 具有 p 沟道 TFT 501a- k 和 501b- k , 在图中分别用 $pchTFT$ 501a- k 和 $pchTFT$ 501b- k 表示。第一时钟倒相器 $CKINV1_k$ 还具有 n 沟道 TFT 501c- k 、501d- k 和 101- k , 在图中分别用 $nchTFT$ 501c- k 、 $nchTFT$ 501d- k 和 $nchTFT$ 101- k 表示。 n 沟道 TFT 101- k 被用来抗漏电。

CK 和 CKB 分别表示其中输入时钟脉冲的布线以及其中输入倒相时钟脉冲的布线。借助于反转时钟脉冲的极性而得到倒相时钟脉冲。 V_{dd} 表示其中输入高电源电位的电源线。 V_{ss} 表示其中输入低电源电位的电源线。

在图中, A 和 B 所表示的布线分别被连接到前级 (第 $(k-1)$ 级) 的 A' 和 B' 。在前级和后级 (第 $(k-1)$ 级和第 $(k+1)$ 级) 的电路中, 用来将信号输入到 TFT 501d 栅电极的布线 C_{kin1} , 被连接到布线 CKB , 而用来将信号输入到 TFT 501a 栅电极的布线 C_{kin2} , 被连接到布线 CK 。

加入到第 k 级第一时钟倒相器 $CKINV1_k$ 的 n 沟道 TFT 101- k 的栅电极, 接收对应于前级 (第 $(k-2)$ 级) 的第一时钟倒相器 $CKINV1_{k-2}$ 的输出的信号 SB_{k-2} 。(注意, 信号和从中输出信号的端子或布线用相同的参考号表示)。在图 15 中, SB_{k-2} 表示第 $(k-2)$ 级的第一时钟倒相器的输出端子和第 $(k-2)$ 级的第二时钟倒相器的输出端子。

图 16 是俯视图, 示出了移位寄存器的 3 个级结构。图 16 中与图 15 相同的元件用相同的参考号表示, 其解释从略。

图 16 示出了移位寄存器的第 k 级到第 $(k+2)$ 级 SR_k 到 SR_k+2 。第 $(k+2)$ 级 SR_k+2 的第一时钟倒相器 $CKINV1_k+2$ 的 n 沟道 TFT 101- $k+2$ 的栅电极接收从第 k 级 SR_k 的第一时钟倒相器 $CKINV1_k$ 的输出端子输出的信号 SB_k 。在图 15 中, SB_k 表示第 k 级的第一时钟倒相器的输出端子和第 k 级的第二时钟倒相器的输出端子。

在图 15 和 16 所示结构的移位寄存器中, 即使当输入的脉冲信号 (时钟脉冲、倒相时钟脉冲、以及起始脉冲) 的电压幅度小于电源电压时, n 沟道 TFT 101 也能够防止漏电流造成的输出电位起伏。

本实施方案可以与实施方案 1-6 中的任何一个自由地组合。

[实施方案 8]

本实施方案参照其剖面图描述本发明的一种实际装配的移位寄存器。

沿图 15 中 $a-a'$ 线的剖面图被示于图 17。图 17 中与图 15 相同的元件用相同的参考号表示, 其解释从略。

p 沟道 TFT (图中的 $pchTFT$) 501a- k 和 501b- k 以及 n 沟道 TFT (图中的 $nchTFT$) 501c- k 、501d- k 和 101- k , 被制作在具有绝缘表面的衬底 800 上。801 和 802 表示的分别是栅绝缘膜和层间绝缘膜。

p 沟道 TFT 501a- k 在其有源层内具有用作源区的杂质区 881 和 885、用作沟道区的区域 891 和 894。杂质区 882 和 884 用作漏区。杂质区 885 通过布线 810 被电连接到电源线 Vdd 。 p 沟道 TFT 501a- k 是双栅 TFT, 它具有电连接在不覆盖有源层的部分内的栅电极 803 和 806。栅电极 803 通过布线 $Ckin2$ 被电连接到布线 CKB 。

p 沟道 TFT 501b- k 在其有源层内具有用作源区的杂质区 882 和 884、用作漏区的杂质区 883、以及用作沟道区的区域 892 和 893。 p 沟道 TFT 501b- k 是双栅 TFT, 它具有电连接在不覆盖有源层的部分内的栅电极 804 和 805。栅电极 804 被电连接到端子 S_k-1 。用作漏区的杂质区 883 被连接到端子 SB_k 。

p 沟道 TFT 501a- k 的漏区和 p 沟道 TFT 501b- k 的源区被彼此直接连接在有源层。

n 沟道 TFT 501c- k 在其有源层中具有用作漏区的杂质区 886、用作源区的杂质区 887、以及用作沟道区的区域 895。用作漏区的杂质区 886 通过布线 811 被连接到端子 SB_k 。栅电极 807 被连接到端子

S-k-1。

n 沟道 TFT 501d-k 在其有源层中具有用作漏区的杂质区 887、用作源区的杂质区 888、以及用作沟道区的区域 896。栅电极 808 通过布线 Ckin1 被连接到布线 CK。

n 沟道 TFT 101-k 在其有源层中具有用作漏区的杂质区 888、用作源区的杂质区 889、以及用作沟道区的区域 897。栅电极 809 被连接到端子 SB-k-2。用作源区的杂质区 889 被电连接到电源线 Vss。

n 沟道 TFT 501c-k 的源区和 n 沟道 TFT 501d-k 的漏区被彼此直接连接在有源层。n 沟道 TFT 501d-k 的源区和 n 沟道 TFT 101-k 的漏区被彼此直接连接在有源层。

上面给出的是对实际装配的本发明移位寄存器剖面图的描述。在本发明的移位寄存器中，即使当输入的脉冲信号（时钟脉冲、倒相时钟脉冲、以及起始脉冲）的电压幅度小于电源电压时，n 沟道 TFT 101 也能够防止漏电流造成的输出电位起伏。

本实施方案可以与实施方案 1-7 中的任何一个自由地组合。

[实施方案 9]

在本实施方案中，将在图 14A-14F 中描述一种利用显示器件的电子装置，此显示器件包含驱动电路，此驱动电路包括根据本发明的移位寄存器。

图 14A 是采用本发明显示器件的便携式信息终端的示意图。此便携式信息终端包含主体 2701a、操作开关 2701b、电源开关 2701c、天线 2701d、显示单元 2701e、以及外部输入端口 2701f。本发明的显示器件能够被用于显示单元 2701e。

图 14B 是采用本发明的显示器件的个人计算机的示意图。此个人计算机包含主体 2702a、机箱 2702b、显示单元 2702c、操作开关 2702d、电源开关 2702e、以及外部输入端口 2702f。本发明的显示器件能够被用于显示单元 2702c。

图 14C 是采用本发明的显示器件的放像机。此放像机包含主体 2703a、机箱 2703b、记录媒质 2703c、显示单元 2703d、声音输出单元 2703e、以及操作开关 2703f。本发明的显示器件能够被用于显示单元 2703d。

图 14D 是采用本发明的显示器件的电视机的示意图。此电视机包

含主体 2704a、机箱 2704b、显示单元 2704c、以及操作开关 2704d。本发明的显示器件能够被用于显示单元 2704c。

图 14E 是采用本发明的显示器件的头戴式显示器的示意图。此头戴式显示器包含主体 2705a、监视器单元 2705b、头部固定带 2705c、显示单元 2705d、以及光学系统 2705e。本发明的显示系统能够被用于显示单元 2705d。

图 14F 是采用本发明的显示器件的摄像机。此摄像机包含主体 2706a、机箱 2706b、连接单元 2706c、图像接收单元 2706d、目镜单元 2706e、电池 2706f、声音输入单元 2706g、以及显示单元 2706h。本发明的显示器件能够被用于显示单元 2706h。

本发明的应用不局限于上述电子设备，还可以应用于各种各样的其他电子设备。

本实施方案能够与实施方案 1-8 中的任何一个自由地组合实施。

[实施方案 10]

在本实施方案中，制造了在一个衬底上配备有常规移位寄存器和本发明的移位寄存器的平板。在本实施方案中，将描述上述平板工作的测量结果。输入信号电压被设定为 1-3V，且只要移位寄存器正常地工作，电源电压的幅度就被提高。注意，此时频率被设定为 5MHz。

常规移位寄存器在 -1.5-5.5V 的电源电压范围内正常地工作，其电源电压的幅度为 7.0V。另一方面，本发明的移位寄存器在 -5.0-7.5V 的电源电压范围内正常地工作，其电源电压的幅度为 12.5V。

根据上述测量结果，由于当采用本发明的移位寄存器时，比采用常规移位寄存器时提高了裕度，故能够抑制 TFT 特性不规则性的影响。而且，本发明的移位寄存器能够将信号从移位寄存器精确地馈送到其它电路。

[实施方案 11]

从上表面拍摄的根据本发明的移位寄存器的照片被示于图 27。作为具体的规格，输入信号的电压幅度被设定为 3.0V，而电源电压被设定为 8.0V。

而且，根据本发明的移位寄存器在 5MHz 频率下工作过程中的波形被示于图 28。图 28 示出了起始脉冲、时钟脉冲、以及移位寄存器输出的信号的波形。注意，虽然第一级的波形在移位寄存器输出的信号中

大了半个脉冲，但由于利用第二级来执行 NAND 操作，故不存在特别的问题。

电压幅度小于移位寄存器电源电压的时钟脉冲和起始脉冲被输入到移位寄存器。提供了一种在高频下以较小功耗来驱动移位寄存器的方法，此方法不存在诸如电源线噪声和占据大面积之类的问题。

借助于在使用上述驱动方法过程中将构成第二时钟倒相器的 TFT 的栅宽度设定为宽于现有技术的，减小了漏电流。

而且，另一个 TFT 被加入到第一时钟倒相器。电源电位通过加入的 TFT 的源-漏而被输出到第一时钟倒相器的输出端子。电压幅度大约与移位寄存器电源电压相同的信号，被输入到加入的 TFT 的栅电极。当漏电流引起问题时，加入的 TFT 被关断。以这种方式，流在第一时钟倒相器中的电流（漏电流）被截断。

利用上述结构，能够在移位寄存器中获得低电源电压的高频运行和尺寸的减小。

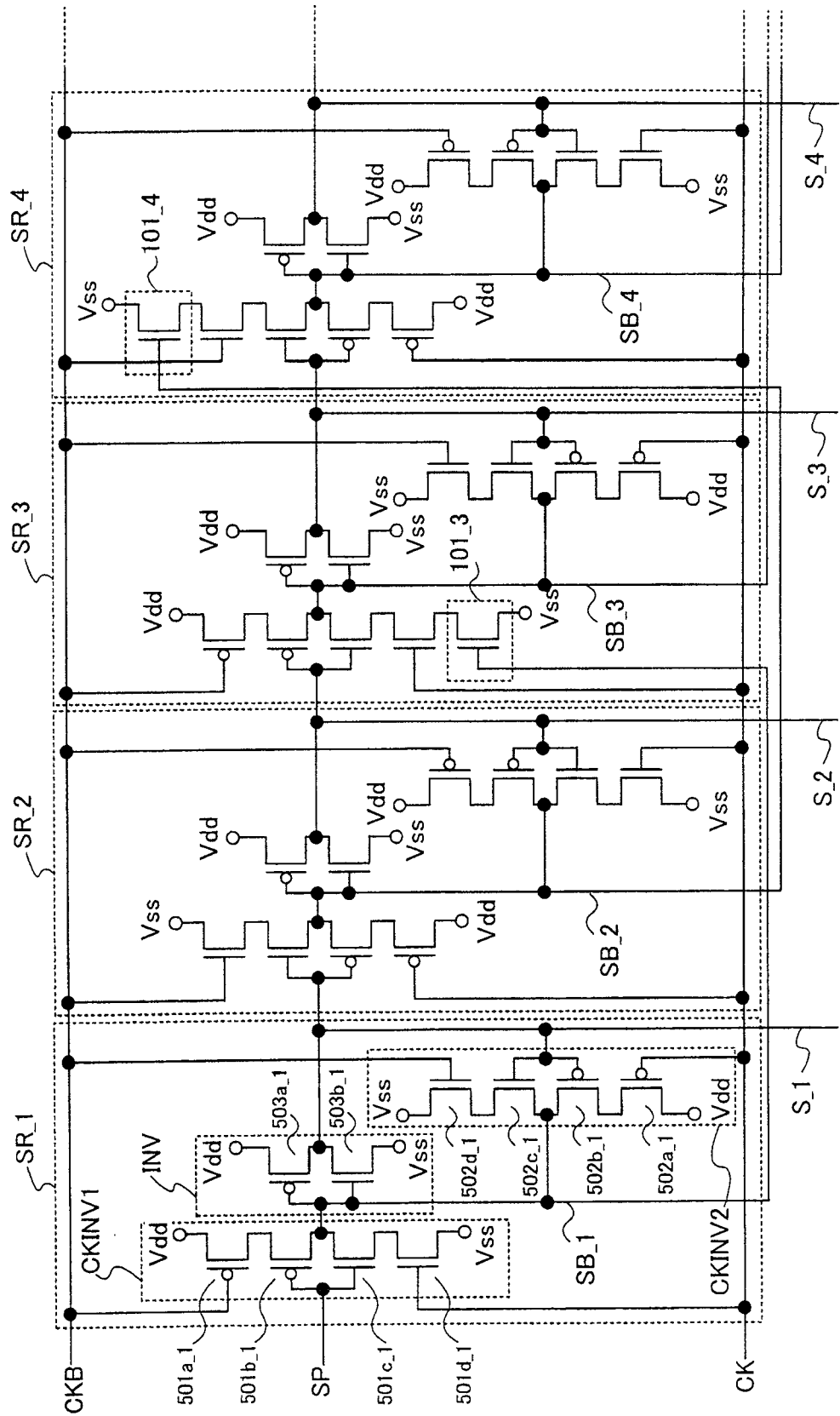


图 1

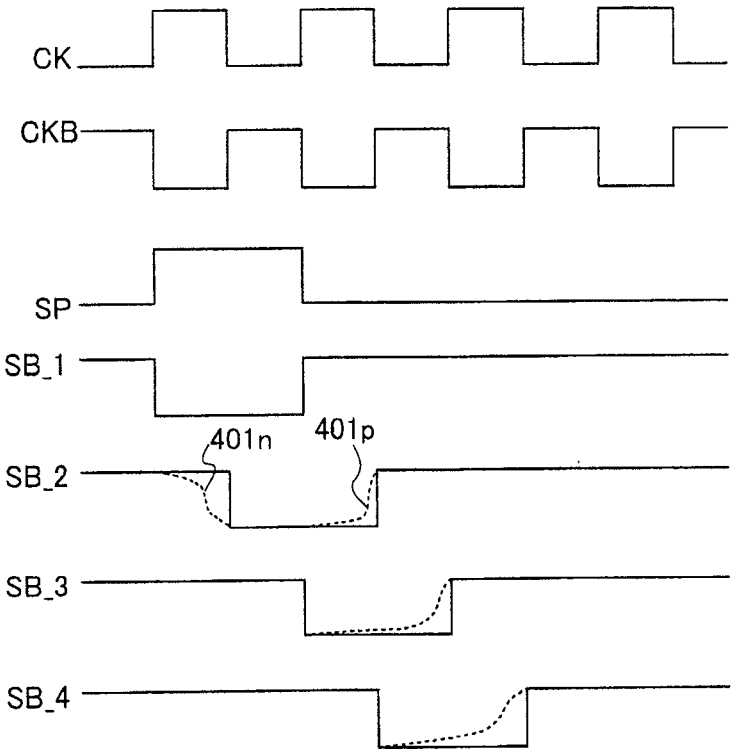


图 2

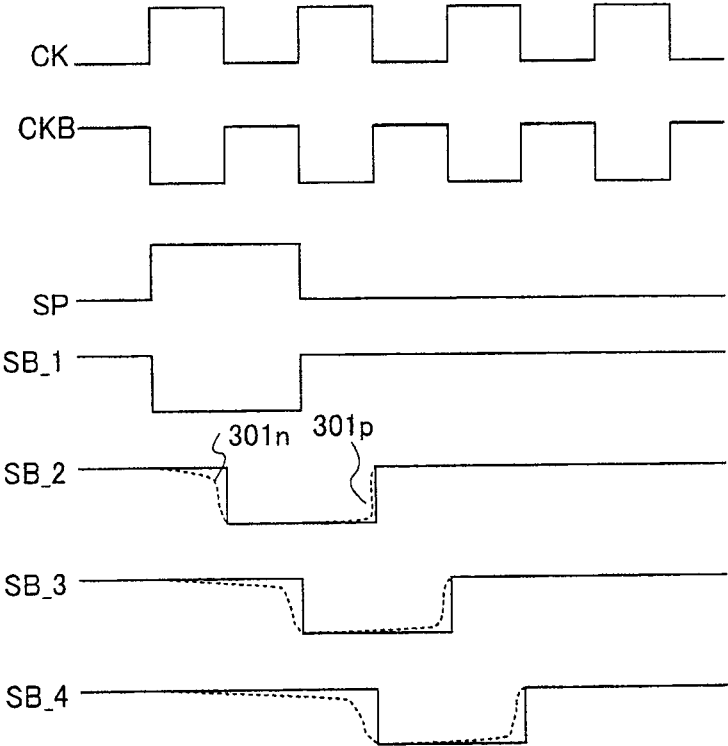


图 3

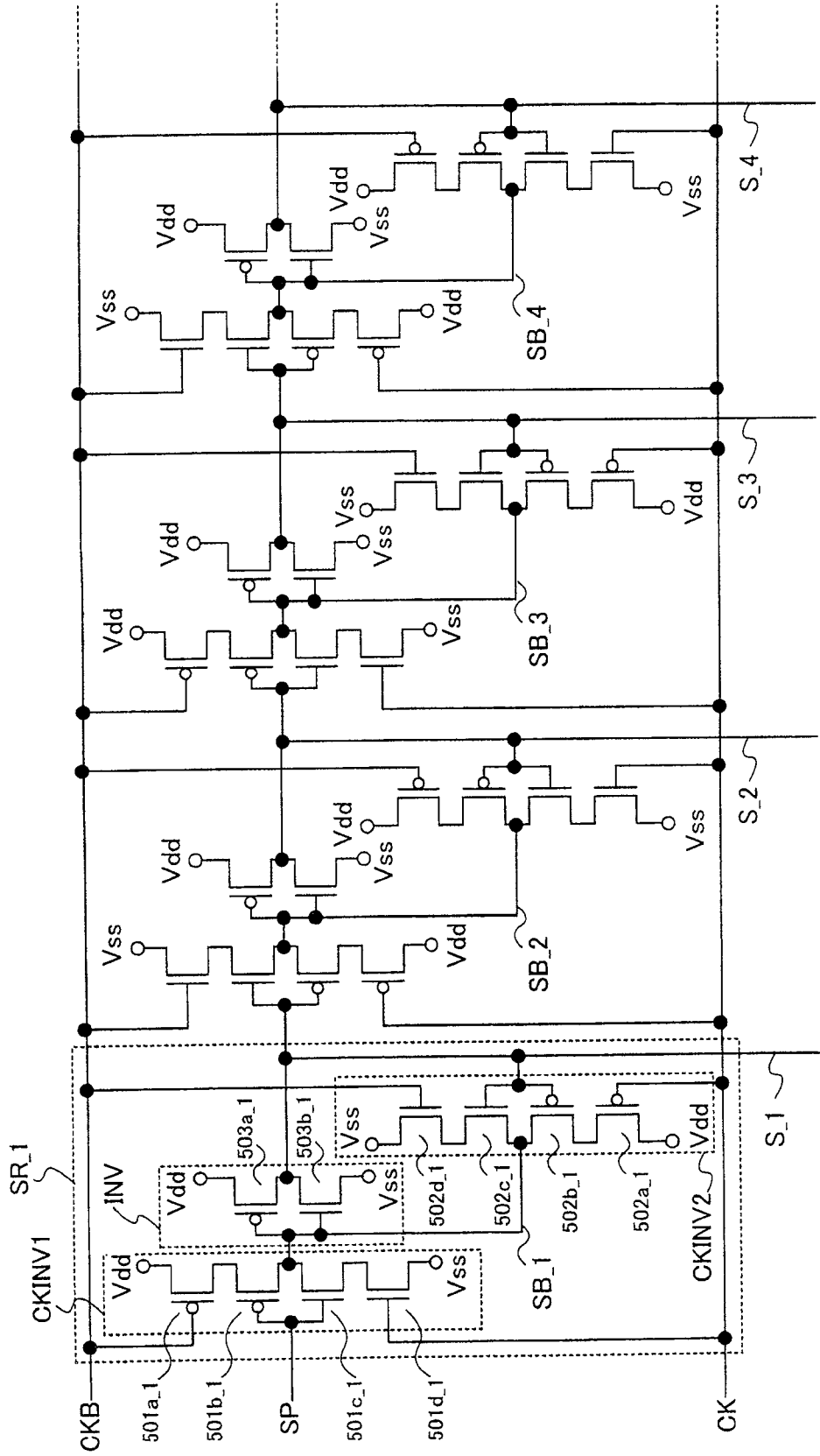


图 4

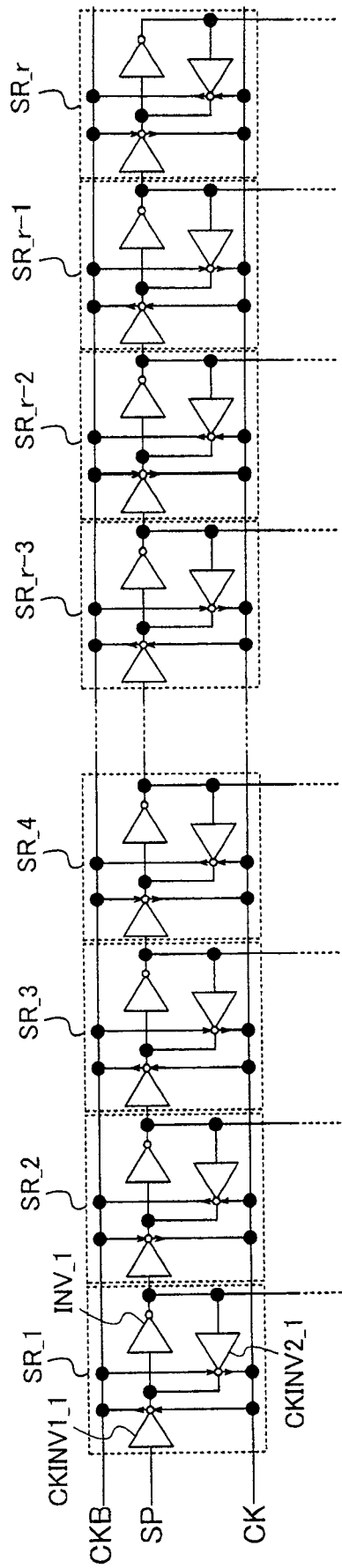


图 5

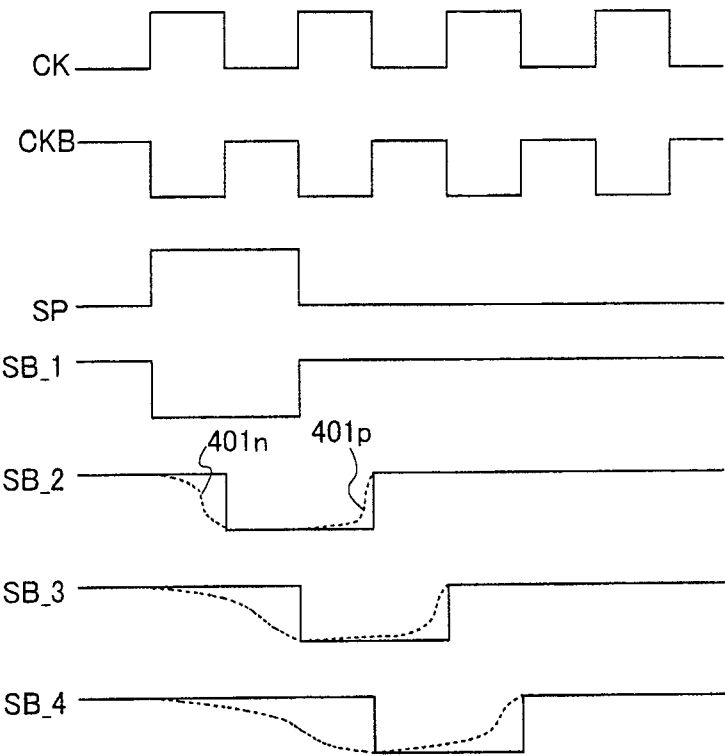


图 6

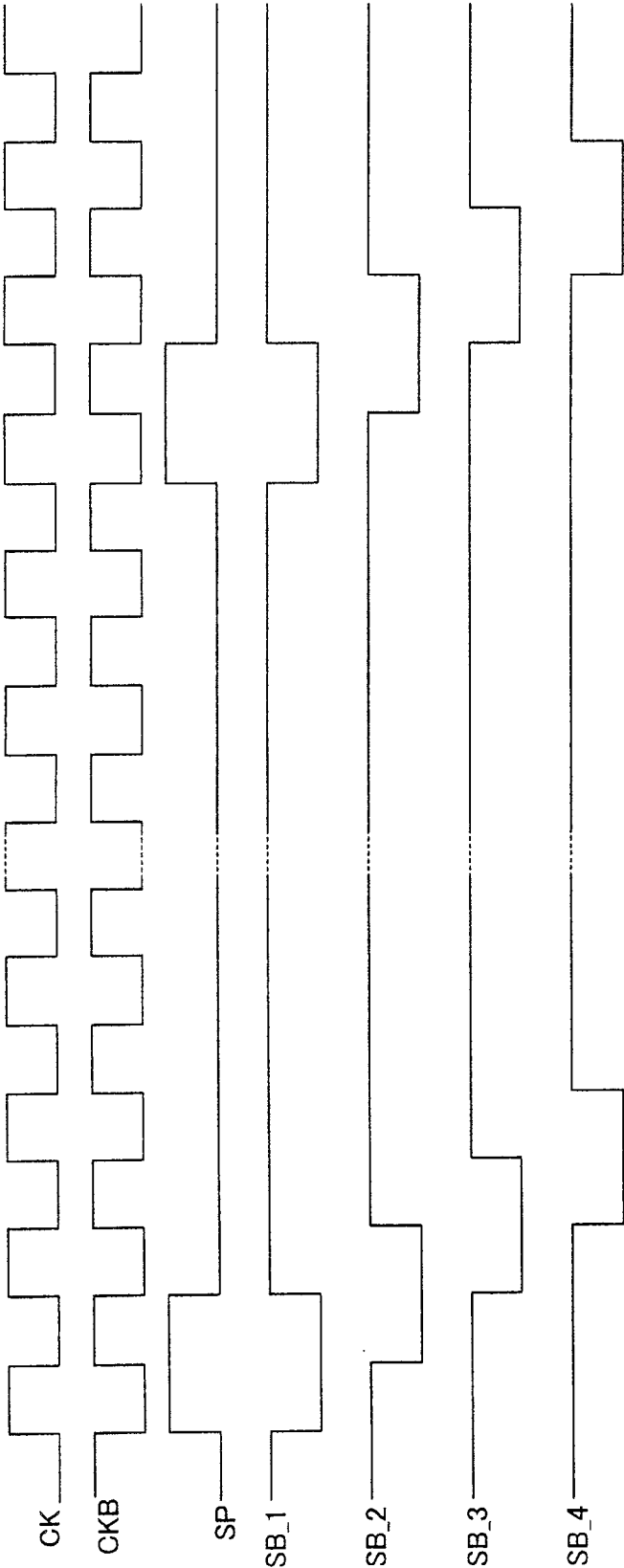


图 7

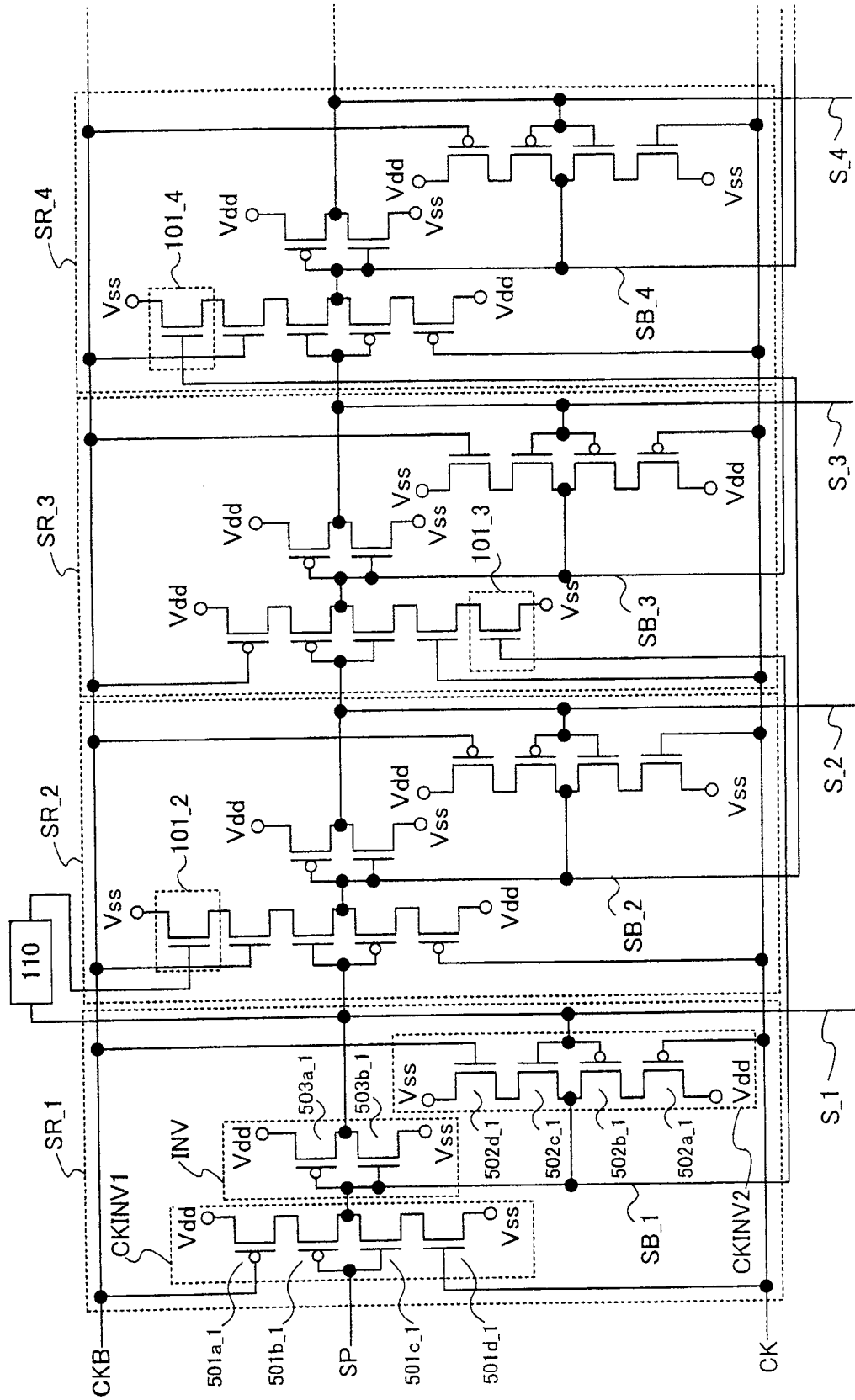


图 8

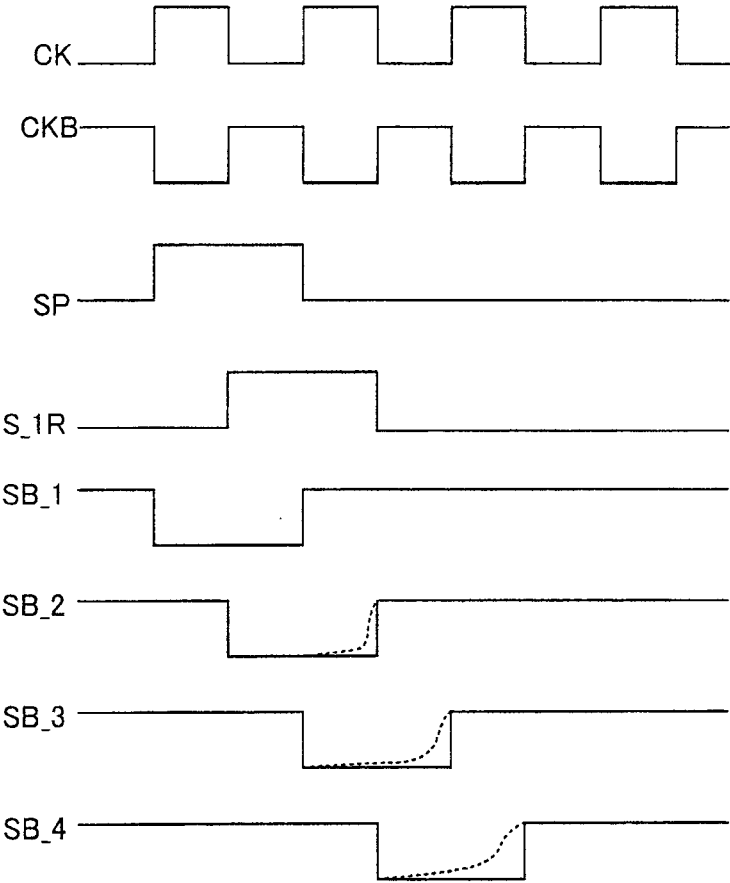


图 9

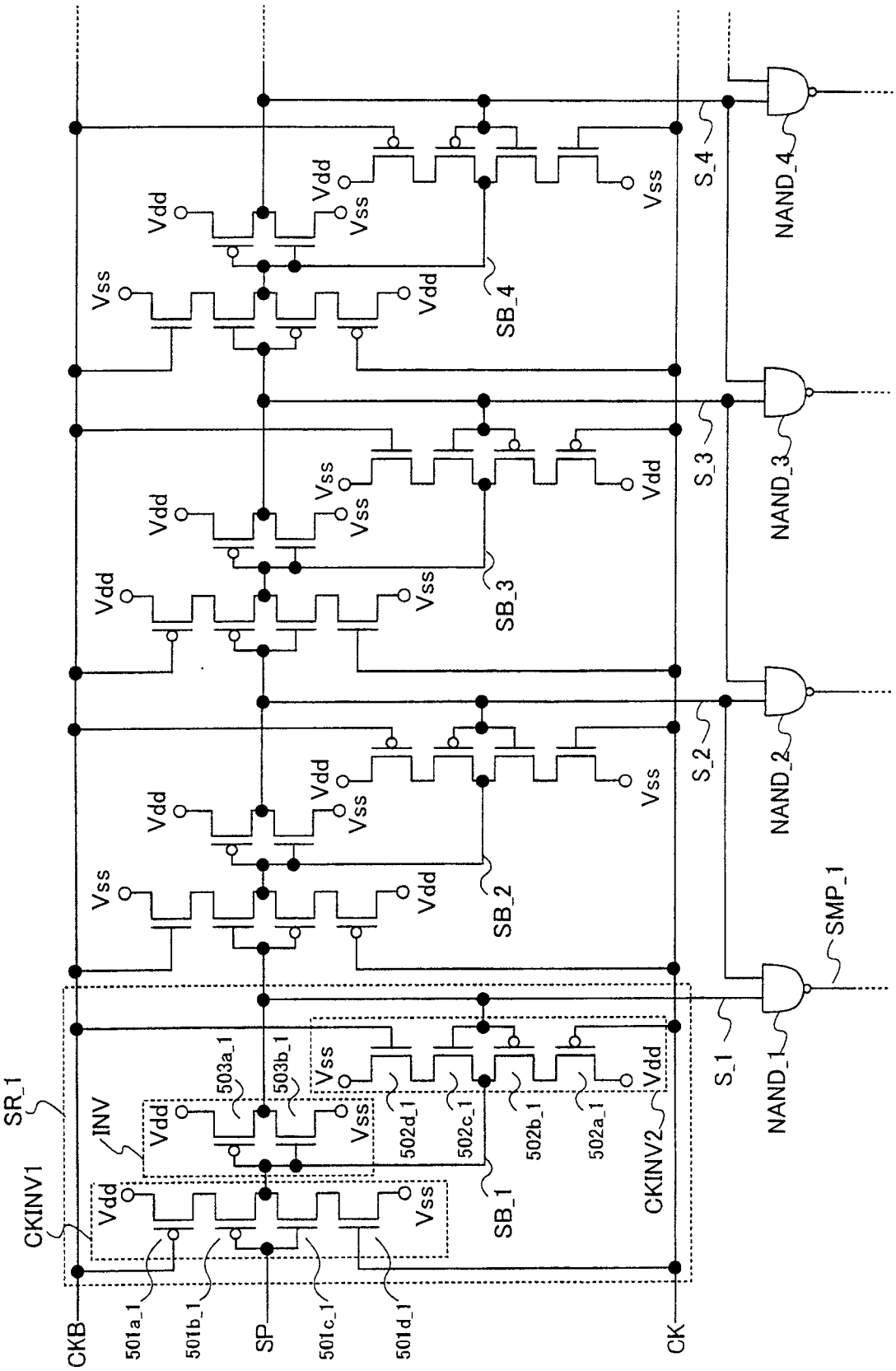


图 10

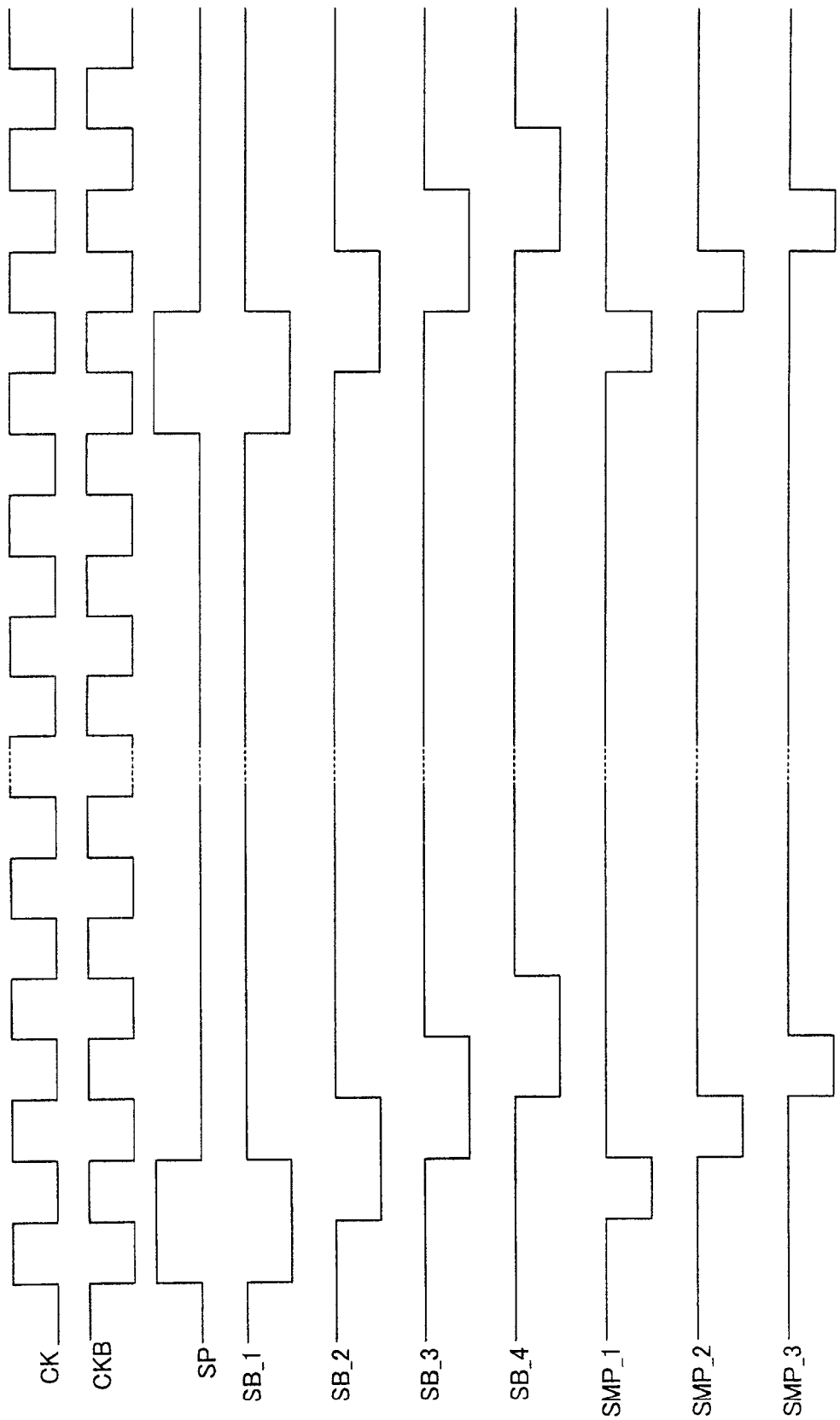
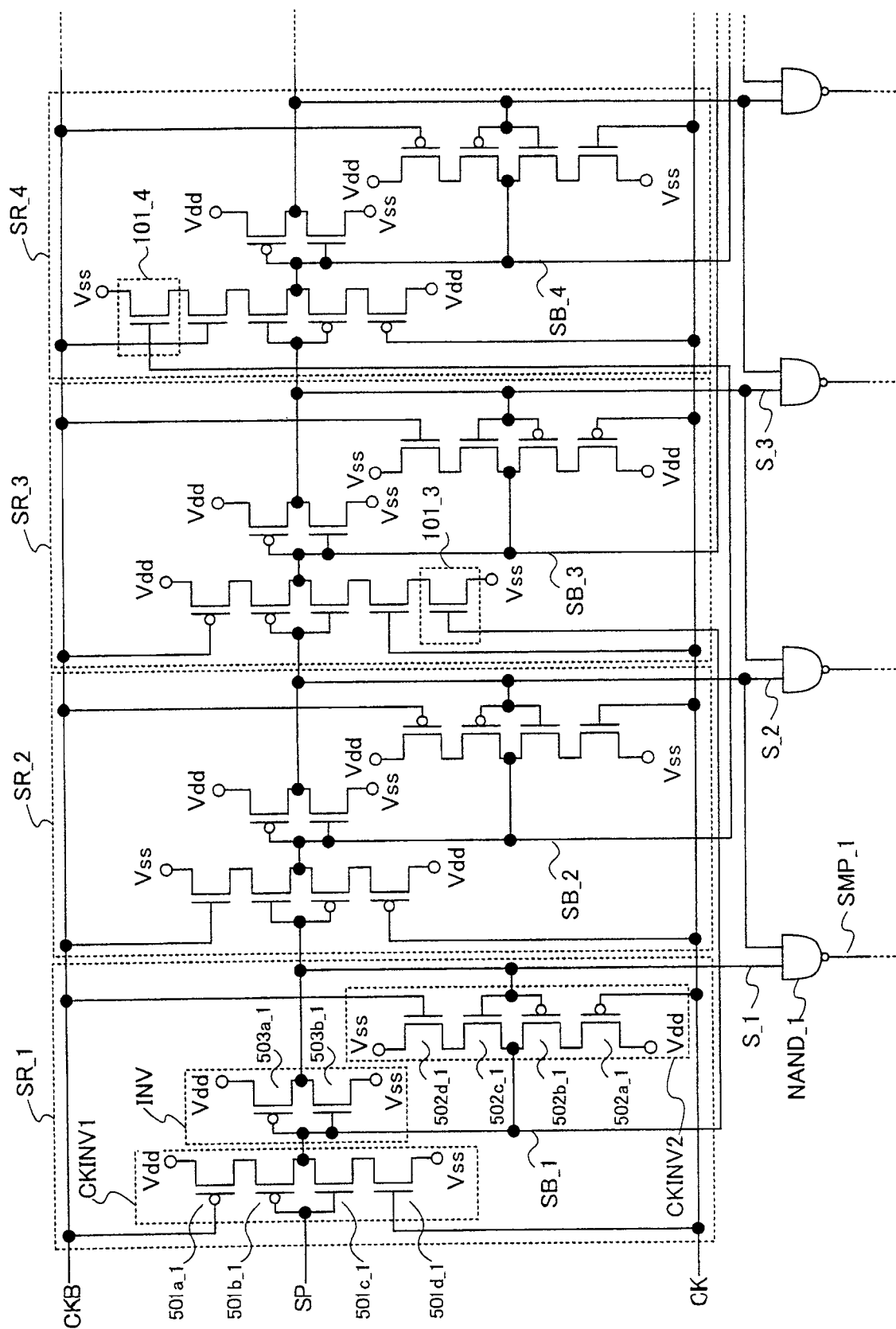


图 11



12

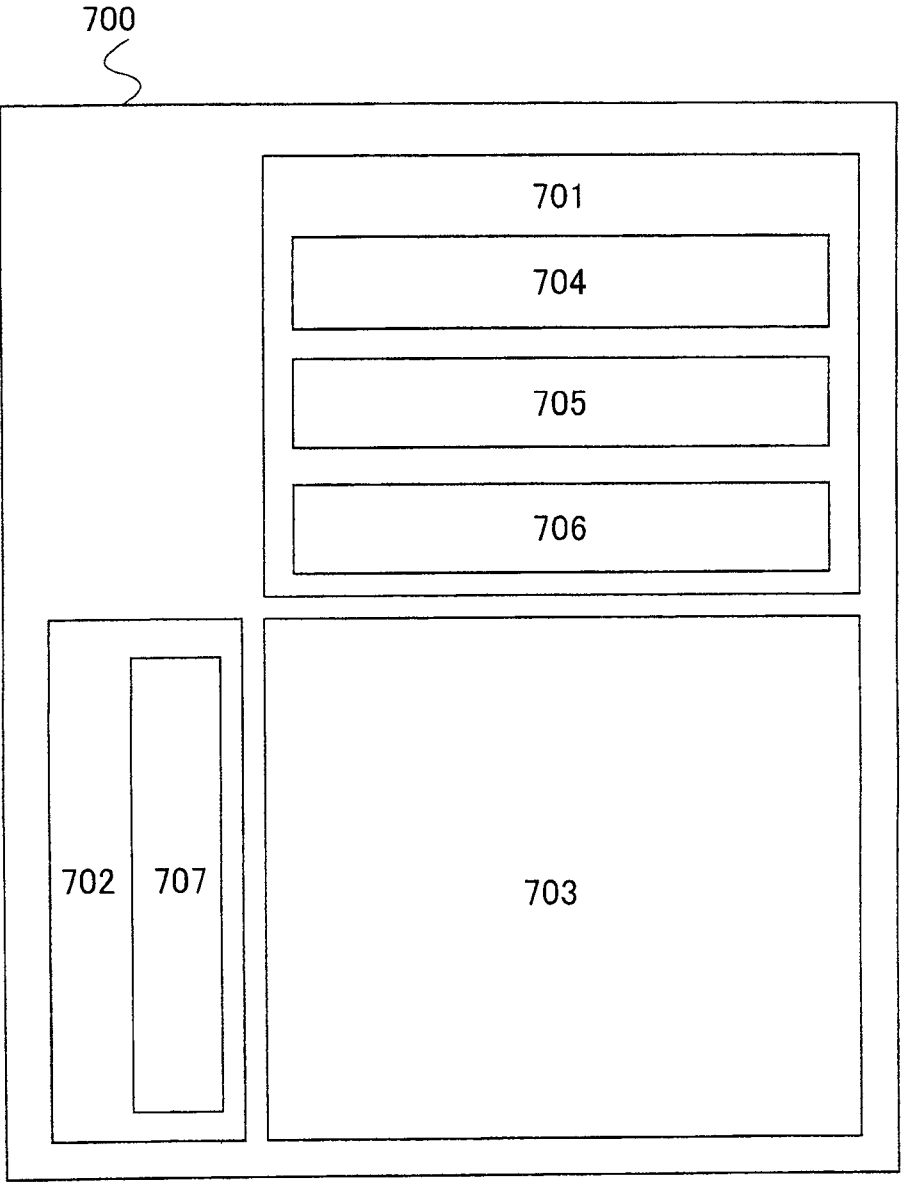


图 13

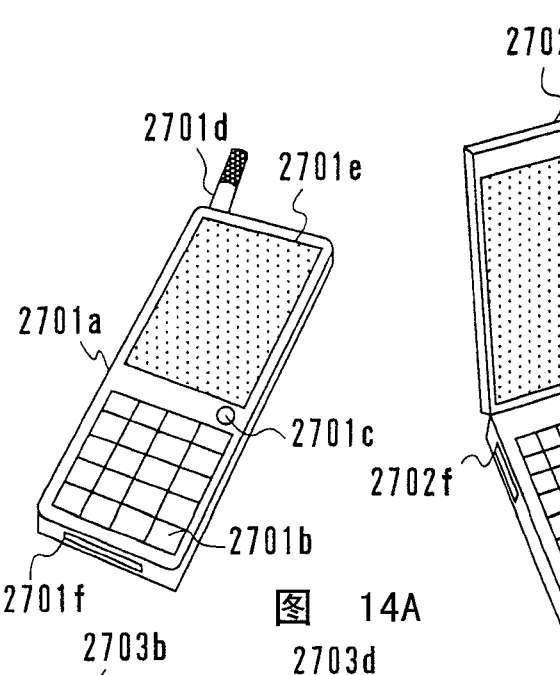


图 14A

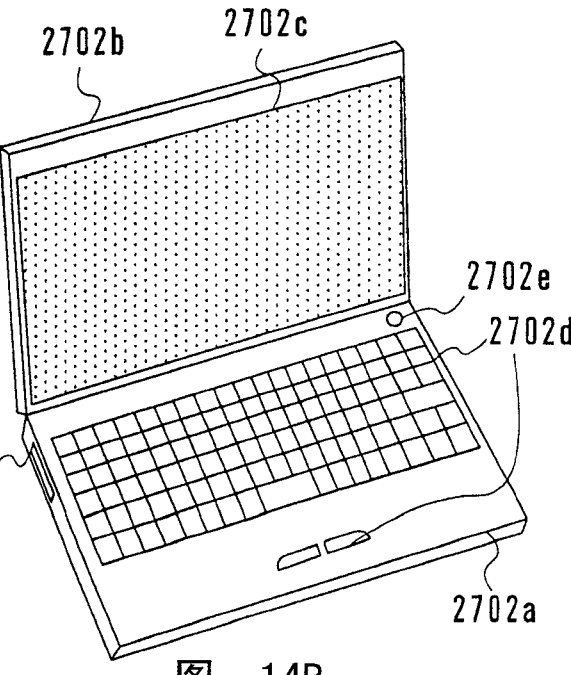


图 14B

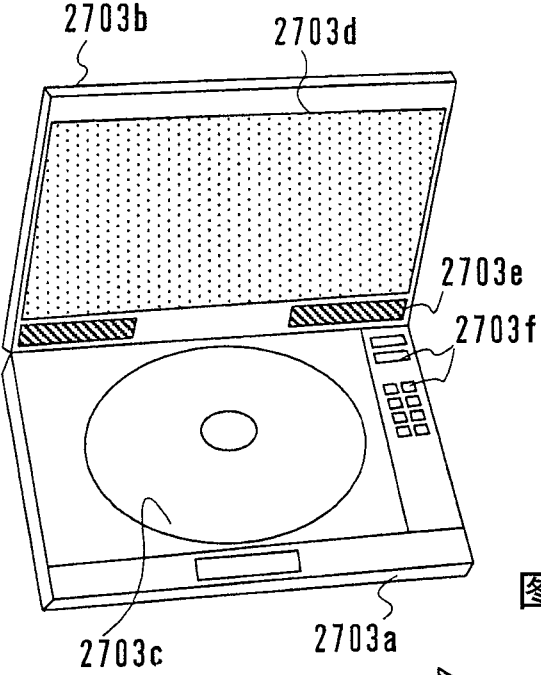


图 14C

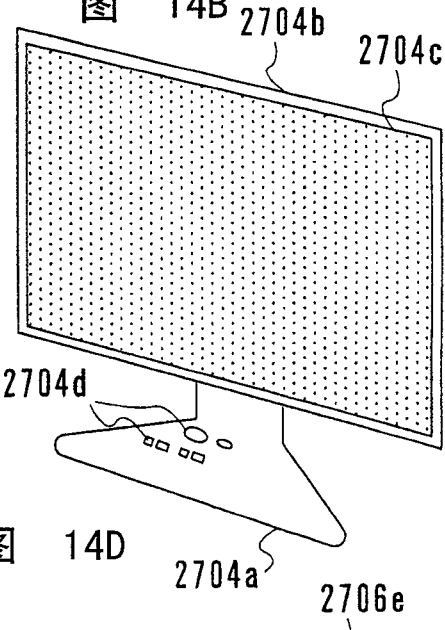


图 14D

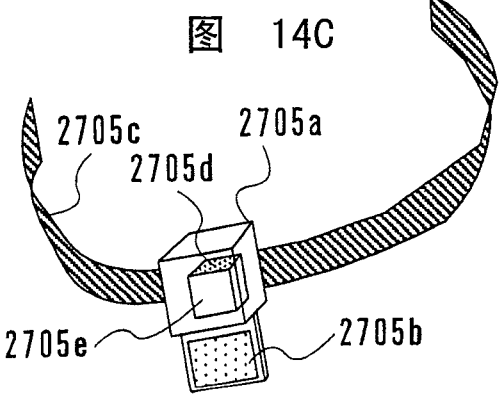


图 14E

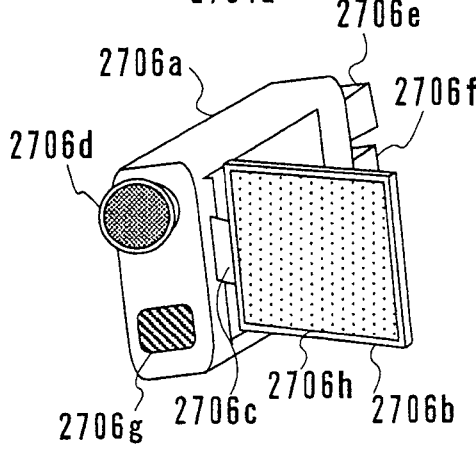


图 14F

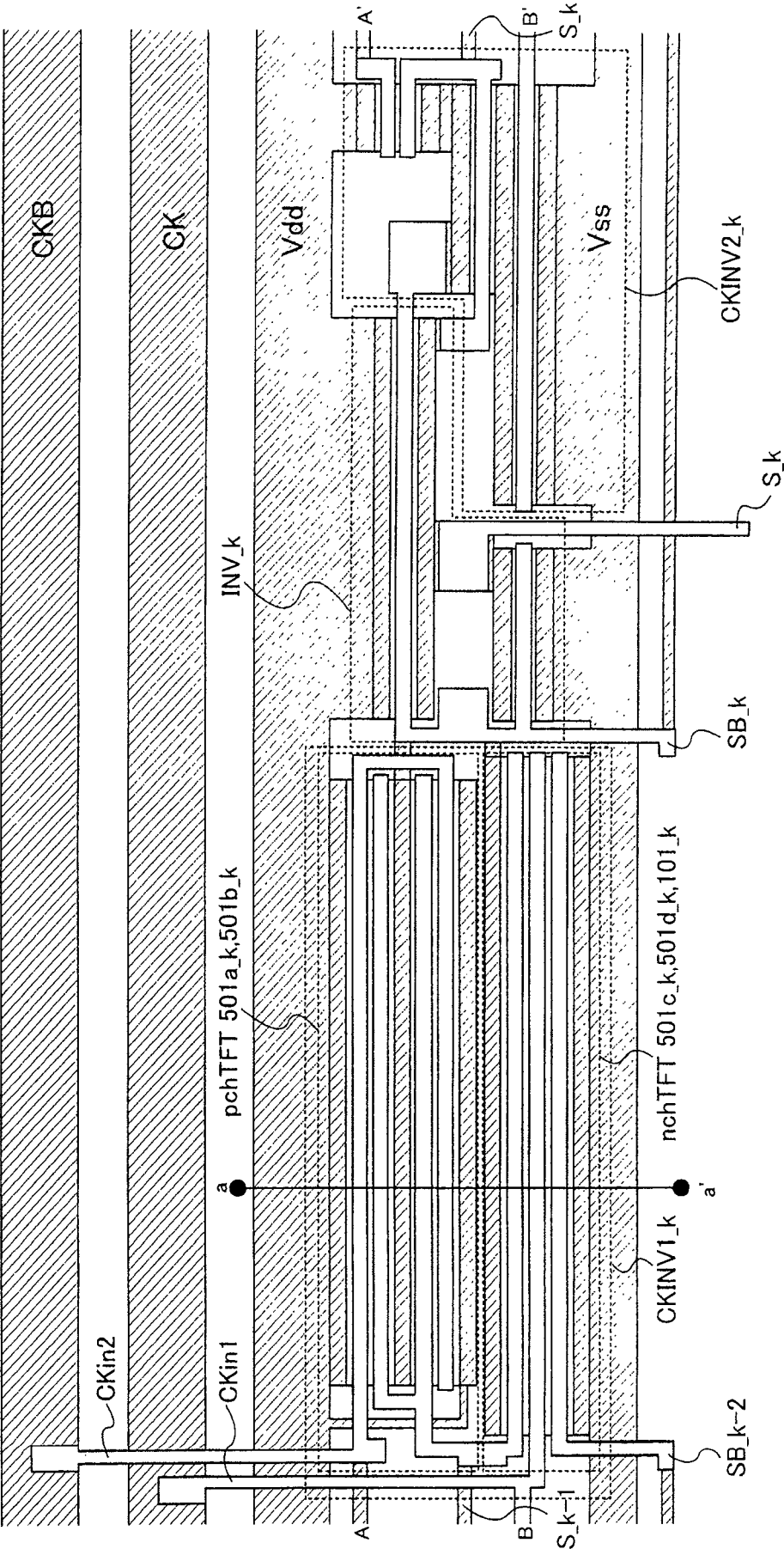


图 15

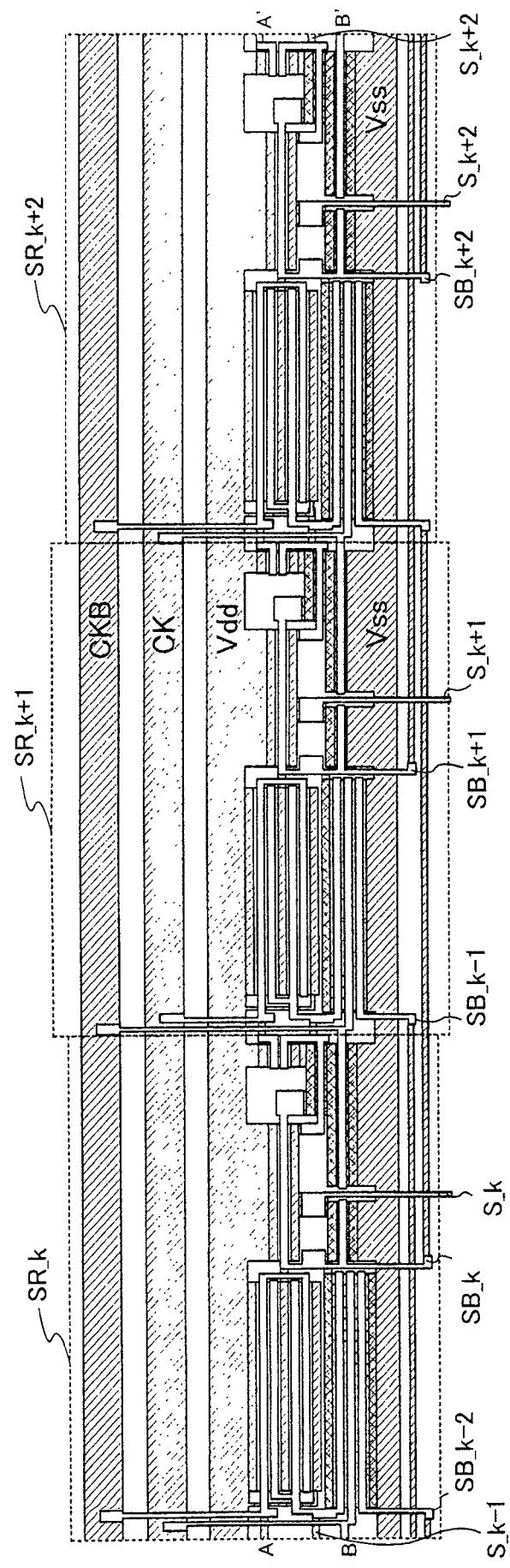


图 16

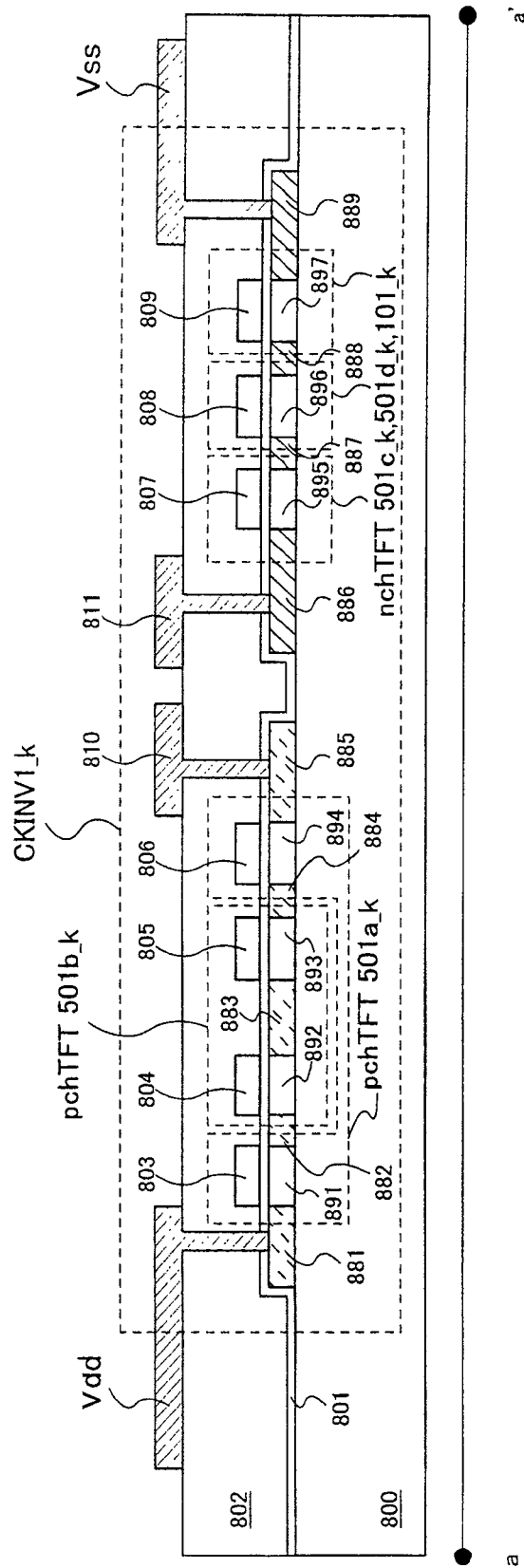


图 17

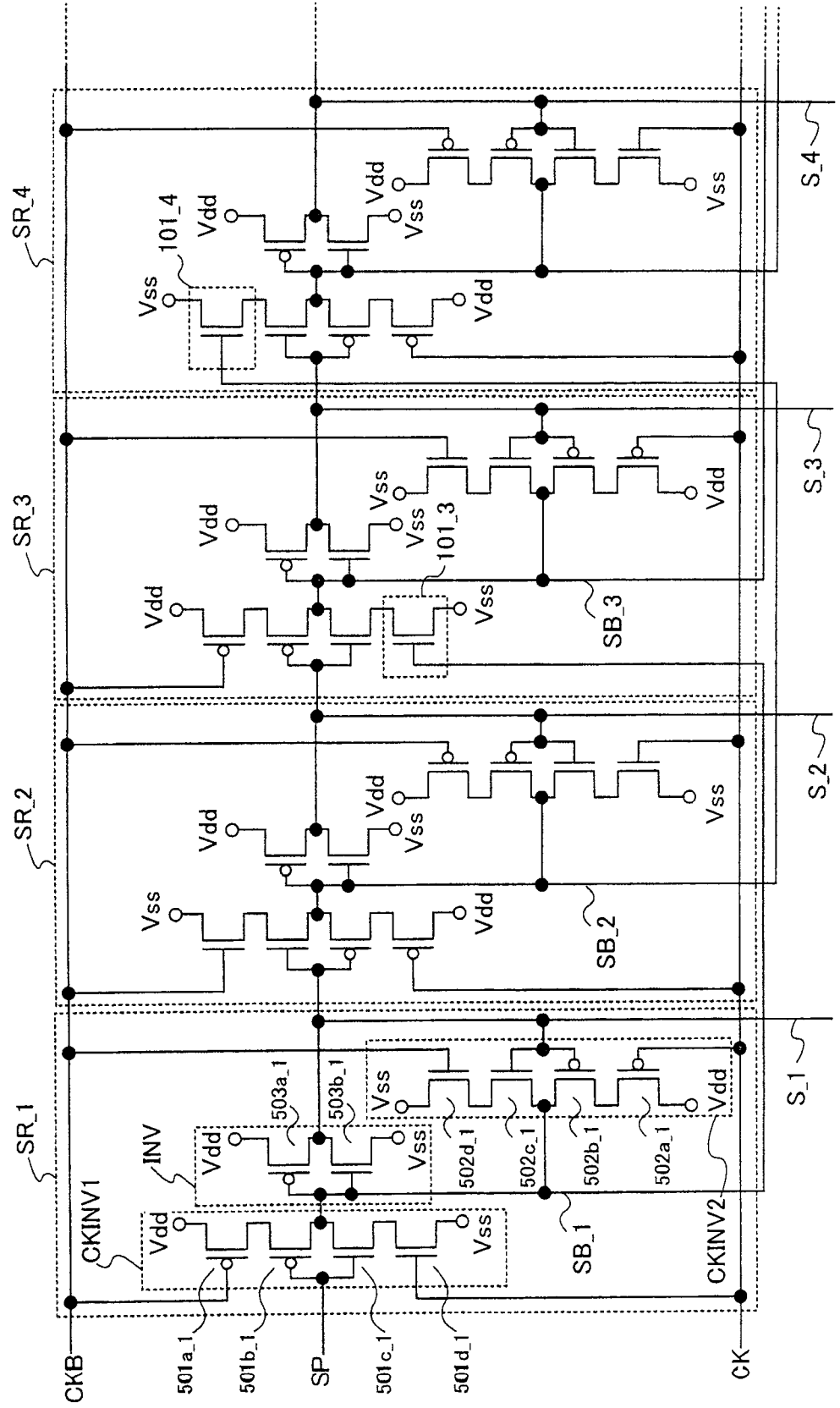


图 18

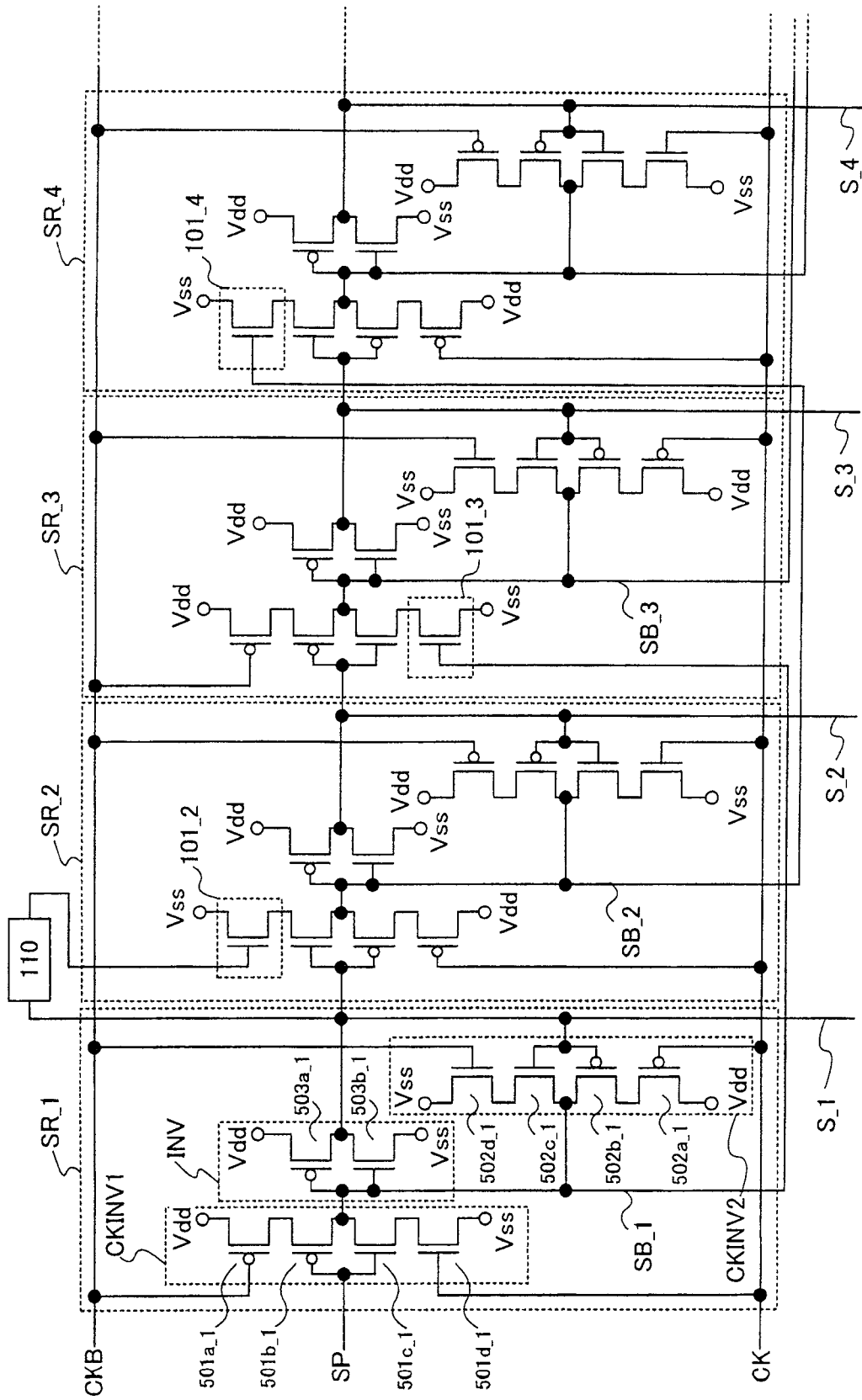


图 19

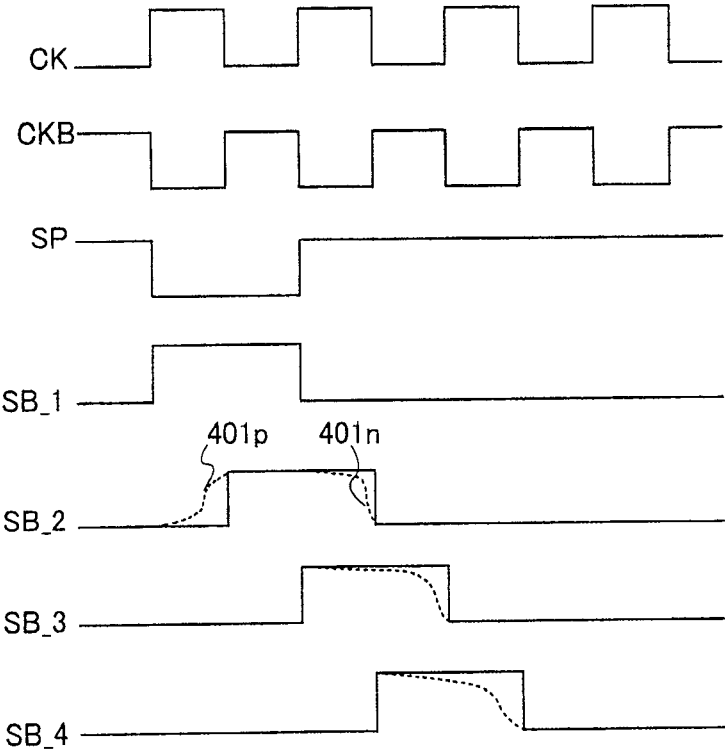


图 20

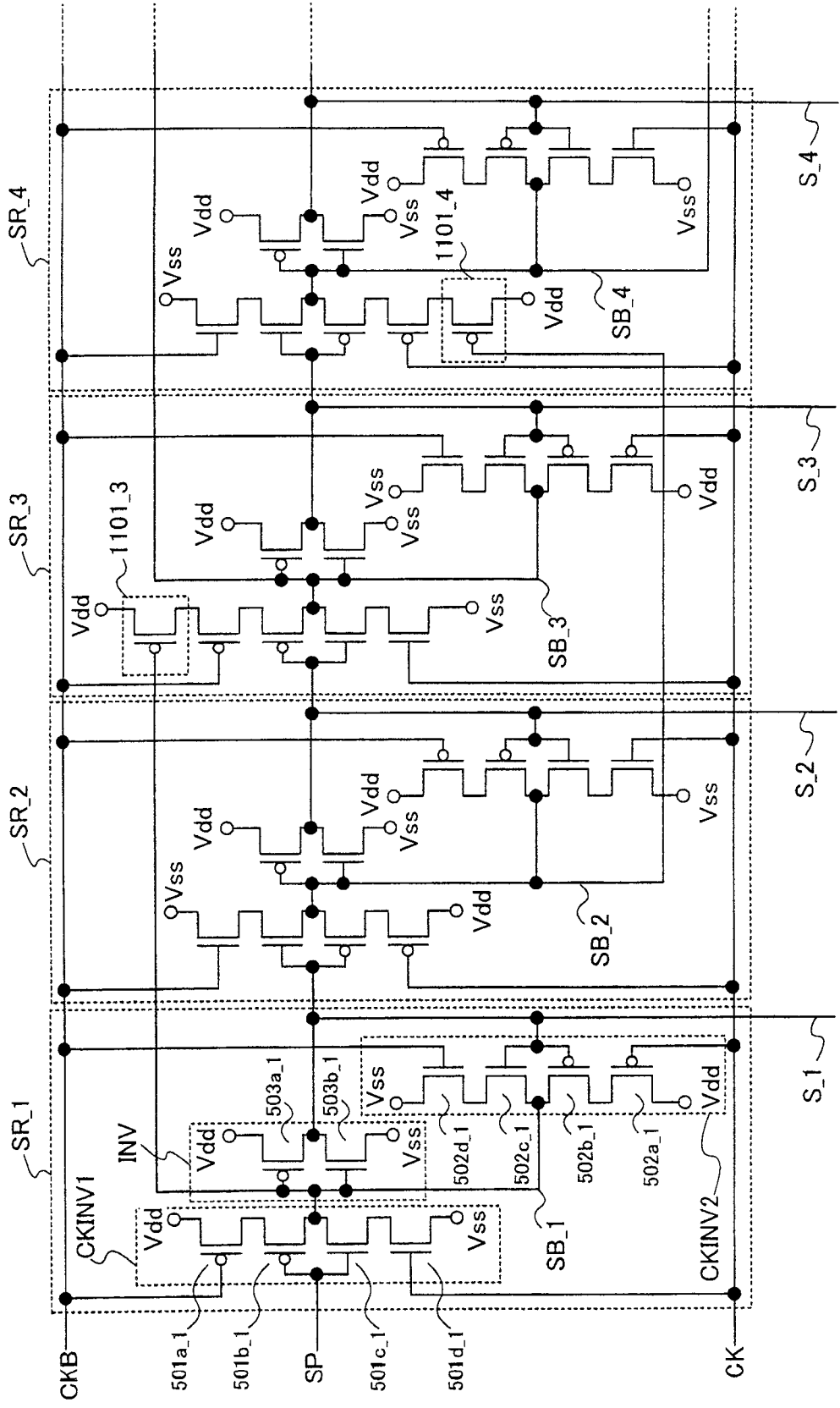


图 21

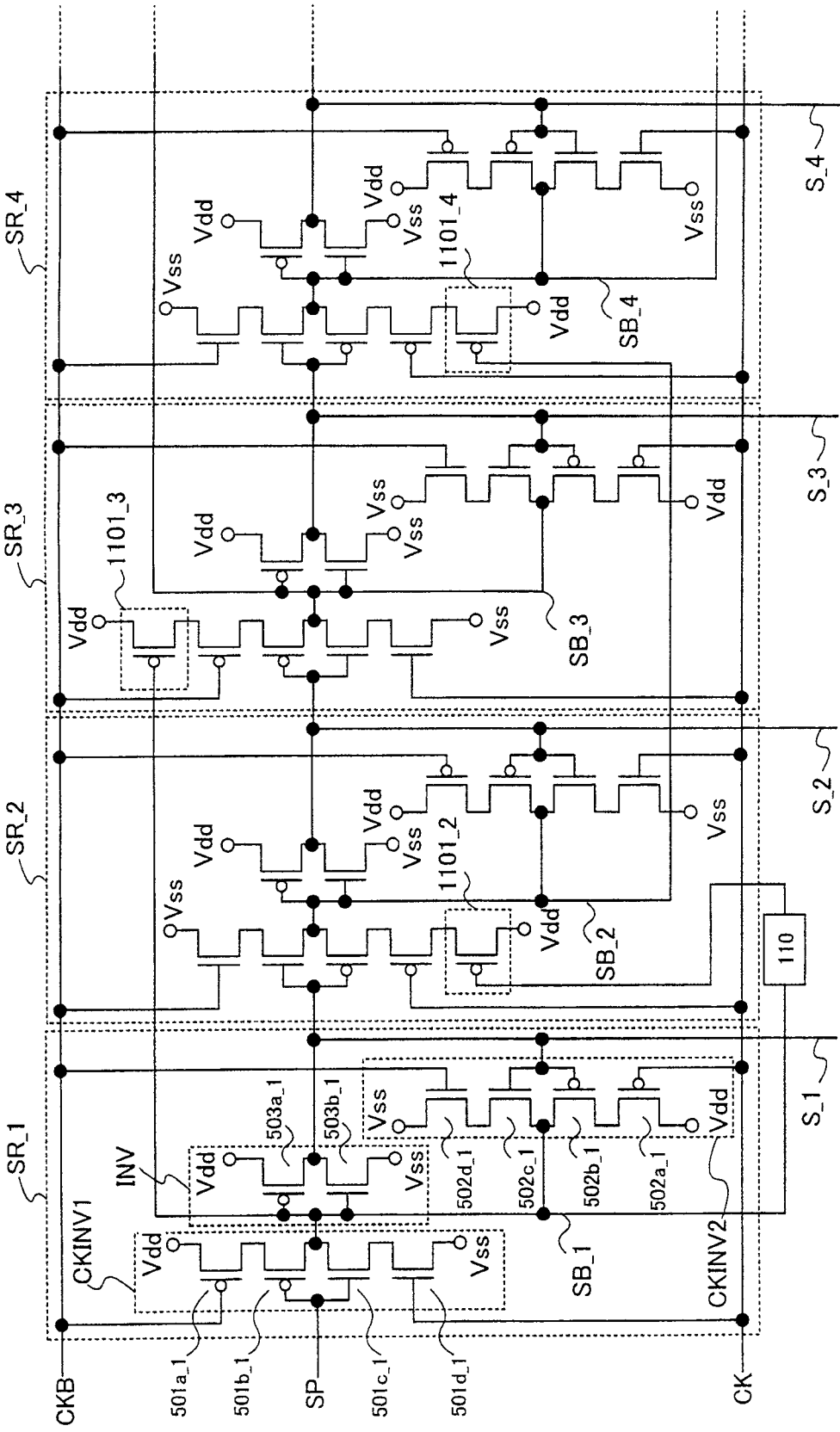


图 22

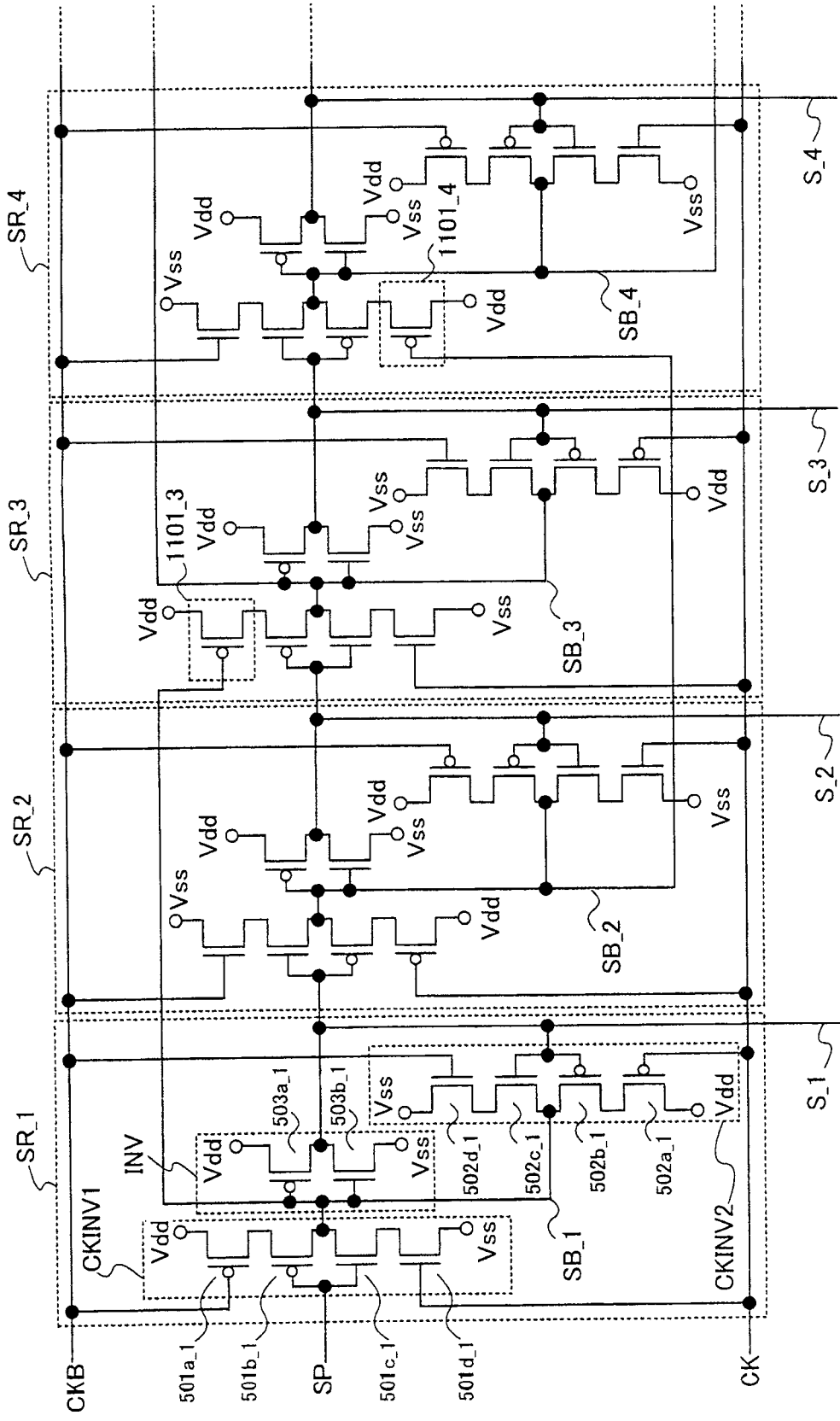


图 23

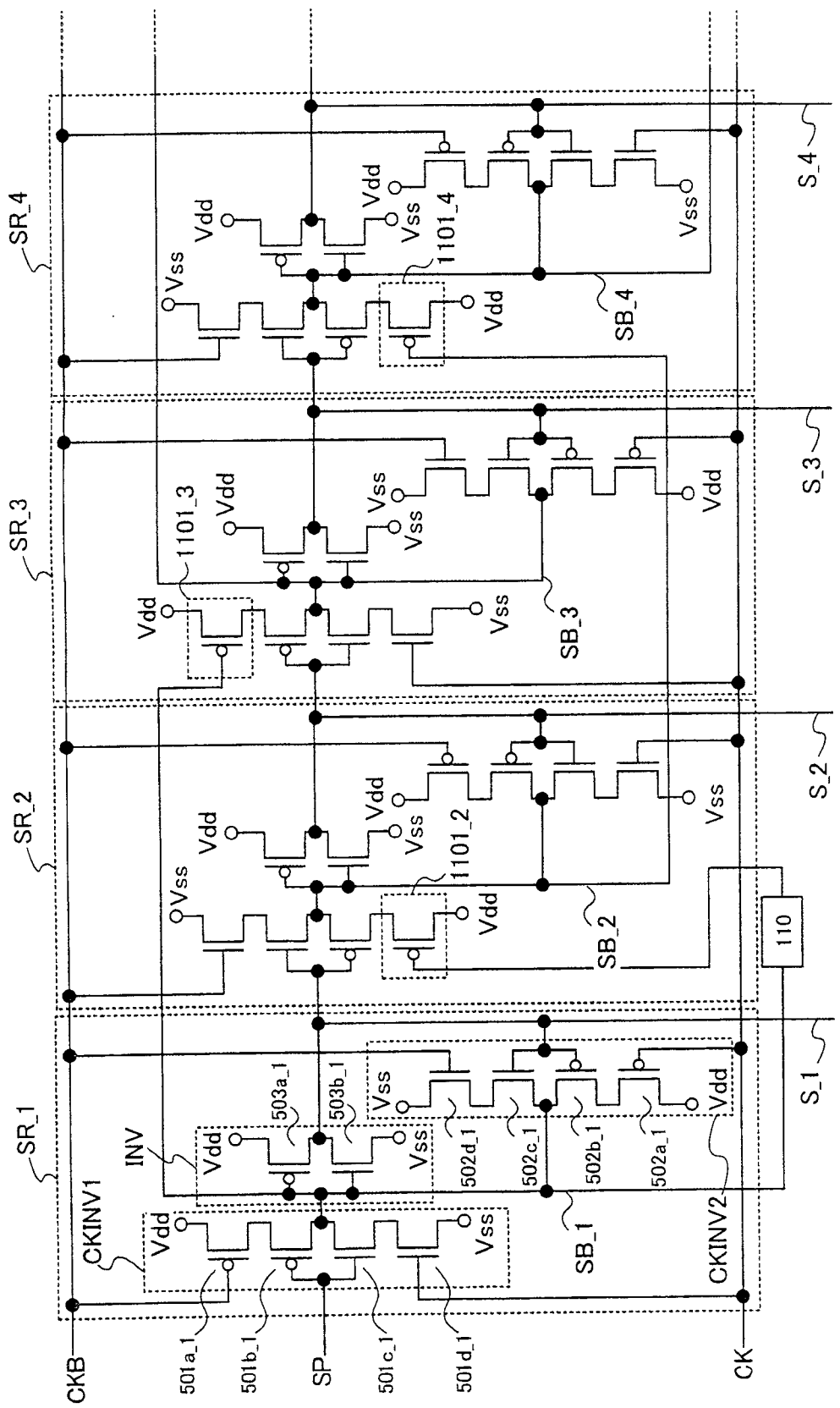


图 24

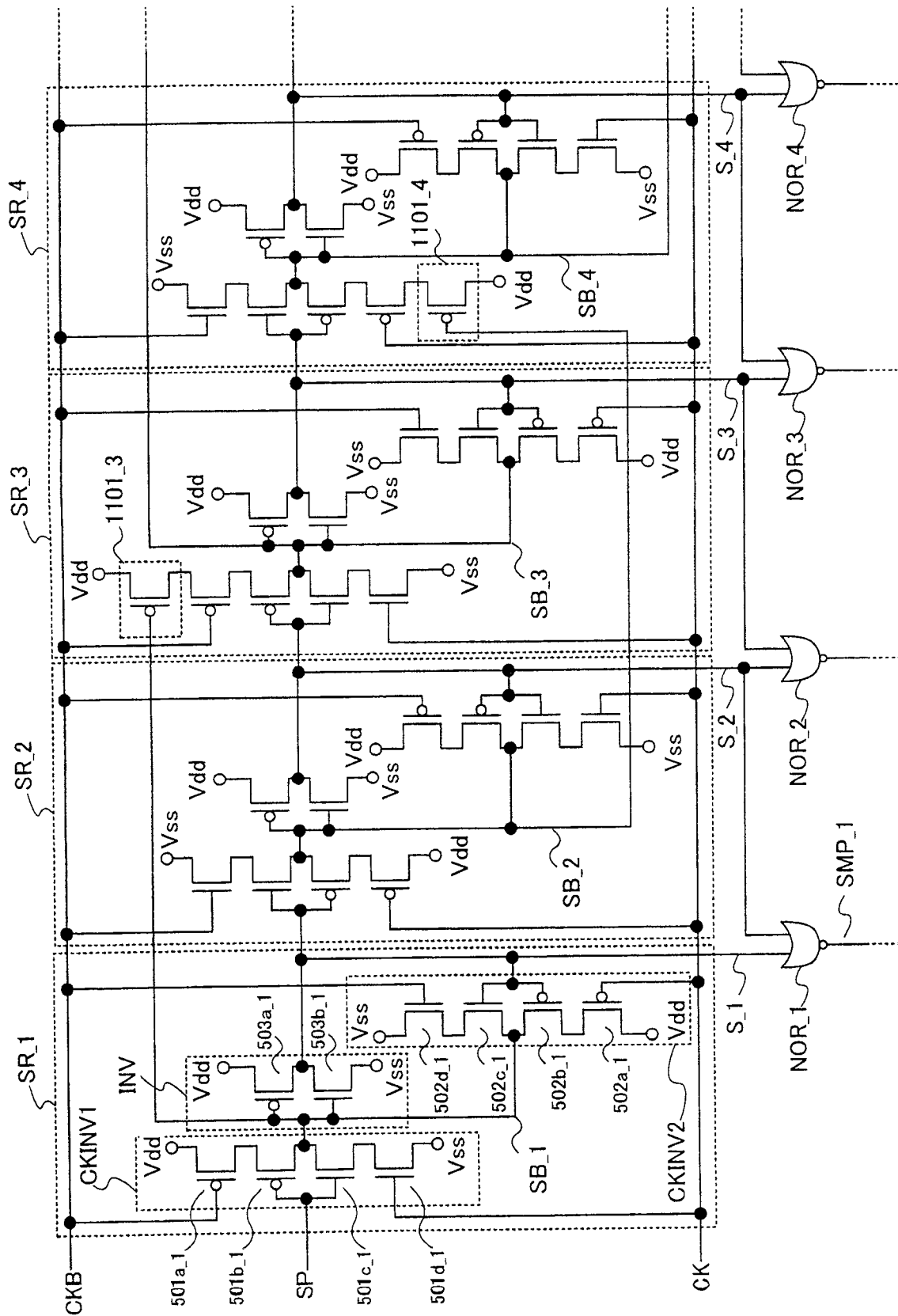


图 25

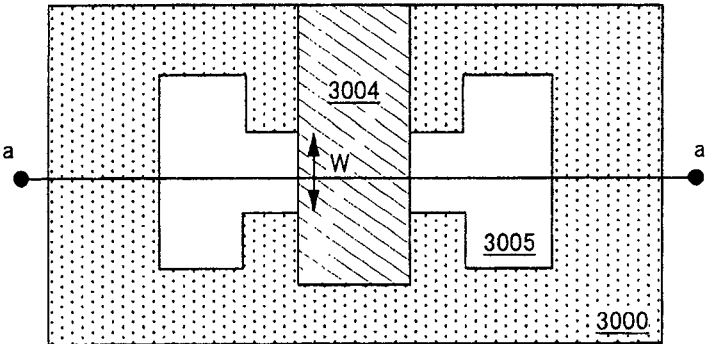


图 26A

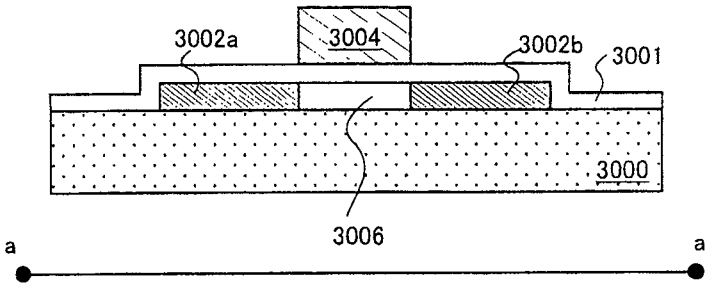


图 26B

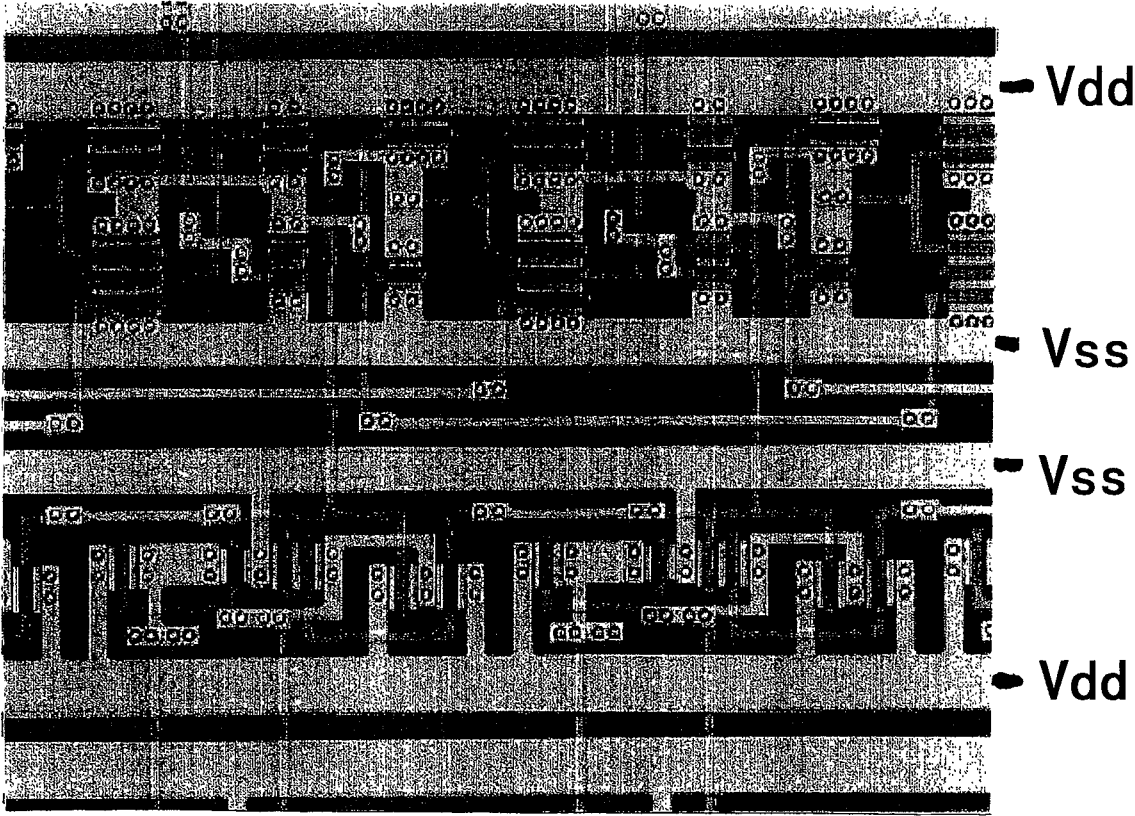


图 27

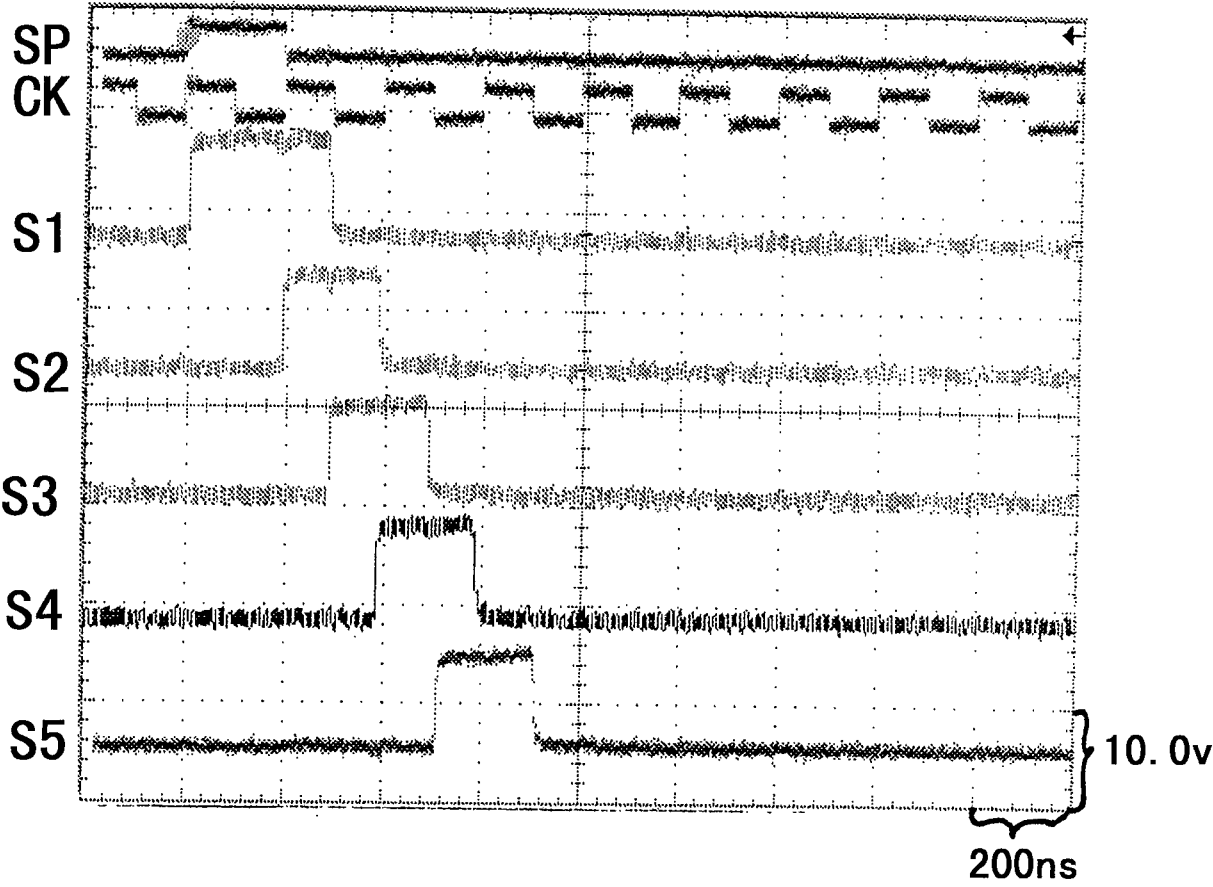


图 28