

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6184122号  
(P6184122)

(45) 発行日 平成29年8月23日 (2017.8.23)

(24) 登録日 平成29年8月4日 (2017.8.4)

(51) Int. Cl.	F I				
<b>HO 1 L 29/786 (2006.01)</b>	HO 1 L	29/78	6 1 6 V		
<b>HO 1 L 21/336 (2006.01)</b>	HO 1 L	29/78	6 1 8 B		
<b>GO 2 F 1/1368 (2006.01)</b>	HO 1 L	29/78	6 1 9 A		
<b>HO 1 L 51/50 (2006.01)</b>	GO 2 F	1/1368			
<b>GO 9 F 9/30 (2006.01)</b>	HO 5 B	33/14	A		
請求項の数 16 (全 32 頁) 最終頁に続く					

(21) 出願番号	特願2013-27373 (P2013-27373)	(73) 特許権者	512187343
(22) 出願日	平成25年2月15日 (2013.2.15)		三星ディスプレイ株式会社
(65) 公開番号	特開2013-251526 (P2013-251526A)		Samsung Display Co., Ltd.
(43) 公開日	平成25年12月12日 (2013.12.12)		大韓民国京畿道龍仁市器興区三星路1
審査請求日	平成28年2月12日 (2016.2.12)		
(31) 優先権主張番号	10-2012-0059605	(74) 代理人	100121382
(32) 優先日	平成24年6月4日 (2012.6.4)		弁理士 山下 託嗣
(33) 優先権主張国	韓国 (KR)	(72) 発明者	李 制 勳
			大韓民国ソウル市陽川区木4洞ワールドメルディアンアパート201棟205号
		(72) 発明者	宋 俊 昊
			大韓民国京畿道城南市盆唐区亭子洞ドンヤン亭子パラゴン101棟601号
最終頁に続く			

(54) 【発明の名称】 薄膜トランジスター、これを備える薄膜トランジスター表示板およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

ゲート線及びゲート電極と、  
前記ゲート電極の上に位置するゲート絶縁膜と、  
前記ゲート絶縁膜を挟んで前記ゲート電極と重なり合うチャンネル領域と、  
前記チャンネル領域と同じ層に位置し、前記チャンネル領域と接続されており、前記チャンネル領域を中心として相対向するソース領域およびドレイン領域と、  
前記チャンネル領域を覆う島状のエッチストッパーと、この島状のエッチストッパーと接続され、前記ゲート線に沿ってゲート線に重なり合うように延びる線状のエッチストッパーと、

を備え、

前記チャンネル領域と、前記ソース領域および前記ドレイン領域は酸化物半導体を含み、前記ソース領域および前記ドレイン領域のキャリア濃度が前記チャンネル領域のキャリア濃度よりも大きく、

前記線状のエッチストッパーの縁部の境界は、ゲート線の縁部の境界と平行に延長されていることを特徴とする薄膜トランジスター。

【請求項2】

前記ソース領域および前記ドレイン領域は、還元された前記酸化物半導体を含むことを特徴とする請求項1に記載の薄膜トランジスター。

【請求項3】

前記ソース領域および前記ドレイン領域は、フッ素(F)、水素(H)および硫黄(S)のうちの少なくとも一種をさらに含むことを特徴とする請求項2に記載の薄膜トランジスター。

【請求項4】

前記ソース領域および前記ドレイン領域が含むフッ素(F)、水素(H)および硫黄(S)のうちの少なくとも一種の濃度は、 $10^{15}$ 個/cm<sup>3</sup>以上であることを特徴とする請求項3に記載の薄膜トランジスター。

【請求項5】

前記チャンネル領域のキャリア濃度が $10^{18}$ 個/cm<sup>3</sup>未満であり、前記ソース領域および前記ドレイン領域のキャリア濃度は $10^{18}$ 個/cm<sup>3</sup>以上であることを特徴とする請求項4に記載の薄膜トランジスター。

10

【請求項6】

前記ソース領域と接続されたソース電極および前記ドレイン領域と接続されたドレイン電極をさらに備えることを特徴とする請求項5に記載の薄膜トランジスター。

【請求項7】

前記島状のエッチストッパーは、前記ソース領域および前記ドレイン領域と実質的に重なり合わないことを特徴とする請求項6に記載の薄膜トランジスター。

【請求項8】

前記島状のエッチストッパーの縁部の境界および前記ゲート電極の縁部の境界は、実質的に互いに位置合わせされていることを特徴とする請求項7に記載の薄膜トランジスター。

20

【請求項9】

前記チャンネル領域と、前記ソース領域および前記ドレイン領域の上に位置する保護膜と、  
前記保護膜の上に位置し、前記チャンネル領域と重なり合う上部ゲート電極と、  
をさらに備え、  
前記上部ゲート電極の幅は、前記チャンネル領域の幅と、同じか、または、より狭いことを特徴とする請求項8に記載の薄膜トランジスター。

【請求項10】

前記ゲート絶縁膜および前記ゲート電極は、前記チャンネル領域の上に位置し、  
前記ゲート電極の縁部の境界と、前記ゲート絶縁膜の縁部の境界および前記チャンネル領域の縁部の境界は実質的に互いに位置合わせされていることを特徴とする請求項5に記載の薄膜トランジスター。

30

【請求項11】

絶縁基板の上にゲート線及びゲート電極を形成するステップと、  
前記ゲート電極の上にゲート絶縁膜を積層するステップと、  
前記ゲート絶縁膜の上に半導体パターンを形成するステップと、  
前記半導体パターンの上に前記半導体パターンを横切って重なり合う島状のエッチストッパーと、この島状のエッチストッパーと接続され、前記ゲート線に沿ってゲート線に重なり合うように延びる線状のエッチストッパーとを形成するステップと、

40

前記島状のエッチストッパーによって覆われておらずに露出された前記半導体パターンを処理して、前記島状のエッチストッパーによって覆われたチャンネル領域および前記チャンネル領域を中心として相対向するソース領域およびドレイン領域を形成するステップと、  
を含み、  
前記線状のエッチストッパーの縁部の境界は、ゲート線の縁部の境界と平行に延長されており、

前記ソース領域および前記ドレイン領域のキャリア濃度が、前記チャンネル領域のキャリア濃度よりも大きいことを特徴とする薄膜トランジスター表示板の製造方法。

【請求項12】

前記半導体パターンを処理するステップは、前記半導体パターンを還元処理するステッ

50

プを含むことを特徴とする請求項 1 1 に記載の薄膜トランジスター表示板の製造方法。

【請求項 1 3】

前記半導体パターンを処理するステップは、四フッ化炭素(CF<sub>4</sub>)、三フッ化窒素(NF<sub>3</sub>)、六フッ化硫黄(SF<sub>6</sub>)、メタン(CH<sub>4</sub>)のうちの少なくとも一種を含むガスを用いて、前記半導体パターンをフッ素(F)、水素(H)、硫黄(S)のうちの少なくとも一種でドーピングするステップを含むことを特徴とする請求項 1 2 に記載の薄膜トランジスター表示板の製造方法。

【請求項 1 4】

前記チャネル領域と、前記ソース領域および前記ドレイン領域の上に位置する保護膜を形成するステップと、

前記保護膜の上に位置し、前記チャネル領域と重なり合う上部ゲート電極を形成するステップと、

をさらに備え、

前記上部ゲート電極の幅は、前記チャネル領域の幅と、同じか、または、より狭いことを特徴とする請求項 1 1 に記載の薄膜トランジスターの製造方法。

【請求項 1 5】

絶縁基板の上に、遮光膜パターン、データ線、及びこれらを覆うバッファ層を形成するステップと、

前記バッファ層の上に、酸化物半導体を含む半導体層、絶縁物質層及びゲート層を、この順に積層するステップと、

前記ゲート層の上に、第 1 の部分、及び、この第 1 の部分より薄い厚さを有する第 2 の部分を備えた感光膜パターンを形成するステップと、

前記感光膜パターンをエッチングマスクとして、前記ゲート層と前記絶縁物質層を、この順にエッチングすることにより、ゲートパターンおよび絶縁パターンを形成するステップと、

前記ゲートパターンおよび前記絶縁パターンをエッチングマスクとして、前記半導体層をエッチングすることにより、半導体パターンを形成するステップと、

前記感光膜パターンを全面的にエッチングして薄肉化させることにより、前記第 2 の部分を除去するステップと、

前記第 1 の部分のみとなった感光膜パターンをエッチングマスクとして、前記ゲートパターンおよび前記絶縁パターンを、この順にエッチングすることにより、ゲート電極及びゲート絶縁層を形成し、前記半導体パターンの一部を露出させるステップと、

前記露出された半導体パターンを処理して前記ゲート電極によって覆われたチャネル領域および前記チャネル領域を中心として相対向するソース領域およびドレイン領域を形成するステップと、

を含み、

前記ソース領域および前記ドレイン領域のキャリア濃度が、前記チャネル領域のキャリア濃度よりも大きいことを特徴とする薄膜トランジスター表示板の製造方法。

【請求項 1 6】

前記半導体パターンを処理するステップは、前記半導体パターンを還元処理するステップを含み、

前記半導体パターンを処理するステップは、四フッ化炭素(CF<sub>4</sub>)、三フッ化窒素(NF<sub>3</sub>)、六フッ化硫黄(SF<sub>6</sub>)、メタン(CH<sub>4</sub>)のうちの少なくとも一種を含むガスを用いて、前記半導体パターンをフッ素(F)、水素(H)、硫黄(S)のうちの少なくとも一種でドーピングするステップを含む請求項 1 5 に記載の薄膜トランジスター表示板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスター、これを備える薄膜トランジスター表示板およびその製

10

20

30

40

50

造方法に関する。

【背景技術】

【0002】

薄膜トランジスタ（thin film-transistor; TFT）は、フラットパネル表示装置など種々の電子装置に用いられている。例えば、薄膜トランジスタは、液晶表示装置（liquid crystal display; LCD）、有機発光ダイオードディスプレイ（organic light emitting diode display; OLED Display）、電気泳動ディスプレイ（electrophoretic display）などのフラット表示装置でスイッチング素子または駆動素子として用いられている。

【0003】

薄膜トランジスタは、走査信号を送信するゲート線と接続されているゲート電極と、画素電極に印加されるべき信号を送信するデータ線と接続されているソース電極と、ソース電極と相対向するドレイン電極と、ソース電極およびドレイン電極と電氣的に接続されている半導体と、を備える。

【0004】

中でも、半導体は、薄膜トランジスタの特性を決定する重要な要素である。このような半導体としては、ケイ素（Si）が最も多用されている。ケイ素は、結晶形態に応じて非晶質シリコンおよび多結晶シリコンに大別できるが、非晶質シリコンは、製造工程が単純であるのに対し、電荷移動度が低くて高性能薄膜トランジスタを製造することに限界がある。一方、多結晶シリコンは、電荷移動度が高いのに対し、ケイ素を結晶化させる工程が求められるため、製造コストおよび工程が複雑である。

【0005】

これらの非晶質シリコンおよび多結晶シリコンの欠点を補完するために、非晶質シリコンよりも電子移動度が高く、ON/OFF比（TFTがONした時のドレイン電流とTFTがOFFした時のドレイン電流（リーク電流）との比）が高い他、多結晶シリコンよりも低コストであり、しかも、高い均一度を有する酸化物半導体（oxide semiconductor）を用いる薄膜トランジスタへの取り組みが盛んになされている。

【0006】

一方、薄膜トランジスタのゲート電極がソース電極またはドレイン電極と寄生容量を形成するとき、このような寄生容量に起因して薄膜トランジスタのスイッチング素子としての特性が低下する虞がある。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】米国特許出願公開第2007-0287237号明細書

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の目的は、酸化物半導体を含む薄膜トランジスタの特性を向上させることである。また、本発明の他の目的は、薄膜トランジスタを備える薄膜トランジスタ表示板における寄生容量によるキックバック電圧を下げて信号遅延を低減することである。

【課題を解決するための手段】

【0009】

本発明の一実施形態に係る薄膜トランジスタは、ゲート電極と、前記ゲート電極の上または下に位置するゲート絶縁膜と、前記ゲート絶縁膜を挟んで前記ゲート電極と重なり合うチャネル領域と、前記チャネル領域と同じ層に位置し、前記チャネル領域と接続されており、前記チャネル領域を中心として相対向するソース領域およびドレイン領域と、を備え、前記チャネル領域と、前記ソース領域および前記ドレイン領域は酸化物半導体を含み、前記ソース領域および前記ドレイン領域のキャリア濃度が前記チャネル領域のキャリア濃度よりも大きいことを特徴とする。

10

20

30

40

50

## 【 0 0 1 0 】

好ましくは、前記ソース領域および前記ドレイン領域は、還元された前記酸化物半導体を含む。

## 【 0 0 1 1 】

また、好ましくは、前記ソース領域および前記ドレイン領域は、フッ素 ( F )、水素 ( H ) および硫黄 ( S ) のうちの少なくとも一種をさらに含む。

## 【 0 0 1 2 】

さらに、好ましくは、前記ソース領域および前記ドレイン領域が含むフッ素 ( F )、水素 ( H ) および硫黄 ( S ) のうちの少なくとも一種の濃度は、 $10^{15}$  個 /  $\text{cm}^3$  以上である。

10

## 【 0 0 1 3 】

さらに、好ましくは、前記チャネル領域のキャリア濃度が  $10^{18}$  個 /  $\text{cm}^3$  未満であり、前記ソース領域および前記ドレイン領域のキャリア濃度は  $10^{18}$  個 /  $\text{cm}^3$  以上である。

## 【 0 0 1 4 】

さらに、好ましくは、前記薄膜トランジスタは、前記ソース領域と接続されたソース電極および前記ドレイン領域と接続されたドレイン電極をさらに備える。

## 【 0 0 1 5 】

さらに、好ましくは、前記薄膜トランジスタは、前記チャネル領域を覆うエッチストッパーをさらに備え、前記エッチストッパーは、前記ソース領域および前記ドレイン領域と実質的に重なり合わない。

20

## 【 0 0 1 6 】

さらに、好ましくは、前記エッチストッパーの縁部の境界および前記ゲート電極の縁部の境界は、実質的に互いに位置合わせされている。

## 【 0 0 1 7 】

さらに、好ましくは、前記薄膜トランジスタは、前記チャネル領域と、前記ソース領域および前記ドレイン領域の上に位置する保護膜と、前記保護膜の上に位置し、前記チャネル領域と重なり合う上部ゲート電極と、をさらに備える。

## 【 0 0 1 8 】

さらに、好ましくは、前記ゲート絶縁膜および前記ゲート電極は、前記チャネル領域の上に位置し、前記ゲート電極の縁部の境界と、前記ゲート絶縁膜の縁部の境界および前記チャネル領域の縁部の境界は実質的に互いに位置合わせされている。

30

## 【 0 0 1 9 】

本発明の一実施形態に係る薄膜トランジスタ表示板の製造方法は、絶縁基板の上にゲート電極を形成するステップと、前記ゲート電極の上にゲート絶縁膜を積層するステップと、前記ゲート絶縁膜の上に半導体パターンを形成するステップと、前記半導体パターンの上に前記半導体パターンを横切って重なり合うエッチストッパーを形成するステップと、前記エッチストッパーによって覆われておらずに露出された前記半導体パターンを処理して、前記エッチストッパーによって覆われたチャネル領域および前記チャネル領域を中心として相対向するソース領域およびドレイン領域を形成するステップと、を含み、前記ソース領域および前記ドレイン領域のキャリア濃度が、前記チャネル領域のキャリア濃度よりも大きいことを特徴とする。

40

## 【 0 0 2 0 】

また、本発明の他の実施形態に係る薄膜トランジスタ表示板の製造方法は、絶縁基板の上に酸化物半導体を含む半導体パターンを形成するステップと、前記半導体パターンの上に絶縁物質を積層して絶縁物質層を形成するステップと、前記絶縁物質層の上にゲート電極を形成するステップと、前記ゲート電極をエッチングマスクとして前記絶縁物質層をパターンングしてゲート絶縁層を形成し、前記半導体パターンの一部を露出させるステップと、前記露出された半導体パターンを処理して前記ゲート電極によって覆われたチャネル領域および前記チャネル領域を中心として相対向するソース領域およびドレイン領域

50

を形成するステップと、を含み、前記ソース領域および前記ドレイン領域のキャリア濃度が、前記チャンネル領域のキャリア濃度よりも大きいことを特徴とする。

【0021】

好ましくは、前記半導体パターンを処理するステップは、前記半導体パターンを還元処理するステップを含む。

【0022】

また、好ましくは、前記半導体パターンを処理するステップは、四フッ化炭素 ( $CF_4$ )、三フッ化窒素 ( $NF_3$ )、六フッ化硫黄 ( $SF_6$ )、メタン ( $CH_4$ ) のうちの少なくとも一種を含むガスを用いて、前記半導体パターンをフッ素 (F)、水素 (H)、硫黄 (S) のうちの少なくとも一種でドーピングするステップを含む。

10

【発明の効果】

【0023】

本発明によれば、薄膜トランジスタのゲート電極と半導体層のソース領域またはドレイン領域との間の寄生容量を低減することができ、薄膜トランジスタの特性を向上させることができる。また、薄膜トランジスタを備える薄膜トランジスタ表示板における寄生容量によるキックバック電圧を下げて信号遅延および歪みを低減することができる。

【図面の簡単な説明】

【0024】

【図1】本発明の一実施形態に係る薄膜トランジスタ表示板の断面図である。

【図2A】本発明の一実施形態に係る薄膜トランジスタ表示板の断面図である。

20

【図2B】図2Aに示す薄膜トランジスタ表示板の平面図である。

【図3A】本発明の一実施形態に係る薄膜トランジスタ表示板の断面図である。

【図3B】図3Aに示す薄膜トランジスタ表示板の平面図である。

【図4A】本発明の一実施形態に係る薄膜トランジスタ表示板の断面図である。

【図4B】図4Aに示す薄膜トランジスタ表示板の平面図である。

【図5】本発明の一実施形態に係る薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【図6】本発明の一実施形態に係る薄膜トランジスタ表示板の断面図である。

【図7】図6に示す薄膜トランジスタ表示板の平面図である。

【図8】本発明の一実施形態に係る薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

30

【図9】本発明の一実施形態に係る薄膜トランジスタ表示板の断面図である。

【図10】図9に示す薄膜トランジスタ表示板の平面図である。

【図11】図9および図10に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【図12】本発明の一実施形態に係る薄膜トランジスタ表示板の断面図である。

【図13】(a)は、本発明の一実施形態に係る薄膜トランジスタ表示板の断面図であり、(b)は、本発明の一実施形態に係る薄膜トランジスタ表示板の平面図である。

【図14】図13に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

40

【図15】図13に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【図16】図13に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【図17】図13に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【図18】図13に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【図19】図13に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

50

【図 20】本発明の一実施形態に係る薄膜トランジスタ表示板の断面図である。

【図 21】図 20 に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【図 22】図 20 に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【図 23】図 20 に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【図 24】図 20 に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【図 25】図 20 に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

10

【図 26】図 20 に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【図 27】図 20 に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【図 28】図 20 に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【図 29】本発明の一実施形態に係る薄膜トランジスタ表示板を製造する方法を示すフローチャートである。

【図 30】本発明の一実施形態に係る薄膜トランジスタ表示板を製造する方法を示すフローチャートである。

20

【発明を実施するための形態】

【0025】

以下、本発明の実施形態につき、本発明が属する技術分野において通常の知識を持った者が容易に実施できる程度に詳しく説明する。しかしながら、本発明は種々の異なる形態で実現可能であり、ここで説明する実施形態に限定されない。

【0026】

図中、複数の層および領域を明確に表現するために、厚さを拡大して示す。明細書全般に亘って類似する部分に対しては同じ図面符号を付する。層、膜、領域、板などの部分が他の部分の「上に」あるとしたとき、これは、他の部分の「直上に」ある場合だけではなく、これらの間に他の部分がある場合も含む。逆に、ある部分が他の部分の「真上に」あるとしたときには、これらの間に他の部分がないことを意味する。

30

【0027】

まず、図 1 に基づき、本発明の一実施形態に係る薄膜トランジスタおよび薄膜トランジスタ表示板について説明する。

【0028】

図 1 は、本発明の一実施形態に係る薄膜トランジスタ表示板の断面図である。

【0029】

プラスチック、ガラスなどの絶縁性物質を含む絶縁基板 110 の上にゲート電極 124 を含むゲート線 121 が位置する。ゲート線 121 は、ゲートオン電圧 ( $V_{on}$ ) およびゲートオフ電圧 ( $V_{off}$ ) を含むゲート信号を送信してもよい。

40

【0030】

ゲート線 121 は、アルミニウム (Al) やアルミニウム合金などアルミニウム系金属、銀 (Ag) や銀合金など銀系金属、銅 (Cu) や銅合金など銅系金属、モリブデン (Mo) やモリブデン合金などモリブデン系金属、クロム (Cr)、タンタル (Ta) およびチタン (Ti) などから作製されてもよい。しかしながら、ゲート電極 124 は、物理的な性質が異なる少なくとも二つの導電膜を備える多重膜構造を有していてもよい。

【0031】

ゲート線 121 の上には、ゲート絶縁膜 140 が位置する。ゲート絶縁膜 140 は、酸化ケイ素 ( $SiO_x$ )、窒化ケイ素 ( $SiN_x$ )、または酸窒化シリコン ( $SiON$ ) な

50

どの絶縁物質を含んでいてもよい。ゲート絶縁膜 140 は、スパッタリング方法などを用いて形成してもよい。

【0032】

ゲート絶縁膜 140 の上には、チャネル領域 154 と、ソース領域 153 およびドレイン領域 155 を有する半導体層が位置する。

【0033】

チャネル領域 154 は、ゲート電極 124 と重なり合う。チャネル領域 154 とソース領域 153 またはドレイン領域 155 との間の境界は、ゲート電極 124 の縁部の境界と実質的に一致していてもよく、ゲート電極 124 の縁部の境界の外側または内側に位置していてもよい。中でも、チャネル領域 154 の縁部の境界は、ゲート電極 124 の縁部の境界と実質的に位置合わせされていた方が、薄膜トランジスタの特性の向上および薄膜トランジスタ表示板における信号遅延の防止を図る上で好適である。チャネル領域 154 の縁部の境界とゲート電極 124 の縁部とを実質的に位置合わせすることで、ゲート電極 124 とソース領域 153 又はドレイン領域 155 との間の寄生容量を減らすことができるため、信号遅延を防止できるからである。

10

【0034】

チャネル領域 154 は、酸化物半導体を含んでいてもよい。酸化物半導体は金属酸化物半導体であり、亜鉛 (Zn)、インジウム (In)、ガリウム (Ga)、錫 (Sn)、チタン (Ti) などの金属の酸化物または亜鉛 (Zn)、インジウム (In)、ガリウム (Ga)、錫 (Sn)、チタン (Ti) などの金属とこれらの酸化物との組み合わせから形成されてもよい。例えば、酸化物半導体は、酸化亜鉛 (ZnO)、亜鉛 - 錫酸化物 (ZTO)、亜鉛 - インジウム酸化物 (ZIO)、インジウム酸化物 (InO)、チタン酸化物 (TiO)、インジウム - ガリウム - 亜鉛酸化物 (IGZO)、インジウム - 亜鉛 - 錫酸化物 (IZTO) のうちの少なくとも一種を含んでいてもよい。

20

【0035】

ソース領域 153 およびドレイン領域 155 は、チャネル領域 154 を中心として両側にそれぞれ位置し、互いに離れている。ソース領域 153 およびドレイン領域 155 はゲート電極 124 と重なり合っているとしてもよく、実質的に重なり合っていないとしてもよい。

【0036】

ソース領域 153 およびドレイン領域 155 は、チャネル領域 154 と物理的に且つ電気的に接続されている。

30

【0037】

具体的に、ソース領域 153 およびドレイン領域 155 は、チャネル領域 154 をなす酸化物半導体を含むか、ソース領域 153 およびドレイン領域 155 のキャリア濃度は、チャネル領域 154 のキャリア濃度とは異なる。具体的に、チャネル領域 154 のキャリア濃度が  $10^{18}$  個/cm<sup>3</sup> 未満であるとき、ソース領域 153 およびドレイン領域 155 のキャリア濃度は、 $10^{18}$  個/cm<sup>3</sup> 以上であってもよい。ソース領域 153 またはドレイン領域 155 とチャネル領域 154 との間の境界にキャリア濃度の勾配が存在する。このキャリア濃度の勾配によりトランジスタの駆動能力を向上することができる。

【0038】

本発明の一実施形態によれば、ソース領域 153 およびドレイン領域 155 は、チャネル領域 154 をなす酸化物半導体および還元された酸化物半導体を含んでいてもよい。例えば、ソース領域 153 およびドレイン領域 155 は、酸化物半導体とフッ素 (F)、水素 (H) および硫黄 (S) のうちの少なくとも一種をさらに含んでいてもよい。このとき、ソース領域 153 およびドレイン領域 155 が含むフッ素 (F)、水素 (H) および硫黄 (S) のうちの少なくとも一種の濃度は、 $10^{15}$  個/cm<sup>3</sup> 以上であってもよい。ソース領域 153 またはドレイン領域 155 とチャネル領域 154 との間の境界に、フッ素 (F)、水素 (H) および硫黄 (S) のうちの少なくとも一種の濃度の勾配が存在してもよい。

40

【0039】

50



このようなソース領域 153 およびドレイン領域 155 は、チャンネル領域 154 をなす酸化物半導体をプラズマ処理などの方法により還元させて形成してもよい。例えば、酸化物半導体を、チャンパー内において、フッ素 (F)、水素 (H) および硫黄 (S) のうちの少なくとも一種を含むガスを用いて、フッ素 (F)、水素 (H) および硫黄 (S) のうちの少なくとも一種でドーピングすることにより、本発明の一実施形態に係るソース領域 153 およびドレイン領域 155 を形成してもよい。

【0040】

酸化物半導体は n 型半導体であるため、フッ素 (F)、水素 (H)、硫黄 (S) のうちの少なくとも一種のガスでドーピングされたソース領域 153 およびドレイン領域 155 は n+層となる。この場合、ソース領域 153 およびドレイン領域 155 は、電極と半導体層との間においてオーミックコンタクトの機能を行ってもよい。

10

【0041】

他の実施形態によれば、ソース領域 153 およびドレイン領域 155 は、導電性を有するソース電極、ドレイン電極の機能を行ってもよい。

【0042】

チャンネル領域 154 の上には、エッチストッパー (エッチング防止膜とも呼ばれる) 164 が位置する。エッチストッパー 164 の左右の縁部の境界およびチャンネル領域 154 の左右の縁部の境界は、実質的に位置合わせされている。このため、エッチストッパー 164 は、ソース領域 153 またはドレイン領域 155 と実質的に重なり合っていないとしてもよい。

20

【0043】

エッチストッパー 164 は、チャンネル領域 154 を覆って後続工程において薄膜トランジスターのチャンネルとなるチャンネル領域 154 がエッチング液などによって損傷されることを防ぐことができる。また、エッチストッパー 164 は、チャンネル領域 154 の上部に位置する保護膜 180 などの絶縁層または外部からチャンネル領域 154 へと水素 (H) などの不純物が拡散することを遮断して、チャンネル領域 154 の性質が変わることを防ぐことができる。

【0044】

エッチストッパー 164 の厚さは、3000 以下であってもよい。また、 $SiO_x$ 、 $SiN_x$ 、 $SiOC_x$  または  $SiON_x$  のうちの少なくとも一種の物質を含む無機膜であってもよく、有機物または高分子有機物を含む有機膜であってもよい。

30

【0045】

ソース領域 153 およびドレイン領域 155 がソース電極、ドレイン電極機能を行う場合、ゲート電極 124 と、半導体層のソース領域 153 およびドレイン領域 155 は、チャンネル領域 154 と共に薄膜トランジスター (TFET) をなし、薄膜トランジスターのチャンネルは、チャンネル領域 154 に形成される。

【0046】

薄膜トランジスターのチャンネル長 L は、ソース領域 153 とドレイン領域 155 との間の距離、すなわち、チャンネル領域 154 の横方向の幅として定義される。また、薄膜トランジスターのチャンネル幅 (図示せず) は、ソース領域 153 またはドレイン領域 155 とチャンネル領域 154 との間の境界の長さとして定義される。本発明の一実施形態によれば、薄膜トランジスターのチャンネル長 L はエッチストッパー 164 の横方向の幅に依存し、エッチストッパー 164 をフォトエッチング工程により形成する場合、露光器の露光限界までチャンネル長 L を減らすことができる。例えば、露光器の露光限界が  $3\ \mu\text{m}$  である場合、薄膜トランジスターのチャンネル長 L を  $3\ \mu\text{m}$  まで減らすことができるので、薄膜トランジスターの移動度を高めることができ、薄膜トランジスターの特性を向上させることができる。

40

【0047】

また、本発明の一実施形態によれば、薄膜トランジスターのチャンネル長 L は、エッチストッパー 164 の横方向の幅とほぼ同様であるため、エッチストッパー 164 の横方向の

50

幅を調節して薄膜トランジスタのチャネル長 $L$ を調節することができる。このため、チャネル領域154とソース領域153またはドレイン領域155との間の境界のゲート電極124の縁部の境界に対する位置を自由に設定することができる。チャネル領域154とソース領域153またはドレイン領域155との間の境界をゲート電極124の縁部の境界と実質的に位置合わせさせたり、僅かに外側にずらすと、ソース領域153およびドレイン領域155がゲート電極124と実質的に重なり合わないため、ゲート電極124とソース領域153またはドレイン領域155との間の寄生容量を格段と低減することができる。このため、薄膜トランジスタ表示板におけるゲート電極124とソース領域153またはドレイン領域155との間の寄生容量によるキックバック電圧を下げて信号遅延または歪みを低減することができる。これにより、消費電力を減らすことができる。そのため、データ線などの信号伝送配線(図示せず)の太さをさらに減らすことができ、配線材料の選択における自由度が大きくなる。つまり、信号遅延等の低減のために信号伝送配線を太くする必要がない。

10

## 【0048】

ソース領域153およびドレイン領域155、並びにエッチストッパー164の上には保護膜(パッシベーション層)180が位置する。保護膜180は、酸化ケイ素( $SiO_x$ )と、窒化ケイ素( $SiN_x$ )と、窒酸化ケイ素( $SiON$ )およびフッ酸化ケイ素( $SiOF$ )などの絶縁物質から形成されてもよい。

## 【0049】

以下、図2Aおよび図2B、図3Aおよび図3Bに基づき、本発明の実施形態に係る薄膜トランジスタおよび薄膜トランジスタ表示板について説明する。

20

## 【0050】

図2Aは、本発明の一実施形態に係る薄膜トランジスタ表示板の断面図であり、図2Bは、図2Aに示す薄膜トランジスタ表示板の平面図であり、図3Aは、本発明の他の実施形態に係る薄膜トランジスタ表示板の断面図であり、図3Bは、図3Aに示す薄膜トランジスタ表示板の平面図である。

## 【0051】

図2Aおよび図2Bに示す実施形態は、上述した図1に示す実施形態とほとんど同様であるが、ソース領域153と接続されているデータ線171およびドレイン領域155と接続されている画素電極191をさらに備えていてもよい。

30

## 【0052】

データ線171は、データ信号を送信し、ゲート線121と交差しながら延びていてもよい。データ線171は、ソース領域153と電氣的に接続されている。

## 【0053】

図2Aおよび図2Bを参照すると、データ線171は、ソース領域153と直接的に接触して電氣的に接続されていてもよい。

## 【0054】

このとき、データ線171は、保護膜180の下に位置していてもよい。また、データ線171は、ソース領域153に向かって突き出た突出部(図示せず)を備え、この突出部がソース領域153と接触してもよい。

40

## 【0055】

図3Aおよび図3Bを参照すると、データ線171は、接続ブリッジ88を介してソース領域153と電氣的に接続されてもよい。このとき、データ線171は、保護膜180の下に位置していてもよく、保護膜180は、データ線171を露出させるコンタクト孔187およびソース領域153を露出させるコンタクト孔188を備えていてもよい。接続ブリッジ88は、コンタクト孔187、188を介してデータ線171とソース領域153を電氣的に接続してもよい。データ線171は、ゲート絶縁膜140と保護膜180との間に位置していてもよく、保護膜180の上に位置していてもよい。データ線171が保護膜180の下に位置する場合に、接続ブリッジ88は画素電極191と同じ層に同じ物質から形成されていてもよい。

50

## 【0056】

画素電極191は、保護膜180の上に位置し、ITO、IZOなどの透明な導電物質から形成されてもよい。画素電極191は、保護膜180のコンタクト孔185を介してドレイン領域155と電氣的に接続されてもよい。画素電極191は、ドレイン領域155からデータ電圧を受け取って映像表示を制御する。

## 【0057】

本発明の一実施形態に係る薄膜トランジスタ表示板が液晶表示装置に備えられる場合、画素電極191は、対向電極（図示せず）と共に液晶層（図示せず）に電場を形成して、液晶分子の配列方向を制御することにより映像を表示する。薄膜トランジスタ表示板が有機発光表示装置に備えられる場合に、画素電極191と対向電極（図示せず）との間に発光層（図示せず）が位置して発光ダイオードを形成する。

10

## 【0058】

本発明の一実施形態において、データ線171または画素電極191が薄膜トランジスタのチャンネル領域154と直接的に接触する必要がない。このため、データ線171および画素電極191とチャンネル領域154とをある程度隔てることのできるため、特に、データ線171が銅（Cu）などの金属を含むとき、チャンネル領域154に金属成分が拡散されることを防ぐことができる。これにより、薄膜トランジスタの特性が劣化することを防ぐことができる。

## 【0059】

以下、図4Aおよび図4Bに基づき、本発明の一実施形態に係る薄膜トランジスタおよび薄膜トランジスタ表示板について説明する。

20

## 【0060】

図4Aは、本発明の一実施形態に係る薄膜トランジスタ表示板の断面図であり、図4Bは、図4Aに示す薄膜トランジスタ表示板の平面図である。

## 【0061】

図4Aおよび図4Bに示す実施形態は、上述した図1に示す実施形態とほとんど同じであるが、ソース領域153の上に位置するソース電極173と、ドレイン領域155の上に位置するドレイン電極175と、ドレイン電極175と電氣的に接続されている画素電極191と、をさらに備えていてもよい。ここで、ソース電極173は、ソース領域153と直接的に接触して電氣的に接続されてもよく、ドレイン電極175は、ドレイン領域155と直接的に接触して電氣的に接続されてもよく。

30

## 【0062】

酸化物半導体領域をプラズマ処理などの方法により還元させてソース領域153およびドレイン領域155を形成すれば、フッ素（F）、水素（H）、硫黄（S）のうちの少なくとも一種のガスでドーピングされたソース領域153およびドレイン領域155はn+層となって、ソース電極173とドレイン電極175とチャンネル層154との間においてオーミックコンタクト機能を行うことができる。

## 【0063】

図4Aには、ソース電極173およびドレイン電極175がソース領域153およびドレイン領域155よりもさらに厚く示してあるが、これは一つの実施形態に過ぎず、ソース電極173およびドレイン電極175は、ソース領域153およびドレイン領域155の厚さと同様であってもよく、それよりも薄くてもよい。

40

## 【0064】

ソース電極173はデータ信号を送信し、ゲート線121と交差しながら延びるデータ線171と接続されている。例えば、ソース電極173は、図4Bに示すように、データ線171の長く延びる部分から突き出た部分であってもよい。他の例として、ソース電極173はデータ線171とは別設されてデータ線171と接続されてもよい。

## 【0065】

画素電極191は、保護膜180の上に位置し、ITO、IZOなどの透明な導電物質から形成されてもよい。画素電極191は、保護膜180のコンタクト孔185を介して

50

ドレイン電極 175 と電氣的に接続されてもよい。画素電極 191 は、ドレイン電極 175 からデータ電圧を受け取って映像表示を制御する。

【0066】

ソース電極 173 およびドレイン電極 175 は、アルミニウムやアルミニウム合金などアルミニウム系金属、銀や銀合金など銀系金属、銅や銅マンガンなどの銅合金など銅系金属、モリブデンやモリブデン合金などモリブデン系金属、クロム、タンタルおよびチタンなどから形成されてもよい。例えば、モリブデン合金として、Mo-Nb、Mo-Ti がある。または、ソース電極 173 およびドレイン電極 175 は、ITO、IZO、AZO などの透明性導電物質から形成されてもよい。ソース電極 173 およびドレイン電極 175 は、2 以上の導電膜（図示せず）を備える多重膜構造を有していてもよい。例えば、ソ

10

【0067】

本実施形態においても、ソース電極 173 およびドレイン電極 175 がチャンネル領域 154 と接触する必要がない。このため、ソース電極 173 およびドレイン電極 175 とチャンネル領域 154 とをある程度隔てることのできるため、ソース電極 173 およびドレイン電極 175 が銅 (Cu) などの金属を含むとき、チャンネル領域 154 に金属成分が拡散することを防ぐことができる。これにより、薄膜トランジスターの特性が劣化することを防ぐことができる。

【0068】

20

以下、図 5 に基づき、本発明の一実施形態に係る薄膜トランジスター表示板の製造方法について説明する。

【0069】

図 5 は、本発明の一実施形態に係る薄膜トランジスター表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【0070】

本実施形態においては、上述した図 4 A および図 4 B に示す薄膜トランジスター表示板を例にとって説明するが、本発明はこれに何ら限定されるものではなく、本発明の一実施形態に係る製造方法は他の種々の実施形態にも同様に適用可能である。

【0071】

30

まず、図 5 (a) を参照すると、ガラス製またはプラスチック製の絶縁基板 110 の上に金属などの導電性物質を積層し且つパターンニングしてゲート電極 124 を形成する。

【0072】

次いで、ゲート電極 124 の上に酸化ケイ素 (SiO<sub>x</sub>)、窒化ケイ素 (SiN<sub>x</sub>)、または酸窒化シリコン (SiON) などの絶縁物質を含むゲート絶縁膜 140 を積層する。

【0073】

次いで、ゲート絶縁膜 140 の上に酸化亜鉛 (ZnO)、亜鉛 - 錫酸化物 (ZTO)、亜鉛 - インジウム酸化物 (ZIO)、インジウム酸化物 (InO)、チタン酸化物 (TiO)、インジウム - ガリウム - 亜鉛酸化物 (IGZO)、インジウム - 亜鉛 - 錫酸化物 (IZTO) などの酸化物半導体物質を含む半導体物質層（図示せず）を塗布し、その上にフォトレジストなどの感光膜を塗布し且つ露光して感光膜パターン 51 を形成する。

40

【0074】

次いで、感光膜パターン 51 をマスクとして半導体物質層をエッチングして半導体パターン 150 を形成する。

【0075】

次いで、図 5 (b) を参照すると、感光膜パターン 51 を除去し、半導体パターン 150 の上にエッチストッパー 164 を形成する。エッチストッパー 164 はゲート電極 124 と重なり合い、半導体パターン 150 の中央部を横切りながら重なり合い、エッチストッパー 164 に覆われていない半導体パターン 150 の両部分がエッチストッパー 164

50

を挟んで離れて位置する。エッチストッパー164は、 $\text{SiO}_x$ 、 $\text{SiN}_x$ 、 $\text{SiOC}_x$  または  $\text{SiON}_x$  のうちの少なくとも一種の物質を含む無機膜、有機物または高分子有機物を含む有機膜を化学気相蒸着法(CVD)やスパッタリング方法などによって蒸着した後写真工程により形成してもよい。このとき、ドライエッチング法を用いてもよく、半導体パターン150がエッチングされないように十分なエッチング比を有するエッチングガスを用いてもよい。

【0076】

次いで、図5(c)を参照すると、エッチストッパー164の両側において露出された半導体パターン150の両部分を処理してソース領域153およびドレイン領域155を形成する。また、エッチストッパー164に覆われている半導体パターン150はチャンネル領域154となる。これにより、ゲート電極124と、ソース領域153およびドレイン領域155は、チャンネル領域154と共に薄膜トランジスターをなす。

10

【0077】

露出された半導体パターン150を処理する方法として、チャンパー内の還元雰囲気下で熱処理する方法、水素( $\text{H}_2$ )、ヘリウム( $\text{He}$ )、ホスフィン( $\text{PH}_3$ )、アンモニア( $\text{NH}_3$ )、シラン( $\text{SiH}_4$ )、メタン( $\text{CH}_4$ )、アセチレン( $\text{C}_2\text{H}_2$ )、ジボラン( $\text{B}_2\text{H}_6$ )、二酸化炭素( $\text{CO}_2$ )、ゲルマン( $\text{GeH}_4$ )、セレン化水素( $\text{H}_2\text{Se}$ )、硫化水素( $\text{H}_2\text{S}$ )、アルゴン( $\text{Ar}$ )、窒素( $\text{N}_2$ )、酸化窒素( $\text{N}_2\text{O}$ )、フルオロホルム( $\text{CHF}_2$ )などガスプラズマを用いたプラズマ処理方法などがある。

【0078】

20

特に、本発明の一実施形態によれば、四フッ化炭素( $\text{CF}_4$ )、三フッ化窒素( $\text{NF}_3$ )、六フッ化硫黄( $\text{SF}_6$ )、メタン( $\text{CH}_4$ )のうちの少なくとも一種を含むガスを用いて、露出された半導体パターン150をフッ素(F)、水素(H)、硫黄(S)のうちの少なくとも一種でドーピングしたり還元処理したりする方法を用いてもよい。これによれば、上述したように、チャンネル領域154の酸化物半導体と共にフッ素(F)、水素(H)、硫黄(S)のうちの少なくとも一種を含むソース領域153およびドレイン領域155を形成することができる。このとき、ソース領域153およびドレイン領域155にドーピングされたフッ素(F)、水素(H)および硫黄(S)のうちの少なくとも一種の濃度は、 $10^{15}$ 個/cm<sup>3</sup>以上であってもよい。

【0079】

30

次いで、図5(d)を参照すると、ソース領域153およびドレイン領域155の上にソース電極173およびドレイン電極175をさらに形成してもよい。

【0080】

次いで、図5(e)を参照すると、ソース電極173およびドレイン電極175、ソース領域153およびドレイン領域155、エッチストッパー164の上に絶縁物質を塗布して保護膜180を形成する。次いで、保護膜180をパターニングしてドレイン電極175を露出させるコンタクト孔185を形成してもよい。

【0081】

次いで、図2A、図2B、図3A、図3B、図4Aおよび図4Bに示すように、保護膜180の上にドレイン電極175またはドレイン領域155と電氣的に接続された画素電極191を形成してもよい。

40

【0082】

このような本発明の一実施形態に係る製造方法により製造された薄膜トランジスターにおいて、エッチストッパー164の幅を露光限界内で調節して半導体層のソース領域153およびドレイン領域155がゲート電極124と実質的に重なり合わないようにできるので、ゲート電極124とソース領域153またはドレイン領域155との間の寄生容量を低減することができ、薄膜トランジスターのスイッチング素子としてのオン/オフ特性が向上する。なお、薄膜トランジスターの消費電力および信号伝送配線の太さを減らすことができ、配線材料選択の自由度が大きくなる。

【0083】

50

また、薄膜トランジスタのチャネル長 $L$ を露光器の露光限界まで減らすことができるので、移動度を高めて薄膜トランジスタの特性を向上させることができる。

【0084】

次いで、図6および図7に基づき、本発明の一実施形態に係る薄膜トランジスタおよび薄膜トランジスタ表示板について説明する。上述した実施形態と同じ構成要素に対しては同じ図面符号を付して同じ説明は省略し、相違点を中心に説明する。これは、後述する説明にも同様に適用される。

【0085】

図6は、本発明の一実施形態に係る薄膜トランジスタ表示板の断面図であり、図7は、図6に示す薄膜トランジスタ表示板の平面図である。

10

【0086】

本発明の一実施形態に係る薄膜トランジスタ表示板は、上述した図2Aから図4Bに示す実施形態に係る薄膜トランジスタ表示板とほとんど同様であるが、島状のエッチストッパー164と接続されており、ゲート線121に沿ってゲート線121と並ぶように延びる線状のエッチストッパー161をさらに備える。

【0087】

エッチストッパー164を備える線状のエッチストッパー161の縁部の境界は、ゲート電極124を備えるゲート線121の縁部の境界と実質的に位置合わせされていてもよく、ゲート線121の縁部の境界の僅かに内側または外側に位置していてもよい。すなわち、エッチストッパー164を備える線状のエッチストッパー161の平面形状と、ゲート電極124を備えるゲート線121の平面形状とはほぼ一致していてもよく、相似形であってよい。

20

【0088】

一方、チャネル領域154はエッチストッパー164によって覆われており、チャネル領域154の縁部の境界、さらに正確には、チャネル領域154とソース領域153またはドレイン領域155との間の境界は、エッチストッパー164の縁部の境界と実質的に一致していてもよく、エッチストッパー164の縁部の境界の僅かに内側に位置していてもよい。

【0089】

本実施形態によれば、ゲート電極124とソース領域153またはドレイン領域155とが重なり合う面積を最小化させることができるので、ゲート電極124とソース領域153またはドレイン領域155との間の寄生容量を格段と低減することができる。

30

【0090】

以下、図8に基づき、本発明の一実施形態に係る薄膜トランジスタ表示板の製造方法について説明する。

【0091】

図8は、本発明の一実施形態に係る薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【0092】

まず、図8(a)を参照すると、ガラス製またはプラスチック製の絶縁基板110の上に金属などの導電性物質を積層し且つパターンニングしてゲート電極124を形成する。

40

【0093】

次いで、ゲート電極124の上に酸化ケイ素( $SiO_x$ )、窒化ケイ素( $SiN_x$ )、または酸窒化シリコン( $SiON$ )などの絶縁物質を含むゲート絶縁膜140を積層する。

【0094】

次いで、ゲート絶縁膜140の上に酸化物半導体物質を含む半導体パターン150を形成し、その上に $SiO_x$ 、 $SiN_x$ 、 $SiOC_x$ または $SiON_x$ のうちの少なくとも一種の物質を含む無機膜、有機物または高分子有機物を含む有機膜を化学気相蒸着法(CVD)やスパッタリング方法などにより蒸着してエッチストッパー層160を積層する。

50

## 【 0 0 9 5 】

次いで、エッチストッパー層 1 6 0 の上にフォトレジストなどの感光膜 5 0 を塗布し、絶縁基板 1 1 0 の裏面側から光を照射する。このとき、感光膜 5 0 は、露光された部分が除去される量の感光性を有することが好ましい。すると、不透明なゲート電極 1 2 4 によって遮られない感光膜 5 0 が露光されて除去される。

## 【 0 0 9 6 】

次いで、図 8 ( b ) を参照すると、露光された感光膜 5 0 を除去して、ゲート電極 1 2 4 と対応する感光膜パターン 5 2 を形成する。このとき、感光膜パターン 5 2 の縁部の境界は、ゲート電極 1 2 4 の縁部の境界と一致していてもよく、ゲート電極 1 2 4 の縁部の境界の僅かに内側または外側に位置していてもよい。これは、露光器に用いられた光の波長や光が透過する物質の種類などの種々の設計要素によって決定される。

10

## 【 0 0 9 7 】

次いで、図 8 ( c ) を参照すると、感光膜パターン 5 2 をマスクとしてエッチストッパー層 1 6 0 をエッチングして、半導体パターン 1 5 0 を横切りながら覆うエッチストッパー 1 6 4 を形成する。

## 【 0 0 9 8 】

次いで、図 8 ( d ) を参照すると、エッチストッパー 1 6 4 によって遮られずに露出された半導体パターン 1 5 0 の露出された両部分にイオンをドーピングして導電性を有するソース領域 1 5 3 およびドレイン領域 1 5 5 を形成する。エッチストッパー 1 6 4 に覆われている半導体パターン 1 5 0 はチャンネル領域 1 5 4 となる。これにより、ゲート電極 1 2 4 と、ソース領域 1 5 3 およびドレイン領域 1 5 5 は、チャンネル領域 1 5 4 と共に薄膜トランジスタをなす。

20

## 【 0 0 9 9 】

露出された半導体パターン 1 5 0 を処理する方法は、上述した実施形態と同様であるため、ここではその詳細な説明は省略する。

## 【 0 1 0 0 】

次いで、図 8 ( e ) を参照すると、ソース領域 1 5 3 およびドレイン領域 1 5 5 の上にソース電極 1 7 3 およびドレイン電極 1 7 5 をさらに形成してもよい。

## 【 0 1 0 1 】

次いで、図 8 ( f ) を参照すると、ソース電極 1 7 3 およびドレイン電極 1 7 5、ソース領域 1 5 3 およびドレイン領域 1 5 5、エッチストッパー 1 6 4 の上に絶縁物質を塗布して保護膜 1 8 0 を形成する。次いで、保護膜 1 8 0 をパターニングしてドレイン電極 1 7 5 を露出させるコンタクト孔 1 8 5 を形成する。次いで、図 6 および図 7 に示すように、保護膜 1 8 0 の上にドレイン電極 1 7 5 またはドレイン領域 1 5 5 と電気的に接続された画素電極 1 9 1 を形成してもよい。

30

## 【 0 1 0 2 】

次いで、図 9 および図 1 0 に基づき、本発明の一実施形態に係る薄膜トランジスタおよび薄膜トランジスタ表示板について説明する。

## 【 0 1 0 3 】

図 9 は、本発明の一実施形態に係る薄膜トランジスタ表示板の断面図であり、図 1 0 は、図 9 に示す薄膜トランジスタ表示板の平面図である。

40

## 【 0 1 0 4 】

本発明の一実施形態に係る薄膜トランジスタ表示板は、上述した図 2 A から図 4 B に示す実施形態に係る薄膜トランジスタ表示板とほとんど同様であるが、保護膜 1 8 0 の上にゲート電極 1 2 4 と相対向する上部ゲート電極 1 9 4 をさらに備える。上部ゲート電極 1 9 4 は、画素電極 1 9 1 と同じ物質を含んでいてもよく、画素電極 1 9 1 と同時に形成されてもよい。

## 【 0 1 0 5 】

図 1 0 を参照すると、上部ゲート電極 1 9 4 は、ゲート線 1 2 1 と接触して電気的に接続されてもよく、ゲート線 1 2 1 からゲート信号が送信されてもよい。このとき、保護膜

50

180およびゲート絶縁膜140は、ゲート線121を露出させるコンタクト孔184を備え、コンタクト孔184を介して上部ゲート電極194がゲート線121と接続されてもよい。上部ゲート電極194の横方向の幅は、チャネル領域154の横方向の幅とほぼ同様であってもよく、それよりも狭くてもよい。なお、エッチストッパー161がゲート線121に沿ってゲート線121と並ぶように形成されている場合には、コンタクト孔184は保護膜180、エッチストッパー161及びゲート絶縁膜140を貫通するように形成されている。エッチストッパー164がゲート電極124上にのみ形成されている場合には、コンタクト孔184は保護膜180及びゲート絶縁膜140を貫通するように形成されている。

【0106】

以下、図11に基づき、図9および図10に示す薄膜トランジスタ表示板の本発明の一実施形態に係る製造方法について説明する。

【0107】

図11は、図9および図10に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

【0108】

本実施形態に係る薄膜トランジスタの製造方法は、上述した図8に示す実施形態に係る薄膜トランジスタの製造方法とほとんど同様であるため、その詳細な説明は省略する。但し、図11(f)を参照すると、ITO、IZOなどの透明導電物質から画素電極191を形成するとき、チャネル領域154の上に位置する上部ゲート電極194も一緒に形成してもよい。

【0109】

次いで、図12に基づき、本発明の一実施形態に係る薄膜トランジスタおよび薄膜トランジスタ表示板について説明する。

【0110】

図12は、本発明の一実施形態に係る薄膜トランジスタ表示板の断面図である。

【0111】

図12を参照すると、本実施形態は、上述した図4Aおよび図4Bに示す実施形態に係る薄膜トランジスタ表示板とほとんど同様であるが、ソース電極173およびドレイン電極175のうちの一部は直接的にソース領域153およびドレイン領域155と接触することなく、保護膜180の上に位置していてもよい。このとき、保護膜180は、ソース領域153を露出させるコンタクト孔183と、ドレイン領域155を露出させるコンタクト孔185とを有し、ソース電極173およびドレイン電極175は、保護膜180のコンタクト孔183、185を介してそれぞれソース領域153およびドレイン領域155と電氣的に接続される。

【0112】

次いで、図13に基づき、本発明の一実施形態に係る薄膜トランジスタおよび薄膜トランジスタ表示板について説明する。

【0113】

図13(a)は、本発明の一実施形態に係る薄膜トランジスタ表示板の断面図であり、図13(b)は、本発明の一実施形態に係る薄膜トランジスタ表示板の平面図である。

【0114】

図13(a)を参照すると、絶縁基板110の上に遮光膜70が位置していてもよい。遮光膜70は、後続して積層される酸化物半導体に光が達することを防いで、酸化物半導体が半導体としての性質を失うことを防ぐことができる。このため、遮光膜70は、酸化物半導体に達しないように遮断すべき波長帯の光を透過させない材料から形成されることが好ましい。遮光膜70は、有機絶縁物質、無機絶縁物質、金属などの導電性物質などから形成されてもよく、単一膜または多重膜にしてもよい。しかしながら、遮光膜70は、場合によって省略されてもよい。具体的に、絶縁基板110の下側から光が照射されない

10

20

30

40

50



場合、例えば、本発明の一実施形態に係る薄膜トランジスタが有機発光表示装置などに用いられる場合、遮光膜 70 は省略されてもよい。

【0115】

遮光膜 70 の上には、バッファ層 120 が位置していてもよい。バッファ層 120 は、酸化シリコン ( $\text{SiO}_x$ )、酸化アルミニウム ( $\text{Al}_2\text{O}_3$ )、酸化ハフニウム ( $\text{HfO}_3$ )、酸化イットリウム ( $\text{Y}_2\text{O}_3$ ) などの絶縁性酸化物を含んでいてもよい。バッファ層 120 は、後続して積層される半導体に絶縁基板 110 からの不純物が流入することを防いで半導体を保護し、且つ、半導体の界面特性を向上させる。

【0116】

バッファ層 120 の上には、チャネル領域 154 と、ソース領域 153 およびドレイン領域 155 を有する半導体層が位置する。遮光膜 70 が存在する場合、チャネル領域 154 は遮光膜 70 に遮られてもよい。チャネル領域 154 と、ソース領域 153 およびドレイン領域 155 についての説明は、上述した実施形態と同様であるため、ここでは、その詳細な説明は省略する。

【0117】

特に、ソース領域 153 およびドレイン領域 155 は、チャネル領域 154 をなす酸化物半導体と同じ物質を含むが、ソース領域 153 およびドレイン領域 155 のキャリア濃度は、チャネル領域 154 のキャリア濃度とは異なる。具体的に、チャネル領域 154 のキャリア濃度が  $10^{18}$  個/cm<sup>3</sup> 未満であるとき、ソース領域 153 およびドレイン領域 155 のキャリア濃度は  $10^{18}$  個/cm<sup>3</sup> 以上であってもよい。ソース領域 153 またはドレイン領域 155 とチャネル領域 154 との間の境界にキャリア濃度の勾配が存在する。

【0118】

本発明の一実施形態によれば、ソース領域 153 およびドレイン領域 155 は、酸化物半導体を含んでいてもよく、フッ素 (F)、水素 (H) および硫黄 (S) のうちの少なくとも一種でドーピングされていてもよい。このとき、ソース領域 153 およびドレイン領域 155 が含むフッ素 (F)、水素 (H) および硫黄 (S) のうちの少なくとも一種の濃度は、 $10^{15}$  個/cm<sup>3</sup> 以上であってもよい。ソース領域 153 またはドレイン領域 155 とチャネル領域 154 との間の境界に、フッ素 (F)、水素 (H) および硫黄 (S) のうちの少なくとも一種の濃度の勾配が存在してもよい。

【0119】

チャネル領域 154 の上には、ゲート絶縁層 142 が位置する。ゲート絶縁層 142 は、チャネル領域 154 を覆っていてもよい。また、ゲート絶縁層 142 は、ソース領域 153 またはドレイン領域 155 と実質的に重なり合っていないかともよい。

【0120】

ゲート絶縁層 142 は、単一膜であってもよく、二重膜以上の多重膜であってもよい。ゲート絶縁層 142 が単一膜である場合、ゲート絶縁層 142 は、酸化シリコン ( $\text{SiO}_x$ )、酸化アルミニウム ( $\text{Al}_2\text{O}_3$ )、酸化ハフニウム ( $\text{HfO}_3$ )、酸化イットリウム ( $\text{Y}_2\text{O}_3$ ) などの絶縁性酸化物を含んでいてもよい。ゲート絶縁層 142 は、チャネル領域 154 の界面特性を向上させ、チャネル領域 154 に不純物が浸透することを防ぐ。

【0121】

ゲート絶縁層 142 が多重膜である場合、ゲート絶縁層 142 は、図 13 (a) に示すように、下部膜 142a および上部膜 142b を備えていてもよい。下部膜 142a は、酸化シリコン ( $\text{SiO}_x$ )、酸化アルミニウム ( $\text{Al}_2\text{O}_3$ )、酸化ハフニウム ( $\text{HfO}_3$ )、酸化イットリウム ( $\text{Y}_2\text{O}_3$ ) などの絶縁性酸化物を含んでおり、チャネル領域 154 の界面特性を向上させ、チャネル領域 154 に不純物が浸透することを防ぐ。上部膜 142b は、窒化シリコン ( $\text{SiN}_x$ )、酸化シリコン ( $\text{SiO}_x$ ) などの種々の絶縁物質から形成されてもよい。

【0122】

10

20

30

40

50

ゲート絶縁層 1 4 2 の上には、ゲート電極 1 2 4 が位置する。ゲート電極 1 2 4 の縁部の境界とゲート絶縁層 1 4 2 の縁部の境界は、実質的に位置合わせされていてよい。

【 0 1 2 3 】

図 1 3 ( a ) および図 1 3 ( b ) を参照すると、ゲート電極 1 2 4 は、チャンネル領域 1 5 4 と重なり合う部分を備え、チャンネル領域 1 5 4 は、ゲート電極 1 2 4 によって覆われている。ゲート電極 1 2 4 を中心としてチャンネル領域 1 5 4 の両側には、ソース領域 1 5 3 およびドレイン領域 1 5 5 が位置し、ソース領域 1 5 3 およびドレイン領域 1 5 5 は、ゲート電極 1 2 4 と実質的に重なり合っていないけれどもよい。このため、ゲート電極 1 2 4 とソース領域 1 5 3 との間の寄生容量またはゲート電極 1 2 4 とドレイン領域 1 5 5 との間の寄生容量が減る。

10

【 0 1 2 4 】

本発明の実施形態によれば、チャンネル領域 1 5 4 とソース領域 1 5 3 との間の境界またはチャンネル領域 1 5 4 とドレイン領域 1 5 5 との間の境界は、ゲート電極 1 2 4 およびゲート絶縁層 1 4 2 の縁部の境界と実質的に位置合わせされていてよい。しかしながら、チャンネル領域 1 5 4 とソース領域 1 5 3 またはドレイン領域 1 5 5 との間の境界がゲート電極 1 2 4 およびゲート絶縁層 1 4 2 の縁部の境界よりも僅かに内側に位置していてもよい。

【 0 1 2 5 】

ゲート電極 1 2 4 と、ソース領域 1 5 3 およびドレイン領域 1 5 5 は、チャンネル領域 1 5 4 と共に薄膜トランジスタをなし、薄膜トランジスタのチャンネルは、チャンネル領域 1 5 4 に形成される。

20

【 0 1 2 6 】

ゲート電極 1 2 4 と、ソース領域 1 5 3 と、ドレイン領域 1 5 5 およびバッファ層 1 2 0 の上には、保護膜 1 8 0 が位置する。保護膜 1 8 0 は、ソース領域 1 5 3 を露出させるコンタクト孔 1 8 3 およびドレイン領域 1 5 5 を露出させるコンタクト孔 1 8 5 を備えていてもよい。

【 0 1 2 7 】

保護膜 1 8 0 の上には、ソース電極 1 7 3 およびドレイン電極 1 7 5 が位置していてもよい。ソース電極 1 7 3 は、保護膜 1 8 0 のコンタクト孔 1 8 3 を介して薄膜トランジスタのソース領域 1 5 3 と電気的に接続されてもよく、ドレイン電極 1 7 5 は、保護膜 1 8 0 のコンタクト孔 1 8 5 を介して薄膜トランジスタのドレイン領域 1 5 5 と電気的に接続されてもよい。

30

【 0 1 2 8 】

これとは異なり、保護膜 1 8 0 の上にカラーフィルター（図示せず）または有機物質からなる有機膜（図示せず）がさらに位置し、その上にソース電極 1 7 3 およびドレイン電極 1 7 5 が位置していてもよい。

【 0 1 2 9 】

以下、図 1 3 に示す薄膜トランジスタ表示板の本発明の一実施形態に係る製造方法について、上述した図 1 3 と結び付けて、図 1 4 から図 1 9 に基づいて説明する。

【 0 1 3 0 】

図 1 4 から図 1 9 は、図 1 3 に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

40

【 0 1 3 1 】

まず、図 1 4 を参照すると、ガラス製またはプラスチック製の絶縁基板 1 1 0 の上に有機絶縁物質、無機絶縁物質、金属などの導電性物質などからなる遮光膜 7 0 を形成する。遮光膜 7 0 の形成工程は、場合によって省略してもよい。

【 0 1 3 2 】

次いで、遮光膜 7 0 の上に化学気相蒸着法などの方法により酸化シリコン（ $\text{SiO}_x$ ）、酸化アルミニウム（ $\text{Al}_2\text{O}_3$ ）、酸化ハフニウム（ $\text{HfO}_3$ ）、酸化イットリウム（ $\text{Y}_2\text{O}_3$ ）などの酸化物を含む絶縁物質からなるバッファ層 1 2 0 を形成する。バッ

50

ァー層 120 の厚さは、500 以上 1  $\mu\text{m}$  以下であってもよいが、本発明はこれに限定されるものではない。

【0133】

次いで、バッファ層 120 の上に、酸化亜鉛 (ZnO)、亜鉛 - 錫酸化物 (ZTO)、亜鉛 - インジウム酸化物 (ZIO)、インジウム酸化物 (InO)、チタン酸化物 (TiO)、インジウム - ガリウム - 亜鉛酸化物 (IGZO)、インジウム - 亜鉛 - 錫酸化物 (IZTO) などの酸化物半導体物質からなる半導体物質層を塗布し、その上にフォトレジストなどの感光膜を塗布する。次いで、感光膜を露光して感光膜パターン 53 を形成する。感光膜パターン 53 は、遮光膜 70 の少なくとも一部と重なり合っている。

【0134】

次いで、感光膜パターン 53 をマスクとして半導体物質層をエッチングして半導体パターン 150 を形成する。

【0135】

次いで、図 15 を参照すると、半導体パターン 150 およびバッファ層 120 の上にゲート絶縁膜 140 を積層する。ゲート絶縁膜 140 は、酸化シリコン (SiO<sub>x</sub>) などの絶縁性酸化物を含む単一層にしてもよく、図 15 に示すように、酸化シリコン (SiO<sub>x</sub>) などの絶縁性酸化物を含む下部膜 140a と、絶縁物質を含む上部膜 140b とを有する多重膜にしてもよい。本実施形態において、ゲート絶縁膜 140 の厚さは、1、000 以上 5、000 以下であってもよいが、本発明はこれに何ら限定されるものではない。

【0136】

次いで、図 16 を参照すると、ゲート絶縁膜 140 の上に金属などの導電性物質を積層し且つパターニングしてゲート電極 124 を形成する。ゲート電極 124 は、半導体パターン 150 の中央部を横切りながら通過するように形成して、ゲート電極 124 と半導体パターン 150 とが重なり合う部分の両側に位置する半導体パターン 150 の両部分がゲート電極 124 によって覆われないようにする。

【0137】

次いで、図 17 を参照すると、ゲート電極 124 をエッチングマスクとしてゲート絶縁膜 140 をパターニングしてゲート絶縁層 142 を形成する。ゲート絶縁層 142 は、単一膜であってもよく、絶縁性酸化物を含む下部膜 142a と、絶縁物質を含む上部膜 142b とを有する多重膜であってもよい。

【0138】

これにより、ゲート電極 124 およびゲート絶縁層 142 は、実質的に同じ平面形状を有している。なお、半導体パターン 150 のうちゲート電極 124 に覆われていない両側の両部分が露出される。

【0139】

次いで、図 18 を参照すると、露出された半導体パターン 150 の露出された両部分を処理して導電性を有するソース領域 153 およびドレイン領域 155 を形成する。露出された半導体パターン 150 の処理方法は、上述した実施形態と同様であるため、ここではその詳細な説明を省略する。

【0140】

特に、本発明の一実施形態によれば、四フッ化炭素 (CF<sub>4</sub>)、三フッ化窒素 (NF<sub>3</sub>)、六フッ化硫黄 (SF<sub>6</sub>)、メタン (CH<sub>4</sub>) のうちの少なくとも一種を含むガスを用いて、露出された半導体パターン 150 をドーピングまたは還元処理する方法を用いてもよい。ソース領域 153 およびドレイン領域 155 にドーピングされたフッ素 (F)、水素 (H) および硫黄 (S) のうちの少なくとも一種の濃度は、 $10^{15}$  個/cm<sup>3</sup> 以上であってもよく、ソース領域 153 またはドレイン領域 155 とチャネル領域 154 との間の境界にフッ素 (F)、水素 (H) および硫黄 (S) のうちの少なくとも一種の濃度の勾配が存在してもよい。

【0141】

ゲート絶縁層 142 に覆われて還元されていない半導体パターン 150 は、薄膜トラン

10

20

30

40

50

ジスターのチャネルであるチャネル領域 154 となる。これにより、ゲート電極 124 と、ソース領域 153 およびドレイン領域 155 は、チャネル領域 154 と共に薄膜トランジスターをなす。

【0142】

次いで、図 19 を参照すると、ゲート電極 124 と、ソース領域 153 と、ドレイン領域 155 およびバッファ層 120 の上に絶縁物質を塗布して保護膜 180 を形成する。次いで、保護膜 180 をパターニングしてソース領域 153 を露出させるコンタクト孔 183 およびドレイン領域 155 を露出させるコンタクト孔 185 を形成する。

【0143】

最後に、図 13 に示すように、保護膜 180 の上にソース電極 173 およびドレイン電極 175 を形成してもよい。

10

【0144】

本発明の実施形態に係る薄膜トランジスターにおいて、ゲート電極 124 とソース領域 153 またはドレイン領域 155 が実質的に重なり合わないため、ゲート電極 124 とソース領域 153 との間の寄生容量またはゲート電極 124 とドレイン領域 155 との間の寄生容量が格段と減少される。これにより、薄膜トランジスターのスイッチング素子としてのオン/オフ特性が向上する。

【0145】

次いで、図 20 に基づき、本発明の一実施形態に係る薄膜トランジスターおよび薄膜トランジスター表示板について説明する。

20

【0146】

図 20 は、本発明の一実施形態に係る薄膜トランジスター表示板の断面図である。

【0147】

図 20 を参照すると、絶縁基板 110 の上に遮光膜 70 およびデータ信号を送信するデータ線 115 が位置していてもよい。データ線 115 は、アルミニウム (Al)、銀 (Ag)、銅 (Cu)、モリブデン (Mo)、クロム (Cr)、タンタル (Ta)、チタン (Ti) などの金属またはこれらの合金などの導電性物質から形成されてもよい。

【0148】

遮光膜 70 およびデータ線 115 の上にはバッファ層 120 が位置し、その上にはチャネル領域 154 と、ソース領域 153 およびドレイン領域 155 が位置する。

30

【0149】

チャネル領域 154 は、酸化物半導体物質を含んでいてもよい。遮光膜 70 が存在する場合、チャネル領域 154 は遮光膜 70 に遮られていてもよい。

【0150】

ソース領域 153 およびドレイン領域 155 は、チャネル領域 154 を中心として両側にそれぞれ相対向し、互いに離れている。また、ソース領域 153 およびドレイン領域 155 は、チャネル領域 154 と接続されている。加えて、上述した実施形態のチャネル領域 154 と、ソース領域 153 およびドレイン領域 155 についての説明が本実施形態にも同様に適用可能である。

【0151】

チャネル領域 154 の上には、ゲート絶縁層 142 が位置する。ゲート絶縁層 142 は、チャネル領域 154 を覆っていてもよい。なお、ゲート絶縁層 142 は、ソース領域 153 またはドレイン領域 155 とほとんど重なり合っていないかてもよい。

40

【0152】

ゲート絶縁層 142 の上には、ゲート電極 124 が位置する。ゲート電極 124 の縁部の境界とゲート絶縁層 142 の縁部の境界は、実質的に位置合わせされていてもよい。

【0153】

ゲート電極 124 は、チャネル領域 154 と重なり合う部分を備え、チャネル領域 154 は、ゲート電極 124 によって覆われている。ゲート電極 124 を中心としてチャネル領域 154 の両側にはソース領域 153 およびドレイン領域 155 が位置し、ソース領域

50

153およびドレイン領域155はゲート電極124と実質的に重なり合っていないかともよい。これにより、ゲート電極124とソース領域153との間の寄生容量またはゲート電極124とドレイン領域155との間の寄生容量が格段と減る。

【0154】

ゲート電極124と、ソース領域153と、ドレイン領域155およびバッファ層120の上には保護膜180aが位置し、その上に有機膜180bがさらに位置していてもよい。

【0155】

有機膜180bは、有機絶縁物質またはカラーフィルター物質を含んでいてもよい。有機膜180bの表面は、平坦面であってもよい。

10

【0156】

保護膜180aおよび有機膜180bは、ソース領域153を露出させるコンタクト孔183およびドレイン領域155を露出させるコンタクト孔185を備えていてもよい。なお、バッファ層120と、保護膜180aおよび有機膜180bは、データ線115を露出させるコンタクト孔181を備えていてもよい。

【0157】

有機膜180bの上には、ソース電極173およびドレイン電極175が位置していてもよい。ソース電極173は、コンタクト孔183を介してソース領域153と電氣的に接続されてもよく、ドレイン電極175は、コンタクト孔185を介してドレイン領域155と電氣的に接続されてもよい。また、ソース電極173は、コンタクト孔181を介してデータ線115と接続されてもよい。これにより、ソース領域153は、データ線115からデータ信号を受信することができる。一方、ドレイン電極175は、それ自体が画素電極をなして映像表示を制御してもよく、別途の画素電極(図示せず)と接続されていてもよい。

20

【0158】

以下、図20に示す薄膜トランジスタ表示板の本発明の一実施形態に係る製造方法について、上述した図20と結び付けて図21から図28に基づいて説明する。

【0159】

図21から図28は、図18に示す薄膜トランジスタ表示板を本発明の一実施形態により製造する方法を順に示す断面図である。

30

【0160】

まず、図21を参照すると、絶縁基板110の上に有機絶縁物質、無機絶縁物質、金属などの導電性物質などからなる遮光膜70を形成する。遮光膜70の形成工程は、場合によって省略してもよい。

【0161】

次いで、絶縁基板110の上に金属などを積層し且つパターニングしてデータ線115を形成する。遮光膜70およびデータ線115の形成順序は変わってもよい。

【0162】

次いで、図22を参照すると、遮光膜70およびデータ線115の上にバッファ層120と、半導体物質層159と、絶縁物質層149およびゲート層129をこの順に積層する。

40

【0163】

半導体物質層159は、酸化亜鉛(ZnO)、亜鉛-錫酸化物(ZTO)、亜鉛-インジウム酸化物(ZIO)、インジウム酸化物(InO)、チタン酸化物(TiO)、インジウム-ガリウム-亜鉛酸化物(IGZO)、インジウム-亜鉛-錫酸化物(IZTO)などの酸化物半導体物質を積層して形成してもよい。

【0164】

絶縁物質層149は、酸化シリコン(SiO<sub>x</sub>)などの絶縁性酸化物を含む絶縁物質から形成してもよい。

【0165】

50

ゲート層 129 は、アルミニウム ( Al ) などの導電性物質を積層して形成してもよい。

【 0166 】

次いで、ゲート層 129 の上にフォトレジストなどの感光膜を塗布し且つ露光して感光膜パターン 54 を形成する。感光膜パターン 54 は、図 22 に示すように、所定の厚さを有する第 1 の部分 54 a と、第 1 の部分 54 a よりも薄い厚さを有する第 2 の部分 54 b と、を有する。感光膜パターン 54 の第 1 の部分 54 a は、遮光膜 70 と重なり合う個所に位置していてもよい。なお、感光膜パターン 54 の第 1 の部分 54 a の両側には、第 1 の部分 54 a を中心として離れて相対向している一対の第 2 の部分 54 b が接続されている。

10

【 0167 】

このような感光膜パターン 54 は、半透過領域を含む光マスク ( 図示せず ) を用いて露光して形成してもよい。具体的に、感光膜パターン 54 の形成のための光マスクは、光が透過する透過領域と、光が透過しない遮光領域と、一部の光のみが透過する半透過領域と、を含んでいてもよい。半透過領域は、スリット、半透明膜などを用いて形成してもよい。

【 0168 】

このような半透過領域を含む光マスクを用いて露光を行うと、陰性の感光膜を用いる場合、光マスクの透過領域に対応する部分には光が照射されて感光膜が残留して厚い第 1 の部分 54 a が形成され、光マスクの遮光領域に対応する部分には光が照射されないため感光膜が除去され、光マスクの半透過領域に対応する部分には一部の光が照射されて薄い第 2 の部分 54 b が形成される。陽性の感光膜を用いる場合には、上述の場合とは逆になるが、光マスクの半透過領域に対応する部分には依然として一部の光が照射されて感光膜パターン 54 の第 2 の部分 54 b が形成される。

20

【 0169 】

次いで、図 23 を参照すると、感光膜パターン 54 をエッチングマスクとしてゲート層 129 と絶縁物質層 149 をこの順にエッチングする。このとき、ゲート層 129 は、ウェットエッチング法を用いてエッチングしてもよく、絶縁物質層 149 は、ドライエッチング法を用いてエッチングしてもよい。これにより、感光膜パターン 54 の下部に同じ平面形状を有するゲートパターン 122 および絶縁パターン 141 が形成される。感光膜パターン 54 によって覆われていない半導体物質層 159 は露出される。

30

【 0170 】

次いで、図 24 を参照すると、ゲートパターン 122 および絶縁パターン 141 をエッチングマスクとして露出された半導体物質層 159 を除去して半導体パターン 150 を形成する。半導体パターン 150 は、ゲートパターン 122 および絶縁パターン 141 と同じ平面形状を有していてもよい。

【 0171 】

次いで、図 25 を参照すると、感光膜パターン 54 を、酸素プラズマを用いたアッシング方法などにより全面的にエッチングして薄肉化させることにより、第 2 の部分 54 b を除去する。これにより、薄くなった第 1 の部分 54 a を残して感光膜パターン 55 を形成することができる。

40

【 0172 】

次いで、図 26 を参照すると、感光膜パターン 55 をエッチングマスクとしてゲートパターン 122 および絶縁パターン 141 をこの順にエッチングする。これにより、感光膜パターン 55 に遮られていない半導体パターン 150 が露出され、ゲート電極 124 およびゲート絶縁層 142 が形成される。露出された半導体パターン 150 は、感光膜パターン 55 に覆われた半導体パターン 150 を中心として両側に位置し、互いに離れている。

【 0173 】

次いで、図 27 を参照すると、露出された半導体パターン 150 を還元処理して導電性を有するソース領域 153 およびドレイン領域 155 を形成する。還元処理方法は、上述

50

した実施形態と同様であるため、ここではその詳細な説明を省略する。

【0174】

ゲート絶縁層142に覆われて還元されていない半導体パターン150は、チャンネル領域154となる。ゲート電極124と、ソース領域153およびドレイン領域155は、チャンネル領域154と共に薄膜トランジスターをなす。

【0175】

次いで、図28を参照すると、感光膜パターン55を除去した後、ゲート電極124と、ソース領域153と、ドレイン領域155およびバッファ層120の上に絶縁物質を塗布して保護膜180aを形成する。次いで、保護膜180aの上に有機絶縁物質を塗布して有機膜180bをさらに形成してもよい。

10

【0176】

次いで、図20に示すように、保護膜180aおよび有機膜180bにコンタクト孔183、185、181を形成し、有機膜180bの上にソース電極173およびドレイン電極175を形成してもよい。

【0177】

このように、本発明の実施形態によれば、薄膜トランジスターのゲート電極124とソース領域153またはドレイン領域155とがほとんど重なり合わないか、あるいは、重なり合う部分が非常に狭いので、ゲート電極124とソース領域153との間の寄生容量またはゲート電極124とドレイン領域155との間の寄生容量が格段と減る。これにより、薄膜トランジスターのオン電流および移動度が高くなり、薄膜トランジスターのスイッチング素子としてのオン/オフ特性が向上する。要するに、このような薄膜トランジスター付き表示装置におけるRC遅延を低減することができる。したがって、信号伝送配線を太さを減らせるマージンができて製造コストを削減することができる。なお、薄膜トランジスター自体の特性が良くなるので、薄膜トランジスターのコンパクトが図れるとともに、微細チャンネルを形成可能なマージンをさらに確保することができる。

20

【0178】

図29および図30は、それぞれ本発明の一実施形態に係る薄膜トランジスター表示板を製造する方法を示すフローチャートである。

【0179】

まず、図29に基づき、本発明の一実施形態に係る薄膜トランジスター表示板の製造方法について説明する。まず、ゲート電極が絶縁基板の上に形成され(201)、ゲート絶縁膜がゲート電極の上に積層され(203)、半導体パターンがゲート絶縁膜の上に形成され(205)、エッチストッパーが半導体パターンの上に形成され(207)、エッチストッパーによって露出された半導体パターンの部分を処理してソース領域およびドレイン領域を形成することにより、チャンネルが形成される(209)。ソース領域およびドレイン領域のキャリア濃度は、チャンネル領域のキャリア濃度よりも大きい。

30

【0180】

次いで、図30に基づき、本発明の一実施形態に係る薄膜トランジスター表示板の製造方法について説明する。まず、酸化半導体を含む半導体パターンが絶縁基板の上に形成され(301)、絶縁物質を半導体パターンの上に積層して絶縁物質層を形成し(303)、ゲート電極が絶縁物質層の上に形成され(305)、ゲート電極をエッチングマスクとして絶縁物質層をパターニングしてゲート絶縁膜を形成し、同時に半導体パターンの一部を露出させ(307)、露出された半導体パターンが処理されてゲート電極に覆われたチャンネル領域を形成し、同時にチャンネル領域を中心として相対向するソース領域およびドレイン領域を形成する(309)。ソース領域およびドレイン領域のキャリア濃度は、チャンネル領域のキャリア濃度よりも大きい。

40

【0181】

このような製造方法により表示装置の薄膜トランジスターの移動度を高めてスイッチング素子の性能を向上させることができる。なお、薄膜トランジスター表示板のRC遅延を低減することができる。

50

## 【 0 1 8 2 】

以上、本発明の好適な実施形態について詳細に説明したが、本発明の権利範囲はこれに何ら限定されるものではなく、下記の請求範囲において定義している本発明の基本概念を用いた当業者の種々の変形および改良形態もまた本発明の権利範囲に属するものである。

## 【 符号の説明 】

## 【 0 1 8 3 】

5 1、5 1、5 3、5 4、5 5 : 感光膜パターン

7 0 : 遮光膜

1 1 0 : 絶縁基板

1 2 0 : バッファ層

1 2 2 : ゲートパターン

1 2 4 : ゲート電極

1 4 0 : ゲート絶縁膜

1 5 9 : 半導体物質層

1 5 0 : 半導体パターン

1 5 3 : ソース領域

1 5 4 : チャネル領域

1 5 5 : ドレイン領域

1 4 9 : 絶縁物質層

1 4 1 : 絶縁パターン

1 4 2 : 絶縁層

1 5 0 : ゲート層

1 6 4 : エッチストッパー

1 8 1、1 8 3、1 8 5 : コンタクト孔

1 7 3 : ソース電極

1 7 5 : ドレイン電極

1 8 0、1 8 0 a : 保護膜

1 8 0 b : 有機膜

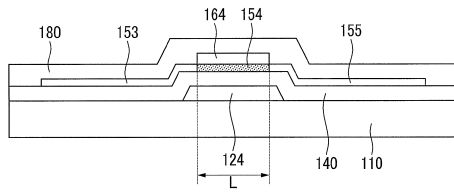
1 9 1 : 画素電極

10

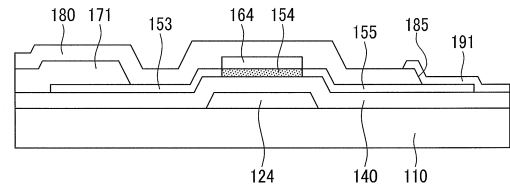
20



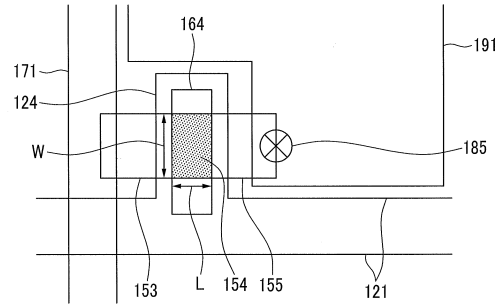
【図 1】



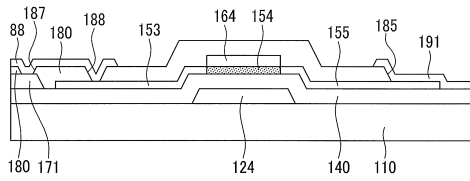
【図 2 A】



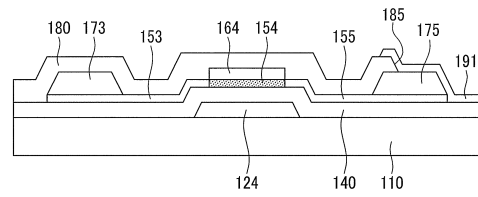
【図 2 B】



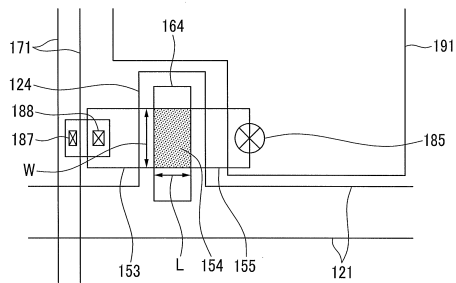
【図 3 A】



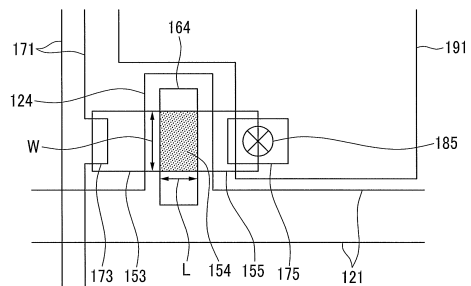
【図 4 A】



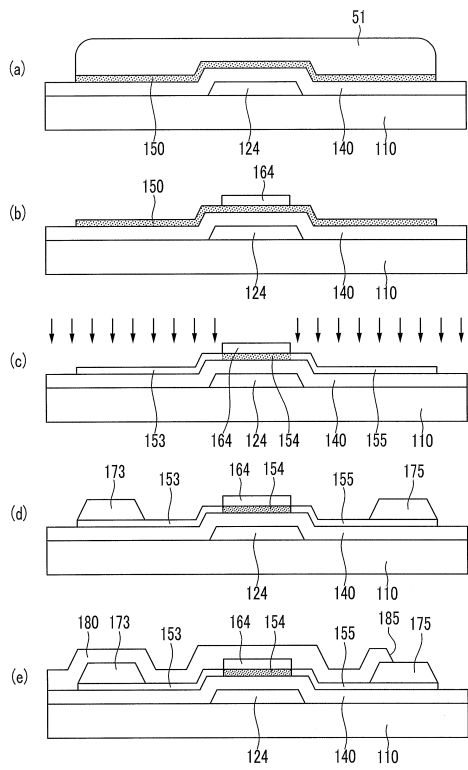
【図 3 B】



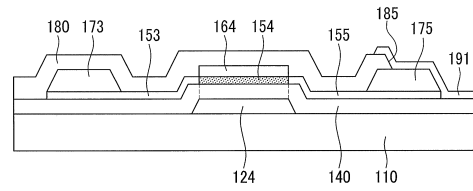
【図 4 B】



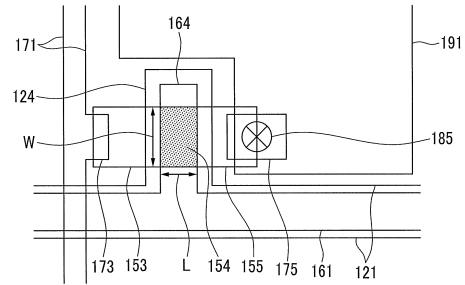
【図5】



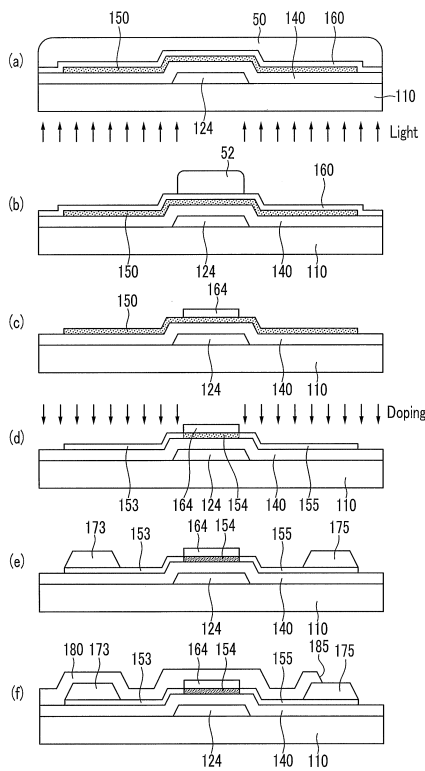
【図6】



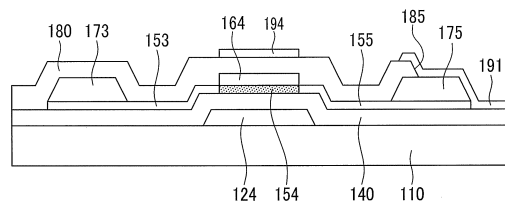
【図7】



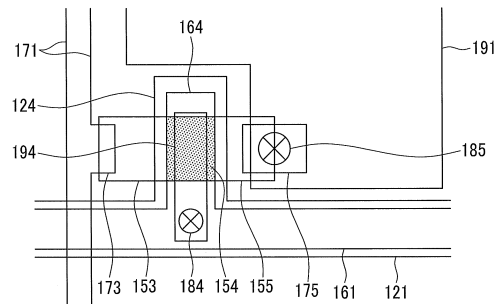
【図8】



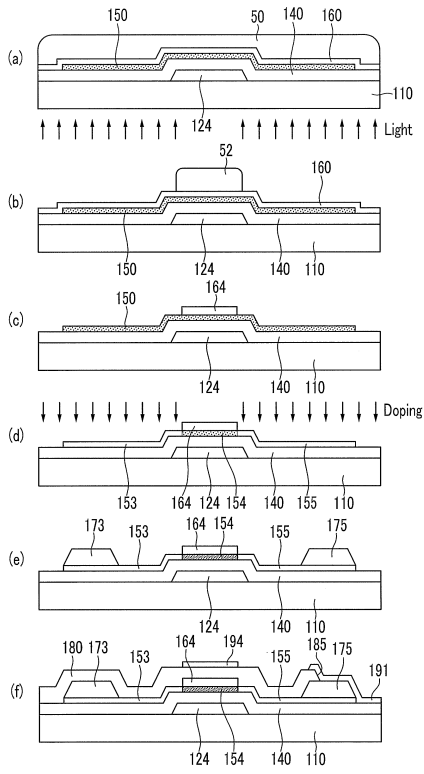
【図9】



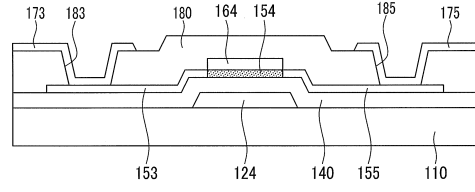
【図10】



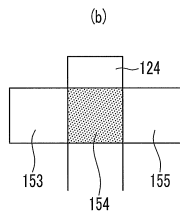
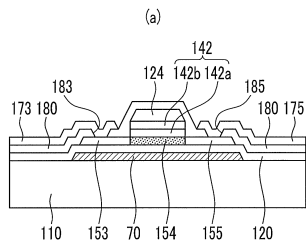
【 図 1 1 】



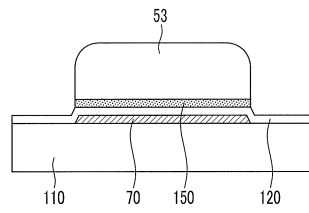
【 図 1 2 】



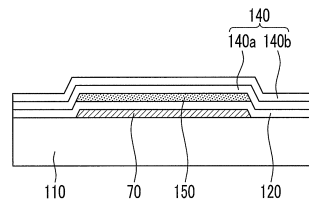
【 図 1 3 】



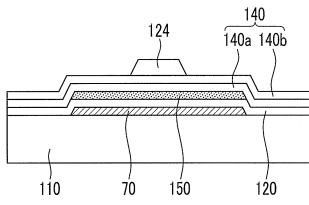
【 図 1 4 】



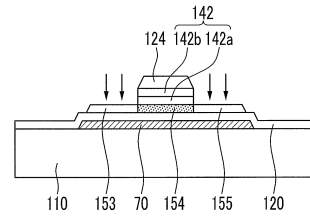
【 図 1 5 】



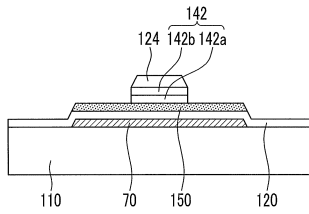
【図16】



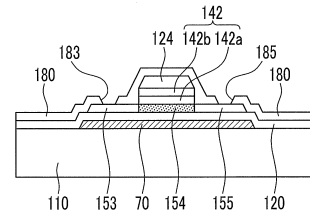
【図18】



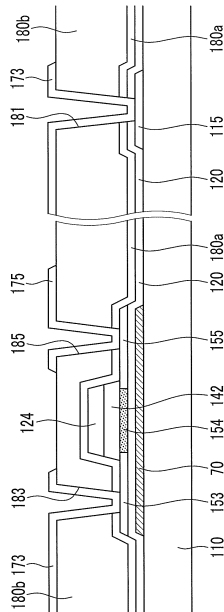
【図17】



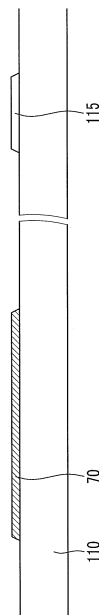
【図19】



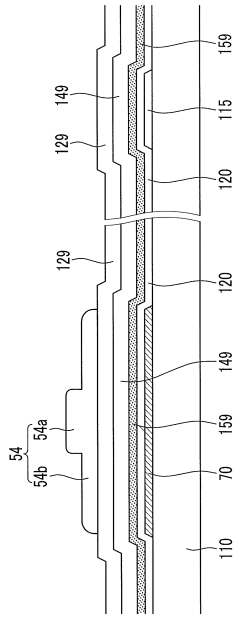
【図20】



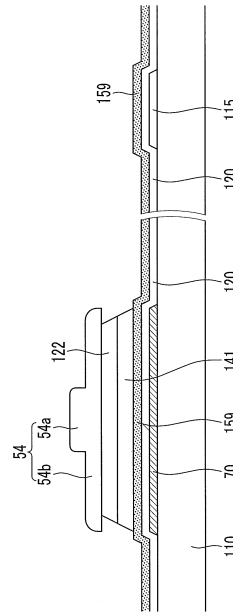
【図21】



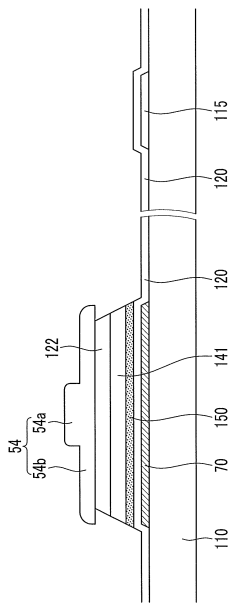
【 図 2 2 】



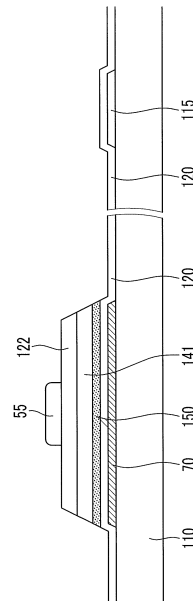
【 図 2 3 】



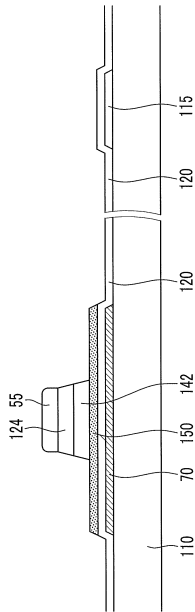
【 図 2 4 】



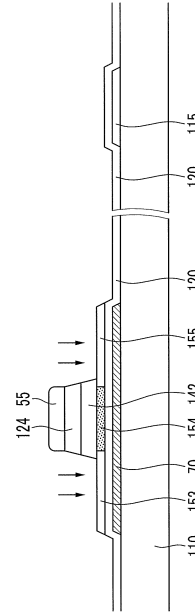
【 図 2 5 】



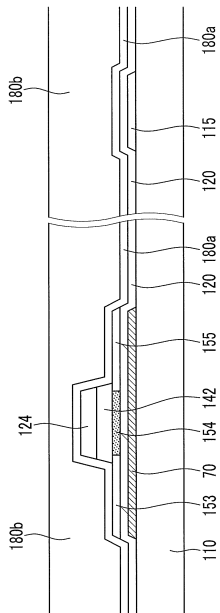
【図26】



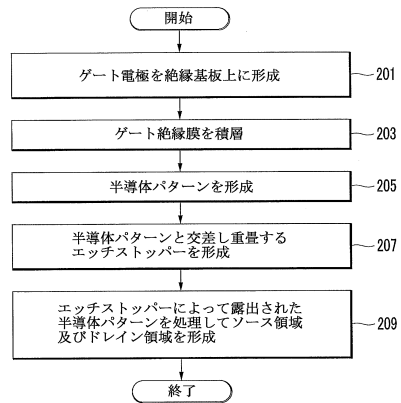
【図27】



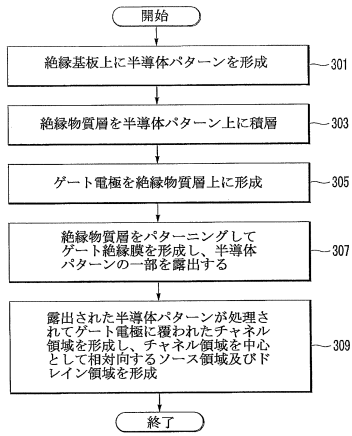
【図28】



【図29】



【図30】



## フロントページの続き

(51)Int.Cl. F I  
**G 0 9 F 9/00 (2006.01)** G 0 9 F 9/30 3 3 8  
 G 0 9 F 9/00 3 3 8

(72)発明者 呂 倫 鐘  
 大韓民国ソウル市江南区大峙洞開浦宇成アパート3棟1103号  
 (72)発明者 ジョン 載 肋  
 大韓民国ソウル市瑞草区瑞草1洞現代アパート20棟1101号

審査官 岩本 勉

(56)参考文献 特開2011-228622(JP,A)  
 国際公開第2011/125940(WO,A1)  
 特表2009-528670(JP,A)  
 国際公開第2009/075281(WO,A1)  
 特開2011-035389(JP,A)  
 特開2012-009838(JP,A)  
 特開2010-040645(JP,A)  
 特開2007-250983(JP,A)  
 特開2006-108425(JP,A)  
 特表2011-519152(JP,A)  
 特開2007-220818(JP,A)  
 特開2011-222649(JP,A)  
 特開2008-083171(JP,A)  
 米国特許出願公開第2009/0065771(US,A1)  
 特開2013-016782(JP,A)

(58)調査した分野(Int.Cl., DB名)  
 H 0 1 L 2 9 / 7 8 6  
 H 0 1 L 2 1 / 3 3 6