

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6224338号
(P6224338)

(45) 発行日 平成29年11月1日(2017.11.1)

(24) 登録日 平成29年10月13日(2017.10.13)

(51) Int.Cl.

H01L 29/786 (2006.01)

F 1

H01L	29/78	618B
H01L	29/78	616V
H01L	29/78	616S
H01L	29/78	620

請求項の数 11 (全 33 頁)

(21) 出願番号	特願2013-83132 (P2013-83132)
(22) 出願日	平成25年4月11日 (2013.4.11)
(65) 公開番号	特開2014-207286 (P2014-207286A)
(43) 公開日	平成26年10月30日 (2014.10.30)
審査請求日	平成28年3月25日 (2016.3.25)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(73) 特許権者	000005049 シャープ株式会社 大阪府堺市堺区匠町1番地
(74) 代理人	100110858 弁理士 柳瀬 瞳
(74) 代理人	100100413 弁理士 渡部 温
(72) 発明者	肥塙 純一 栃木県栃木市都賀町升塙161-2 アド バンスト フィルム ディバイス インク 株式会社内

最終頁に続く

(54) 【発明の名称】半導体装置、表示装置及び半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

ゲート電極層と、

前記ゲート電極層上のゲート絶縁層と、

前記ゲート絶縁層上の絶縁層と、

前記ゲート絶縁層と前記絶縁層によって形成された凹部と、

前記凹部に沿って形成された結晶部を含む酸化物半導体層と、

前記絶縁層、及び前記酸化物半導体層上のソース電極層、及びドレイン電極層と、を有し、

前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、

前記チャネル形成領域と、前記n型領域で、前記結晶部の結晶方向が異なり、

前記絶縁層は、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、窒化シリコン膜、及び窒化酸化シリコン膜の群から選択された一からなる単層、または前記群から選択された複数の膜からなる積層である

ことを特徴とする半導体装置。

【請求項 2】

ゲート電極層と、

前記ゲート電極層上のゲート絶縁層と、

前記ゲート絶縁層上の第1の絶縁層及び第2の絶縁層と、

10

20

前記ゲート絶縁層、前記第1の絶縁層、及び前記第2の絶縁層上の結晶部を含む酸化物半導体層と、

前記第1の絶縁層、及び前記酸化物半導体層上のソース電極層と、

前記第2の絶縁層、及び前記酸化物半導体層上のドレイン電極層と、を有し、

前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、

前記チャネル形成領域は、前記ゲート絶縁層と接する前記酸化物半導体層に位置し、

前記ゲート絶縁層が前記酸化物半導体層に接する面は、前記第1の絶縁層が前記酸化物半導体層に接する面、及び前記第2の絶縁層が前記酸化物半導体層に接する面それぞれと交差し、

前記第1の絶縁層及び前記第2の絶縁層それぞれは、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、窒化シリコン膜、及び窒化酸化シリコン膜の群から選択された一からなる単層、または前記群から選択された複数の膜からなる積層である

ことを特徴とする半導体装置。

【請求項3】

ゲート電極層と、

前記ゲート電極層上の凹部を有するゲート絶縁層と、

前記凹部に沿って形成された結晶部を含む酸化物半導体層と、

前記ゲート絶縁層、及び前記酸化物半導体層上のソース電極層、及びドレイン電極層と、を有し、

前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、

前記チャネル形成領域と、前記n型領域で、前記結晶部の結晶方向が異なり、

前記ゲート絶縁層は、前記ゲート電極層の上面全てに接する

ことを特徴とする半導体装置。

【請求項4】

ゲート電極層と、

前記ゲート電極層上の第1の被形成面、第2の被形成面、及び第3の被形成面を有するゲート絶縁層と、

前記第1の被形成面、前記第2の被形成面、及び前記第3の被形成面上の結晶部を含む酸化物半導体層と、

前記第2の被形成面上の前記酸化物半導体層に接するソース電極層と、

前記第3の被形成面上の前記酸化物半導体層に接するドレイン電極層と、を有し、

前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、

前記チャネル形成領域は、前記第1の被形成面上の前記酸化物半導体層に位置し、

前記第1の被形成面は、前記第2の被形成面及び前記第3の被形成面それぞれと交差し、

前記ゲート絶縁層は、前記ゲート電極層の上面全てに接する

ことを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一において、

前記酸化物半導体層は、

少なくともインジウム(I n)、亜鉛(Z n)及びM(A l、G a、G e、Y、Z r、S n、L a、C eまたはH fの金属)を含むI n - M - Z n酸化物で表記される酸化物である

ことを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一において、

10

20

30

40

50

前記酸化物半導体層は、
I_n-G_a-Z_n酸化物で表記される酸化物である
ことを特徴とする半導体装置。

【請求項7】

請求項1乃至請求項6のいずれか一において、
前記結晶部は、c軸が前記酸化物半導体層の被形成面の法線ベクトルに平行な方向に揃う
ことを特徴とする半導体装置。

【請求項8】

請求項1または2において、
前記酸化物半導体層は、C_AA_C-O_Sを有する
ことを特徴とする半導体装置。

【請求項9】

請求項1乃至請求項8のいずれか一に記載する半導体装置を有する表示装置。

【請求項10】

ゲート電極層上にゲート絶縁層を形成し、
前記ゲート絶縁層上に第1の絶縁層及び第2の絶縁層を形成し、
前記ゲート絶縁層、前記第1の絶縁層、及び前記第2の絶縁層上に結晶部を含む酸化物半導体層を形成し、
前記第1の絶縁層、及び前記酸化物半導体層上にソース電極層を形成し、
前記第2の絶縁層、及び前記酸化物半導体層上にドレイン電極層を形成する半導体装置の作製方法であり、
前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、
前記チャネル形成領域は、前記ゲート絶縁層と接する前記酸化物半導体層に位置し、
前記ゲート絶縁層が前記酸化物半導体層に接する面は、前記第1の絶縁層が前記酸化物半導体層に接する面、及び前記第2の絶縁層が前記酸化物半導体層に接する面それぞれと交差し、

前記第1の絶縁層及び前記第2の絶縁層それぞれは、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、窒化シリコン膜、及び窒化酸化シリコン膜の群から選択された一からなる単層、または前記群から選択された複数の膜からなる積層である

ことを特徴とする半導体装置の作製方法。

【請求項11】

ゲート電極層上に、前記ゲート電極層の上面全てに接し、且つ第1の被形成面、第2の被形成面、及び第3の被形成面を有するゲート絶縁層を形成し、
前記第1の被形成面、前記第2の被形成面、及び前記第3の被形成面上に結晶部を含む酸化物半導体層を形成し、
前記第2の被形成面上の前記酸化物半導体層に接するソース電極層を形成し、
前記第3の被形成面上の前記酸化物半導体層に接するドレイン電極層を形成する半導体装置の作製方法であり、

前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、
前記チャネル形成領域は、前記第1の被形成面上の前記酸化物半導体層に位置し、
前記第1の被形成面は、前記第2の被形成面及び前記第3の被形成面それぞれと交差する
ことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、半導体装置及び表示装置に関する。なお、本明細書において、半導体装置とは、半導体素子自体または半導体素子を含むものをいい、このような半導体素子として、例えばトランジスタ（薄膜トランジスタなど）が挙げられる。また、液晶表示装置などの表示装置も半導体装置に含まれる。

【背景技術】

【0002】

近年、液晶パネルを用いる表示装置や有機ELパネルを用いる表示装置の開発が盛んである。この表示装置には、大別して画素制御用のトランジスタ（画素トランジスタ）のみを基板上に形成して走査回路（駆動回路）は周辺ICで行うものと、画素トランジスタとともに走査回路を同一基板上に形成するものに分類される。

10

【0003】

表示装置の狭額縁化または周辺ICのコスト低減のため、駆動回路一体型の表示装置の方が、有利である。しかしながら、駆動回路に用いるトランジスタとしては、画素トランジスタに用いられる電気特性（例えば、電界効果移動度（ μ FE）またはしきい値電圧等）よりも、高い電気特性が求められる。

【0004】

トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている（例えば特許文献1, 2）。例えば、トランジスタに用いる半導体薄膜として、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満であるインジウム（In）、ガリウム（Ga）、及び亜鉛（Zn）を含む非晶質酸化物を用いたトランジスタが注目されている。

20

【0005】

酸化物半導体を半導体層に用いるトランジスタは、シリコン系半導体材料である非晶質シリコンを半導体層に用いるトランジスタよりも電界効果移動度が大きいため、動作速度が速く、駆動回路一体型の表示装置には好適であり、且つ多結晶シリコンを半導体層に用いるトランジスタよりも製造工程が容易である。

【0006】

酸化物半導体をチャネル形成領域に用いてトランジスタを作製する場合、酸化物半導体中に形成される酸素欠損は、トランジスタ特性に影響を与えるため問題となる。酸化物半導体中の酸素欠損は、キャリア供給源として機能する。このため、酸化物半導体中に酸素欠損が多く存在すると、キャリアである電子の発生によってチャネル形成領域がn型化し、低抵抗化してしまう。このため、トランジスタのノーマリーオン化、リーク電流の増大、ストレス印加によるしきい値電圧のシフト等、トランジスタの電気特性についての不良が誘発される。従って、チャネル形成領域においては、酸化物半導体中に酸素欠損が少ない程好ましい。

30

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-096055号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0008】

酸化物半導体をチャネル形成領域に用いてトランジスタを作製する場合、酸化物半導体と、酸化物半導体に接するソース電極層及びドレイン電極層との間に低抵抗化領域（例えばn型領域、以下n型領域という。）が形成されうる。該n型領域がチャネル形成領域まで、広がった場合、トランジスタの設計時のチャネル長（L長ともいう。）と、トランジスタ作製後のチャネル長が異なる現象が生じ、設計時のチャネル長よりもトランジスタ作製後のチャネル長が縮小してしまう問題があった。

【0009】

50

上記問題に鑑み、本発明の一態様では、酸化物半導体を用いた半導体装置において、チャネル長の縮小を抑制した新規な半導体装置を提供する。

【課題を解決するための手段】

【0010】

本発明の一態様は、結晶部を含む酸化物半導体層と、前記酸化物半導体層に接するソース電極層及びドレイン電極層と、を有し、前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、前記チャネル形成領域と、前記n型領域で、前記結晶部の結晶方向が異なることを特徴とする半導体装置である。

【0011】

なお、本明細書等において、結晶部の結晶方向は、基板面を基準とする。また、酸化物半導体層中において、結晶部の結晶方向が異なる場合、異なる結晶構造を有していてもよい。例えば、チャネル形成領域においては、ホモロガス構造とし、n型領域においては、スピネル型結晶構造またはホモロガス構造とスピネル型結晶構造の混晶構造としてもよい。

【0012】

本発明の一態様は、第1の被形成面、第2の被形成面、及び第3の被形成面上の結晶部を含む酸化物半導体層と、前記第2の被形成面上の前記酸化物半導体層に接するソース電極層と、前記第3の被形成面上の前記酸化物半導体層に接するドレイン電極層と、を有し、前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、前記チャネル形成領域は、前記第1の被形成面上の前記酸化物半導体層に位置し、前記第1の被形成面は、前記第2の被形成面及び前記第3の被形成面それぞれと交差することを特徴とする半導体装置である。

【0013】

本発明の一態様は、ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上のソース電極層及びドレイン電極層と、前記ゲート絶縁層、前記ソース電極層、及び前記ドレイン電極層上の結晶部を含む酸化物半導体層と、を有し、前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、前記チャネル形成領域と、前記n型領域で、前記結晶部の結晶方向が異なることを特徴とする半導体装置である。

【0014】

本発明の一態様は、ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上のソース電極層及びドレイン電極層と、前記ゲート絶縁層、前記ソース電極層、及び前記ドレイン電極層上の結晶部を含む酸化物半導体層と、を有し、前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、前記チャネル形成領域は、前記ゲート絶縁層と接する前記酸化物半導体層に位置し、前記ゲート絶縁層が前記酸化物半導体層に接する面は、前記ソース電極層が前記酸化物半導体層に接する面、及び前記ドレイン電極層が前記酸化物半導体層に接する面それぞれと交差することを特徴とする半導体装置である。

【0015】

本発明の一態様は、ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の絶縁層と、前記ゲート絶縁層と前記絶縁層によって形成された凹部と、前記凹部に沿って形成された結晶部を含む酸化物半導体層と、前記絶縁層、及び前記酸化物半導体層上のソース電極層、及びドレイン電極層と、を有し、前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、前記チャネル形成領域と、前記n型領域で、前記結晶部の結晶方向が異なることを特徴とする半導体装置である。

【0016】

本発明の一態様は、ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の第1の絶縁層及び第2の絶縁層と、前記ゲート絶縁層、前記第1の絶縁層、

10

20

30

40

50

及び前記第2の絶縁層上の結晶部を含む酸化物半導体層と、前記第1の絶縁層、及び前記酸化物半導体層上のソース電極層と、前記第2の絶縁層、及び前記酸化物半導体層上のドレイン電極層と、を有し、前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、前記チャネル形成領域は、前記ゲート絶縁層と接する前記酸化物半導体層に位置し、前記ゲート絶縁層が前記酸化物半導体層に接する面は、前記第1の絶縁層が前記酸化物半導体層に接する面、及び前記第2の絶縁層が前記酸化物半導体層に接する面それぞれと交差することを特徴とする半導体装置である。

【0017】

本発明の一態様は、ゲート電極層と、前記ゲート電極層上の凹部を有するゲート絶縁層と、前記凹部に沿って形成された結晶部を含む酸化物半導体層と、前記ゲート絶縁層、及び前記酸化物半導体層上のソース電極層、及びドレイン電極層と、を有し、前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、前記チャネル形成領域と、前記n型領域で、前記結晶部の結晶方向が異なることを特徴とする半導体装置である。

【0018】

本発明の一態様は、ゲート電極層と、前記ゲート電極層上の第1の被形成面、第2の被形成面、及び第3の被形成面を有するゲート絶縁層と、前記第1の被形成面、前記第2の被形成面、及び前記第3の被形成面上の結晶部を含む酸化物半導体層と、前記第2の被形成面上の前記酸化物半導体層に接するソース電極層と、前記第3の被形成面上の前記酸化物半導体層に接するドレイン電極層と、を有し、前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、前記チャネル形成領域は、前記第1の被形成面上の前記酸化物半導体層に位置し、前記第1の被形成面は、前記第2の被形成面及び前記第3の被形成面それぞれと交差することを特徴とする半導体装置である。

【0019】

上記の本発明の一態様において、前記酸化物半導体層は、少なくともインジウム(Indium)、亜鉛(Zinc)及びM(Al、Ga、Ge、Y、Zr、Sn、La、CeまたはHfの金属)を含むIn-M-Zn酸化物で表記される酸化物であるとよい。

【0020】

上記の本発明の一態様において、前記酸化物半導体層は、In-Ga-Zn酸化物で表記される酸化物であるとよい。

【0021】

上記の本発明の一態様において、前記結晶部は、c軸が前記酸化物半導体層の被形成面の法線ベクトルに平行な方向に揃うとよい。

【0022】

上記の本発明の一態様において、前記酸化物半導体層は、CAC-O-Sを有するとよい。

【0023】

本発明の一態様には、上記の本発明の一態様に記載する半導体装置を有する表示装置である。

【0024】

本発明の一態様は、ゲート電極層上にゲート絶縁層を形成し、前記ゲート絶縁層上にソース電極層及びドレイン電極層を形成し、前記ゲート絶縁層、前記ソース電極層、及び前記ドレイン電極層上に結晶部を含む酸化物半導体層を形成する半導体装置の作製方法であり、前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、前記チャネル形成領域は、前記ゲート絶縁層と接する前記酸化物半導体層に位置し、前記ゲート絶縁層が前記酸化物半導体層に接する面は、前記ソース電極層が前記酸化物半導体層に接する面、及び前記ドレイン電極層が前記酸化物半導体層に接する面それぞれと交差することを特徴とする半導体装置の作製方法である。

10

20

30

40

50

【0025】

本発明の一態様は、ゲート電極層上にゲート絶縁層を形成し、前記ゲート絶縁層上に第1の絶縁層及び第2の絶縁層を形成し、前記ゲート絶縁層、前記第1の絶縁層、及び前記第2の絶縁層上に結晶部を含む酸化物半導体層を形成し、前記第1の絶縁層、及び前記酸化物半導体層上にソース電極層を形成し、前記第2の絶縁層、及び前記酸化物半導体層上にドレイン電極層を形成する半導体装置の作製方法であり、前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、前記チャネル形成領域は、前記ゲート絶縁層と接する前記酸化物半導体層に位置し、前記ゲート絶縁層が前記酸化物半導体層に接する面は、前記第1の絶縁層が前記酸化物半導体層に接する面、及び前記第2の絶縁層が前記酸化物半導体層に接する面それぞれと交差することを特徴とする半導体装置の作製方法である。10

【0026】

本発明の一態様は、ゲート電極層上に第1の被形成面、第2の被形成面、及び第3の被形成面を有するゲート絶縁層を形成し、前記第1の被形成面、前記第2の被形成面、及び前記第3の被形成面上に結晶部を含む酸化物半導体層を形成し、前記第2の被形成面上の前記酸化物半導体層に接するソース電極層を形成し、前記第3の被形成面上の前記酸化物半導体層に接するドレイン電極層を形成しり半導体装置の作製方法であり、前記酸化物半導体層は、チャネル形成領域と、前記ソース電極層及び前記ドレイン電極層と接するn型領域と、を有し、前記チャネル形成領域は、前記第1の被形成面上の前記酸化物半導体層に位置し、前記第1の被形成面は、前記第2の被形成面及び前記第3の被形成面それぞれと交差することを特徴とする半導体装置の作製方法である。20

【発明の効果】

【0027】

酸化物半導体を用いた半導体装置において、チャネル長の縮小が抑制された、新規な半導体装置を提供することができる。

【図面の簡単な説明】

【0028】

【図1】本発明の一態様の半導体装置を説明する図。

【図2】本発明の一態様の半導体装置の変形例を説明する図。

【図3】本発明の一態様の半導体装置の変形例を説明する図。30

【図4】本発明の一態様の半導体装置の変形例を説明する図。

【図5】本発明の一態様の半導体装置の変形例を説明する図。

【図6】本発明の一態様の半導体装置を用いた表示装置を説明する図。

【図7】本発明の一態様の半導体装置と比較するための半導体装置を説明する図。

【図8】本発明の一態様の半導体装置と比較するための半導体装置を説明する断面図。

【発明を実施するための形態】

【0029】

以下、本発明の実施の態様について図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。40

【0030】

(実施の形態1)

本実施の形態では、本発明の半導体装置の一態様について、図1(A)、(B)、(C)を用いて説明する。

【0031】

図1(A)は、半導体装置の上面図であり、図1(B)は、図1(A)に示す一点鎖線A1-A2の断面図であり、図1(C)は、図1(B)に示す半導体装置の一部の拡大図である。なお、図1(A)の上面図においては、図の明瞭化のために一部の要素を透過、または省いて図示している。50

【0032】

図1(B)に示す半導体装置は、基板102上のゲート電極層104と、ゲート電極層104上のゲート絶縁層106と、ゲート絶縁層106上のソース電極層108及びドレイン電極層110と、ゲート絶縁層106、ソース電極層108、及びドレイン電極層110上の結晶部を含む酸化物半導体層112と、を有する。

【0033】

また、図1(B)に示す半導体装置は、ゲート絶縁層106、ソース電極層108、ドレイン電極層110、及び酸化物半導体層112上の第3の絶縁層114と、第3の絶縁層114上の第4の絶縁層116を含む構成としてもよい。

【0034】

なお、酸化物半導体層112において、酸化物半導体層112と、ソース電極層108、及びドレイン電極層110と、が接する領域にn型領域112aが形成されている。n型領域112aは、酸化物半導体層112のチャネル形成領域よりも抵抗が低い領域である。

【0035】

チャネル形成領域は、ゲート絶縁層106と接する酸化物半導体層112に位置する。ゲート絶縁層106が酸化物半導体層112に接する面である第1の被形成面106aは、ソース電極層108が酸化物半導体層112に接する面である第2の被形成面108aと交差部122で交差する。また、第1の被形成面106aは、ドレイン電極層110が酸化物半導体層112に接する面である第3の被形成面110aと交差部124で交差する。なお、本明細書において、第1の被形成面、第2の被形成面、及び第3の被形成面それぞれは、酸化物半導体層が形成される面であり、平面だけでなく、曲面も含む。また、本明細書において、「交差する」とは、交差部で交差する面と面が作る角度が30°～90°の範囲を意味する。

【0036】

酸化物半導体層112としては、例えばIn-M-Zn酸化物(MはAl、Ga、Ge、Y、Zr、Sn、La、Ce、またはHfの金属)を用いることができる。

【0037】

例えば、酸化物半導体層112としてIn:Ga:Zn=1:1:1または3:1:2の原子数比のIn-Ga-Zn酸化物を用いることができる。なお、酸化物半導体の原子数比は、誤差として上記の原子数比のプラスマイナス20%の変動を含む。なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性(電界効果移動度、しきい値電圧、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、酸化物半導体のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとすることが好ましい。

【0038】

また、酸化物半導体層112は、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

【0039】

また、酸化物半導体層112の厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下である。

【0040】

また、酸化物半導体層112において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体中の酸素欠損が増加し、n型化してしまう。

【0041】

また、酸化物半導体層112は、結晶部を含む。該結晶部を含む酸化物半導体は、例えば、CAAC(C Axis Aligned Crystal)を有する。別言すれば、結晶部を含む酸化物半導体層は、CAACを有する酸化物半導体を含む概念である。

10

20

30

40

50

【0042】

C AACを有する酸化物半導体を、C AAC-O S (C Axis Aligned Crystalline Oxide Semiconductor)と呼ぶ。C AAC-O Sは、完全な非晶質ではない。

【0043】

C AAC-O Sは、例えば、透過型電子顕微鏡 (TEM: Transmission Electron Microscope)による観察像で、結晶部を確認することができる場合がある。C AAC-O Sに含まれる結晶部は、例えば、TEMによる観察像で、一辺100nmの立方体内に収まる大きさであることが多い。また、C AAC-O Sは、TEMによる観察像で、結晶部と結晶部との境界を明確に確認できない場合がある。また、C AAC-O Sは、TEMによる観察像で、粒界 (グレインバウンダリーともいう。)を明確に確認できない場合がある。C AAC-O Sは、例えば、明確な粒界を有さないため、不純物が偏析することが少ない。また、C AAC-O Sは、例えば、明確な粒界を有さないため、欠陥準位密度が高くなることが少ない。また、C AAC-O Sは、例えば、明確な粒界を有さないため、電子移動度の低下が小さい。

【0044】

C AAC-O Sは、例えば、複数の結晶部を有し、該複数の結晶部においてc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っている場合がある。また、C AAC-O Sは、例えば、X線回折 (XRD: X-Ray Diffraction) 装置を用い、out-of-plane法による分析を行うと、配向を示す2が31°近傍のピークが現れる場合がある。また、C AAC-O Sは、例えば、電子線回折像で、スポット (輝点) が観測される場合がある。なお、特に、ビーム径が10nm以下、または5nm以下の電子線を用いて得られる電子線回折像を、極微電子線回折像と呼ぶ。また、C AAC-O Sは、例えば、異なる結晶部間で、それぞれa軸およびb軸の向きが揃っていない場合がある。C AAC-O Sは、例えば、c軸配向し、a軸または/およびb軸はマクロに揃っていない場合がある。

【0045】

C AAC-O Sに含まれる結晶部は、例えば、c軸がC AAC-O Sの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつa b面に垂直な方向から見て金属原子が三角形状または六角形状に配列し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

【0046】

また、C AAC-O Sは、例えば、欠陥準位密度を低減することで形成することができる。酸化物半導体において、例えば、酸素欠損は欠陥準位である。酸素欠損は、トラップ準位となることや、水素を捕獲することによってキャリア発生源となることがある。C AAC-O Sを形成するためには、例えば、酸化物半導体に酸素欠損を生じさせないことが重要となる。従って、C AAC-O Sは、欠陥準位密度の低い酸化物半導体である。または、C AAC-O Sは、酸素欠損の少ない酸化物半導体である。

【0047】

不純物濃度が低く、欠陥準位密度の低い(酸素欠損の少ない)ことを高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる場合がある。従って、該酸化物半導体をチャネル形成領域に用いたトランジスタは、しきい値電圧がマイナスとなる電気特性 (ノーマリーオンともいう。)になることが少ない場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。従って、該酸化物半導体をチャネル形成領域に

用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる場合がある。なお、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体をチャネル形成領域に用いたトランジスタは、電気特性が不安定となる場合がある。

【0048】

また、高純度真性または実質的に高純度真性であるC A A C - O S を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0049】

なお、C A A C - O S に限らず、何らかの結晶性を有する酸化物半導体を用いてよい。

10

【0050】

ここで、酸化物半導体層112中に形成されるn型領域112aについて、図7及び図8に示す、本発明の一態様の半導体装置と比較するための構成の半導体装置を用いて説明する。

【0051】

図7(A)に示す半導体装置は、ボトムゲートトップコンタクト構造のトランジスタである。図7(A)は、トランジスタの断面図を示し、図7(B)、(C)は、図7(A)に示すトランジスタの一部の拡大図である。なお、図7に示す半導体装置の上面図は、図1(A)に示す半導体装置の上面図と概略同じであるため、ここでの説明は省略する。

20

【0052】

図7(A)に示す半導体装置は、基板202上のゲート電極層204と、ゲート電極層204上のゲート絶縁層206と、ゲート絶縁層206上のソース電極層208及びドレイン電極層210と、ゲート絶縁層206、ソース電極層208、及びドレイン電極層210上の結晶部を含む酸化物半導体層212と、を有する。

【0053】

また、図7(A)に示す半導体装置は、ゲート絶縁層206、ソース電極層208、ドレイン電極層210、及び酸化物半導体層212上の第3の絶縁層214と、第3の絶縁層214上の第4の絶縁層216を含む構成としてもよい。

30

【0054】

なお、酸化物半導体層212において、酸化物半導体層212と、ソース電極層208、及びドレイン電極層210と、が接する領域にn型領域212aが形成されている。n型領域212aは、酸化物半導体層212のチャネル形成領域よりも抵抗が低い領域である。

【0055】

また、図7及び図8に示す酸化物半導体層212としては、図1に示す酸化物半導体層112と同様の材料、または非晶質の酸化物半導体層を用いることができる。

【0056】

酸化物半導体層212中のn型領域212aは、ソース電極層208及びドレイン電極層210の形成のためのスパッタリングによるダメージや、ソース電極層208及びドレイン電極層210形成後の熱処理等により形成される(図7(B)参照)。別言すれば、n型領域212aは、ソース電極層208及びドレイン電極層210が酸化物半導体層212と接触する部分に形成される。

40

【0057】

n型領域212aの形状は、トランジスタやその周辺構造の材料や設計、及び作製条件等に依存する。このため、例えばn型領域212aが横方向に拡がり過ぎた場合や、チャネル長を短く設計した場合には、ソース電極層208下のn型領域212aと、ドレイン電極層210の下のn型領域212aとが近接することとなる。

【0058】

とくに、酸化物半導体層212が非晶質構造の酸化物半導体層の場合、酸化物半導体層

50

212中に結晶部を有さないため、n型領域212aが拡がりやすい。また、酸化物半導体層212がCAC-OSである場合、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している結晶部を有するため、a軸またはb軸にn型領域212aが拡がる可能性がある。

【0059】

酸化物半導体層212中のn型領域212aが拡がった場合、ソース電極層208下のn型領域212aとドレイン電極層210下のn型領域212aとが完全に接触することができなくとも、設計時のチャネル長(L長)とトランジスタ作製後のL長が異なってしまう。

【0060】

例えばソース電極層208及びドレイン電極層210にチタンを用いた場合にチタンがウィスカ-状(髭状)に成長する(図7(C)中の矢印参照)。

【0061】

また、設計時のL長が短い場合、すなわちソース電極層208とドレイン電極層210との間隔が短い場合、n型領域212aは、ソース電極層208とドレイン電極層210とを電気的に接続させてしまい、所望のトランジスタ特性を得ることができなくなってしまう。

【0062】

そこで、図8(A)または図8(B)に示すように、n型領域212aの一部をエッチングすることによって、酸化物半導体層212に凹部を設けることで、n型領域212aが電気的に接続されるおそれを抑制することが可能となる。なお、n型領域212aの一部を除去するエッチングは、ソース電極層208及びドレイン電極層210を形成する際のエッチング時、またはソース電極層208及びドレイン電極層210形成後の処理(例えば、プラズマ処理または希フッ酸処理によるウェットエッチング処理等)によって、行うことができる。

【0063】

しかしながら、酸化物半導体層212に凹部を設ける構成においては、基板面内で均一にエッチング量を調整し、酸化物半導体層212のチャネル形成領域の膜厚を揃える必要があり、基板面内で酸化物半導体層212の膜厚に、ばらつきが生じてしまう。

【0064】

従って、酸化物半導体層212中に形成されるn型領域212aは、深さ方向すなわち酸化物半導体層212の膜厚方向に形成させ、横方向へ拡がるのを抑制させた構成が望ましい。

【0065】

n型領域の横方向への拡がりを抑制させた構成としては、図1(B)に示すように、結晶部を含む酸化物半導体層112と、酸化物半導体層112に接するソース電極層108及びドレイン電極層110と、を有し、酸化物半導体層112は、チャネル形成領域と、ソース電極層108及びドレイン電極層110と接するn型領域112aと、を有し、チャネル形成領域と、n型領域112aで、結晶部の結晶方向が異なる構成である。

【0066】

別言すれば、n型領域の横方向への拡がりを抑制させた構成としては、図1(B)に示すように、結晶部を含む酸化物半導体層112と、酸化物半導体層112に接するソース電極層108及びドレイン電極層110と、を有し、酸化物半導体層112は、チャネル形成領域と、ソース電極層108及びドレイン電極層110と接するn型領域112aと、を有し、ゲート絶縁層106が酸化物半導体層112に接する面である第1の被形成面106aは、ソース電極層108が酸化物半導体層112に接する面である第2の被形成面108aと交差部122で交差し、第1の被形成面106aは、ドレイン電極層110が酸化物半導体層112に接する面である第3の被形成面110aと交差部124で交差する構成である。なお、このような構成とすることにより、チャネル形成領域と、n型領域112aで、結晶部の結晶方向が異なることになる。

10

20

30

40

50

【0067】

ここで、図1(C)を用いて、酸化物半導体層112の結晶部の結晶方向について説明を行う。

【0068】

なお、図1(C)は、図1(B)に示す半導体装置の酸化物半導体層112周辺の拡大図を表している。酸化物半導体層112は、ゲート絶縁層106、ソース電極層108、及びドレイン電極層110で形成された凹部に沿って形成される。別言すれば、凹部は第1の被形成面106a、第2の被形成面108a、及び第3の被形成面110aを有し、第1の被形成面106a、第2の被形成面108a、及び第3の被形成面110a上に酸化物半導体層112が形成される。酸化物半導体層112の結晶部は、図1(C)の矢印の方向にc軸が配向している。図1(C)の矢印の方向は、ゲート絶縁層106の上面の第1の被形成面106aに接する酸化物半導体層112では第1の被形成面106aと垂直方向であり、ソース電極層108の側面の第2の被形成面108aに接する酸化物半導体層112では第2の被形成面108aと垂直方向であり、ドレイン電極層110の側面の第3の被形成面110aに接する酸化物半導体層112では第3の被形成面110aと垂直方向であり、ソース電極層108及びドレイン電極層110の上面に接する酸化物半導体層112では当該上面と垂直方向である。なお、ここでは結晶部を含む酸化物半導体層112は、先に説明したCAC-OSとする。

10

【0069】

また、図1(C)に示すように、酸化物半導体層112中に形成されるn型領域112aは、ソース電極層108及びドレイン電極層110が接触した領域に形成される。酸化物半導体層112が、ゲート絶縁層106、ソース電極層108、及びドレイン電極層110で形成された凹部に沿って形成されているため、n型領域112aも該凹部に沿った形状に形成される。すなわち、ソース電極層108の側面の第2の被形成面108a、及びドレイン電極層110の側面の第3の被形成面110aに形成されるn型領域112aの結晶部の結晶方向が、ゲート絶縁層106の上面の第1の被形成面106aに形成されるチャネル形成領域の結晶部の結晶方向と異なる。従って、酸化物半導体層112のチャネル形成領域と、n型領域112aで、結晶部の結晶方向を異なる構造とすることができる。

20

【0070】

ただし、図1(C)に示す構造においては、n型領域112aの結晶部の結晶方向は、n型領域112aの一部の領域、具体的には、ソース電極層108の上面側、及びドレイン電極層110上面側の領域がチャネル形成領域と結晶方向が同じである。しかし、隣接した領域にチャネル形成領域と結晶部の結晶方向が異なる領域を有するため、n型領域112aの横方向への拡がりを抑制することができる。

30

【0071】

例えば、n型領域112aは、ソース電極層108及びドレイン電極層110に接する酸化物半導体層112に、結晶部のc軸が配向した方向に垂直方向に拡がる傾向があるため、ソース電極層108及びドレイン電極層110に接する酸化物半導体層112のc軸とチャネル形成領域のc軸を異なる方向に配向させることにより、n型領域112aのチャネル形成領域への拡がりを抑制することができる。

40

【0072】

このように、本発明の一態様は、チャネル形成領域と結晶方向が異なる領域が、n型領域112a中に少なくとも一部に形成されればよい。

【0073】

なお、本実施の形態において、チャネル形成領域とは、ゲート電極層104に重畠して設けられた酸化物半導体層112中のソース電極層108とドレイン電極層110との間の領域をいう。ただし、図1(B)、(C)に示すように、酸化物半導体層112中にn型領域112aを含む場合においては、ゲート電極層104に重畠して設けられた酸化物半導体層112中のn型領域112aに挟まれた領域がチャネル形成領域となる。このよ

50

うに、チャネル形成領域は、酸化物半導体層 112 の半導体特性に依存する。従って、ゲート電極層 104 に重畠して設けられた酸化物半導体層 112 は、その半導体特性が i 型の場合にはチャネル形成領域となり、n 型の場合にはチャネル形成領域とならない。また、チャネルとは、チャネル形成領域において、電流が主として流れる領域をいう。例えば、図 1 (C) において、チャネルは、ゲート電極層 104 に重畠して形成された酸化物半導体層 112 の n 型領域 112a 間であり、且つゲート絶縁層 106 の近傍の領域をいう。また、チャネル長 (L 長) は、図 1 (C) に示す L の長さとなる。

【0074】

このように、酸化物半導体層 112 中のチャネル形成領域と、ソース電極層 108 及びドレイン電極層 110 が接する酸化物半導体層 112 中の n 型領域 112a とで、結晶部の結晶方向を異ならせることによって、酸化物半導体層 112 に形成される n 型領域 112a の横方向への拡がりを抑制することができる。従って、チャネル長 (L 長) は、設計時におけるチャネル長であるソース電極層 108 とドレイン電極層 110 との間の距離に概略等しくすることができる。

【0075】

次に、図 1 に示す本発明の一態様の半導体装置のその他の構成について、以下説明を行う。

【0076】

基板 102 としては、アルミニノシリケートガラス、アルミニノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料を用いる。量産する上では、基板 102 は、第 8 世代 (2160 mm × 2460 mm)、第 9 世代 (2400 mm × 2800 mm)、または 2450 mm × 3050 mm)、第 10 世代 (2950 mm × 3400 mm) 等のマザーガラスを用いることが好ましい。マザーガラスは、処理温度が高く、処理時間が長いと大幅に収縮するため、マザーガラスを使用して量産を行う場合、作製工程の加熱処理は、好ましくは 600 以下、さらに好ましくは 450 以下、さらに好ましくは 350 以下とすることが望ましい。

【0077】

ゲート電極層 104 としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンゲステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成することができる。また、ゲート電極層 104 は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタンゲステン膜を積層する二層構造、窒化タンタル膜または窒化タンゲステン膜上にタンゲステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タンゲステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の膜、または複数組み合わせた合金膜、もしくは窒化膜を用いてもよい。

【0078】

ゲート絶縁層 106 としては、例えば酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、窒化シリコン膜、窒化酸化シリコン膜などを用いればよく、積層または単層で設ける。

【0079】

また、ゲート絶縁層 106 を積層構造とし、第 1 の窒化シリコン膜として、欠陥が少ない窒化シリコン膜とし、第 1 の窒化シリコン膜上に、第 2 の窒化シリコン膜として、水素放出量及びアンモニア放出量の少ない窒化シリコン膜を設け、第 2 の窒化シリコン膜上に酸化絶縁膜を設けることで、ゲート絶縁層 106 として、欠陥が少なく、且つ水素及びアンモニアの放出量の少ないゲート絶縁層 106 を形成することができる。この結果、ゲート絶縁層 106 に含まれる水素及び窒素が、酸化物半導体層 112 への移動を抑制することが可能である。例えば、ゲート絶縁層 106 として、325 nm の窒化シリコン膜と、

10

20

30

40

50

50 nmの酸化シリコン膜との積層構造を用いることができる。

【0080】

また、ゲート絶縁層106に窒化シリコン膜を用いることで、以下の効果を得ることができる。窒化シリコン膜は、酸化シリコン膜と比較して比誘電率が高く、同等の静電容量を得るのに必要な膜厚が大きいため、ゲート絶縁層を物理的に厚膜化することができる。よって、トランジスタの絶縁耐圧の低下を抑制、さらには絶縁耐圧を向上させて、トランジスタの静電破壊を抑制することができる。

【0081】

ゲート絶縁層106の厚さは、5 nm以上500 nm以下、より好ましくは10 nm以上450 nm以下、より好ましくは50 nm以上400 nm以下とするよい。

10

【0082】

ソース電極層108及びドレイン電極層110としては、導電材料として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタンゲステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、アルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タンゲステン膜上にチタン膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、ソース電極層108及びドレイン電極層110として、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

20

【0083】

第3の絶縁層114としては、酸化物半導体層112として用いる酸化物半導体との界面特性を向上させるため、無機材料の酸化物絶縁膜を用いることが好ましく、例えば酸素または窒素を含むシリコン膜を用いることができる。とくに、第3の絶縁層114としては、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化シリコン膜を用いると好ましい。例えば、第3の絶縁層114としては、厚さ150 nm以上400 nm以下の酸化シリコン膜、酸化窒化シリコン膜等を用いることができる。

30

【0084】

第4の絶縁層116は、酸化物半導体層112として用いる酸化物半導体への水分浸入を防止するブロック層としての機能を有する。第4の絶縁層116としては、例えば窒化シリコン膜、窒化酸化シリコン膜などを用いることができる。また、窒化シリコン膜を用いた場合、緻密性を高めるために、高温で成膜されることが好ましく、例えば基板温度350 での成膜が考えられる。また、第4の絶縁層116として、高温で成膜する窒化シリコン膜を用いる場合は、酸化物半導体層112として用いる酸化物半導体から酸素が脱離し、キャリア濃度が上昇する現象が発生するため、このような現象が発生しない温度が上限とする。

40

【0085】

第3の絶縁層114及び第4の絶縁層116の構成としては、例えば、酸化窒化シリコン膜と、窒化シリコン膜との積層構造とすることができます。より具体的には、酸化窒化シリコン膜300 nm上に窒化シリコン膜150 nmを積層する構造などである。このとき、酸化窒化シリコン膜は、例えば、ソース電極層108及びドレイン電極層110の段差被覆部分の被覆形状が悪く、鬆があっても窒化シリコン膜によって鬆を良好に被覆することができるので好適である。

【0086】

以上が本発明の一態様における半導体装置である。本発明の一態様の半導体装置は、酸化物半導体を用いた半導体装置において、チャネル形成領域中に酸素欠損が少ない新規な半導体装置を提供することができる。また、本発明の一態様の半導体装置は、酸化物半導

50

体を用いた半導体装置において、チャネル長の縮小を抑制した新規な半導体装置を提供することができる。

【0087】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0088】

(実施の形態2)

本実施の形態では、実施の形態1に示す半導体装置の作製方法について、図1(B)を用いて以下説明する。また、実施の形態1で説明した機能と同様の機能を有する部分については、同様の符号を付し、その詳細な説明は省略する。

10

【0089】

まず、基板102を準備する。その後、基板102上に導電膜を成膜し、該導電膜を所望の領域に加工することで、ゲート電極層104を形成する。その後、基板102、及びゲート電極層104上にゲート絶縁層106を形成する。なお、基板102、ゲート電極層104、及びゲート絶縁層106としては、先に説明した材料を用いることができる。本実施の形態においては、基板102としては、ガラス基板を用いる。また、ゲート電極層104としては、スパッタリング法を用い、膜厚100nmのタンゲステン膜を形成する。また、ゲート絶縁層106としては、PE-CVD法を用い、膜厚350nmの窒化シリコン膜と、膜厚50nmの酸化窒化シリコン膜を形成する。

【0090】

20

次に、ゲート絶縁層106上に導電膜を成膜し、該導電膜を所望の領域に加工することで、ソース電極層108及びドレイン電極層110を形成する。ソース電極層108、及びドレイン電極層110としては、先に説明した材料を用いることができる。本実施の形態においては、ソース電極層108及びドレイン電極層110としては、スパッタリング法を用い、膜厚50nmのタンゲステン膜と、膜厚400nmのアルミニウム膜と、膜厚100nmのチタン膜を形成する。

【0091】

次に、ゲート絶縁層106、ソース電極層108及びドレイン電極層110上に酸化物半導体膜を成膜し、該酸化物半導体膜を所望の領域に加工することで、酸化物半導体層112を形成する。これにより、酸化物半導体層112は、チャネル形成領域と、ソース電極層108及びドレイン電極層110と接するn型領域112aと、を有し、チャネル形成領域は、ゲート絶縁層106と接する酸化物半導体層112に位置する。ゲート絶縁層106が酸化物半導体層112に接する面である第1の被形成面106aは、ソース電極層108が酸化物半導体層112に接する面である第2の被形成面108aと交差部122で交差し、第1の被形成面106aは、ドレイン電極層110が酸化物半導体層112に接する面である第3の被形成面110aと交差部124で交差する。酸化物半導体層112としては、先に説明した材料を用いることができる。本実施の形態においては、酸化物半導体層112としては、スパッタリング法を用い、膜厚35nmのIn-Ga-Zn系酸化物であるIGZO膜を形成する。なお、IGZO膜の組成は、原子数比でIn:Ga:Zn=1:1:1のターゲットを用いる。

30

【0092】

また、酸化物半導体層112として、CACC-OSを用いる場合、以下の条件を適用することが好ましい。

【0093】

成膜時の基板温度を高くすることが好ましい。例えば、基板加熱温度を100以上740以下、好ましくは100以上500以下、さらに好ましくは150以上450以下として酸化物半導体を成膜することによりCACC-OSを形成することができる。

【0094】

例えば、不純物濃度を低減させてCACC-OSを形成することにより、不純物による

40

50

酸化物半導体の結晶状態の崩壊を抑制することができる。例えば、スパッタリング装置の成膜室内に存在する不純物（水素、水、二酸化炭素、及び窒素など）を低減することが好ましい。また、成膜ガス中の不純物を低減することが好ましい。例えば、成膜ガスとして露点が-80以下、さらには-100以下である成膜ガスを用いることが好ましい。

【0095】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0096】

C AAC - OS を成膜した後、加熱処理を行ってもよい。加熱処理の温度は、100以上740以下、好ましくは200以上500以下とする。また、加熱処理の時間は1分以上24時間以下、好ましくは6分以上4時間以下とする。また、加熱処理は、不活性雰囲気または酸化性雰囲気で行えばよい。好ましくは、不活性雰囲気で加熱処理を行った後、酸化性雰囲気で加熱処理を行う。不活性雰囲気での加熱処理により、C AAC - OS の不純物濃度を短時間で低減することができる。一方、不活性雰囲気での加熱処理によりC AAC - OS に酸素欠損が生成されることがある。その場合、酸化性雰囲気での加熱処理によって該酸素欠損を低減することができる。また、加熱処理を行うことで、C AAC - OS の結晶性をさらに高めることができる。なお、加熱処理は1000Pa以下、100Pa以下、10Pa以下または1Pa以下の減圧下で行ってもよい。減圧下では、C AAC - OS の不純物濃度をさらに短時間で低減することができる。

【0097】

以上により作製したC AAC - OS 中の水素濃度は、二次イオン質量分析（SIMS: Secondary Ion Mass Spectrometry）において、 2×10^{20} atoms/cm³以下、好ましくは 5×10^{19} atoms/cm³以下、より好ましくは 1×10^{19} atoms/cm³以下、さらに好ましくは 5×10^{18} atoms/cm³以下とすることができます。

【0098】

また、以上により作製したC AAC - OS 中の窒素濃度は、SIMSにおいて、 5×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³以下、より好ましくは 1×10^{18} atoms/cm³以下、さらに好ましくは 5×10^{17} atoms/cm³以下とすることができます。

【0099】

また、以上により作製したC AAC - OS 中の炭素濃度は、SIMSにおいて、 5×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³以下、より好ましくは 1×10^{18} atoms/cm³以下、さらに好ましくは 5×10^{17} atoms/cm³以下とすることができます。

【0100】

また、以上により作製したC AAC - OS 中のシリコン濃度は、SIMSにおいて、 5×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³以下、より好ましくは 1×10^{18} atoms/cm³以下、さらに好ましくは 5×10^{17} atoms/cm³以下とすることができます。

【0101】

また、以上により作製したC AAC - OS は、昇温脱離ガス分光法（TDS: Thermal Desorption Spectroscopy）分析によるm/zが2（水素分子など）である気体分子（原子）、m/zが18である気体分子（原子）、m/zが28である気体分子（原子）及びm/zが44である気体分子（原子）の放出量が、それぞれ 1×10^{19} 個/cm³以下、好ましくは 1×10^{18} 個/cm³以下とすることができます。

【0102】

以上のようにして、C AAC - OS を形成することができる。該C AAC - OS を、酸

10

20

30

40

50

化物半導体層 112 として好適に用いることができる。

【0103】

なお、酸化物半導体層 112 を形成した後、膜中の水素や水分を除去するために熱処理を行うことが好ましい。例えば、脱水や脱水素のために、窒素雰囲気で 450 1 時間の熱処理、または 350 1 時間の熱処理を行うとよい。

【0104】

また、酸化物半導体層 112 として酸化物半導体を用いた場合、該酸化物半導体中の酸素欠損を低減させるため、例えば窒素及び酸素雰囲気で 450 1 時間、または窒素及び酸素雰囲気で 350 1 時間などの熱処理をさらに行うとよい。

【0105】

次に、ゲート絶縁層 106、ソース電極層 108、ドレイン電極層 110、及び酸化物半導体層 112 上に第 3 の絶縁層 114 及び第 4 の絶縁層 116 を形成する。なお、第 3 の絶縁層 114 及び第 4 の絶縁層 116 としては、先に説明した材料を用いることができる。本実施の形態においては、第 3 の絶縁層 114 としては、PE-CVD 法を用い、膜厚 450 nm の酸化窒化シリコン膜を用いる。また、第 4 の絶縁層 116 としては、PE-CVD 法を用い、膜厚 100 nm の窒化シリコン膜を用いる。

【0106】

以上により図 1 (B) に示す本発明の一態様の半導体装置を作製することができる。

【0107】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0108】

(実施の形態 3)

本実施の形態では、実施の形態 1 に示す半導体装置の変形例について、図 2 及び図 3 を用いて説明する。

【0109】

図 2 (A) は、半導体装置の断面図であり、図 2 (B) は、図 2 (A) に示す半導体装置の一部の拡大図である。なお、図 2 に示す半導体装置の上面図については、図 1 (A) に示す半導体装置と概略同等の上面図となるため、ここでは省略する。また、実施の形態 1 で説明した機能と同様の機能を有する部分については、同様の符号を付し、その詳細な説明は省略する。

【0110】

図 2 (A) に示す半導体装置は、基板 102 上のゲート電極層 104 と、ゲート電極層 104 上のゲート絶縁層 106 と、ゲート絶縁層 106 上の第 1 の絶縁層 118a 及び第 2 の絶縁層 118b と、ゲート絶縁層 106、第 1 の絶縁層 118a、及び第 2 の絶縁層 118b によって形成された凹部と、凹部に沿って形成された結晶部を含む酸化物半導体層 112 と、第 1 の絶縁層 118a、第 2 の絶縁層 118b、及び酸化物半導体層 112 上のソース電極層 108 及びドレイン電極層 110 と、を有する。

【0111】

別言すれば、図 2 (A) に示す半導体装置は、ゲート絶縁層 106、第 1 の絶縁層 118a、及び第 2 の絶縁層 118b 上の結晶部を含む酸化物半導体層 112 と、第 1 の絶縁層 118a、及び酸化物半導体層 112 上のソース電極層 108 と、第 2 の絶縁層 118b、及び酸化物半導体層 112 上のドレイン電極層 110 と、を有し、ゲート絶縁層 106 が酸化物半導体層 112 に接する面である第 1 の被形成面 106a は、第 1 の絶縁層 118a が酸化物半導体層 112 に接する面である第 2 の被形成面 118a1 と交差部 126 で交差し、第 1 の被形成面 106a は、第 2 の絶縁層 118b が酸化物半導体層 112 に接する面である第 3 の被形成面 118b1 と交差部 128 で交差する。

【0112】

また、図 2 (A) に示す半導体装置は、ゲート絶縁層 106、ソース電極層 108、ドレイン電極層 110、及び酸化物半導体層 112 上の第 3 の絶縁層 114 と、第 3 の絶縁

10

20

30

40

50

層 114 上の第 4 の絶縁層 116 を含む構成としてもよい。

【0113】

なお、酸化物半導体層 112 において、酸化物半導体層 112 と、ソース電極層 108 及びドレイン電極層 110 と、が接する領域に n 型領域 112a が形成されている。

【0114】

図 2 (A) に示す半導体装置は、実施の形態 1 の図 1 (B) に示す半導体装置と異なる点として、第 1 の絶縁層 118a 及び第 2 の絶縁層 118b が形成されている。また、図 2 (A) に示す半導体装置は、酸化物半導体層 112 と接触するソース電極層 108 及びドレイン電極層 110 の位置が異なる。図 1 (B) に示す半導体装置においては、酸化物半導体層 112 の下部において、ソース電極層 108 及びドレイン電極層 110 が酸化物半導体層 112 と接触していたが、図 2 (A) に示す半導体装置においては、酸化物半導体層 112 の上部において、ソース電極層 108 及びドレイン電極層 110 が酸化物半導体層 112 と接触している。従って、酸化物半導体層 112 中に形成される n 型領域 112a の位置も異なる。

【0115】

なお、第 1 の絶縁層 118a 及び第 2 の絶縁層 118b としては、ゲート絶縁層 106 で用いることのできる材料と同様の材料を用いることができる。また、第 1 の絶縁層 118a 及び第 2 の絶縁層 118b の一部は、ゲート絶縁層の一部としても機能することができる。

【0116】

ここで、図 2 (B) に図 2 (A) に示す半導体装置の酸化物半導体層 112 周辺の拡大図を示す。

【0117】

図 2 (B) に示すように、結晶部を含む酸化物半導体層 112 は、ゲート絶縁層 106、第 1 の絶縁層 118a、及び第 2 の絶縁層 118b で形成された凹部に沿って形成される。つまり、酸化物半導体層 112 は、第 1 の被形成面 106a、第 2 の被形成面 118a1、及び第 3 の被形成面 118b1 上に形成される。酸化物半導体層 112 の結晶部は、図 2 (B) の矢印の方向に c 軸が配向している。図 2 (B) に示す矢印の方向は、第 1 の被形成面 106a、第 2 の被形成面 118a1、及び第 3 の被形成面 118b1 それぞれに垂直方向である。なお、ここでは結晶部を含む酸化物半導体層 112 は、先に説明した CAA-C-O-S とする。

【0118】

また、図 2 (B) に示すように、酸化物半導体層 112 中に形成される n 型領域 112a は、ソース電極層 108 及びドレイン電極層 110 が接触した領域に形成される。酸化物半導体層 112 が凹部に沿って形成されているため、n 型領域 112a も該凹部に沿った形状に形成される。つまり、酸化物半導体層 112 が第 2 の被形成面 118a1、及び第 3 の被形成面 118b1 上に形成されるため、n 型領域 112a も第 2 の被形成面 118a1、及び第 3 の被形成面 118b1 に沿った形状に形成される。そして、第 1 の絶縁層 118a の側面の第 2 の被形成面 118a1 上に形成される n 型領域 112a の結晶部の結晶方向、及び第 2 の絶縁層 118b の側面の第 3 の被形成面 118b1 上に形成される n 型領域 112a の結晶部の結晶方向が、第 1 の被形成面 106a 上のチャネル形成領域の結晶部の結晶方向と異なる。従って、酸化物半導体層 112 のチャネル形成領域と、n 型領域 112a で、結晶部の結晶方向を異なる構造とすることができる。

【0119】

ただし、図 2 (B) に示す構造においては、n 型領域 112a の結晶部の結晶方向は、n 型領域 112a の一部の領域、具体的には、第 1 の絶縁層 118a 及び第 2 の絶縁層 118b の上面側の領域が、ゲート絶縁層 106 の上面の第 1 の被形成面 106a 上のチャネル形成領域と結晶方向が同じである。しかし、チャネル領域と隣接した領域にチャネル形成領域と結晶部の結晶方向が異なる領域を有するため、n 型領域 112a の横方向への拡がりを抑制することができる。

10

20

30

40

50

【0120】

このように、本発明の一態様は、チャネル形成領域と結晶方向が異なる領域が、n型領域112a中に少なくとも一部に形成されればよい。

【0121】

また、図2(B)に示す構造においては、チャネル長(L長)は、n型領域112aの間の長さ(図2(B)中のLで示した長さ)となる。

【0122】

次に、図2(C)に図2(B)に示す構造の変形例の断面図を示す。

【0123】

図2(C)に示す半導体装置は、図2(B)に示す半導体装置と異なる点として、酸化物半導体層112の上部に凹部が形成されている。該凹部は、ソース電極層108及びドレイン電極層110の形成時、またはソース電極層108及びドレイン電極層110の形成後の処理によって、酸化物半導体層112の一部が除去されることにより形成される。図2(C)に示す構成も本発明の一態様である。

10

【0124】

また、図2(A)に示す半導体装置の作製方法を以下に示す。

【0125】

まず、基板102を準備する。その後、基板102上に導電膜を成膜し、該導電膜を所望の領域に加工することで、ゲート電極層104を形成する。その後、基板102及びゲート電極層104上にゲート絶縁層106を形成する。その後、ゲート絶縁層106に絶縁膜を成膜し、該絶縁膜を所望の領域に加工することで、第1の絶縁層118a及び第2の絶縁層118bを形成する。なお、基板102、ゲート電極層104、ゲート絶縁層106、第1の絶縁層118a、及び第2の絶縁層118bとしては、先に説明した材料を用いることができる。本実施の形態においては、基板102としては、ガラス基板を用いる。また、ゲート電極層104としては、スパッタリング法を用い、膜厚100nmのタンクステン膜を形成する。また、ゲート絶縁層106としては、PE-CVD法を用い、膜厚350nmの窒化シリコン膜と、膜厚50nmの酸化窒化シリコン膜を形成する。また、第1の絶縁層118a及び第2の絶縁層118bとしては、PE-CVD法を用い、膜厚100nmの酸化窒化シリコン膜を形成する。

20

【0126】

30

次に、ゲート絶縁層106、第1の絶縁層118a、及び第2の絶縁層118b上に酸化物半導体膜を成膜し、該酸化物半導体膜を所望の領域に加工することで、酸化物半導体層112を形成する。これにより、酸化物半導体層112は、チャネル形成領域と、ソース電極層108及びドレイン電極層110と接するn型領域112aと、を有し、チャネル形成領域は、ゲート絶縁層106と接する酸化物半導体層112に位置する。ゲート絶縁層106が酸化物半導体層112に接する面である第1の被形成面106aは、第1の絶縁層118aが酸化物半導体層112に接する面の第2の被形成面118a1と交差部126で交差し、第1の被形成面106aは、第2の絶縁層118bが酸化物半導体層112に接する面の第3の被形成面118b1と交差部128で交差する。酸化物半導体層112としては、先に説明した材料を用いることができる。本実施の形態においては、酸化物半導体層112としては、スパッタリング法を用い、膜厚35nmのIn-Ga-Zn系酸化物であるIGZO膜を形成する。なお、IGZO膜の組成は、原子数比でIn:Ga:Zn=1:1:1のターゲットを用いる。

40

【0127】

次に、ゲート絶縁層106、第1の絶縁層118a、第2の絶縁層118b、及び酸化物半導体層112上に導電膜を成膜し、該導電膜を所望の領域に加工することで、ソース電極層108及びドレイン電極層110を形成する。ソース電極層108、及びドレイン電極層110としては、先に説明した材料を用いることができる。本実施の形態においては、ソース電極層108及びドレイン電極層110としては、スパッタリング法を用い、膜厚50nmのタンクステン膜と、膜厚400nmのアルミニウム膜と、膜厚100nm

50

のチタン膜を形成する。

【0128】

次に、ゲート絶縁層106、ソース電極層108、ドレイン電極層110、及び酸化物半導体層112上に第3の絶縁層114及び第4の絶縁層116を形成する。なお、第3の絶縁層114及び第4の絶縁層116としては、先に説明した材料を用いることができる。本実施の形態においては、第3の絶縁層114としては、PE-CVD法を用い、膜厚450nmの酸化窒化シリコン膜を用いる。また、第4の絶縁層116としては、PE-CVD法を用い、膜厚100nmの窒化シリコン膜を用いる。

【0129】

以上の作製方法により、図2(A)に示す半導体装置を作製することができる。

10

【0130】

次に、図3に示す半導体装置について、以下説明を行う。

【0131】

図3(A)は、半導体装置の断面図であり、図3(B)は、図3(A)に示す半導体装置の一部の拡大図である。なお、図3に示す半導体装置の上面図については、図1(A)に示す半導体装置と概略同等の上面図となるため、ここでは省略する。また、実施の形態1で説明した機能と同様の機能を有する部分については、同様の符号を付し、その詳細な説明は省略する。

【0132】

図3(A)に示す半導体装置は、基板102上のゲート電極層104と、ゲート電極層104上の凹部を有するゲート絶縁層106と、ゲート絶縁層106の凹部に沿って形成された結晶部を含む酸化物半導体層112と、ゲート絶縁層106、及び酸化物半導体層112上のソース電極層108及びドレイン電極層110と、を有する。

20

【0133】

別言すれば、図3(A)に示す半導体装置は、基板102上のゲート電極層104と、ゲート電極層104上の第1の被形成面106a、第2の被形成面106b、及び第3の被形成面106cを有するゲート絶縁層106と、第1の被形成面106a、第2の被形成面106b、及び第3の被形成面106c上の結晶部を含む酸化物半導体層112と、第2の被形成面106b上の酸化物半導体層112に接するソース電極層108と、第3の被形成面106c上の酸化物半導体層112に接するドレイン電極層110と、を有し、第1の被形成面106aは、第2の被形成面106bと交差部130で交差し、第1の被形成面106aは、第3の被形成面106cと交差部132で交差する。

30

【0134】

また、図3(A)に示す半導体装置は、ゲート絶縁層106、ソース電極層108、ドレイン電極層110、及び酸化物半導体層112上の第3の絶縁層114と、第3の絶縁層114上の第4の絶縁層116を含む構成としてもよい。

【0135】

なお、酸化物半導体層112において、酸化物半導体層112と、ソース電極層108、及びドレイン電極層110と、が接する領域にn型領域112aが形成されている。

【0136】

40

図3(A)に示す半導体装置は、実施の形態1の図1(B)に示す半導体装置と異なる点として、ゲート絶縁層106の構造が異なる。図3(A)に示すゲート絶縁層106は、チャネル形成部において、凹部を有し、第1の被形成面106a、第2の被形成面106b、及び第3の被形成面106cを有する。また、図3(A)に示す半導体装置は、図1(B)に示す半導体装置と酸化物半導体層112と接触するソース電極層108及びドレイン電極層110の位置が異なる。図1(B)に示す半導体装置においては、酸化物半導体層112の下部において、ソース電極層108及びドレイン電極層110が酸化物半導体層112と接触していたが、図3(A)に示す半導体装置においては、酸化物半導体層112の上部において、ソース電極層108及びドレイン電極層110が酸化物半導体層112と接触している。従って、酸化物半導体層112中に形成されるn型領域112

50

a の位置も異なる。また、図 3 (A) に示す半導体装置は、図 1 (B) に示す半導体装置とソース電極層 108 及びドレイン電極層 110 の形状が異なる。図 3 (B) に示すように、酸化物半導体層 112 の凹部の一部にソース電極層 108 及びドレイン電極層 110 を形成しても良い。

【 0137 】

ここで、図 3 (B) に図 3 (A) に示す半導体装置の酸化物半導体層 112 周辺の拡大図を示す。

【 0138 】

図 3 (B) に示すように、結晶部を含む酸化物半導体層 112 は、ゲート絶縁層 106 の凹部に沿って形成される。つまり、酸化物半導体層 112 は、ゲート絶縁層 106 の第 1 の被形成面 106a、第 2 の被形成面 106b、及び第 3 の被形成面 106c 上に形成される。酸化物半導体層 112 の結晶部は、図 3 (B) の矢印の方向に c 軸が配向している。図 3 (B) に示す矢印の方向は、第 1 の被形成面 106a、第 2 の被形成面 106b、及び第 3 の被形成面 106c それぞれに垂直方向である。なお、ここでは結晶部を含む酸化物半導体層 112 は、先に説明した C A A C - O S とする。

【 0139 】

また、図 3 (B) に示すように、酸化物半導体層 112 中に形成される n 型領域 112a は、ソース電極層 108 及びドレイン電極層 110 が接触した領域に形成される。酸化物半導体層 112 が凹部に沿って形成されているため、n 型領域 112a も該凹部に沿った形状に形成される。つまり、酸化物半導体層 112 が第 2 の被形成面 106b、及び第 3 の被形成面 106c 上に形成されるため、n 型領域 112a も第 2 の被形成面 106b、及び第 3 の被形成面 106c に沿った形状に形成される。そして、ゲート絶縁層 106 の第 2 の被形成面 106b 上に形成される n 型領域 112a の結晶部の結晶方向、及びゲート絶縁層 106 の第 3 の被形成面 106c 上に形成される n 型領域 112a の結晶部の結晶方向が、第 1 の被形成面 106a 上のチャネル形成領域の結晶部の結晶方向と異なる。

従って、酸化物半導体層 112 のチャネル形成領域と、n 型領域 112a で、結晶部の結晶方向を異なる構造とすることができます。

【 0140 】

ただし、図 3 (B) に示す構造においては、n 型領域 112a の結晶部の結晶方向は、n 型領域 112a の一部の領域、具体的には、ゲート絶縁層 106 の上面側の領域が、第 1 の被形成面 106a 上のチャネル形成領域と結晶方向が同じである。しかし、チャネル形成領域と隣接した領域にチャネル形成領域と結晶部の結晶方向が異なる領域を有するため、n 型領域 112a の横方向への拡がりを抑制することができる。

【 0141 】

このように、本発明の一態様は、チャネル形成領域と結晶方向が異なる領域が、n 型領域 112a 中に少なくとも一部に形成されればよい。

【 0142 】

また、図 3 (B) に示す構造においては、チャネル長 (L 長) は、n 型領域 112a の間の長さ (図 3 (B) 中の L で示した長さ) となる。

【 0143 】

次に、図 3 (C) に図 3 (B) に示す構造の変形例の断面図を示す。

【 0144 】

図 3 (C) に示す半導体装置は、図 3 (B) に示す半導体装置と異なる点として、酸化物半導体層 112 の上部に凹部が形成されている。該凹部は、ソース電極層 108 及びドレイン電極層 110 の形成時、またはソース電極層 108 及びドレイン電極層 110 の形成後の処理によって、酸化物半導体層 112 の一部が除去されることにより形成される。図 3 (C) に示す構成も本発明の一態様である。

【 0145 】

また、図 3 (A) に示す半導体装置の作製方法を以下に示す。

10

20

30

40

50

【0146】

まず、基板102を準備する。その後、基板102上に導電膜を成膜し、該導電膜を所望の領域に加工することで、ゲート電極層104を形成する。その後、基板102及びゲート電極層104上にゲート絶縁層106を形成する。その後、ゲート絶縁層106の所望の領域を加工することで、第1の被形成面106a、第2の被形成面106b、及び第3の被形成面106cからなる凹部を有するゲート絶縁層106を形成する。なお、基板102、ゲート電極層104、及びゲート絶縁層106としては、先に説明した材料を用いることができる。本実施の形態においては、基板102としては、ガラス基板を用いる。また、ゲート電極層104としては、スパッタリング法を用い、膜厚100nmのタンゲステン膜を形成する。また、ゲート絶縁層106としては、PE-CVD法を用い、膜厚350nmの窒化シリコン膜と、膜厚150nmの酸化窒化シリコン膜を形成する。また、ゲート絶縁層106に設けられた凹部の深さとしては、100nmとする。

【0147】

次に、ゲート絶縁層106上に酸化物半導体膜を成膜し、該酸化物半導体膜を所望の領域に加工することで、酸化物半導体層112を形成する。これにより、酸化物半導体層112は、チャネル形成領域と、ソース電極層108及びドレイン電極層110と接するn型領域112aと、を有し、チャネル形成領域は、ゲート絶縁層106の第1の被形成面106a上の酸化物半導体層112に位置する。第1の被形成面106aは、ゲート絶縁層106の第2の被形成面106bと交差部130で交差し、第1の被形成面106aは、ゲート絶縁層106の第3の被形成面106cと交差部132で交差する。酸化物半導体層112としては、先に説明した材料を用いることができる。本実施の形態においては、酸化物半導体層112としては、スパッタリング法を用い、膜厚35nmのIn-Ga-Zn系酸化物であるIGZO膜を形成する。なお、IGZO膜の組成は、原子数比でIn:Ga:Zn=1:1:1のターゲットを用いる。

【0148】

次に、ゲート絶縁層106、及び酸化物半導体層112上に導電膜を成膜し、該導電膜を所望の領域に加工することで、ソース電極層108及びドレイン電極層110を形成する。ソース電極層108、及びドレイン電極層110としては、先に説明した材料を用いることができる。本実施の形態においては、ソース電極層108及びドレイン電極層110としては、スパッタリング法を用い、膜厚50nmのタンゲステン膜と、膜厚400nmのアルミニウム膜と、膜厚100nmのチタン膜を形成する。

【0149】

次に、ゲート絶縁層106、ソース電極層108、ドレイン電極層110、及び酸化物半導体層112上に第3の絶縁層114及び第4の絶縁層116を形成する。なお、第3の絶縁層114及び第4の絶縁層116としては、先に説明した材料を用いることができる。本実施の形態においては、第3の絶縁層114としては、PE-CVD法を用い、膜厚450nmの酸化窒化シリコン膜を用いる。また、第4の絶縁層116としては、PE-CVD法を用い、膜厚100nmの窒化シリコン膜を用いる。

【0150】

以上の作製方法により、図3(A)に示す半導体装置を作製することができる。

【0151】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0152】

(実施の形態4)

本実施の形態では、実施の形態1、及び実施の形態3に示す半導体装置の変形例について、図4及び図5を用いて説明を行う。また、実施の形態1、及び実施の形態3で説明した機能と同様の機能を有する部分については、同様の符号を付し、その詳細な説明は省略する。

【0153】

10

20

30

40

50

図4(A)は、図1(C)に示す半導体装置の変形例を示す断面図であり、図4(B)は、図2(B)に示す半導体装置の変形例を示す断面図であり、図4(C)は、図3(C)に示す半導体装置の変形例の断面図である。なお、図4(A)乃至図4(C)は、半導体装置の一部であり、酸化物半導体層112周辺の構造を拡大して表している。

【0154】

本実施の形態では、図1乃至図3に示す半導体装置の酸化物半導体層112の代わりに、酸化物積層152を用いる構成である。

【0155】

酸化物積層152は、酸化物半導体層112と、酸化物半導体層112上に形成された酸化物層113と、を有する。

10

【0156】

ここで、酸化物積層152の詳細について、以下説明を行う。

【0157】

酸化物半導体層112としては、実施の形態1に示す材料を用いることができる。とくに、酸化物半導体層112としては、酸化物半導体層を用い、該酸化物半導体層は、少なくともインジウム(In)、亜鉛(Zn)及びM(Al、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)を含むIn-M-Zn酸化物で表記される層を含むことが好ましい。

【0158】

酸化物層113は、酸化物半導体層112を構成する元素の一種以上から構成され、伝導帯下端のエネルギーが酸化物半導体層112よりも0.05eV以上、0.07eV以上、0.1eV以上又は0.15eV以上、且つ2eV以下、1eV以下、0.5eV以下又は0.4eV以下真空準位に近い酸化物層である。このとき、ゲート電極層104に電界を印加すると、酸化物積層152のうち、伝導帯下端のエネルギーが小さい酸化物半導体層112にチャネルが形成される。すなわち、酸化物半導体層112と第3の絶縁層114との間に酸化物層113を有することによって、トランジスタのチャネルを第3の絶縁層114と接しない酸化物半導体層112に形成することができる。

20

【0159】

また、酸化物半導体層112を構成する元素の一種以上から酸化物層113が構成されるため、酸化物半導体層112と酸化物層113との間ににおいて、界面散乱が起こりにくい。従って、酸化物半導体層112と酸化物層113との間ににおいて、キャリアの動きが阻害されないため、トランジスタの電界効果移動度が高くなる。また、酸化物半導体層112と酸化物層113との間に界面準位を形成しにくい。酸化物半導体層112と酸化物層113との間に界面準位があると、該界面をチャネルとしたしきい値電圧の異なる第2のトランジスタが形成され、トランジスタの見かけ上のしきい値電圧が変動することができる。従って、酸化物層113を設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきを低減することができる。

30

【0160】

酸化物層113としてはIn-M-Zn酸化物(Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)で表記され、酸化物半導体層112よりもMの原子数比が高い酸化物層を含む。具体的には、酸化物層113として、酸化物半導体層112よりも前述の元素を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上高い原子数比で含む酸化物層を用いる。前述の元素はインジウムよりも酸素と強く結合するため、酸素欠損が酸化物層に生じることを抑制する機能を有する。即ち、酸化物層113は、酸化物半導体層112として用いる酸化物半導体よりも酸素欠損が生じにくい酸化物層である。

40

【0161】

つまり、酸化物半導体層112、酸化物層113が、少なくともインジウム、亜鉛及びM(Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)を含むIn-M-Zn酸化物であるとき酸化物層113をIn:M:Zn = x₁:y₁:z₁ [

50

原子数比]、酸化物半導体層112を $In : M : Zn = x_2 : y_2 : z_2$ [原子数比]、とすると、 y_1 / x_1 が y_2 / x_2 よりも大きくなることが好ましい。 y_1 / x_1 は y_2 / x_2 よりも1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。このとき、酸化物半導体層112において、 y_2 が x_2 以上であるとトランジスタの電気特性を安定させることができる。ただし、 y_2 が x_2 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 と同じか3倍未満であることが好ましい。

【0162】

なお、酸化物半導体層112が $In - M - Zn$ 酸化物であるとき、 In と M の原子数比率は好ましくは In が25atomic%以上、 M が75atomic%未満、さらに好ましくは In が34atomic%以上、 M が66atomic%未満とする。また、酸化物層113が $In - M - Zn$ 酸化物であるとき、 In と M の原子数比率は好ましくは In が50atomic%未満、 M が50atomic%以上、さらに好ましくは In が25atomic%未満、 M が75atomic%以上とする。

【0163】

酸化物半導体層112、及び酸化物層113には、例えば、インジウム、亜鉛及びガリウムを含んだ酸化物半導体を用いることができる。具体的には、酸化物半導体層112としては、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比]の $In - Ga - Zn$ 酸化物、 $In : Ga : Zn = 3 : 1 : 2$ [原子数比]の $In - Ga - Zn$ 酸化物、又はその近傍の組成を有する酸化物を用いることができ、酸化物層113としては、 $In : Ga : Zn = 1 : 3 : 2$ [原子数比]の $In - Ga - Zn$ 酸化物、 $In : Ga : Zn = 1 : 3 : 4$ [原子数比]の $In - Ga - Zn$ 酸化物、 $In : Ga : Zn = 1 : 6 : 2$ [原子数比]の $In - Ga - Zn$ 酸化物、 $In : Ga : Zn = 1 : 6 : 4$ [原子数比]の $In - Ga - Zn$ 酸化物、 $In : Ga : Zn = 1 : 6 : 10$ [原子数比]の $In - Ga - Zn$ 酸化物、 $In : Ga : Zn = 1 : 9 : 6$ [原子数比]の $In - Ga - Zn$ 酸化物、又はその近傍の組成を有する酸化物を用いることができる。

【0164】

また、酸化物半導体層112の厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。また、酸化物層113の厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。

【0165】

ここで、図4(A)、(B)の酸化物積層152近傍の一点鎖線B1-B2におけるエネルギー・バンド構造について、図5(A)を用いて説明する。

【0166】

図5(A)に示すエネルギー・バンド構造において、例えば、酸化物半導体層112としてエネルギー・ギャップが3.15eVである酸化物($In : Ga : Zn = 1 : 1 : 1$)を用い、酸化物層113としてエネルギー・ギャップが3.5eVである $In - Ga - Zn$ 酸化物($In : Ga : Zn = 1 : 3 : 2$)を用いる。また、図5(A)に表すEcは、ゲート絶縁層106、酸化物半導体層112、酸化物層113、第3の絶縁層114のそれぞれの伝導帯下端のエネルギーを示す。

【0167】

図5(A)に示すように、酸化物積層152において、酸化物半導体層112と酸化物層113との界面近傍における伝導帯の下端が連続的に変化している。すなわち、酸化物半導体層112と酸化物層113との界面近傍では、トラップ中心や再結合中心のような欠陥準位、あるいはキャリアの流れを阻害する障壁を形成する不純物が存在しない又は極めて少ないため、障壁が無く緩やかに変化している。このような接合を本明細書においては連続接合とよぶ。酸化物半導体層112と酸化物層113との間で酸素が相互的に移動することでこのようなバンド形状を形成する。仮に、積層された半導体層と酸化物層との間に不純物が混在していると、エネルギー・バンドの連続性が失われ、界面でキャリアがト

10

20

30

40

50

ラップ又は再結合してキャリアは消滅してしまう。酸化物積層 152において、酸化物半導体層 112における伝導帯の下端のエネルギーが最も低いため、当該領域がチャネルとして機能する。

【0168】

上述の連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式のスパッタリング装置を用いて各層を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気 (1×10^{-4} Pa ~ 5×10^{-7} Pa 程度まで) することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に気体、特に炭素または水素を含む気体が逆流しないようにしておくことが好ましい。

10

【0169】

なお、酸化物半導体層 112 及び酸化物層 113 における、真空準位と伝導帯下端のエネルギー差（電子親和力ともいう）は、各層において真空準位と価電子帯上端のエネルギー差（イオン化ポテンシャルともいう）からエネルギーギャップを引くことで求めることができる。エネルギーギャップは分光エリプソメータを用いて測定することができ、イオン化ポテンシャルは紫外線光電子分光分析 (UPS : U l t r a v i o l e t P h o t o e l e c t r o n S p e c t r o s c o p y) 装置を用いて測定することができる。

【0170】

なお、酸化物半導体層 112 と酸化物層 113 との界面近傍における伝導帯の下端のエネルギー差 E1 が小さいと、酸化物半導体層 112 を流れるキャリアが酸化物層 113 の伝導帯の下端を乗り越え、トラップ準位 120 に捕獲されてしまう。このため、酸化物半導体層 112 と酸化物層 113 との伝導帯の下端のエネルギー差 E1 を 0.1 eV 以上、好ましくは 0.15 eV 以上とするとよい。

20

【0171】

また、酸化物積層 152 は、酸化物層 113 を有するため、トランジスタのチャネルを第 3 の絶縁層 114 と接しない酸化物半導体層 112 に形成することができる。また、第 3 の絶縁層 114 として、例えば、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化シリコン膜等を用いた場合、第 3 の絶縁層 114 から酸化物積層 152 に含まれる酸化物半導体層 112 に酸素を移動させることができ、酸化物半導体層 112 の酸素欠損を低減することができる。

30

【0172】

次に、図 4 (C) の酸化物積層 152 近傍の一点鎖線 B3 - B4 におけるエネルギーバンド構造について、図 5 (B) を用いて説明する。

【0173】

なお、図 5 (B) に表す Ec は、ゲート絶縁層 106、酸化物半導体層 112、第 3 の絶縁層 114 のそれぞれの伝導帯下端のエネルギーを示す。

【0174】

図 4 (C) に示す構成において、ソース電極層 108 及びドレイン電極層 110 の形成時に酸化物積層 152 の上方、すなわち酸化物層 113 の一部が除去される場合がある。特に酸化物層 113 をウエットエッティング法によりエッティングした場合、In が優先的に除去される場合がある。このため、酸化物半導体層 112 の上面は、酸化物層 113 の成膜時に GaOx 層又は酸化物半導体層 112 と酸化物層 113 との混合層（以下、GaOx 層又は混合層 133 とよぶ）が形成される場合がある。

40

【0175】

例えば、酸化物半導体層 112 が、In : Ga : Zn = 1 : 1 : 1 [原子数比] の In - Ga - Zn 酸化物、または In : Ga : Zn = 3 : 1 : 2 [原子数比] の In - Ga - Zn 酸化物であり、酸化物層 113 が、In : Ga : Zn = 1 : 3 : 2 [原子数比] の In - Ga - Zn 酸化物、または In : Ga : Zn = 1 : 6 : 4 [原子数比] の In - Ga - Zn 酸化物である場合、酸化物半導体層 112 よりも酸化物層 113 の Ga の含有量が

50

多いため、酸化物半導体層 112 の上面には、GaO_x層又は混合層 133 が形成される。

【0176】

従って、酸化物層 113 の一部が除去された場合においても、第 3 の絶縁層 114 側の酸化物半導体層 112 の伝導帯下端のエネルギーが高くなり、図 5 (B) に示すバンド構造のようになると考えられる。

【0177】

なお、本実施の形態においては、酸化物積層 152 は、酸化物半導体層 112 と、酸化物層 113 と、の 2 層の積層構造について、例示したが、これに限定されず、例えば、3 層以上の積層構造とすることができる。3 層構造としては、例えば、本実施の形態に示す酸化物積層 152 の下層、すなわち酸化物半導体層 112 の下層に、さらに 1 層設ける構成としてもよい。酸化物半導体層 112 の下層に設ける層の構成としては、例えば、酸化物層 113 と同様の構成を適用することができる。

【0178】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0179】

(実施の形態 5)

本実施の形態では、本発明の一態様の半導体装置を用いた表示装置について、図 6 を用いて説明を行う。

【0180】

図 6 (A) は表示装置の上面図を示し、図 6 (B) は図 6 (A) における一点鎖線 C1 - C2 の断面図に相当する。

【0181】

図 6 (A) に示す表示装置は、第 1 の基板 302 上に設けられた画素部 374 と、画素部 374 の外側に隣接し、画素部 374 に信号を供給する駆動回路であるゲートドライバ回路部 376 及びソースドライバ回路部 378 を囲むようにして、シール材 (図示せず) が設けられ、第 2 の基板 (図示せず) によって封止されている。よって画素部 374 と、ゲートドライバ回路部 376 と、ソースドライバ回路部 378 とは、第 1 の基板 302 とシール材と第 2 の基板によって、表示素子と共に封止されている。

【0182】

また、図 6 (A) においては、ゲートドライバ回路部 376 及びソースドライバ回路部 378 を画素部 374 と同じ第 1 の基板 302 に形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ回路部 376 のみを第 1 の基板 302 に形成し、別途用意されたソースドライバ回路が形成された基板 (例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板) を、第 1 の基板 302 に実装する構成としても良い。

【0183】

また、図 6 (A) においては、ゲートドライバ回路部 376 は画素部 374 の両側に 2 列配置する構成について例示しているが、この構成に限定されない。例えば、画素部 374 の片側にのみゲートドライバ回路部 376 を配置する構成としても良い。

【0184】

なお、別途形成した駆動回路基板の接続方法は、特に限定されるものではなく、COG (Chip On Glass) 方法、ワイヤボンディング方法、或いは TAB (Tape Automated Bonding) 方法などを用いることができる。

【0185】

このように、トランジスタを含む駆動回路の一部または全体を、画素部 374 と同じ第 1 の基板 302 上に一体形成し、システムオンパネルを形成することができる。

【0186】

また、駆動回路であるゲートドライバ回路部 376 に、駆動トランジスタが形成されて

10

20

30

40

50

いる。ゲートドライバ回路部 376 は、画素部 374 の各画素に含まれるトランジスタに信号を供給することができる。

【0187】

図 6 (A) に示す表示装置の構成をより具体的に説明するため、図 6 (A) における C1 - C2 の断面図に相当する図 6 (B) を用いて、表示装置の詳細な構成について、以下説明を行う。なお、図 6 (B) に示す表示装置においては、表示素子として液晶素子を用い、その駆動モードは、垂直配向 (VA) モードを用いた一態様について説明する。

【0188】

ゲートドライバ回路部 376において、第1の基板 302 と、第1の基板 302 上にゲート電極層 304 と、ゲート電極層 304 上にゲート絶縁層 306 と、ゲート絶縁層 306 上にソース電極層 308 及びドレイン電極層 310 と、ゲート絶縁層 306、ソース電極層 308、及びドレイン電極層 310 上に酸化物半導体層 312 と、を含む駆動トランジスタが形成されている。

【0189】

また、ゲートドライバ回路部 376において、駆動トランジスタ上、より詳しくはゲート絶縁層 306、ソース電極層 308、ドレイン電極層 310、及び酸化物半導体層 312 上に第3の絶縁層 314 と、第3の絶縁層 314 上に第4の絶縁層 316 と、第4の絶縁層 316 上に平坦化絶縁層 318 と、平坦化絶縁層 318 上に第5の絶縁層 320 と、第5の絶縁層 320 上に第1の配向膜 324 と、第1の配向膜 324 上に液晶層 364 と、液晶層 364 上に第2の配向膜 362 と、第2の配向膜 362 上に有機絶縁層 358 と、有機絶縁層 358 上に遮光層 356 と、遮光層 356 上に第2の基板 352 と、が形成されている。

【0190】

また、画素部 374において、第1の基板 302 と、第1の基板 302 上にゲート電極層 304 と、ゲート電極層 304 上にゲート絶縁層 306 と、ゲート絶縁層 306 上にソース電極層 308 及びドレイン電極層 310 と、ゲート絶縁層 306、ソース電極層 308、及びドレイン電極層 310 上に酸化物半導体層 312 と、を含む画素トランジスタが形成されている。

【0191】

また、画素部 374において、画素トランジスタ上、より詳しくはゲート絶縁層 306、ソース電極層 308、ドレイン電極層 310、及び酸化物半導体層 312 上に第3の絶縁層 314 と、第3の絶縁層 314 上に第4の絶縁層 316 と、第4の絶縁層 316 上に平坦化絶縁層 318 と、が形成されている。また、第3の絶縁層 314、第4の絶縁層 316、平坦化絶縁層 318 に、画素トランジスタのドレイン電極層 310 に達する開口部が設けられており、該開口部及び平坦化絶縁層 318 上に第5の絶縁層 320 が形成されている。また、ドレイン電極層 310 に達する開口部、及び第5の絶縁層 320 上に画素電極層 322 が形成されている。また、第5の絶縁層 320、及び画素電極層 322 上には、第1の配向膜 324 と、第1の配向膜 324 上に液晶層 364 と、液晶層 364 上に第2の配向膜 362 と、第2の配向膜 362 に対向電極層 360 と、対向電極層 360 上に有機絶縁層 358 と、有機絶縁層 358 上に有色層 354 及び遮光層 356 と、有色層 354 及び遮光層 356 上に第2の基板 352 と、が形成されている。

【0192】

なお、画素電極層 322 と、第1の配向膜 324 と、液晶層 364 と、第2の配向膜 362 と、対向電極層 360 と、により表示素子である液晶素子が形成されている。

【0193】

本実施の形態においては、実施の形態 1 に示す半導体装置を、ゲートドライバ回路部 376 の駆動トランジスタと、画素部 374 の画素トランジスタに適用する構成である。このように、本発明の一態様の半導体装置は、表示装置の駆動トランジスタまたは画素トランジスタに用いることができる。

【0194】

10

20

30

40

50

本発明の一態様の半導体装置を、表示装置の駆動トランジスタまたは画素トランジスタに用いることで、チャネル長の縮小が抑制された駆動トランジスタまたは画素トランジスタとすることができます。従って、表示装置の表示品位を向上させることができます。

【0195】

なお、図6(B)に示す表示装置において、第1の基板302は実施の形態1に示す基板102、ゲート電極層304は実施の形態1に示すゲート電極層104、ゲート絶縁層306は実施の形態1に示すゲート絶縁層106、ソース電極層308は実施の形態1に示すソース電極層108、ドレイン電極層310は実施の形態1に示すドレイン電極層110、酸化物半導体層312は実施の形態1に示す酸化物半導体層112、第3の絶縁層314は実施の形態1に示す第3の絶縁層114、第4の絶縁層316は実施の形態1に示す第4の絶縁層116と、それぞれ同様の機能を有し、実施の形態1に示す材料及び手法により形成することができる。

【0196】

また、図6(B)に示す表示装置において、平坦化絶縁層318としては、アクリル系樹脂、ポリイミド系樹脂、ベンゾシクロブテン系樹脂、ポリアミド系樹脂、エポキシ系樹脂等の、耐熱性を有する有機材料を用いることができる。なお、これらの材料で形成される絶縁層を複数積層させることで、平坦化絶縁層318を形成してもよい。平坦化絶縁層318を用いることにより、トランジスタ等の凹凸を平坦化させることが可能となる。また、画素電極層322及び対向電極層360としては、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0197】

また、図6(B)に示す表示装置において、第5の絶縁層320としては、第4の絶縁層316と同様な材料及び手法を用いて形成することができる。また、第1の配向膜324及び第2の配向膜362としては、アクリル系樹脂、ポリイミド系樹脂、ベンゾシクロブテン系樹脂、ポリアミド系樹脂、エポキシ系樹脂等の、耐熱性を有する有機材料を用いることができる。また、液晶層364としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等の液晶材料を用いることができる。これらの液晶材料は、条件により、コレステリック相、スマートチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0198】

また、本実施の形態においては、液晶素子は、垂直配向(VA)モードを用いた表示装置について例示したが、これに限定されない。例えば、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optic al Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(Anti Ferroelectric Liquid Crystal)モードなどを用いることができる。

【0199】

また、上述した垂直配向モードとしては、いくつか挙げられるが、例えば、MVA(Multi-Domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モードなどを用いることができる。また、画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いてもよい。

【0200】

10

20

30

40

50

また、図6(A)、(B)においては、図示していないが、偏光部材、位相差部材、反射防止部材などの光学部材(光学基板)などを適宜設けても良い。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0201】

また、画素部374における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RG B(Rは赤、Gは緑、Bは青を表す)の三色に限定されない。例えば、RGBW(Wは白を表す)、又はRGBに、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なっていてもよい。ただし、開示する発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

10

【0202】

また、第2の基板352上には、スペーサ(図示せず)が形成されており、第1の基板302と第2の基板352との間隔(セルギャップともいう)を制御するために設けられている。なお、セルギャップにより、液晶層364の膜厚が決定される。なお、スペーサとしては、絶縁層を選択的にエッチングすることで得られる柱状のスペーサ、球状のスペーサ等の任意の形状のスペーサを用いればよい。

【0203】

また、有色層354は、所謂カラーフィルタとして機能する。有色層354としては、特定波長帯域の光に対して透過性を示す材料を用いればよく、染料や顔料を含有した有機樹脂膜等を用いることができる。

20

【0204】

また、遮光層356は、所謂ブラックマトリクスとして機能する。遮光層356としては、隣接する画素間の放射光を遮光できればよく、金属膜、及び黒色染料や黒色顔料を含有した有機樹脂膜等を用いることができる。

【0205】

また、有機絶縁層358としては、有色層354に含まれるイオン性物質が液晶層364中に拡散しないように設ける。ただし、有機絶縁層358は、この構成に限定されず、設けない構成としてもよい。

30

【0206】

また、シール材としては、熱硬化型樹脂、または紫外線硬化型の樹脂等を用いることができる。

【0207】

以上が本発明の一態様の半導体装置を用いた表示装置である。

【0208】

また、本発明の一態様としては、上述した表示装置を有する電子機器に適用してもよい。

【0209】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

40

【符号の説明】

【0210】

102 基板

104 ゲート電極層

106 ゲート絶縁層

106a 第1の被形成面

106b 第2の被形成面

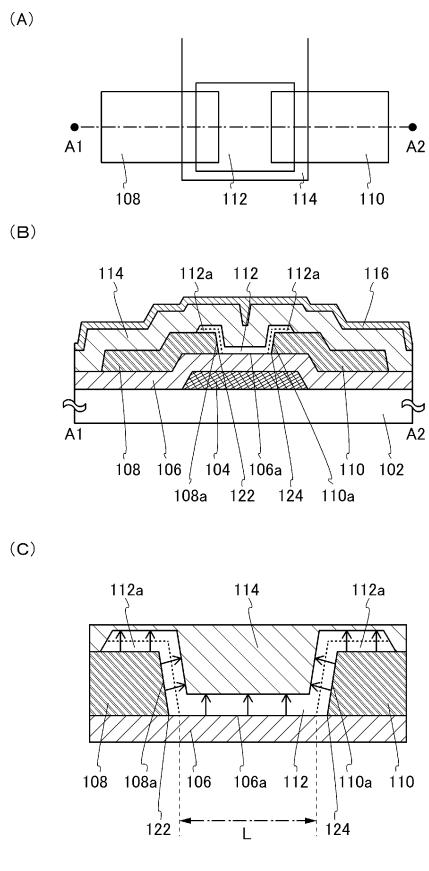
106c 第3の被形成面

108 ソース電極層

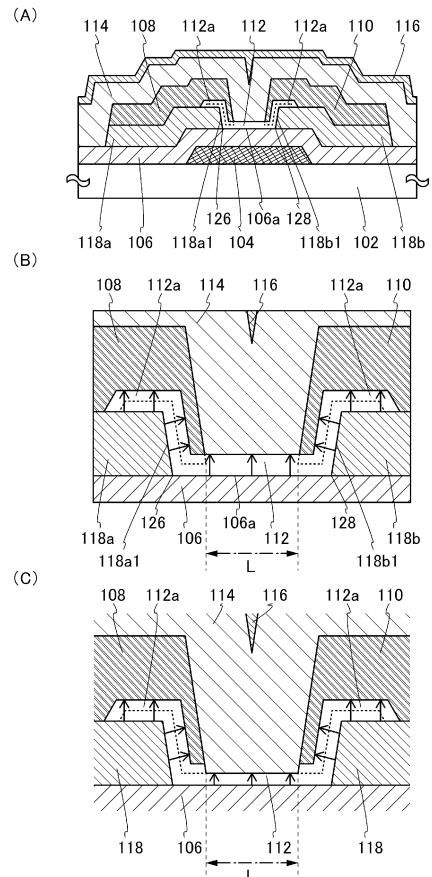
50

1 0 8 a	第 2 の被形成面	
1 1 0	ドレイン電極層	
1 1 0 a	第 3 の被形成面	
1 1 2	酸化物半導体層	
1 1 2 a	n 型領域	
1 1 3	酸化物層	
1 1 4	第 3 の絶縁層	
1 1 6	第 4 の絶縁層	
1 1 8 a	第 1 の絶縁層	
1 1 8 a 1	第 2 の被形成面	10
1 1 8 b	第 2 の絶縁層	
1 1 8 b 1	第 3 の被形成面	
1 2 0	トラップ準位	
1 2 2 , 1 2 4 , 1 2 6 , 1 2 8 , 1 3 0 , 1 3 2	交差部	
1 3 3	混合層	
1 5 2	酸化物積層	
2 0 2	基板	
2 0 4	ゲート電極層	
2 0 6	ゲート絶縁層	
2 0 8	ソース電極層	20
2 1 0	ドレイン電極層	
2 1 2	酸化物半導体層	
2 1 2 a	n 型領域	
2 1 4	第 3 の絶縁層	
2 1 6	第 4 の絶縁層	
3 0 2	第 1 の基板	
3 0 4	ゲート電極層	
3 0 6	ゲート絶縁層	
3 0 8	ソース電極層	
3 1 0	ドレイン電極層	30
3 1 2	酸化物半導体層	
3 1 4	第 3 の絶縁層	
3 1 6	第 4 の絶縁層	
3 1 8	平坦化絶縁層	
3 2 0	第 5 の絶縁層	
3 2 2	画素電極層	
3 2 4	第 1 の配向膜	
3 5 2	第 2 の基板	
3 5 4	有色層	
3 5 6	遮光層	40
3 5 8	有機絶縁層	
3 6 0	対向電極層	
3 6 2	配向膜	
3 6 4	液晶層	
3 7 4	画素部	
3 7 6	ゲートドライバ回路部	
3 7 8	ソースドライバ回路部	

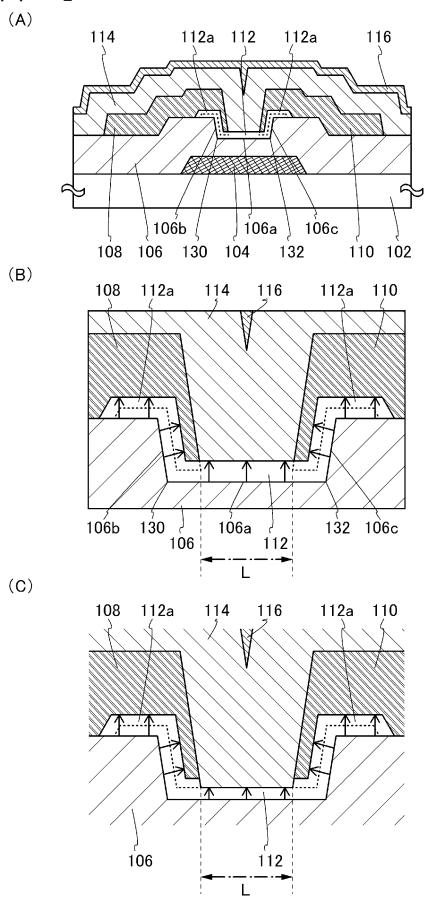
【図1】



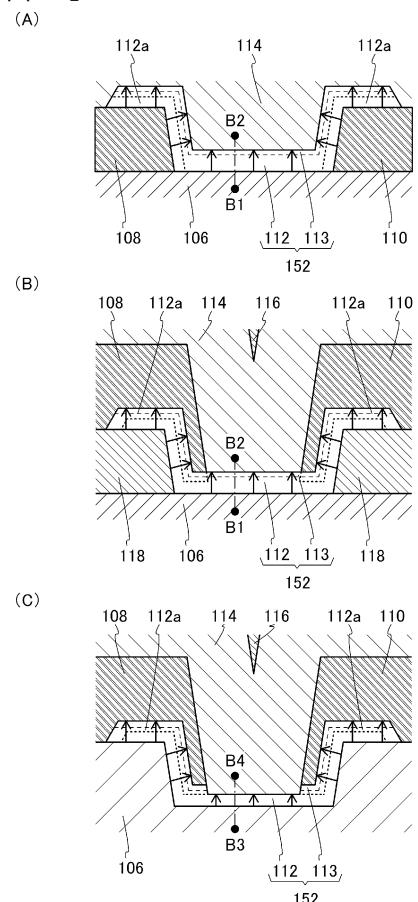
【図2】



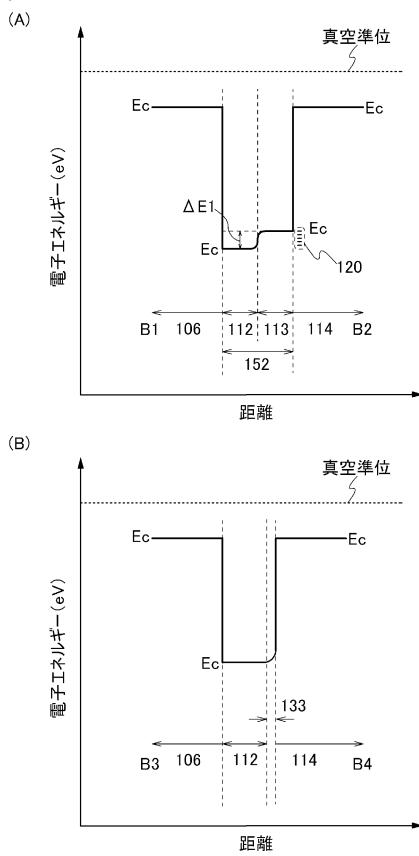
【図3】



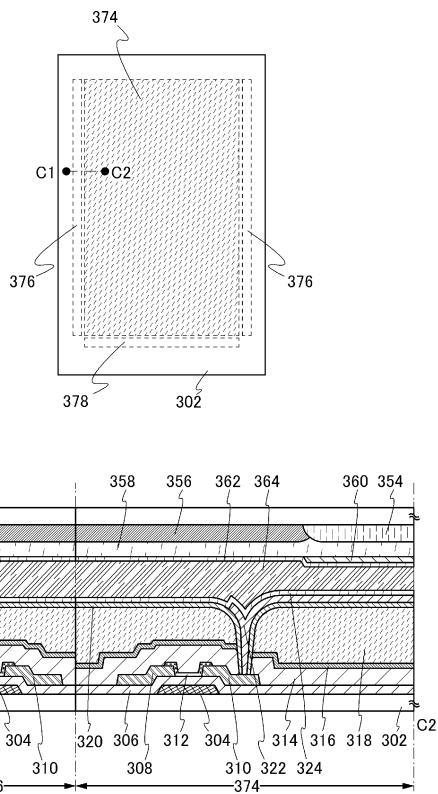
【図4】



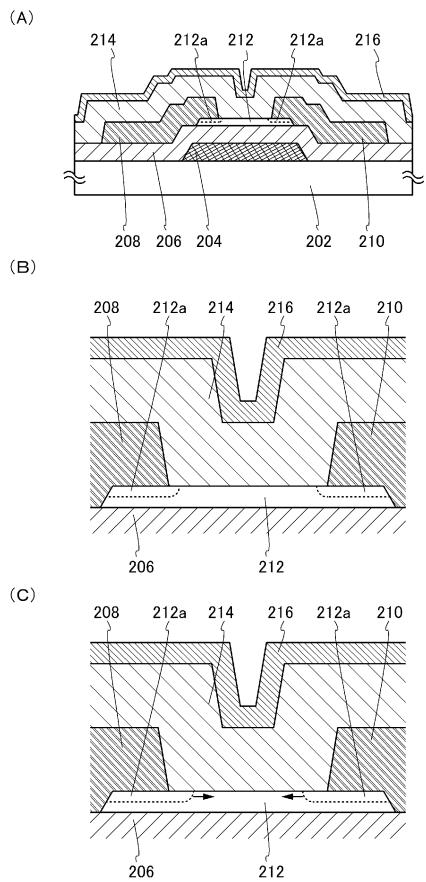
【図5】



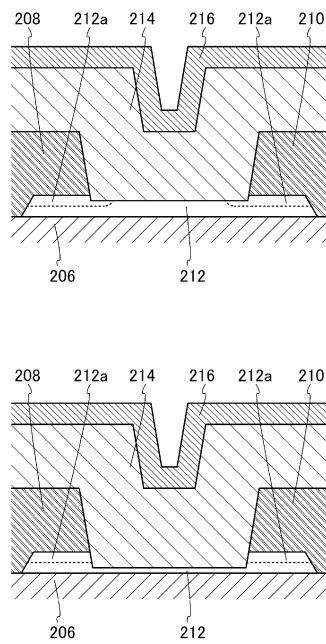
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 岡崎 健一
栃木県栃木市都賀町升塚161-2 アドバンスト フィルム ディバイス インク株式会社内

(72)発明者 高橋 正弘
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 松尾 拓哉
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72)発明者 森 重恭
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72)発明者 神崎 庸輔
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72)発明者 松木園 広志
大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

審査官 竹口 泰裕

(56)参考文献 特開2011-086923 (JP, A)
特開2011-086927 (JP, A)
国際公開第2012/077682 (WO, A1)

(58)調査した分野(Int.Cl., DB名)
H01L21/336、29/786