(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年9月26日(26.09.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/181082 A1

(51) 国際特許分類:
H02M 3/28 (2006.01)

(21) 国際出願番号： PCT/JP2018/044428

(22) 国際出願日： 2018年12月3日(03.12.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2018-053020 2018年3月20日(20.03.2018) JP

(71) 出願人: アルプスアルパイン株式会社 (**ALPS ALPINE CO., LTD.**) [JP/JP]; 〒1458501 東京都大田区雪谷大塚町１番７号 Tokyo (JP).

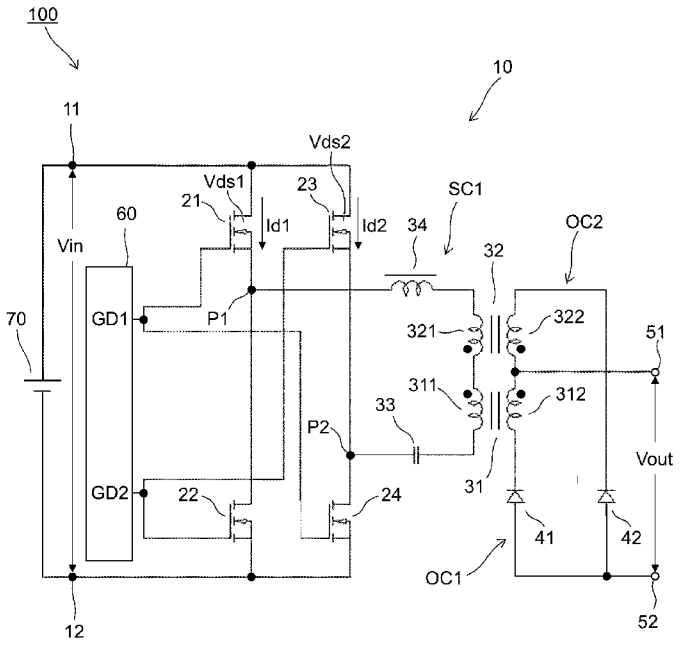
(72) 発明者: 藤本 三直 (**FUJIMOTO, Mitsunao**); 〒1458501 東京都大田区雪谷大塚町１番７号 アルプス電気株式会社内 Tokyo (JP).

(74) 代理人: 大窪 克之 (**OKUBO, Katsuyuki**); 〒1020073 東京都千代田区九段北４丁目３－２６政文堂ビル７Ｆ Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** DC VOLTAGE CONVERSION CIRCUIT AND POWER SUPPLY DEVICE

(54) 発明の名称： 直流電圧変換回路および電源装置



(57) **Abstract:** A first switch 21 and a second switch 22 comprised by a DC voltage conversion circuit 10 have a dead time period dt and undergo on/off control alternately, and when alternating current flows to a series circuit part SC1 that comprises two transformers 31, 32 that are mutually independent magnetically, with one transformer 31, 32, current flows to output circuits OC1, OC2 that include secondary sides 312, 322, but with the other transformer 31, 32, energy storage is performed. By both the magnetic permeability of the magnetic core of the first transformer 31 and the magnetic

WO 2019/181082 A1

［続葉有］

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

permeability of the magnetic core of the second transformer 32 being 15-120 [inclusive], the DC voltage conversion circuit 10 is able to respond to the request for miniaturization.

(57) 要約:直流電圧変換回路１０が備える第１スイッチ２１と第２スイッチ２２とがデッドタイム期間ｄｔを有して交互にオンオフ制御されて、磁気的に互いに独立な２つのトランス３１、３２を備える直列回路部ＳＣ１には、交番する電流が流れると、一方のトランス３１、３２では二次側３１２、３２２を含む出力回路ＯＣ１、ＯＣ２に電流が流れるが、他方のトランス３２、３１ではエネルギー蓄積が行われる。第１トランス３１の磁芯の透磁率および前記第２トランス３２の磁芯の透磁率は、いずれも、１５以上１２０以下であることにより、直流電圧変換回路１０は小型化の要請に応えることができる。

明　細　書

発明の名称 ： 直流電圧変換回路および電源装置

技術分野

[0001] 本発明は、入力された直流電圧を変換する直流電圧変換回路およびかかる直流電圧変換回路を備える電源装置に関する。

背景技術

[0002] 自動車において、制御系の電子化が進んだり、モータからなる駆動機構が組み込まれたりすることにより、自動車内において使用される電流量が増大してきている。このため、ＥＶやＰ－ＨＥＶ等の高圧を扱う場合、絶縁型かつ大電流の直流電源が必要となってきている。こうした機器の所要電流量の増大化に対応するため、損失の低い絶縁型ソフトスイッチング技術による回路方式が広く採用されている。そのような回路の具体例としては、ＺＥＲＯ電圧スイッチ位相シフトコンバータ、ＺＥＲＯ電圧スイッチアクティブクランプコンバータ、ＺＥＲＯ電流スイッチＬＬＣコンバータなどが挙げられる。

[0003] 特許文献１には、そのようなソフトスイッチング方式ＤＣ－ＤＣコンバータの一例として、２組のスイッチング手段のそれぞれを交互にオンオフ動作して、各組のスイッチング手段の間に位置するトランスの一次側に反対向きの電流を流して、トランスの二次側に設けられた２つの出力回路に交互に電流を流すフルブリッジ型のスイッチング電源装置（ＺＥＲＯ電圧スイッチ位相シフトコンバータ）が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開２０００－２３２７８１号公報

発明の概要

発明が解決しようとする課題

[0005] 大電流を供給するＤＣ－ＤＣコンバータでは、単出力回路で大電流を供給

しようとすると、パワー半導体にかかる負荷が大きくなってしまい、高速動作ができず効率、サイズ面で負の影響が出てしまう。特に、トランスを使用するコンバータの場合には、トランスとパルス電圧を平滑するコイル（リアクトル、インダクタ）とのそれぞれについて、エネルギーの変換やエネルギーの蓄積が行われるため、これらの構成する磁性体部品の大型化が避けられなかった。また、トランスからコイルへと直列で電力が伝わることからトランスおよびコイルのそれぞれで発生する損失の乗じた変換となり、変換効率の劣化の課題があった。

[0006] 本発明は、かかる現状を鑑み、小型化および高効率維持の要請の高まりに応えることが可能な直流電圧変換回路およびかかる直流電圧変換回路を備える電源装置（ＤＣ－ＤＣコンバータ）を提供することを目的とする。

課題を解決するための手段

[0007] 上記の課題を解決するための本発明は、一態様において、第１入力端子および第２入力端子と、複数のスイッチと、第１トランスの一次側、および前記第１トランスと極性が等しく磁気的に独立した第２トランスの一次側が直列に接続された直列回路部と、前記第１トランスの二次側および第１整流ダイオードを直列接続で備え、前記第１整流ダイオードの整流方向の端部に第１出力端子が設けられ、前記第１整流ダイオードの整流方向とは反対側の端部に第２出力端子が設けられた第１出力回路と、前記第２トランスの二次側および第２整流ダイオードを直列接続で備え、前記第２整流ダイオードの整流方向の端部に前記第１出力端子が位置し、前記第２整流ダイオードの整流方向とは反対側の端部に前記第２出力端子が位置する第２出力回路と、前記複数のスイッチを制御する制御部と、を備える直流電圧変換回路であって、前記複数のスイッチは、一方の端部が前記第１入力端子に接続される第１スイッチと、一方の端部が前記第２入力端子に接続される第２スイッチと、を備え、前記第１スイッチと前記第２スイッチとは直列に接続され、前記直列回路部の一方の端部は前記第１スイッチと前記第２スイッチとの中間に接続され、前記第１入力端子と前記第２入力端子との間に直流電圧が印加された

ときに、前記制御部は、前記第１スイッチと前記第２スイッチとをデッドタイム期間を有して交互にオンオフ制御することにより、前記直列回路部に流れる電流の向きを交互に反転させて、第１スイッチがオンであって、前記第１出力回路において前記第１整流ダイオードの整流方向に電流が流れ、前記第２トランスにおいて電気エネルギーの蓄積が行われる第１状態と、第２スイッチがオンであって、前記第２出力回路において前記第２整流ダイオードの整流方向に電流が流れ、前記第１トランスにおいて電気エネルギーの蓄積が行われる第２状態と、を交互に発生させ、前記第１トランスの磁芯の透磁率および前記第２トランスの磁芯の透磁率は、いずれも、１５以上１２０以下である、ことを特徴とする直流電圧変換回路である。

[0008] かかる構成において、第１状態では、第１出力回路にのみ電流が流れ、第２整流ダイオードによって第２出力回路には電流が流れない。しかしながら、第２出力回路が関連する第２トランスの一次側には電流が流れるため、第２トランスには逆起電力に基づくエネルギーが蓄積される。一方、第１状態では、第１出力回路にのみ電流が流れ、第１トランスには逆起電力に基づくエネルギーが蓄積される。このようにエネルギー蓄積素子としても機能する第１トランスおよび第２トランスの磁芯の透磁率（初透磁率）が１５以上１２０以下であることにより、トランスの磁化が飽和しにくくなり、エネルギーロスが生じにくくなる。それゆえ、上記の直流電圧変換回路は小型化の要請に応えることができる。トランスの磁芯の透磁率は２６以上６０以下であることが特に好ましい。

[0009] 上記の直流電圧変換回路において、前記直列回路部は、前記第１トランスの一次側および前記第２トランスの一次側に直列に接続する第１コンデンサをさらに有していてもよい。この場合において、前記第１トランスの一次側および前記第２トランスの一次側ならびに前記第１コンデンサからなる直列接続に対して、前記第１スイッチは直列に接続され、前記直列回路部の他方の端部は、前記第２スイッチと前記第２入力端子との間に接続される。前記第１状態では、第１入力端子と第２入力端子との間に印加された直流電圧に

基づく電流が第１トランスの一次側および第２トランスの一次側を流れるとともに前記第１コンデンサに電荷が蓄積される。前記第２状態では、前記第１コンデンサに蓄積された前記電荷が放出されて、この放出電荷に基づく電流が第１トランスの一次側および第２トランスの一次側を流れる。

[0010] この場合において、前記直列回路部は、前記第１トランスの一次側および前記第２トランスの一次側からなる直列接続に対して直列に接続する第２コンデンサをさらに有していてもよい。このとき、前記第２スイッチは、前記第１トランスの一次側および前記第２トランスの一次側ならびに前記第２コンデンサからなる直列接続に対して直列に接続され、前記第１コンデンサは、前記第１トランスの一次側および前記第２トランスの一次側からなる直列接続と前記直列回路部の他方の端部との間に位置し、前記第２コンデンサは、前記第１トランスの一次側および前記第２トランスの一次側からなる直列接続と前記第１コンデンサとの間に一方の端部が接続され、他方の端部は、前記第１入力端子に接続される。したがって、第１入力端子と第２入力端子との間で、第１スイッチと第２スイッチとからなる直列接続と、第１コンデンサと第２コンデンサとからなる直列接続とが並列に配置された構成となる。前記第１状態では、第１入力端子と第２入力端子との間に印加された直流電圧に基づく電流が第１トランスの一次側および第２トランスの一次側を流れ、前記第１コンデンサに電荷が蓄積されるとともに、前記第２コンデンサに蓄積された前記電荷が放出される。前記第２状態では、前記第２コンデンサに電荷が蓄積されるとともに、前記第１コンデンサに蓄積された前記電荷が放出されて、この放出電荷に基づく電流が第１トランスの一次側および第２トランスの一次側を流れる。

[0011] 上記の直流電圧変換回路において、前記複数のスイッチは、前記直列回路部の他方の端部と前記第１入力端子との間に設けられた第３スイッチと、前記直列回路部の他方の端部と前記第２入力端子との間に設けられた第４スイッチと、をさらに備えてもよい。この場合において、前記第３スイッチと前記第４スイッチとは直列に接続され、前記直列回路部の他方の端部は前記第

３スイッチと前記第４スイッチとの中間に接続される。前記第１入力端子と前記第２入力端子との間に直流電圧が印加されたときに、前記制御部は、前記第３スイッチと前記第４スイッチとについても前記デッドタイム期間を有して交互にオンオフ制御する。この制御において、前記第１状態では、前記第１スイッチおよび前記第４スイッチがオンであって、前記第２状態では、前記第２スイッチおよび前記第３スイッチがオンである。この構成では、第１入力端子と第２入力端子との間で、第１スイッチと第２スイッチとからなる直列接続と、第３スイッチと第４スイッチとからなる直列接続とが並列に配置される。

[0012] 上記のように第３スイッチおよび第４スイッチを備える場合の具体例の一つは次のとおりである。前記直列回路部は、前記第１トランスの一次側および前記第２トランスの一次側に直列に接続するコンデンサを、ＤＣカットコンデンサとしてさらに有する。前記第１入力端子と前記第２入力端子との間に直流電圧が印加されたときに、前記制御部は、前記第１スイッチと前記第４スイッチとを同期制御するとともに、前記第２スイッチと前記第３スイッチとを同期制御する。このとき、前記第１スイッチのデューティー比と前記第２スイッチのデューティー比との少なくとも一方を変更することにより、前記第１出力端子の前記第２出力端子に対する電位差（出力電圧）を変更可能である。

[0013] 上記のように第３スイッチおよび第４スイッチを備える場合の具体例の他の一つは次のとおりである。前記第１入力端子と前記第２入力端子との間に直流電圧が印加されたときに、前記制御部は、前記第１スイッチから前記第４スイッチのそれぞれについて、５０％未満の互いに等しいデューティー比でオンとオフとを繰り返し、前記第２スイッチから前記第４スイッチをオンとするタイミングについて、前記第１スイッチがオンとなってから、前記第１スイッチがオンの状態にある期間であるオン期間よりも短い所定の長さの期間であるシフト期間が経過したことを契機として、前記第４スイッチをオンとして前記第１状態を発生させ、前記第１スイッチがオフとなってから前

記デッドタイム期間が経過したことを契機として前記第２スイッチをオンとし、前記第２スイッチがオンとなってから前記シフト期間が経過したことを契機として、前記第３スイッチをオンとして前記第２状態を発生させる。このとき、前記第１状態の期間の長さおよび前記第２状態の期間の長さを変更することにより、前記第１出力端子の前記第２出力端子に対する電位差を変更可能である。この例においては、第１スイッチから第４スイッチのデューティー比は等しいため、直列回路部は、前記第１トランスの一次側および前記第２トランスの一次側に直列に接続するコンデンサ（ＤＣカットコンデンサ）を有しなくてもよい。

[0014] 前記第１トランスの磁芯および前記第２トランスの磁芯は、いずれも、エアギャップ部を有しないことが好ましい。上記のとおりトランスの磁芯の透磁率が低いことが好ましいが、磁芯にエアギャップ部を設けて磁芯の透磁率（実効透磁率）を低下させると、トランスから漏れ磁束が不可避的に発生し、コイルに損失が発生する。また、上記の直流電圧変換回路を構成する他の素子や上記の直流電圧変換回路の周辺に位置する他の機器に悪影響を及ぼすことが懸念される。したがって、直流電圧変換回路が備えるトランスはエアギャップ部を有しないことが好ましい。

[0015] 前記第１トランスの磁芯の飽和磁束密度および前記第２トランスの磁芯の飽和磁束密度は、いずれも、７００ｍＴ以上であることが、磁芯の磁化の飽和が生じる可能性を低くする観点から好ましい。これまでに多くのトランスに用いられてきたＭｎＺｎ系フェライトの有効的な飽和磁束密度は３５０ｍＴ程度と高くないことから、本発明に係る方式では小型化に対し効果的ではなかった。飽和磁束密度を高めることと損失を低くすることを兼ね備える観点から、トランスの磁芯の飽和磁束密度は、０．８以上１．３Ｔ以下であることが特に好ましい。

[0016] 前記複数のスイッチが有する素子の具体例として、電界効果トランジスタが挙げられる。この場合において、前記複数のスイッチの少なくとも一つの前記電界効果トランジスタの出力容量を含んで構成される共振回路を備えて

いてもよい。この共振回路は、前記複数のスイッチの少なくとも一つがオフになるように制御されたときに、当該スイッチの前記電界効果トランジスタのドレイン電圧が０Ｖ以下となるように、その共振条件が設定される。スイッチを構成する電界効果トランジスタの寄生容量には、スイッチがオンとなっている期間において電荷が蓄積する。この蓄積した電荷は、スイッチをオフ動作させたときに、この共振回路により適切に放出される。それゆえ、電界効果トランジスタのドレイン電圧が０Ｖ以下となって、ゼロボルトスイッチングが実現される。前記直列回路部は、前記複数のスイッチの少なくとも一つに直列に接続するコイルをさらに備え、前記共振回路が前記コイルを含むように構成される場合には、ドレイン電圧を０Ｖ以下とする共振条件の設定が容易となる。なお、スイッチがオンとなっている期間には、直列回路部に設けられた２つのトランスの一方にも電荷が蓄積されるため、このトランスが共振回路の一部となって、ゼロボルトスイッチングの実現に貢献してもよい。

[0017] ここで、前記複数のスイッチの少なくとも一つの前記電界効果トランジスタの出力容量を含んで構成される共振回路を備え、前記複数のスイッチの少なくとも一つがオフになるように制御されたときに、当該スイッチの前記電界効果トランジスタのドレイン電圧が０Ｖ以下となるように、前記共振回路の共振条件は設定されることにより、ゼロボルトスイッチングを確実に行うことができる。また、共振回路に起因するスパイク信号の発生を防ぐことができる場合もある。

[0018] また、前記コイルの磁芯の透磁率は１５以上１２０以下であることが好ましい。トランスと同様に低い透磁率であることにより、スイッチ内コンデンサとコイルとを含んで構成される共振回路をより安定的に動作させることができる。前記コイルの磁芯がエアギャップレス（すなわち、前記コイルの磁芯はエアギャップ部を有しない）であれば、漏れ磁束が生じないため、好ましい。前記コイルのの磁芯飽和磁束密度が７００ｍＴ以上であれば、共振回路が動作したときにコイルが飽和しにくいため、好ましい。

[0019] 本発明は、他の一態様として、上記の直流電圧変換回路と、前記直流電圧変換回路が備える前記第１入力端子および前記第２入力端子のそれぞれに電気的に接続された直流電源とを備える、電源装置を提供する。

発明の効果

[0020] 本発明によれば、小型化の要請に応えることが可能な直流電源平滑化回路が提供される。また、かかる直流電源平滑化回路を備える直流電源も提供される。

図面の簡単な説明

[0021] [図1]本発明の第１実施形態に係る電源装置の回路図である。

[図2]図１に示される回路のタイミングチャートである。

[図3]図１に示される回路が第１状態にある場合の動作（第１ゲートドライブＧＤ１がオン動作、第２ゲートドライブＧＤ２がオフ動作の場合）を説明する図である。

[図4]図１に示される回路が第２状態にある場合の動作（第２ゲートドライブＧＤ２がオン動作、第１ゲートドライブＧＤ１がオフ動作の場合）を説明する図である。

[図5]（ａ）図１に示される回路の直列回路部を流れる電流を説明するためのタイミングチャート、（ｂ）図１に示される回路が有する共振回路が適切に機能していない場合において直列回路部を流れる電流を説明するためのタイミングチャートである。

[図6]（ａ）図１に示される回路が有する共振回路が適切に機能している場合を説明するためのタイミングチャート、（ｂ）図１に示される回路が有する共振回路のが適切に機能していない場合を説明するためのタイミングチャート、（ｃ）図１（ｂ）の一部を拡大したタイミングチャートである。

[図7]磁芯にエアギャップ部があるコイルに電流を流したときに生じる漏れ磁界の磁束密度をシミュレーションした結果である。

[図8]図７に示されるコイルについて、漏れ磁界に基づくジュール損失密度をシミュレーションした結果である。

[図9]本発明の第２実施形態に係る電源装置の回路図である。

[図10]図９に示される回路のタイミングチャートである。

[図11]本発明の第３実施形態に係る電源装置の回路図である。

[図12]図１１に示される回路が第１状態にある場合の動作（第１ゲートドライブＧＤ１がオン動作、第２ゲートドライブＧＤ２がオフ動作の場合）を説明する図である。

[図13]図１１に示される回路が第２状態にある場合の動作（第２ゲートドライブＧＤ２がオン動作、第１ゲートドライブＧＤ１がオフ動作の場合）を説明する図である。

[図14]本発明の第４実施形態に係る電源装置の回路図である。

[図15]図１４に示される回路が第１状態にある場合の動作（第１ゲートドライブＧＤ１がオン動作、第２ゲートドライブＧＤ２がオフ動作の場合）を説明する図である。

[図16]図１４に示される回路が第２状態にある場合の動作（第２ゲートドライブＧＤ２がオン動作、第１ゲートドライブＧＤ１がオフ動作の場合）を説明する図である。

発明を実施するための形態

[0022] 以下、図面を参照しつつ本発明の実施形態について説明する。

（第１実施形態）

図１は、本発明の第１実施形態に係る電源装置の回路図である。図１に示されるように、本発明の第１実施形態に係る電源装置１００は、直流電圧変換回路１０と、直流電圧変換回路１０が備える第１入力端子１１および第２入力端子１２のそれぞれに電気的に接続された直流電源７０とを備える。図１では、直流電源７０の正極端子が第１入力端子１１に接続され、直流電源７０の負極端子が第２入力端子１２に接続される。直流電源７０の負極端子がグラウンド端子に接続されていて、第２入力端子１２は接地していてもよい。

[0023] 直流電圧変換回路１０は、複数のスイッチを備え、具体的には、本実施形

態では、第１スイッチ２１、第２スイッチ２２、第３スイッチ２３および第４スイッチ２４を備える。これらのスイッチはいずれも、電界効果トランジスタを有するスイッチである。第１スイッチ２１および第３スイッチ２３のそれぞれの一方の端部は、第１入力端子１１に対して並列に接続される。第２スイッチ２２および第４スイッチ２４のそれぞれの一方の端部は、第２入力端子１２に対して並列に接続される。第１スイッチ２１の他方の端部と第２スイッチ２２の他方の端部とが接続されて、第１スイッチ２１と第２スイッチ２２とは直列接続（ハーフブリッジ回路）を構成する。第３スイッチ２３の他方の端部と第４スイッチ２４の他方の端部とが接続されて、第１スイッチ２１と第２スイッチ２２とは直列接続（ハーフブリッジ回路）を構成する。したがって、直流電圧変換回路１０は、第１スイッチ２１と第２スイッチ２２とからなる直列接続と、第３スイッチ２３と第４スイッチ２４とからなる直列接続とが、第１入力端子１１と第２入力端子１２との間に並列に接続される構成を有する（フルブリッジ回路）。

[0024] 直流電圧変換回路１０は、コンデンサ３３、第１トランス３１の一次側３１１、および第１トランス３１と極性が等しく磁気的に独立した第２トランス３２の一次側３２１が直列に接続された直列回路部ＳＣ１を備える。コンデンサ３３は、ＤＣカットコンデンサであり、直列回路部ＳＣ１や複数のスイッチ（第１スイッチ２１から第４スイッチ２４）に直流の大電流が流れ込むことを防止している。図１に示される直流電圧変換回路１０の直列回路部ＳＣ１では、コンデンサ３３と、第１トランス３１の一次側３１１と第２トランス３２の一次側３２１とからなる直列接続に対して、さらにコイル３４が直列に接続されている。

[0025] 直列回路部ＳＣ１の一方の端部（第１端部Ｐ１）は、直列に接続される第１スイッチ２１と第２スイッチ２２との間に接続され、直列回路部ＳＣ１の他方の端部（第２端部Ｐ２）は、直列に接続される第３スイッチ２３と第４スイッチ２４との間に接続される。

[0026] 直流電圧変換回路１０は、第１トランス３１の二次側３１２および第１整

流ダイオード４１を直列接続で備え、第１整流ダイオード４１の整流方向の端部に第１出力端子５１が設けられた第１出力回路ＯＣ１を備える。第１出力回路ＯＣ１の出力電圧Ｖｏｕｔは、第１整流ダイオード４１の整流方向とは反対側の端部に設けられた第２出力端子５２に対する第１出力端子５１の電位差である。第２出力端子５２はグラウンド端子であってもよい。

[0027] 直流電圧変換回路１０は、第２トランス３２の二次側３２２および第２整流ダイオード４２を直列接続で備え、第２整流ダイオード４２の整流方向の端部に上記の第１出力端子５１が接続された第２出力回路ＯＣ２を備える。第２整流ダイオード４２の整流方向とは反対側の端部は上記の第２出力端子５２に接続される。したがって、第１出力回路ＯＣ１と第２出力回路ＯＣ２とは出力（第１出力端子５１、第２出力端子５２）が共用されている。また、直流電圧変換回路１０では第１トランス３１の二次側３１２と第２トランス３２の二次側３２２とが直列に接続され、第１出力端子５１は第１トランス３１の二次側３１２と第２トランス３２の二次側３２２との間の電位を出力する端子となっている。

[0028] 直流電圧変換回路１０は複数のスイッチ（第１スイッチ２１から第４スイッチ２４）を制御する制御部６０を備える。制御部６０は２つのパルスドライブ回路（第１ゲートドライブＧＤ１、第２ゲートドライブＧＤ２）を備え、第１ゲートドライブＧＤ１と第２ゲートドライブＧＤ２とは独立でオン（ＯＮ）／オフ（ＯＦＦ）信号を出力する。第１ゲートドライブＧＤ１は第１スイッチ２１と第４スイッチ２４とを同期制御し、第２ゲートドライブＧＤ２は第２スイッチ２２と第３スイッチ２３とを同期制御する。

[0029] 図２は、図１に示される回路のタイミングチャートである。図２に示されるように、制御部６０は第１スイッチ２１と第２スイッチ２２とをデッドタイム期間ｄｔを有して交互にオンオフ制御する。図２に基づいて具体的に説明すれば、第１スイッチ２１を制御する（第３スイッチ２３も同期制御される）。第１ゲートドライブＧＤ１は、時間ｔ０から時間ｔ１までがオフであって、時間ｔ１から時間ｔ２までがオンであり、時間ｔ２から時間ｔ５まで

がオフである。以降、同様に、時間ｔ５から時間ｔ６までがオンであり、時間ｔ６から時間ｔ９までがオフであり、時間ｔ９以降はオンである。第２スイッチ２２を制御する（第４スイッチ２４も同期制御される）。第２ゲートドライブＧＤ２は、時間ｔ０から時間ｔ３までがオフであって、時間ｔ３から時間ｔ４までがオンである。以降、同様に、時間ｔ４から時間ｔ７まで、および時間ｔ８から時間ｔ９以降がオフであり、時間ｔ７から時間ｔ８までがオンである。したがって、デッドタイム期間ｄｔは、時間ｔ０と時間ｔ１との間、時間ｔ２と時間ｔ３との間、時間ｔ４と時間ｔ５との間、時間ｔ６と時間ｔ７との間、および時間ｔ８と時間ｔ９との間となる。

[0030] 時間ｔ０を過ぎて時間ｔ１となって、第１ゲートドライブＧＤ１がオンとなると、第１スイッチ２１のドレイン電圧Ｖｄｓ１は低下して、第１スイッチ２１は導通状態となる。このため、第１スイッチ２１のドレイン電流Ｉｄ１は経時的に増大する。第１ゲートドライブＧＤ１によって動作する第３スイッチ２３のドレイン電圧およびドレイン電流も第１スイッチ２１のドレイン電圧Ｖｄｓ１およびドレイン電流Ｉｄ１と同様の振る舞いをする。したがって、時間ｔ１から時間ｔ２の間は、図３の黒破線矢印Ａ１に示されるように、直列回路部ＳＣ１では、第１端部Ｐ１側から第２端部Ｐ２側へと電流が流れる。図３は、図１に示される回路が第１状態ＳＴ１にある場合の動作（第１ゲートドライブＧＤ１がオン動作、第２ゲートドライブＧＤ２がオフ動作の場合）を説明する図である。

[0031] この直列回路部ＳＣ１に流れる電流により、第１トランス３１の一次側３１１および第２トランス３２の一次側３２１に逆起電力が生じる。第１トランス３１の二次側３１２では、この逆起電力によりに生じた誘導起電力に基づいて第１出力回路ＯＣ１には誘導電流が流れる（図３において黒破線矢印Ｂ１で示した。）。しかしながら、第２出力回路ＯＣ２は第２出力端子５２側から第１出力端子５１側にのみ電流を流す第２整流ダイオード４２を有するため、第２トランス３２の二次側３２２を含む第２出力回路ＯＣ２には誘導電流が流れない。第１トランス３１と第２トランス３２とは磁気的に独立

なので、第２トランス３２には逆起電力に基づくエネルギーが蓄積される。

[0032] その後、時間ｔ２に至ると第１ゲートドライブＧＤ１はオンからオフとなり、時間ｔ２と時間ｔ３との間のデッドタイム期間ｄｔにおいてドレイン電圧Ｖｄｓ１は増大して、第１スイッチ２１は非導通状態となる。このため、時間ｔ１以降増大していた第１スイッチ２１のドレイン電流Ｉｄ１は時間ｔ２で０Ａとなる。

[0033] 一方、時間ｔ０において第２ゲートドライブＧＤ２はオフとなるため、時間ｔ０と時間ｔ１との間のデッドタイム期間ｄｔにおいて第２スイッチ２２のドレイン電圧Ｖｄｓ２は増大して、第２スイッチ２２は非導通状態となる。このため、時間ｔ０に至るまで増大していた第２スイッチ２２のドレイン電流Ｉｄ２は時間ｔ０で０Ａとなる。時間ｔ２になって、第２ゲートドライブＧＤ２はオフを維持しているのに対して第１ゲートドライブＧＤ１がオンからオフとなることにより、時間ｔ２と時間ｔ３との間のデッドタイム期間ｄｔが開始される。このとき、第１スイッチ２１および第３スイッチ２３の出力容量（電界効果トランジスタにおけるドレイン－ソース間容量）とインダクタンス素子（コイル３４、第２トランス３２）とを含んで共振回路が構成される。この共振回路の共振に基づく電圧変動が、時間ｔ２と時間ｔ３との間のデッドタイム期間ｄｔにおいて第２スイッチ２２のドレイン電圧Ｖｄｓ２に重畳されて、ゼロボルトスイッチングが実現されている。また、第２スイッチ２２のドレイン電流Ｉｄ２は、この共振回路に基づく電流が重畳されるため、一時的にマイナス電流となる。この点については後述する。

[0034] 時間ｔ３に至って第２ゲートドライブＧＤ２がオンとなると、第１スイッチ２１および第３スイッチ２３の出力容量に蓄積された電荷に基づく共振の影響は小さくなって、第２スイッチ２２のドレイン電圧Ｖｄｓ２は安定的に低下して、第２スイッチ２２は導通状態となる。このため、第２スイッチ２２のドレイン電流Ｉｄ２は経時的に増大する。第２ゲートドライブＧＤ２によって動作する第４スイッチ２４のドレイン電圧およびドレイン電流も第２スイッチ２２のドレイン電圧Ｖｄｓ２およびドレイン電流Ｉｄ２と同様の振

る舞いをする。したがって、時間ｔ３から時間ｔ４の間は、図４の黒破線矢印Ａ２に示されるように、直列回路部ＳＣ１では、第２端部Ｐ２側から第１端部Ｐ１側へと電流が流れる。図４は、図１に示される回路が第２状態ＳＴ２にある場合の動作（第２ゲートドライブＧＤ２がオン動作、第１ゲートドライブＧＤ１がオフ動作の場合）を説明する図である。

[0035] この直列回路部ＳＣ１に流れる電流によっても、第１トランス３１の一次側３１１および第２トランス３２の一次側３２１に逆起電力が生じる。第２トランス３２の二次側３２２では、この逆起電力によりに生じた誘導起電力に基づいて第２出力回路ＯＣ２には誘導電流が流れる（図４において黒破線矢印Ｂ２で示した。）。しかしながら、第１出力回路ＯＣ１は第２出力端子５２側から第１出力端子５１側にのみ電流を流す第１整流ダイオード４１を有するため、第１トランス３１の二次側３１２を含む第１出力回路ＯＣ１には誘導電流が流れない。第１トランス３１と第２トランス３２とは磁気的に独立なので、第１トランス３１には逆起電力に基づくエネルギーが蓄積される。

[0036] 以上説明したように、第１実施形態に係る直流電圧変換回路１０では、第１入力端子１１と第２入力端子１２との間に直流電圧が印加されたときに、制御部６０が第１スイッチ２１と第２スイッチ２２とをデッドタイム期間ｄｔを有して交互にオンオフ制御することにより、直列回路部ＳＣ１に流れる電流の向きを交互に反転させる。この制御部６０の制御により、第１状態ＳＴ１と第２状態ＳＴ２とが交互に発生する。第１状態ＳＴ１では、第１スイッチ２１および第４スイッチ２４がオンであって、第１出力回路ＯＣ１において第１整流ダイオード４１の整流方向に電流が流れ（黒破線矢印Ｂ１）、第２トランス３２において電気エネルギーの蓄積が行われる。第２状態ＳＴ２では、第２スイッチ２２および第３スイッチ２３がオンであって、第２出力回路ＯＣ２において第２整流ダイオード４２の整流方向に電流が流れ（黒破線矢印Ｂ２）、第１トランス３１において電気エネルギーの蓄積が行われる。第１実施形態に係る直流電圧変換回路１０では、図２に示されるように

、第１スイッチ２１および第４スイッチ２４がオンである期間がすべて第１状態ＳＴ１であり、第２スイッチ２２および第３スイッチ２３がオンである期間がすべて第２状態ＳＴ２である。

[0037] 第１実施形態に係る直流電圧変換回路１０では、制御部６０が第１スイッチ２１のデューティー比Ｄ１と第２スイッチ２２のデューティー比Ｄ２との少なくとも一方を変更することにより、第１出力端子５１の第２出力端子５２に対する電位差（出力電圧Ｖｏｕｔ）を変更可能である。なお、第１スイッチ２１のデューティー比Ｄ１および第２スイッチ２２のデューティー比Ｄ２は次の条件を満たす。

０＜Ｄ１＜１、

０＜Ｄ２＜１、

Ｄ１≠Ｄ２かつ

０＜Ｄ１＋Ｄ２＜１

[0038] 上記のとおり、Ｄ１≠Ｄ２であるため、第１状態ＳＴ１において黒破線矢印Ａ１の向きに流れる電流量と、第２状態ＳＴ２において黒破線矢印Ａ２の向きに流れる電流量とは一致しない（非対称）。このため、直列回路部ＳＣ１を流れる電流の直流成分が生じないように、すなわち、直列回路部ＳＣ１の全体として、第１端部Ｐ１と第２端部Ｐ２との間に、黒破線矢印Ａ１の向き（Ｄ１＞Ｄ２の場合）または黒破線矢印Ａ２の向き（Ｄ１＜Ｄ２の場合）に電流が流れないように、直列回路部ＳＣ１には、ＤＣカットコンデンサであるコンデンサ３３が設けられている。

[0039] ここで、第１スイッチ２１および第４スイッチ２４がオンである期間の後に設けられるデッドタイム期間ｄｔが第１スイッチ２１および第４スイッチ２４がオンである期間よりも十分に短く、第２スイッチ２２および第３スイッチ２３がオンである期間の後に設けられるデッドタイム期間ｄｔが第２スイッチ２２および第３スイッチ２３がオンである期間よりも十分に短い場合には、次の関係が成り立つ。

Ｄ１＋Ｄ２≒１

このとき、出力電圧Ｖｏｕｔは、次の式を満たす。

Ｖｏｕｔ∝Ｄ１（１－Ｄ１）

上記式によれば、出力電圧Ｖｏｕｔと第１スイッチ２１のデューティー比Ｄ１との関係は、Ｄ１＝０．５の場合を頂点とし、Ｄ１＝０およびＤ１＝１にてＶｏｕｔ＝０を横切る放物線となる。それゆえ、出力電圧Ｖｏｕｔを調整するには、０＜Ｄ１＜０．５または０．５＜Ｄ１＜１の範囲でＤ１を制御すればよい。

[0040] 図５（ａ）は、図１に示される回路の直列回路部を流れる電流を説明するためのタイミングチャートである。図５（ｂ）は、図１に示される回路が有する共振回路が適切に機能していない場合において直列回路部を流れる電流を説明するためのタイミングチャートである。図５（ａ）の上側の電流チャートは、図２に示される第１スイッチ２１のドレイン電流Ｉｄ１であり、図５（ａ）の中央の電流チャートは、図２に示される第２スイッチ２２のドレイン電流Ｉｄ２の極性を反転させたものである。これらの電流が、直列回路部ＳＣ１を流れるため、第１端部Ｐ１側から第２端部Ｐ２側の流れを正とすれば、図５（ａ）の上側の電流チャートと図５（ａ）の中央の電流チャートとを合成して得られる電流チャートが、直列回路部ＳＣ１を流れる合成電流Ｉｓｃのチャートであり、図５（ａ）の下側に示されている。図５（ａ）の下側の合成電流Ｉｓｃのチャートでは、直列回路部ＳＣ１に位置するインダクタンス素子（コイル３４、第１トランス３１、第２トランス３２）により、合成電流Ｉｓｃはなだらかに増減している。

[0041] 直列回路部ＳＣ１に位置するインダクタンス素子（コイル３４、第１トランス３１、第２トランス３２）が適切に機能しない場合には、図５（ｂ）に示されるように、合成電流Ｉｓｃは第１ゲートドライブＧＤ１および第２ゲートドライブＧＤ２の動作に応じて急峻に変化する。

[0042] 図６（ａ）は、図１に示される回路が有する共振回路が適切に機能している場合を説明するためのタイミングチャート、（ｂ）図１に示される回路が有する共振回路のが適切に機能していない場合を説明するためのタイミング

チャート、（ｃ）図１（ｂ）の一部を拡大したタイミングチャートである。

[0043] 直流電圧変換回路１０において、直列回路部ＳＣ１にコイル３４が設けられ、その自己インダクタンスＬｒが十分に大きいなど、共振回路のインダクタンス素子が適切に機能する場合には、図６（ａ）に示されるように、第１スイッチ２１のドレイン電圧Ｖｄｓ１が０Ｖ以下となり、ドレイン電流Ｉｄ１がマイナス方向に流れて、ゼロボルトスイッチングが実現されている。なお、第１トランス３１または第２トランス３２が共振回路の一部となってもよい。

[0044] これに対し、共振回路のインダクタンス素子（が適切に機能していない場合（具体的には、直列回路部ＳＣ１にコイル３４が設けられていない場合や、設けられているがその自己インダクタンスＬｒが過度に小さい場合などが例示される。）には、図６（ｂ）および図６（ｃ）に示されるように、直列回路部ＳＣ１のインピーダンスが増加するため、共振回路の容量素子（具体的には第１スイッチ２１および第４スイッチ２４の出力容量）に流れる電流が減る。このため、共振回路が発生する電圧の振幅の最大値（最大振幅電圧）が小さくなって、０Ｖまで第１スイッチ２１のドレイン電圧Ｖｄｓ１が０Ｖまで低下していない。また、直列回路部ＳＣ１のインダクタンスが小さいため、時定数τが短くなる。図６（ｃ）に示される例では、第１スイッチ２１を構成する電界効果トランジスタがオン動作となるタイミングｔｏｎが時定数τよりも遅くなっている。このため、ゼロボルトスイッチングが実現されていない。また、第１スイッチ２１のドレイン電圧Ｖｄｓ１にスパイク状の電圧上昇（サージ電圧）が発生し、この電圧上昇はノイズの原因となりうる。

[0045] 以上説明したように、第１スイッチ２１などのスイッチが適切に動作するためには、共振回路のインダクタンス素子のインダクタンスが大きいことが好ましい。この観点からコイル３４が設けられる。なお、本実施形態に係る直流電圧変換回路１０では、第１トランス３１と第２トランス３２とが磁気的に独立しているため、一方のトランス（例えば第１トランス３１）が関与

する出力回路（第１出力回路ＯＣ１）に電流が流れる際に、他方のトランス（第２トランス３２）が関与する出力回路（第２出力回路ＯＣ２）に電流が流れないため、他方のトランス（第２トランス３２）の一次側（第２トランス３２の一次側３２１）は、コイル３４と同様に、インダクタとして機能することができる。

[0046] なお、直流電圧変換回路１０が液晶表示機器や有機ＥＬ表示機器のような表示装置や情報機器の電源装置などに適用される場合には、ノイズは抑制されるべきであることから、図６（ａ）に示されるようなゼロボルトスイッチングが実現されることが好ましい。直流電圧変換回路１０が電気自動車の充電スタンドの電源装置など、ノイズが与える影響が少ない場合には、ゼロボルトスイッチングが行われることは特に求められない。この場合には、スイッチの出力容量に蓄積された電荷が放出されることなどに起因して、図６（ｂ）および図６（ｃ）に示されるようにスパイク電圧（サージ電圧）やスパイク電流（サージ電流）が発生しうる（ハードスイッチング）。しかしながら、直流電圧変換回路１０における共振回路（第１トランス３１または第２トランス３２はインダクタとして機能する）の最大振幅電圧が大きくなるように共振条件を整える必要がない。それゆえ、直流電圧変換回路１０の制御範囲を広げることができる。また、直流電圧変換回路１０においてコイル３４は必須とされないため、直流電圧変換回路１０の小型化が可能である。

[0047] 上記の直流電圧変換回路１０はいわゆるフルブリッジ方式であるため、直列回路部ＳＣ１に印加される電圧は、電源装置１００の直流電源７０からの入力電圧Ｖｉｎとなる。このため、大出力のコンバータ用途として用いられることが好ましい。直流電圧変換回路１０の出力電圧Ｖｏｕｔと入力電圧Ｖｉｎとの関係は、パルスドライブ回路から出力されるパルスのデューティー比Ｄ１（０＜Ｄ１＜１）およびトランスの巻き数比（１次側巻き数／２次側巻き数）ｎを用いて、次のように表される（ただし、第１トランス３１の巻き線比と第２トランス３２の巻き線比とは等しい。）。

$$Vout = 2 \times D1 \times (1 - D1) \times Vin / n$$

[0048] したがって、直流電圧変換回路１０は、ＤＣ－ＤＣコンバータとして降圧比（Ｖｏｕｔ／Ｖｉｎ）は必ずしも高くないが、第１スイッチ２１などスイッチに流れる電流は相対的に低くなるため、大出力用途に適している。

[0049] 上記のように、本実施形態に係る直流電圧変換回路１０は大出力用途に適しているが、インダクタンス素子（コイル３４、第１トランス３１、第２トランス３２）の磁芯（コア）を構成する材料として、高周波（例えば１００ｋＨｚ以上）用途で低コアロスの観点から一般的なフェライト系軟磁性材料を適用すると、次のような問題が懸念される。前述のように、直流電圧変換回路１０では、動作時に電流が流れない出力回路に二次側が位置するトランスは、コイル３４と同様にエネルギー蓄積素子として機能する。エネルギー蓄積が効率的に行われるため観点からすると、トランスの磁芯（コア）は磁気飽和が生じにくい材料から構成されることが好ましいが、フェライト系軟磁性材料は比較的透磁率が高いため、トランスの磁芯（コア）にエアギャップ部を設けて実効的な透磁率を低下させることが必要となる。しかしながら、エアギャップ部は漏れ磁束の問題を生じさせ、結果的にトランスの磁芯（コア）の損失（銅損も含む。）の増大をもたらす。また、フェライト系軟磁性材料は飽和磁束密度が比較的低いため、磁気飽和を回避するにはトランスの磁芯（コア）の体積を大きくする必要があり、トランスの小型化の阻害要因となっていた。

[0050] 図７は、磁芯にエアギャップ部があるコイルに電流を流したときに生じる漏れ磁界の磁束（漏れ磁束）をシミュレーションした結果であり、図８はその漏れ磁束に基づくジュール損失密度をシミュレーションした結果である。磁芯にエアギャップ部があると、図７において矢印で示されるように、エアギャップ部から磁束の漏れが生じ、その漏れ磁束の一部はエアギャップの周囲に位置するコイルを通る。このエアギャップ部からの漏れ磁束によってコイルに誘導電流が流れ、ジュール損失が発生する。図８に示されるように、ジュール損失の密度はエアギャップ部の周囲で高くなるため、磁芯にエアギャップ部があるコイルを小型化すると、このジュール損失に基づいてコイル

が過度に加熱されて、コイルが機能劣化することが懸念される。

[0051] そこで、本発明の第１実施形態に係る直流電圧変換回路１０では、トランス（第１トランス３１、第２トランス３２）の磁芯（コア）の透磁率（初透磁率）は１５以上１２０以下に設定される。トランスの磁芯の透磁率がこの範囲であることにより、トランスにエアギャップ部を設けなくてもトランスの磁化が飽和しにくくなり、エネルギーロスが生じにくくなる。トランスの磁芯（コア）の透磁率は、２０以上８０以下であることがより好ましく、２５以上６０以下であることが特に好ましい。なお、トランスの磁芯（コア）を構成する軟磁性材料の典型例であるＭｎＺｎ系フェライトなどフェライトの透磁率は例えば１０００から３５００である。このような材料を用いてトランスの磁芯（コア）の透磁率（実効透磁率）を上記の範囲に設定しようとすれば、エアギャップ部を設けることが必要となるが、エアギャップ部は上記のように漏れ磁束の影響が懸念される。したがって、直流電圧変換回路１０が備えるトランス（第１トランス３１、第２トランス３２）はエアギャップ部を有しないことが好ましい。

[0052] また、本発明の第１実施形態に係る直流電圧変換回路１０では、トランス（第１トランス３１、第２トランス３２）の磁芯（コア）の飽和磁束密度は７００ｍＴ以上であることが、トランスの磁芯（コア）の磁気飽和を回避する観点から好ましい。トランスの磁芯（コア）の飽和磁束密度は、０．９Ｔ以上であることがより好ましく、１．１Ｔ以上であることが特に好ましい。トランスの磁芯（コア）の磁気飽和を回避する観点からは、トランスの磁芯（コア）の飽和磁束密度の上限は規定されない。飽和磁束密度が１．４Ｔ以上のような磁性体材料では損失特性が劣化する傾向が強くなることもあるので、１．３Ｔ程度を上限とすることが好ましい場合がある。したがって、飽和磁束密度を高めることと損失を低くすることを兼ね備える観点から、トランスの磁芯の飽和磁束密度は、０．８以上１．３Ｔ以下であることが特に好ましい。トランスの磁芯（コア）を構成する材料の入手容易性を確保する観点から１．２Ｔ以下程度とすることが好ましい場合がある。なお、トランス

の磁芯（コア）を構成する軟磁性材料の典型例であるフェライト系軟磁性材料の飽和磁束密度は、一般的に３８０ｍＴ以上５００ｍＴ以下である。

[0053] 上記のような透磁率に関する好適範囲や飽和磁束密度の好適範囲を満たすことが容易であることから、トランス（第１トランス３１、第２トランス３２）の磁芯（コア）に用いられる磁性材料は、アモルファス金属系軟磁性材料や、ナノ結晶金属系軟磁性材料などを用いて構成されることが好ましい。アモルファス金属系軟磁性材料の具体例として、Ｆｅ－Ｐ－Ｃ系非晶質磁性合金が例示される。特に、Ｆｅ－Ｐ－Ｃ系非晶質磁性合金の粉末を用いてなる圧粉コアは、高周波（例えば１００ｋＨｚ以上）において、低い透磁率（１２０以下）、高い飽和磁束密度（７００ｍＴ以上）、および低いコアロスを実現できるため、好ましい。

[0054] 上記のトランス（第１トランス３１、第２トランス３２）の磁芯（コア）の場合と同様の理由により、コイル３４の磁芯（コア）も、１５以上１２０以下であることが好ましく、２０以上８０以下であることがより好ましく、２５以上６０以下であることが特に好ましい。コイル３４の磁芯（コア）はエアギャップレスであれば、漏れ磁束が生じないため、好ましい。コイル３４の磁芯（コア）の飽和磁束密度は、７００ｍＴ以上であることが好ましく、０．９Ｔ以上であることがより好ましく、１．１Ｔ以上であることが特に好ましい。このような要請に応える観点から、コイル３４の磁芯（コア）がアモルファス金属系軟磁性材料や、ナノ結晶金属系軟磁性材料などを用いて構成されることが好ましいことも、トランスの磁芯（コア）の場合と同様である。

[0055] （第２実施形態）

図９は、本発明の第２実施形態に係る電源装置の回路図である。図９に示されるように、本発明の第２実施形態に係る電源装置１００Ａが備える直流電圧変換回路１０Ａの回路構成は、図９に示される本発明の第１実施形態に係る電源装置１００が備える直流電圧変換回路１０の回路構成と、制御部６０Ａの構成以外は共通する。直流電圧変換回路１０Ａの制御部６０Ａは、第

１スイッチ２１を制御する第１ゲートドライブＧＤ１、第２スイッチ２２を制御する第２ゲートドライブＧＤ２、第３スイッチ２３を制御する第３ゲートドライブＧＤ３、および第４スイッチ２４を制御する第４ゲートドライブＧＤ４を備える。直流電圧変換回路１０Ａの回路構成は、制御部６０Ａの構成以外は直流電圧変換回路１０の回路構成と共通するため、以降、制御部６０Ａについてのみ説明し、直流電圧変換回路１０Ａにおける他の回路構成の説明を省略する。なお、直流電圧変換回路１０Ａではコンデンサ３３は必須とされない。この点については後述する。

[0056] 図１０は、図９に示される本発明の第２実施形態に係る電源装置１００Ａが備える直流電圧変換回路１０Ａのタイミングチャートである。図１０のタイミングチャートでは、第１ゲートドライブＧＤ１から第４ゲートドライブＧＤ４のタイミングチャート、ならびに第１スイッチ２１のドレイン電流Ｉｄ１、第４スイッチ２４のドレイン電流Ｉｄ４および第４スイッチのドレイン電圧Ｖｄｓ４が示されている。

[0057] 直流電圧変換回路１０Ａの制御部６０Ａは、第１スイッチ２１および第２スイッチ２２についてデッドタイム期間ｄｔを有して交互にオンオフ制御するとともに、第３スイッチ２３および第４スイッチ２４についてもデッドタイム期間ｄｔを有して交互にオンオフ制御する点で、第１実施形態に係る直流電圧変換回路１０の制御部６０と共通する。また、第１状態ＳＴ１では、第１スイッチ２１および第４スイッチ２４がオンであって、第２状態ＳＴ２では、第２スイッチ２２および第３スイッチ２３がオンであることも、第１実施形態に係る直流電圧変換回路１０の制御部６０の制御と同じである。しかしながら、次に説明するように、第２実施形態に係る直流電圧変換回路１０Ａの制御部６０Ａは、第１実施形態に係る直流電圧変換回路１０の制御部６０とは異なり、第１スイッチ２１と第４スイッチ２４との同期制御および第２スイッチ２２と第３スイッチ２３との同期制御を行わず、第１スイッチ２１から第４スイッチ２４について、いわゆる位相シフト制御を行う。

[0058] 第１入力端子１１と第２入力端子１２との間に直流電圧が印加されたとき

に、制御部６０Ａは、第１スイッチ２１から第４スイッチ２４のそれぞれについて、０．５未満の互いに等しいデューティー比Ｄでオンとオフとを繰り返す。各スイッチについて、オンの状態にある期間であるオン期間Ｐｏｎとオフの状態にある期間であるオフ期間Ｐｏｆｆとの合計期間が第１スイッチの１周期となる。デューティー比Ｄが０．５未満となるのは、各スイッチのオン期間Ｐｏｎの前後に、デッドタイム期間ｄｔが設けられるためである。

[0059] 制御部６０Ａは、第２スイッチ２２から第４スイッチ２４をオンとするタイミングが第１スイッチ２１のオンとするタイミングからずれるように制御する。

[0060] まず、第１スイッチ２１がオンとなってから、オン期間Ｐｏｎよりも短い所定の長さの期間であるシフト期間Ｐｓが経過したことを契機として、第４スイッチ２４をオンとして第１状態ＳＴ１を発生させる。直流電圧変換回路１０Ａの制御部６０Ａの制御では、第１スイッチ２１に対して位相がずれてオンとなった第４スイッチ２４がオンである期間と第１スイッチ２１に係るオン期間Ｐｏｎとの重複期間のみが第１状態ＳＴ１となり、第１スイッチ２１に係るオン期間Ｐｏｎのすべてが第１状態ＳＴ１ではない。

[0061] 次に、第１スイッチ２１がオフとなってからデッドタイム期間ｄｔが経過したことを契機として第２スイッチ２２をオンとする。第１スイッチ２１がオフとなることにより、第１状態ＳＴ１が終了する。

[0062] 続いて、第２スイッチ２２がオンとなってからシフト期間Ｐｓが経過したことを契機として、第３スイッチ２３をオンとして第２状態ＳＴ２を発生させる。直流電圧変換回路１０Ａの制御部６０Ａの制御では、第２スイッチ２２に対して位相がずれてオンとなった第３スイッチ２３がオンである期間と第２スイッチ２２に係るオン期間Ｐｏｎとの重複期間のみが第２状態ＳＴ２となり、第２スイッチ２２に係るオン期間Ｐｏｎのすべてが第２状態ＳＴ２ではない。

[0063] 直流電圧変換回路１０Ａの制御部６０Ａの制御では、第１状態ＳＴ１の期間の長さおよび第２状態ＳＴ２の期間の長さを変更することにより、第１出

力端子５１の第２出力端子５２に対する電位差（出力電圧Ｖｏｕｔ）を変更する。制御部６０Ａの制御の具体的な一例として、デッドタイム期間ｄｔがスイッチのオン期間Ｐｏｎよりも十分に短い場合には、Ｄ≒０．５と近似できることから、出力電圧Ｖｏｕｔは、シフト期間Ｐｓと次の関係を有し、シフト期間Ｐｓの長さを変更することにより、出力電圧Ｖｏｕｔを調整することができる。

Ｖｏｕｔ∝Ｐｓ／（Ｐｏｎ＋Ｐｏｆｆ）

ここで、０＜Ｐｓ／（Ｐｏｎ＋Ｐｏｆｆ）＜０．５となる。

[0064] 以上説明した第１実施形態に係る電源装置１００が備える直流電圧変換回路１０および第２実施形態に係る電源装置１００Ａが備える直流電圧変換回路１０Ａでは、４つのスイッチ（第１スイッチ２１から第４スイッチ２４）がフルブリッジ回路を構成している。第１実施形態に係る直流電圧変換回路１０では、第１スイッチ２１と第４スイッチ２４とが同期制御され、第２スイッチ２２と第３スイッチ２３とが同期制御されるため、ＤＣカットコンデンサであるコンデンサ３３が設けられて直列回路部ＳＣ１に大電流の流れ込みが防止されている。第２実施形態に係る直流電圧変換回路１０Ａでは、デューティー比Ｄが等しい４つのスイッチ（第１スイッチ２１から第４スイッチ２４）は位相をずらしてオンオフ制御されているため、直列回路部ＳＣ１に大電流が流れ込みにくい。このため、第２実施形態に係る直流電圧変換回路１０Ａでは、ＤＣカットコンデンサであるコンデンサ３３を直列回路部ＳＣ１に設けることは必須とされない。

[0065]（第３実施形態）

図１１から図１３を用いて、本発明の第３実施形態に係る電源装置１００Ｂについて説明する。図１１は、本発明の第３実施形態に係る電源装置の回路図である。図１２は、図１１に示される回路が第１状態ＳＴ１にある場合の動作（第１ゲートドライブＧＤ１がオン動作、第２ゲートドライブＧＤ２がオフ動作の場合）を説明する図である。図１３は、図１１に示される回路が第２状態ＳＴ２にある場合の動作（第２ゲートドライブＧＤ２がオン動作

、第１ゲートドライブＧＤ１がオフ動作の場合）を説明する図である。

[0066] 第３実施形態に係る電源装置１００Ｂが備える直流電圧変換回路１０Ｂは、第１実施形態に係る直流電圧変換回路１０における４つのスイッチからなるフルブリッジ回路を２つのスイッチからなるハーフブリッジ回路に置き換えたものである。第１実施形態に係る直流電圧変換回路１０との対比で第３実施形態に係る直流電圧変換回路１０Ｂを説明すれば、直流電圧変換回路１０における第３スイッチ２３と第４スイッチ２４との直列接続から構成されるハーフブリッジ回路が削除され、直列回路部ＳＣ１の他方の端部（第２端部Ｐ２）は、第２スイッチ２２と第２入力端子１２との間に接続される。

[0067] また、第３実施形態に係る直流電圧変換回路１０Ｂでは、第１実施形態に係る直流電圧変換回路１０においてＤＣカットコンデンサであるコンデンサ３３が設けられた位置に、第１コンデンサ３３１が設けられる。すなわち、第１トランス３１の一次側３１１および第２トランス３２の一次３２１側と第１コンデンサ３３１とは直列接続をなし、この直列接続に対して、第１スイッチ２１は直列に接続される。図１１に示される回路では、第１コンデンサ３３１は、第１トランス３１の一次側３１１と第２トランス３２の一次３２１側とからなる直列接続と、直列回路部ＳＣ１の他方の端部（第２端部Ｐ２）との間に位置するが、これに限定されない。第１コンデンサ３３１は、第１トランス３１の一次側３１１と第２トランス３２の一次３２１側とからなる直列接続に対して直列に接続されていればよい。例えば、第１コンデンサ３３１は、第１トランス３１の一次側３１１と第２トランス３２の一次３２１側とからなる直列接続と、直列回路部ＳＣ１の一方の端部（第１端部Ｐ１）との間に位置してもよい。なお、図１１に示される回路では、コイル３４も、第１トランス３１の一次側３１１と第２トランス３２の一次３２１側とからなる直列接続に対して直列に接続されている。

[0068] 図１２に示されるように、第１スイッチ２１がオンとなる第１状態ＳＴ１において、直列回路部ＳＣ１に黒破線矢印Ａ３の経路で電流が流れるとともに、第１コンデンサ３３１には電荷が蓄積される。このとき、第１出力回路

ＯＣ１には電流が流れ（黒破線矢印Ｂ１）、第２トランス３２では電気エネルギーの蓄積が行われる。

[0069] 一方、図１３に示されるように、第２スイッチ２２がオンとなる第２状態ＳＴ２では、第１状態ＳＴ１において第１コンデンサ３３１に蓄積された電荷が放出されることにより、直列回路部ＳＣ１に第１状態ＳＴ１の場合（黒破線矢印Ａ３）とは反対向きに電流が流れる（黒破線矢印Ａ４）。このとき、第２出力回路ＯＣ２には電流が流れ（黒破線矢印Ｂ２）、第１トランス３１では電気エネルギーの蓄積が行われる。

[0070] 第３実施形態に係る直流電圧変換回路１０Ｂの制御部６０Ｂは、第１実施形態に係る直流電圧変換回路１０の制御部６０と同様の制御を行う。すなわち、デッドタイム期間ｄｔを有して第１スイッチ２１と第２スイッチ２２とを交互にオンオフ制御する。また、第１スイッチ２１のデューティー比Ｄ１と第２スイッチ２２のデューティー比Ｄ２との少なくとも一方を変更することにより、第１出力端子５１の第２出力端子５２に対する電位差（出力電圧Ｖｏｕｔ）を変更可能である。第１スイッチ２１のデューティー比Ｄ１と第２スイッチ２２のデューティー比Ｄ２とは等しくない（非対称である）ため、直列回路部ＳＣ１に大電流が流れ込まないためのＤＣカットコンデンサが必要となるが、直流電圧変換回路１０Ｂでは第１コンデンサ３３１がその機能を果たしている。第１コンデンサ３３１とは別にＤＣカットコンデンサとしてのコンデンサ３３が設けられていてもよい。

[0071]（第４実施形態）

図１４から図１６を用いて、本発明の第４実施形態に係る電源装置１００Ｃについて説明する。図１４は、本発明の第４実施形態に係る電源装置の回路図である。図１５は、図１４に示される回路が第１状態ＳＴ１にある場合の動作（第１ゲートドライブＧＤ１がオン動作、第２ゲートドライブＧＤ２がオフ動作の場合）を説明する図である。図１６は、図１４に示される回路が第２状態ＳＴ２にある場合の動作（第２ゲートドライブＧＤ２がオン動作、第１ゲートドライブＧＤ１がオフ動作の場合）を説明する図である。

[0072] 第４実施形態に係る電源装置１００Ｃが備える直流電圧変換回路１０Ｃは、第３実施形態に係る電源装置１００Ｂが備える直流電圧変換回路１０Ｂとの対比で、直列回路部ＳＣ１に、第１トランス３１の一次３１１側と第２トランス３２の一次３２１側とからなる直列接続に対して直列に接続する第２コンデンサ３３２がさらに設けられている。こうして構成される、第１トランス３１の一次３１１側および第２トランス３２の一次３２１側ならびに第２コンデンサ３３２からなる直列接続に対して、第２スイッチ２２は直列に接続される。なお、図１４に示される回路では、コイル３４も、第１トランス３１の一次側３１１と第２トランス３２の一次３２１側とからなる直列接続に対して直列に接続されている。

[0073] さらに具体的に説明すると、第１コンデンサ３３１は、第１トランス３１の一次３１１側および第２トランス３２の一次３２１側からなる直列接続と直列回路部ＳＣ１の他方の端部（第２端部Ｐ２）との間に位置する。第１トランス３１の一次３１１側および第２トランス３２の一次３２１側からなる直列接続と、第１コンデンサ３３１との間に、第２コンデンサ３３２の一方の端部（第３端部Ｐ３）が接続され、第２コンデンサ３３２の他方の端部（第４端部Ｐ４）は、第１入力端子１１に接続される。したがって、第１コンデンサ３３１と第２コンデンサ３３２とは直列接続をなし、この直列接続は、第１入力端子１１と第２入力端子１２との間に位置する。すなわち、第４実施形態に係る直流電圧変換回路１０Ｃは、第１実施形態に係る直流電圧変換回路１０との対比で、第３スイッチ２３に代えて第２コンデンサ３３２が設けられ、第４スイッチ２４に代えて第１コンデンサ３３１が設けられた構成となっている。

[0074] 図１５に示されるように、第１状態ＳＴ１では、第１入力端子１１からの電流が、第１トランス３１の一次３１１側および第２トランス３２の一次３２１側ならびに第１スイッチ２１からなる直列接続を流れて、第１コンデンサ３３１に電荷が蓄積される電流経路（黒破線矢印Ａ１１）が生じる。また、第２コンデンサ３３２に蓄積された電荷が放出されて、第１トランス３１

の一次３１１側および第２トランス３２の一次３２１側からなる直列接続、第１スイッチ２１および第２コンデンサ３３２を含む閉回路に、黒点線矢印Ａ１２の向きの電流が流れる。このとき、第１出力回路ＯＣ１には電流が流れ（黒破線矢印Ｂ１）、第２トランス３２では電気エネルギーの蓄積が行われる。

[0075] 図１６に示されるように、第２状態ＳＴ２では、第１トランス３１の一次３１１側および第２トランス３２の一次３２１側ならびに第１スイッチ２１からなる直列接続を通って、第２入力端子１２へと電流が流れる電流経路（黒破線矢印Ａ２１）により、第２コンデンサ３３２に電荷が蓄積される。また、第１コンデンサ３３１に蓄積された電荷が放出されて、第１トランス３１の一次３１１側および第２トランス３２の一次３２１側とからなる直列接続、第２スイッチ２２および第１コンデンサ３３１を含む閉回路に、黒点線矢印Ａ２２の向きの電流が流れる。このとき、第２出力回路ＯＣ２には電流が流れ（黒破線矢印Ｂ２）、第１トランス３１では電気エネルギーの蓄積が行われる。

[0076] 第４実施形態に係る直流電圧変換回路１０Ｃの制御部６０Ｃは、第１実施形態に係る直流電圧変換回路１０の制御部６０と同様の制御を行う。すなわち、デッドタイム期間ｄｔを有して第１スイッチ２１と第２スイッチ２２とを交互にオンオフ制御する。また、第１スイッチ２１のデューティー比Ｄ１と第２スイッチ２２のデューティー比Ｄ２との少なくとも一方を変更することにより、第１出力端子５１の第２出力端子５２に対する電位差（出力電圧Ｖｏｕｔ）を変更可能である。第１スイッチ２１のデューティー比Ｄ１と第２スイッチ２２のデューティー比Ｄ２とは等しくない（非対称である）ため、直列回路部ＳＣ１に大電流が流れ込まないためのＤＣカットコンデンサが必要となるが、直流電圧変換回路１０Ｂでは第１コンデンサ３３１および第２コンデンサ３３２がその機能を果たしている。第１コンデンサ３３１および第２コンデンサ３３２とは別にＤＣカットコンデンサとしてのコンデンサ３３が設けられていてもよい。

[0077] 以上説明した実施形態は、本発明の理解を容易にするために記載されたものであって、本発明を限定するために記載されたものではない。したがって、上記実施形態に開示された各要素は、本発明の技術的範囲に属する全ての設計変更や均等物をも含む趣旨である。

[0078] 例えば、上記の第１実施形態から第４実施形態に係る直流電源変換回路では、コイル３４などのインダクタが、複数のスイッチ（第１スイッチ２１から第４スイッチ２４）の出力容量と共振回路を形成し、この共振回路の最大振幅電圧がスイッチのドレイン電圧よりも大きくなるように設定されて、ゼロボルトスイッチングが行われているが、これに限定されない。直流電源変換回路が設けられた機器が表示装置や情報機器の電源装置に適用される場合には、ゼロボルトスイッチングを実現してノイズの発生を抑えることが好ましいが、電気自動車の充電スタンドの電源装置などのようにノイズの影響を受けにくい場合には、共振回路の最大振幅電圧を高めるための設定は特に不要であり、結果、サージ電圧やサージ電流が発生する、いわゆるハードスイッチングとなってもよい。この場合には、ゼロボルトスイッチングを実現する共振条件を満たす必要がないため、直流電源変換回路の制御範囲が広くなり、例えば充電スタンドの高速充電が可能となる。

[0079] ハードスイッチングの場合には共振回路が不要なので、上記の実施形態に係る直流電源変換回路において直列回路部ＳＣ１に設けられているコイル３４が不要となる。また、図２に示されるタイミングチャートにおいて、第１ゲートドライブＧＤ１のデューティー比Ｄ１と第２ゲートドライブＧＤ２のデューティー比Ｄ２とが等しくなっていてもよい（すなわち、Ｄ１＝Ｄ２）。このように対称にスイッチングが行われる場合には、直列回路部ＳＣ１に大電流が流れ込みにくいため、ＤＣカットコンデンサであるコンデンサ３３も不要となる。

産業上の利用可能性

[0080] 本発明の一実施形態に係る直流電圧変換回路は、大出力のスイッチング電源の部分回路として好適に使用されうる。

符号の説明

[0081] １０、１０Ａ、１０Ｂ、１０Ｃ　　：直流電圧変換回路

１１　　：第１入力端子

１２　　：第２入力端子

２１　　：第１スイッチ

２２　　：第２スイッチ

２３　　：第３スイッチ

２４　　：第４スイッチ

３１　　：第１トランス

３２　　：第２トランス

３３　　：コンデンサ

３３１　　：第１コンデンサ

３３２　　：第２コンデンサ

３４　　：コイル

４１　　：第１整流ダイオード

４２　　：第２整流ダイオード

５１　　：第１出力端子

５２　　：第２出力端子

６０　　：制御部

７０　　：直流電源

１００、１００Ａ、１００Ｂ、１００Ｃ　　：電源装置

３１１　　：第１トランスの一次側

３１２　　：第１トランスの二次側

３２１　　：第２トランスの一次側

３２２　　：第２トランスの二次側

Ａ１、Ａ２、Ａ３、Ａ４、Ａ１１、Ａ２１、Ｂ１、Ｂ２、　　：黒破線矢印

Ａ１２、Ａ２２　　：黒点線矢印

ＧＤ１　　：第１ゲートドライブ

ＧＤ２　：第２ゲートドライブ

ＧＤ３　：第３ゲートドライブ

ＧＤ４　：第４ゲートドライブ

Ｉｄ１　：第１スイッチのドレイン電流

Ｉｄ２　：第２スイッチのドレイン電流

Ｉｄ４　：第４スイッチのドレイン電流

Ｉｓｃ　：合成電流

ＯＣ１　：第１出力回路

ＯＣ２　：第２出力回路

Ｐ１　：第１端部（直列回路部の一方の端部）

Ｐ２　：第２端部（直列回路部の他方の端部）

Ｐ３　：第３端部（第２コンデンサの一方の端部）

Ｐ４　：第４端部（第２コンデンサの他方の端部）

Ｐｏｎ　：オン期間

Ｐｏｆｆ　：オフ期間

Ｐｓ　：シフト期間

ＳＣ１　：直列回路部

ＳＴ１　：第１状態

ＳＴ２　：第２状態

Ｖｄｓ１　：第１スイッチのドレイン電圧

Ｖｄｓ２　：第２スイッチのドレイン電圧

Ｖｄｓ４　：第４スイッチのドレイン電圧

Ｖｉｎ　：入力電圧

Ｖｏｕｔ　：出力電圧

ｄｔ　：デッドタイム期間

ｔｏｎ　：電界効果トランジスタがオン動作となるタイミング

請求の範囲

[請求項1] 第１入力端子および第２入力端子と、

複数のスイッチと、

第１トランスの一次側、および前記第１トランスと極性が等しく磁気的に独立した第２トランスの一次側が直列に接続された直列回路部と、

前記第１トランスの二次側および第１整流ダイオードを直列接続で備え、前記第１整流ダイオードの整流方向の端部に第１出力端子が設けられ、前記第１整流ダイオードの整流方向とは反対側の端部に第２出力端子が設けられた第１出力回路と、

前記第２トランスの二次側および第２整流ダイオードを直列接続で備え、前記第２整流ダイオードの整流方向の端部に前記第１出力端子が位置し、前記第２整流ダイオードの整流方向とは反対側の端部に前記第２出力端子が位置する第２出力回路と、

前記複数のスイッチを制御する制御部と、

を備える直流電圧変換回路であって、

前記複数のスイッチは、一方の端部が前記第１入力端子に接続される第１スイッチと、一方の端部が前記第２入力端子に接続される第２スイッチと、を備え、

前記第１スイッチと前記第２スイッチとは直列に接続され、前記直列回路部の一方の端部は前記第１スイッチと前記第２スイッチとの中間に接続され、

前記第１入力端子と前記第２入力端子との間に直流電圧が印加されたときに、前記制御部は、

前記第１スイッチと前記第２スイッチとをデッドタイム期間を有して交互にオンオフ制御することにより、前記直列回路部に流れる電流の向きを交互に反転させて、

第１スイッチがオンであって、前記第１出力回路において前記第

１整流ダイオードの整流方向に電流が流れ、前記第２トランスにおいて電気エネルギーの蓄積が行われる第１状態と、

第２スイッチがオンであって、前記第２出力回路において前記第２整流ダイオードの整流方向に電流が流れ、前記第１トランスにおいて電気エネルギーの蓄積が行われる第２状態と、

を交互に発生させ、

前記第１トランスの磁芯の透磁率および前記第２トランスの磁芯の透磁率は、いずれも、１５以上１２０以下である、ことを特徴とする直流電圧変換回路。

[請求項2] 前記直列回路部は、前記第１トランスの一次側および前記第２トランスの一次側に直列に接続する第１コンデンサをさらに有し、前記第１トランスの一次側および前記第２トランスの一次側ならびに前記第１コンデンサからなる直列接続に対して、前記第１スイッチは直列に接続され、

前記直列回路部の他方の端部は、前記第２スイッチと前記第２入力端子との間に接続され、

前記第１状態では、前記第１コンデンサに電荷が蓄積され、

前記第２状態では、前記第１コンデンサに蓄積された前記電荷が放出される、請求項１に記載の直流電圧変換回路。

[請求項3] 前記直列回路部は、前記第１トランスの一次側および前記第２トランスの一次側に直列に接続する第２コンデンサをさらに有し、前記第１トランスの一次側および前記第２トランスの一次側ならびに前記第２コンデンサからなる直列接続に対して、前記第２スイッチは直列に接続され、

前記第１コンデンサは、前記第１トランスの一次側および前記第２トランスの一次側からなる直列接続と前記直列回路部の他方の端部との間に位置し、

前記第２コンデンサは、前記第１トランスの一次側および前記第２

トランスの一次側からなる直列接続と前記第１コンデンサとの間に一方の端部が接続され、他方の端部は、前記第１入力端子に接続され、

前記第１状態では、前記第１コンデンサに電荷が蓄積されるとともに、前記第２コンデンサに蓄積された前記電荷が放出され、

前記第２状態では、前記第２コンデンサに電荷が蓄積されるとともに、前記第１コンデンサに蓄積された前記電荷が放出される、請求項２に記載の直流電圧変換回路。

[請求項4] 前記複数のスイッチは、前記直列回路部の他方の端部と前記第１入力端子との間に設けられた第３スイッチと、前記直列回路部の他方の端部と前記第２入力端子との間に設けられた第４スイッチと、をさらに備え、

前記第３スイッチと前記第４スイッチとは直列に接続され、前記直列回路部の他方の端部は前記第３スイッチと前記第４スイッチとの中間に接続され、

前記第１入力端子と前記第２入力端子との間に直流電圧が印加されたときに、前記制御部は、前記第３スイッチと前記第４スイッチとについても前記デッドタイム期間を有して交互にオンオフ制御し、

前記第１状態では、前記第１スイッチおよび前記第４スイッチがオンであって、

前記第２状態では、前記第２スイッチおよび前記第３スイッチがオンである、請求項１に記載の直流電圧変換回路。

[請求項5] 前記直列回路部は、前記第１トランスの一次側および前記第２トランスの一次側に直列に接続するコンデンサをさらに有し、

前記第１入力端子と前記第２入力端子との間に直流電圧が印加されたときに、前記制御部は、

前記第１スイッチと前記第４スイッチとを同期制御するとともに、前記第２スイッチと前記第３スイッチとを同期制御し、

前記第１スイッチのデューティー比と前記第２スイッチのデュー

ティー比との少なくとも一方を変更することにより、前記第１出力端子の前記第２出力端子に対する電位差を変更可能とされる、請求項４に記載の直流電圧変換回路。

[請求項6] 前記第１入力端子と前記第２入力端子との間に直流電圧が印加されたときに、前記制御部は、

前記第１スイッチから前記第４スイッチのそれぞれについて、５０％未満の互いに等しいデューティー比でオンとオフとを繰り返し、

前記第２スイッチから前記第４スイッチをオンとするタイミングについて、

前記第１スイッチがオンとなってから、前記第１スイッチがオンの状態にある期間であるオン期間よりも短い所定の長さの期間であるシフト期間が経過したことを契機として、前記第４スイッチをオンとして前記第１状態を発生させ、

前記第１スイッチがオフとなってから前記デッドタイム期間が経過したことを契機として前記第２スイッチをオンとし、

前記第２スイッチがオンとなってから前記シフト期間が経過したことを契機として、前記第３スイッチをオンとして前記第２状態を発生させ、

前記第１状態の期間の長さおよび前記第２状態の期間の長さを変更することにより、前記第１出力端子の前記第２出力端子に対する電位差を変更可能とされる、請求項４に記載の直流電圧変換回路。

[請求項7] 前記第１トランスの磁芯および前記第２トランスの磁芯は、いずれも、エアギャップ部を有しない、請求項１から請求項６のいずれか一項に記載の直流電圧変換回路。

[請求項8] 前記第１トランスの磁芯の飽和磁束密度および前記第２トランスの磁芯の飽和磁束密度は、いずれも、７００ｍＴ以上である、請求項１から請求項６のいずれか一項に記載の直流電圧変換回路。

[請求項9] 前記複数のスイッチは、それぞれ電界効果トランジスタを有する、

請求項１から請求項８のいずれか一項に記載の直流電圧変換回路。

[請求項10] 前記複数のスイッチの少なくとも一つの前記電界効果トランジスタの出力容量を含んで構成される共振回路を備え、前記複数のスイッチの少なくとも一つがオフになるように制御されたときに、当該スイッチの前記電界効果トランジスタのドレイン電圧が０Ｖ以下となるように、前記共振回路の共振条件は設定される、請求項９に記載の直流電圧変換回路。

[請求項11] 前記直列回路部は、前記複数のスイッチの少なくとも一つに直列に接続するコイルをさらに備え、前記共振回路は前記コイルを含む、請求項１０に記載の直流電圧変換回路。

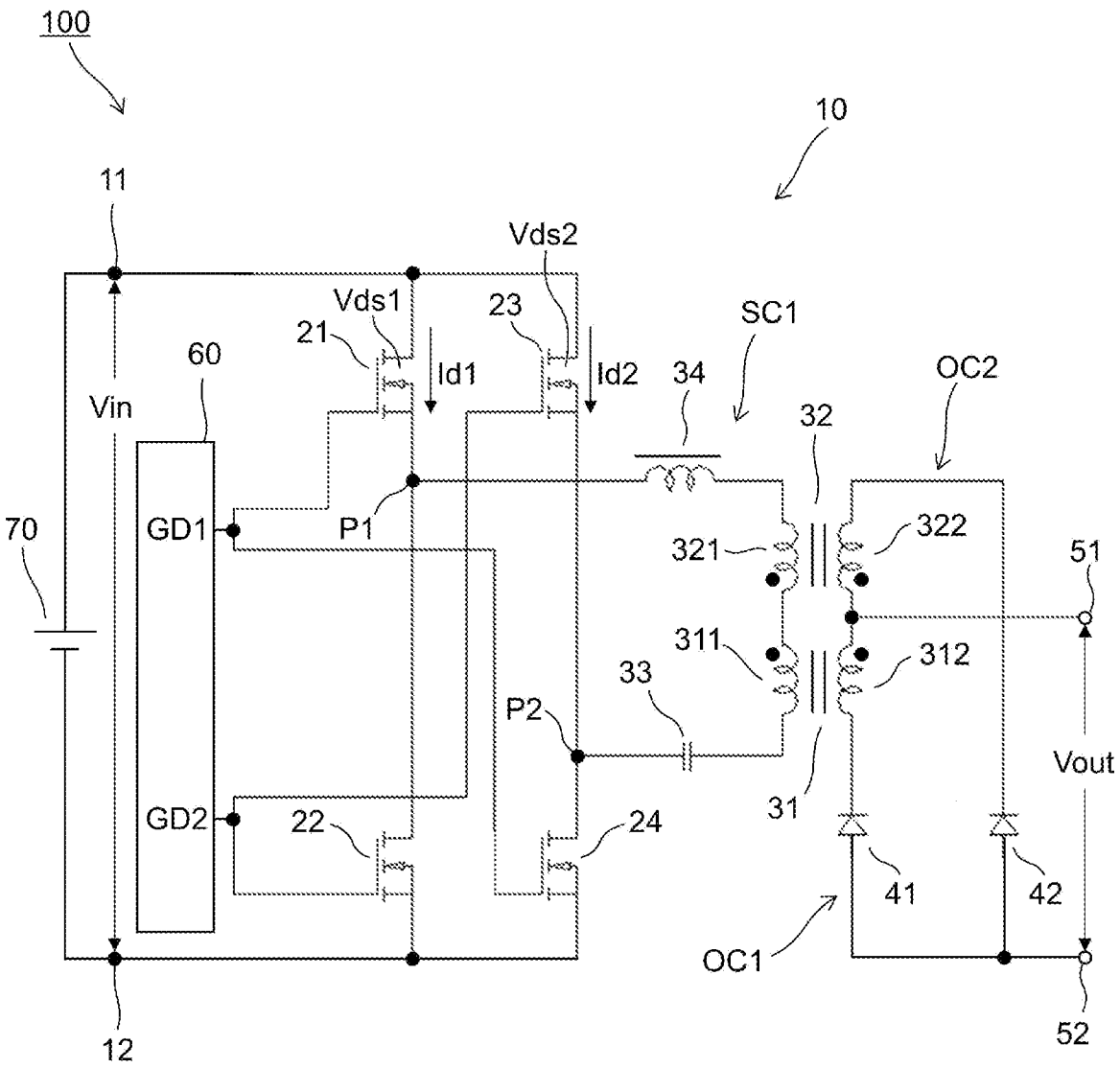
[請求項12] 前記コイルの磁芯の透磁率は１５以上１２０以下である、請求項１０または請求項１１に記載の直流電圧変換回路。

[請求項13] 前記コイルの磁芯はエアギャップ部を有しない、請求項１２に記載の直流電圧変換回路。

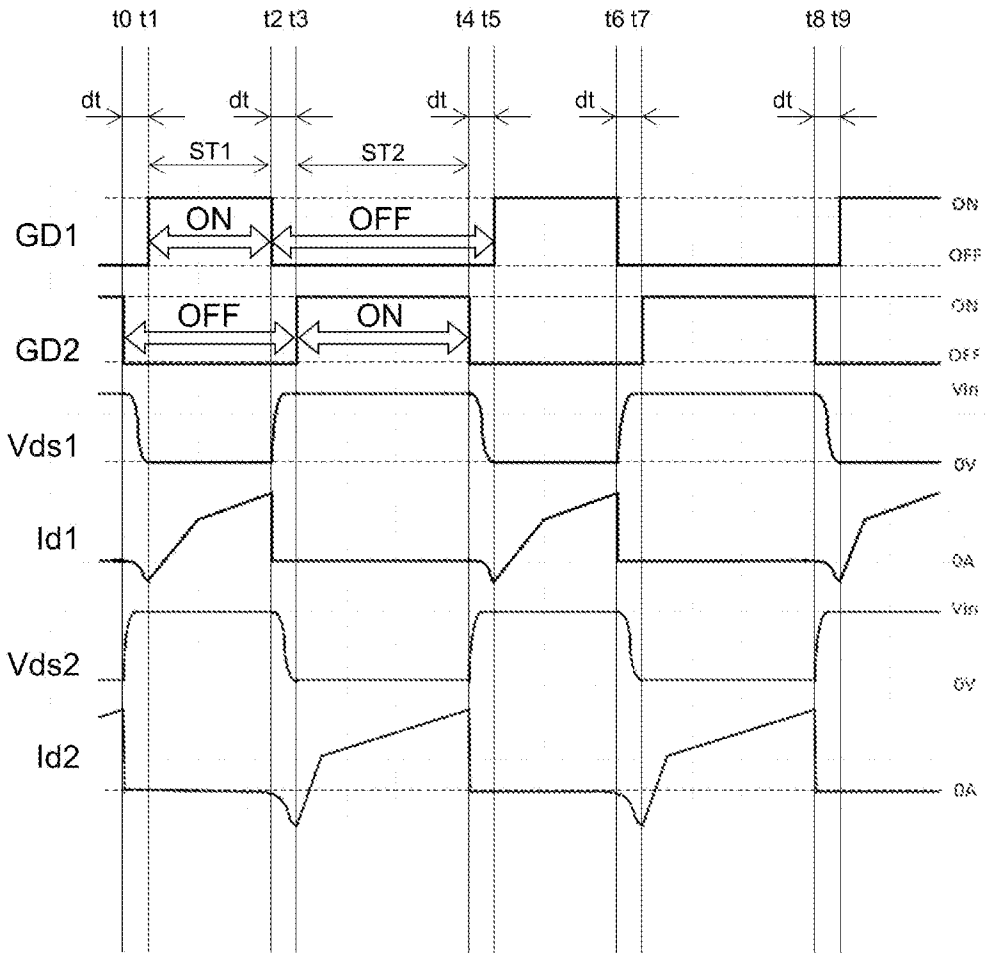
[請求項14] 前記コイルの磁芯の飽和磁束密度は７００ｍＴ以上である、請求項１０から請求項１３のいずれか一項に記載の直流電圧変換回路。

[請求項15] 請求項１から請求項１４のいずれか一項に記載の直流電圧変換回路と、前記直流電圧変換回路が備える前記第１入力端子および前記第２入力端子のそれぞれに電気的に接続された直流電源とを備える、電源装置。

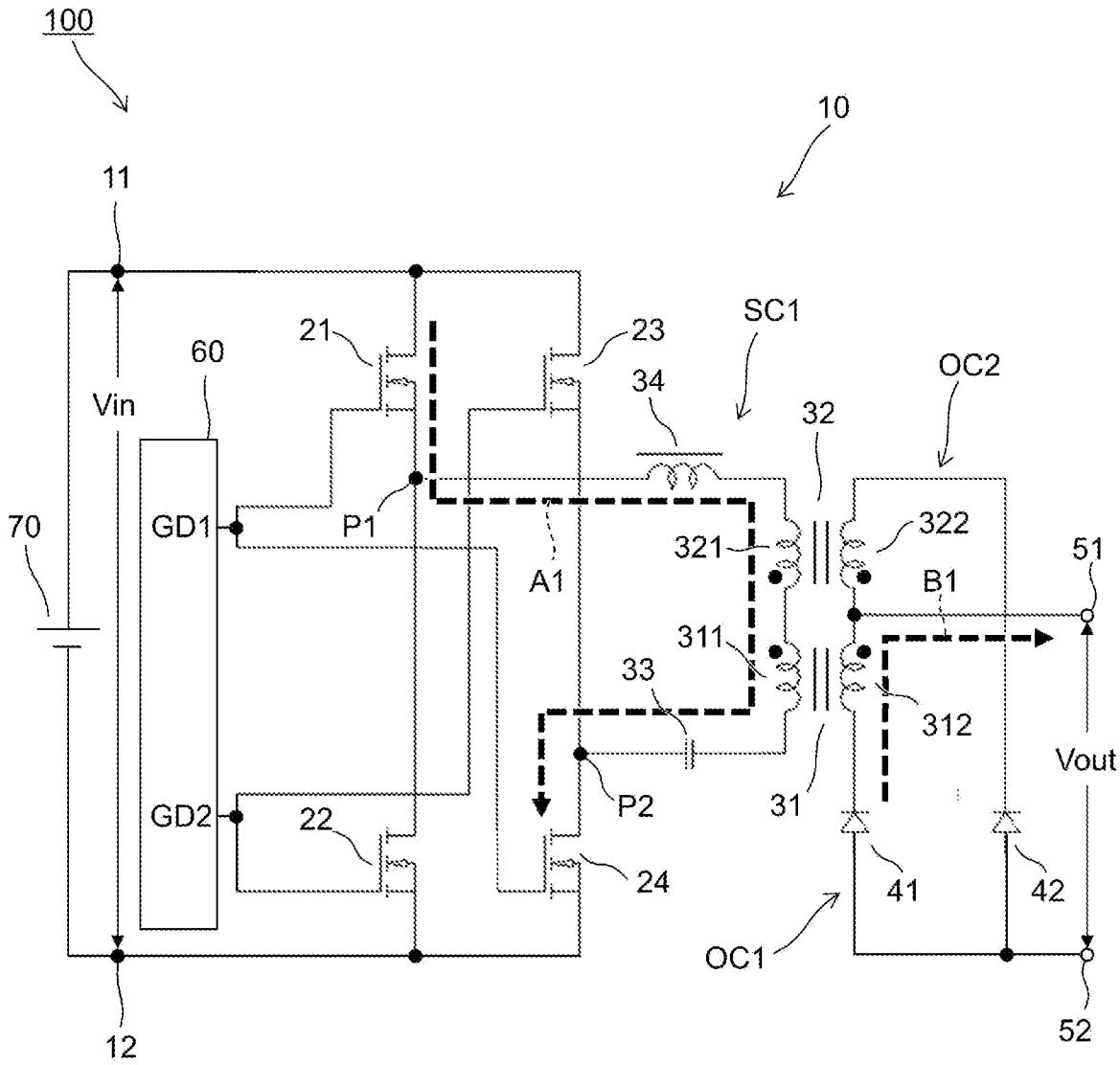
[図1]


100
10
11
Vds2
Vds1
23
21
SC1
60
Id1
Id2
34
OC2
Vin
32
70
GD1
P1
321
322
51
311
312
33
P2
Vout
31
GD2
22
24
41
42
OC1
12
52

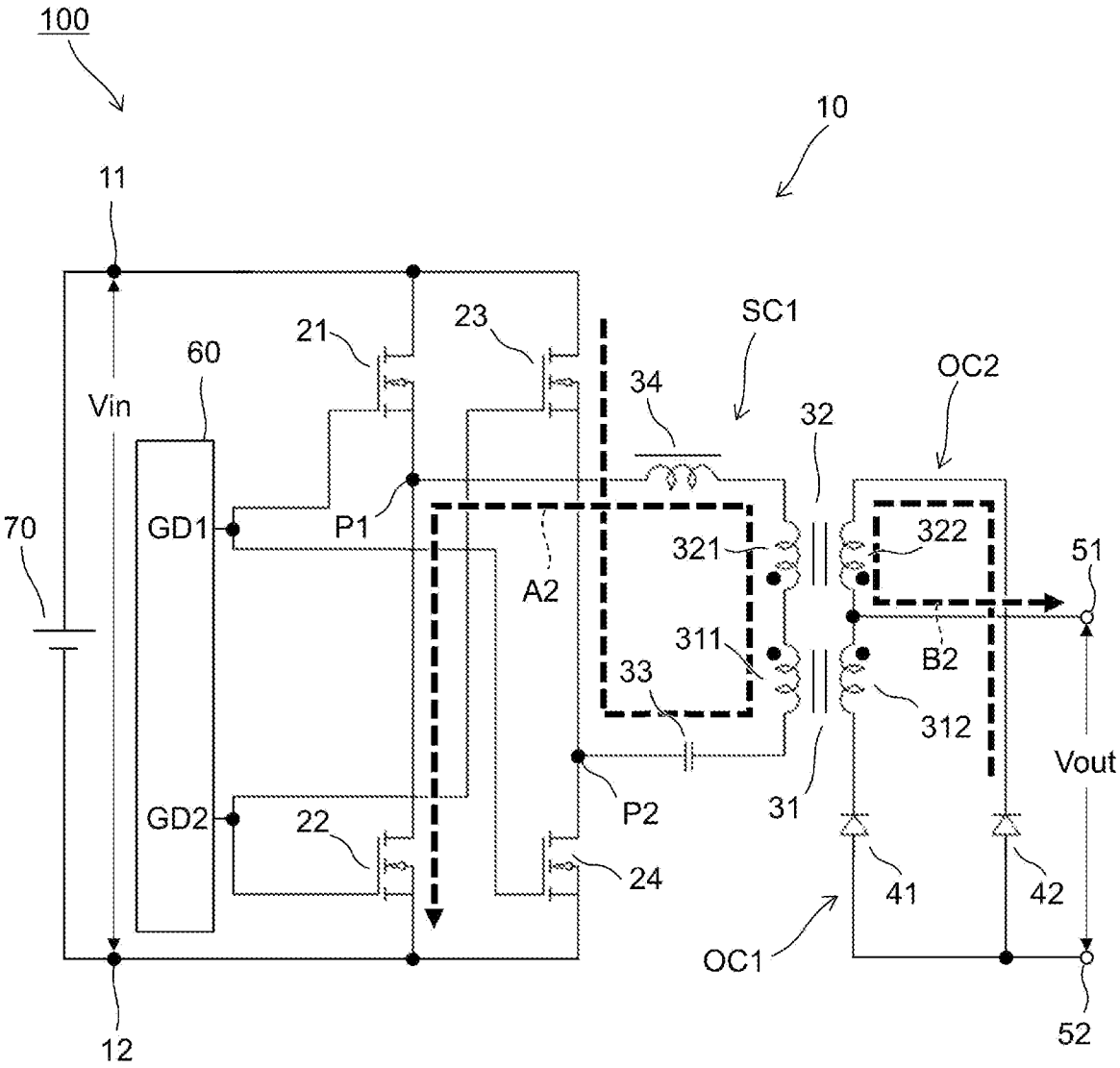
[図2]


t0 t1
t2 t3
t4 t5
t6 t7
t8 t9
dt
dt
dt
dt
dt
ST1
ST2
GD1
ON
OFF
GD2
OFF
ON
Vds1
Id1
Vds2
Id2
ON
OFF
ON
OFF
Vin
0V
0A
Vin
0V
0A

[図3]

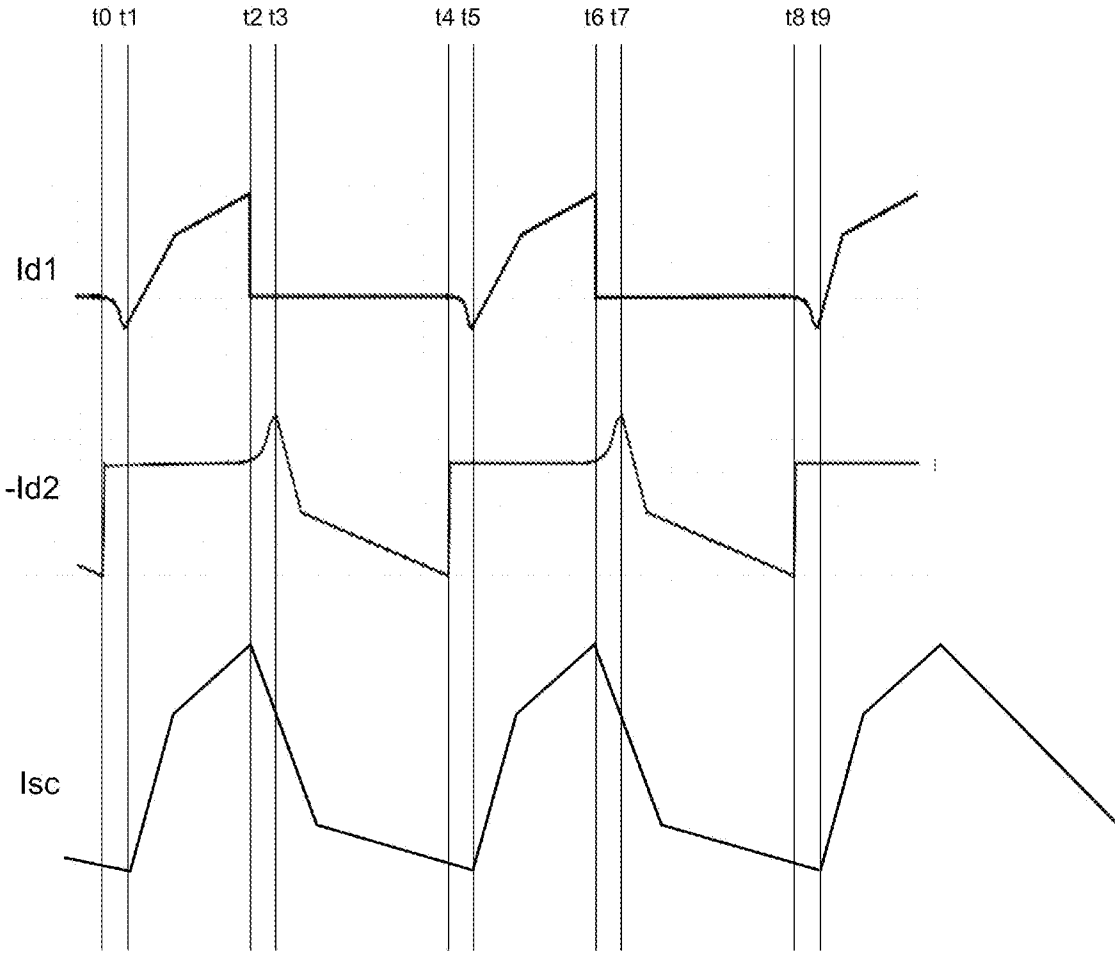

100
10
11
Vin
60
21
23
SC1
OC2
34
32
70
GD1
P1
A1
321
322
51
B1
311
33
312
Vout
GD2
22
P2
31
24
41
42
OC1
12
52

[図4]

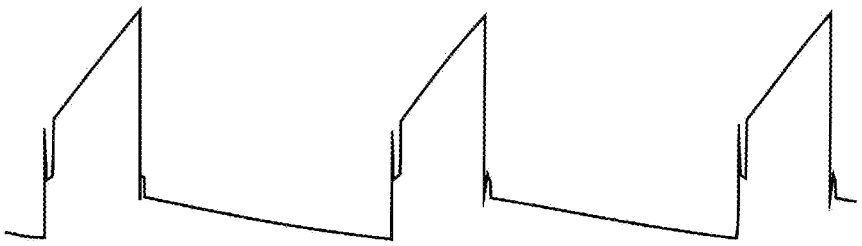

100
10
11
Vin
60
21
23
SC1
34
OC2
32
70
GD1
P1
A2
321
322
51
311
B2
33
312
Vout
GD2
22
P2
31
24
41
42
OC1
12
52

[図5]

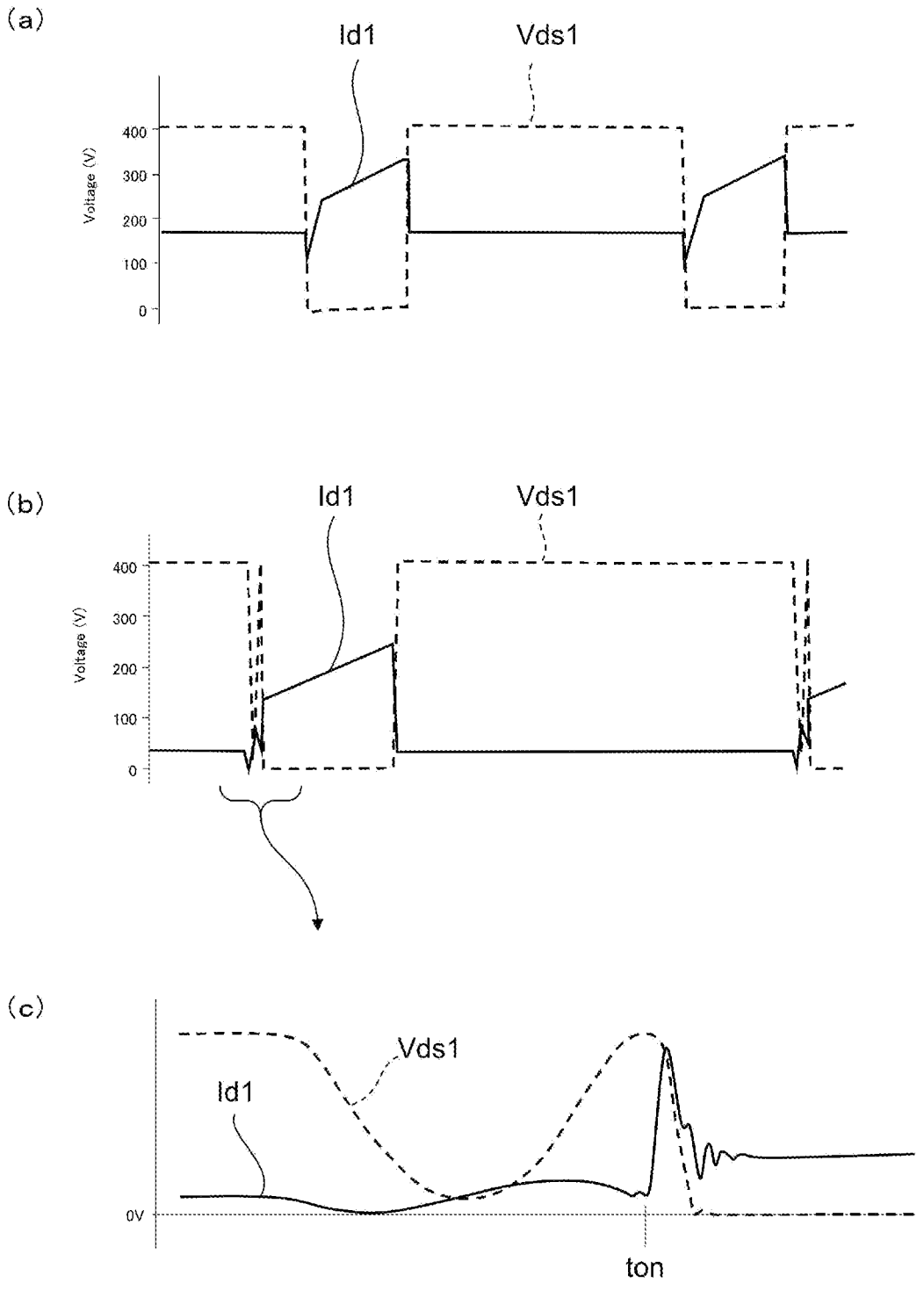
(a)



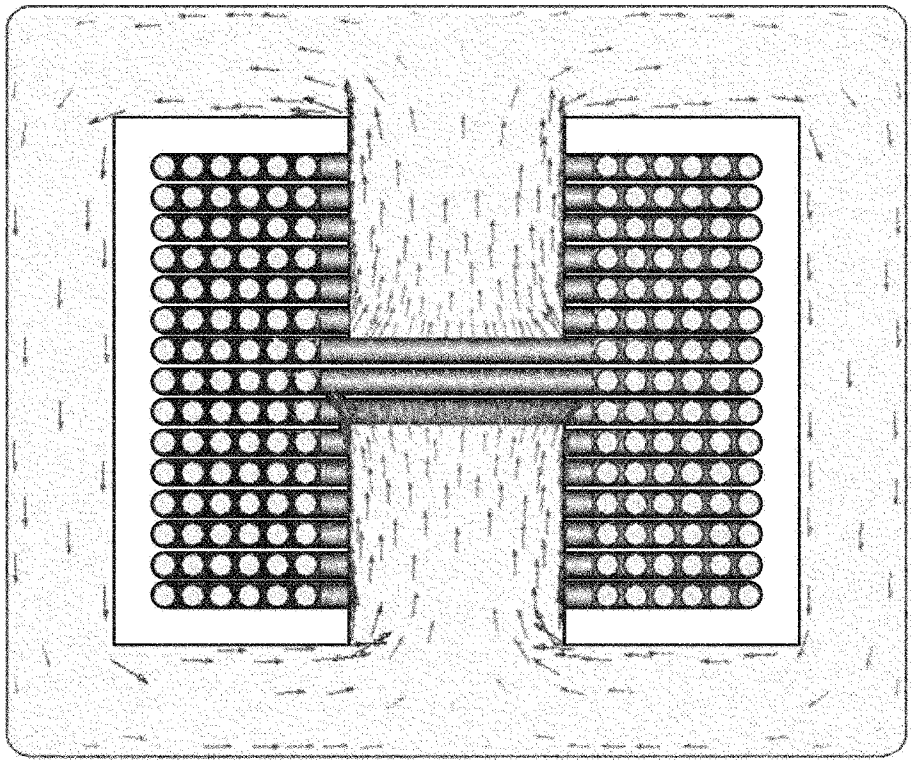
(b)



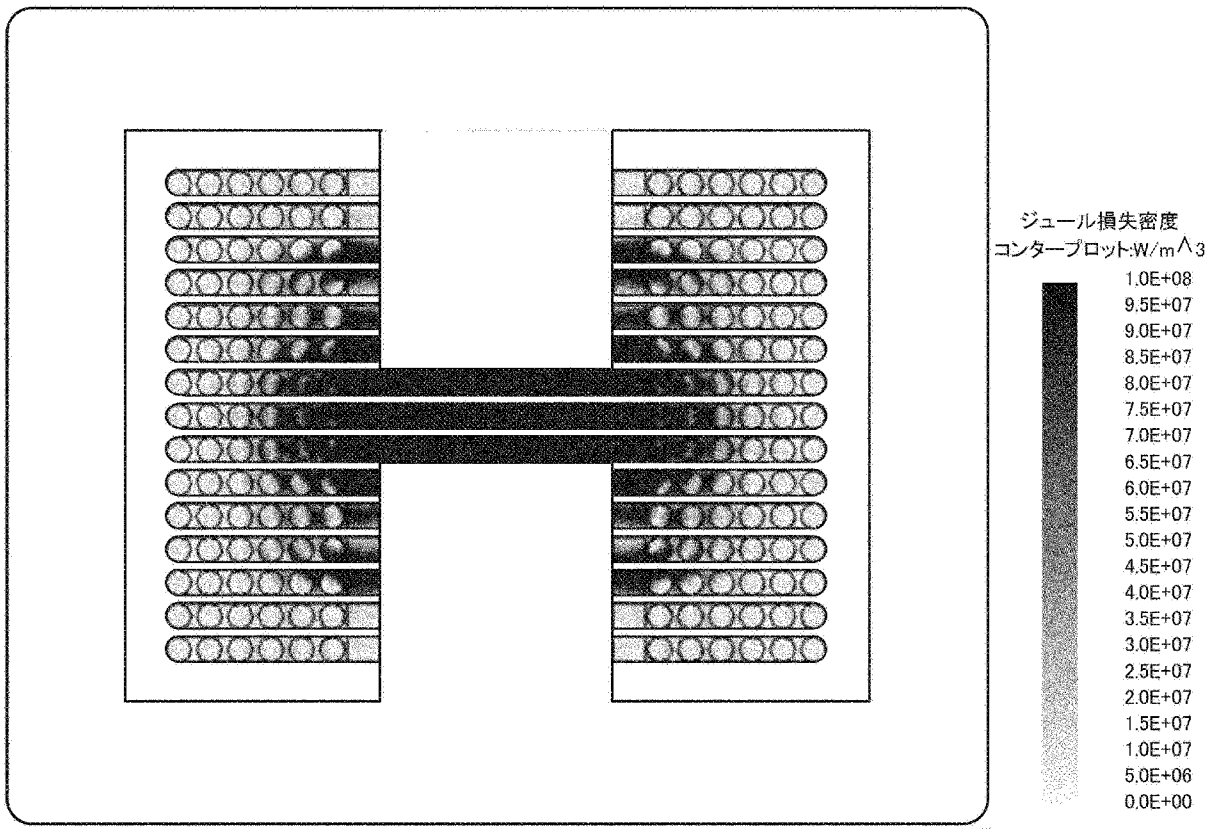
[図6]


(a)
Id1
Vds1
Voltage (V)
400
300
200
100
0
(b)
Id1
Vds1
Voltage (V)
400
300
200
100
0
(c)
Vds1
Id1
0V
ton

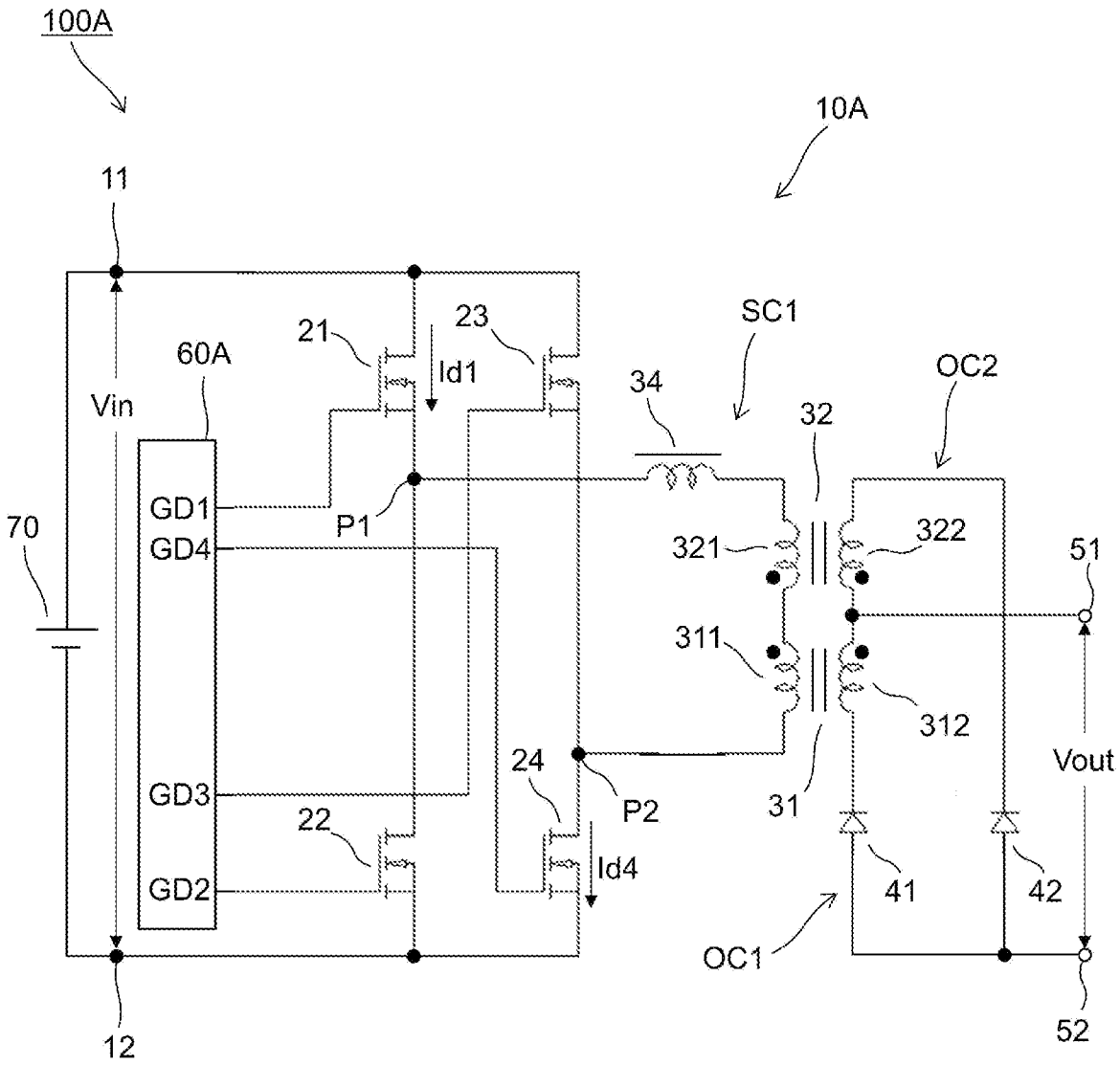
[図7]



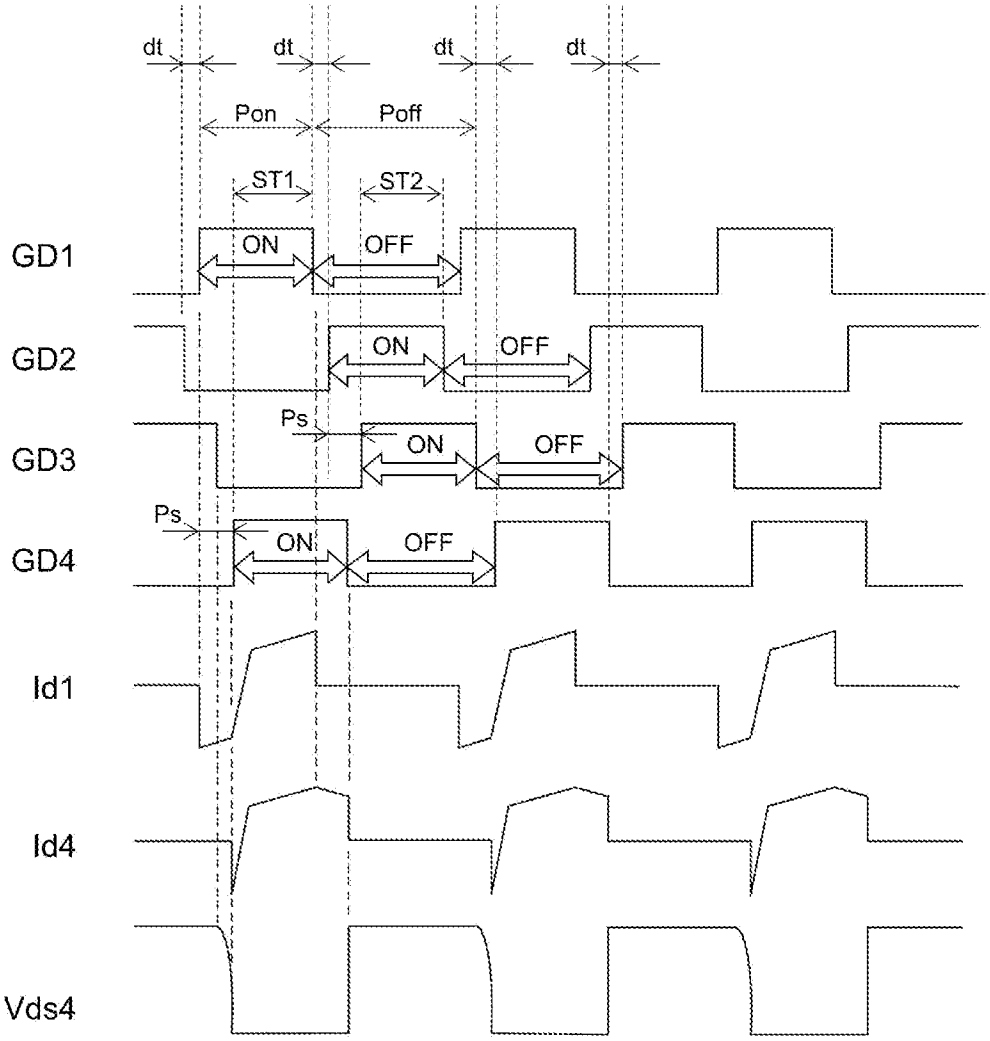
[図8]


ジュール損失密度
コンタープロット:W/m^3
1.0E+08
9.5E+07
9.0E+07
8.5E+07
8.0E+07
7.5E+07
7.0E+07
6.5E+07
6.0E+07
5.5E+07
5.0E+07
4.5E+07
4.0E+07
3.5E+07
3.0E+07
2.5E+07
2.0E+07
1.5E+07
1.0E+07
5.0E+06
0.0E+00

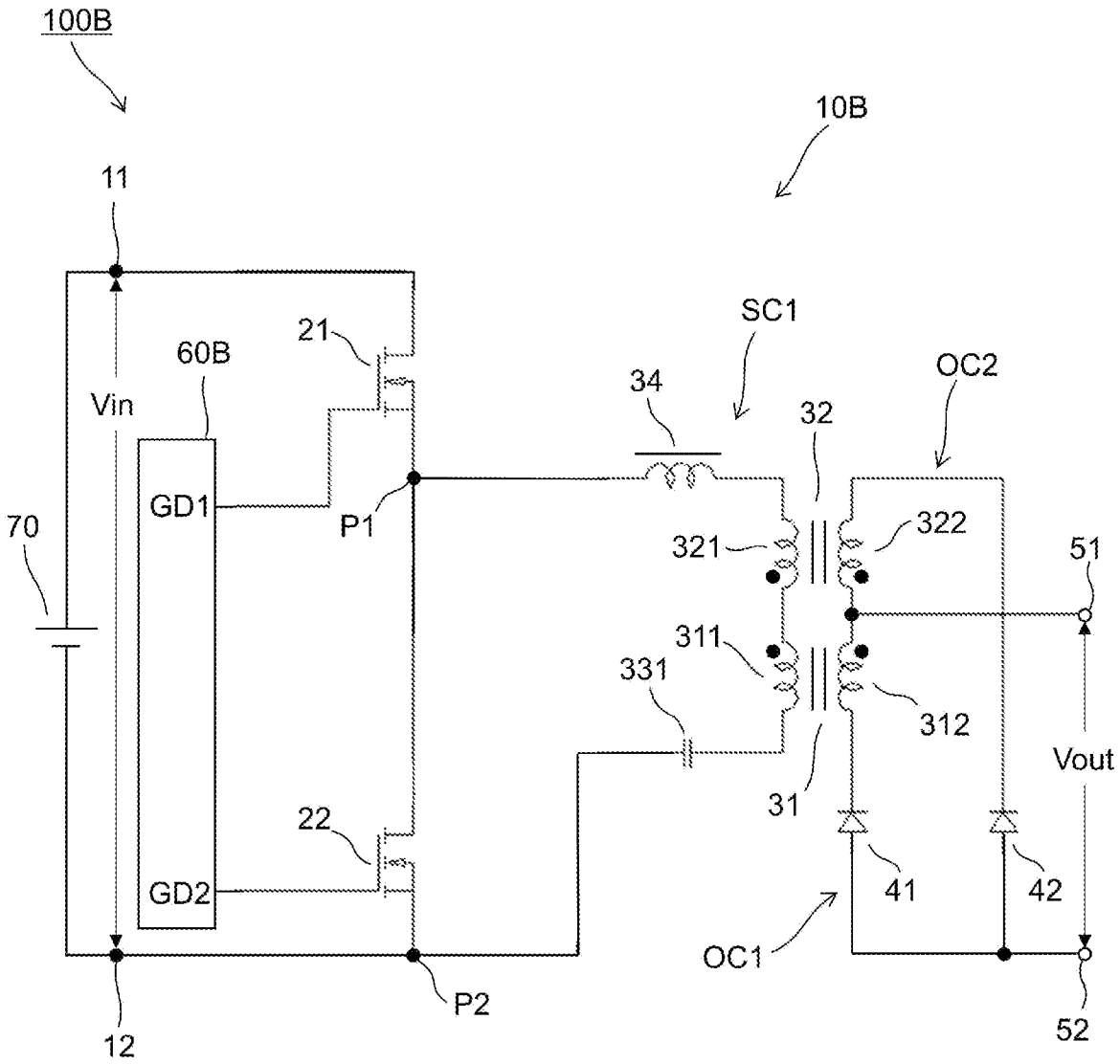
[図9]


100A
10A
11
Vin
60A
21
23
Id1
SC1
34
32
OC2
70
GD1
GD4
P1
321
322
51
311
312
GD3
24
P2
31
Vout
22
Id4
GD2
41
42
OC1
12
52

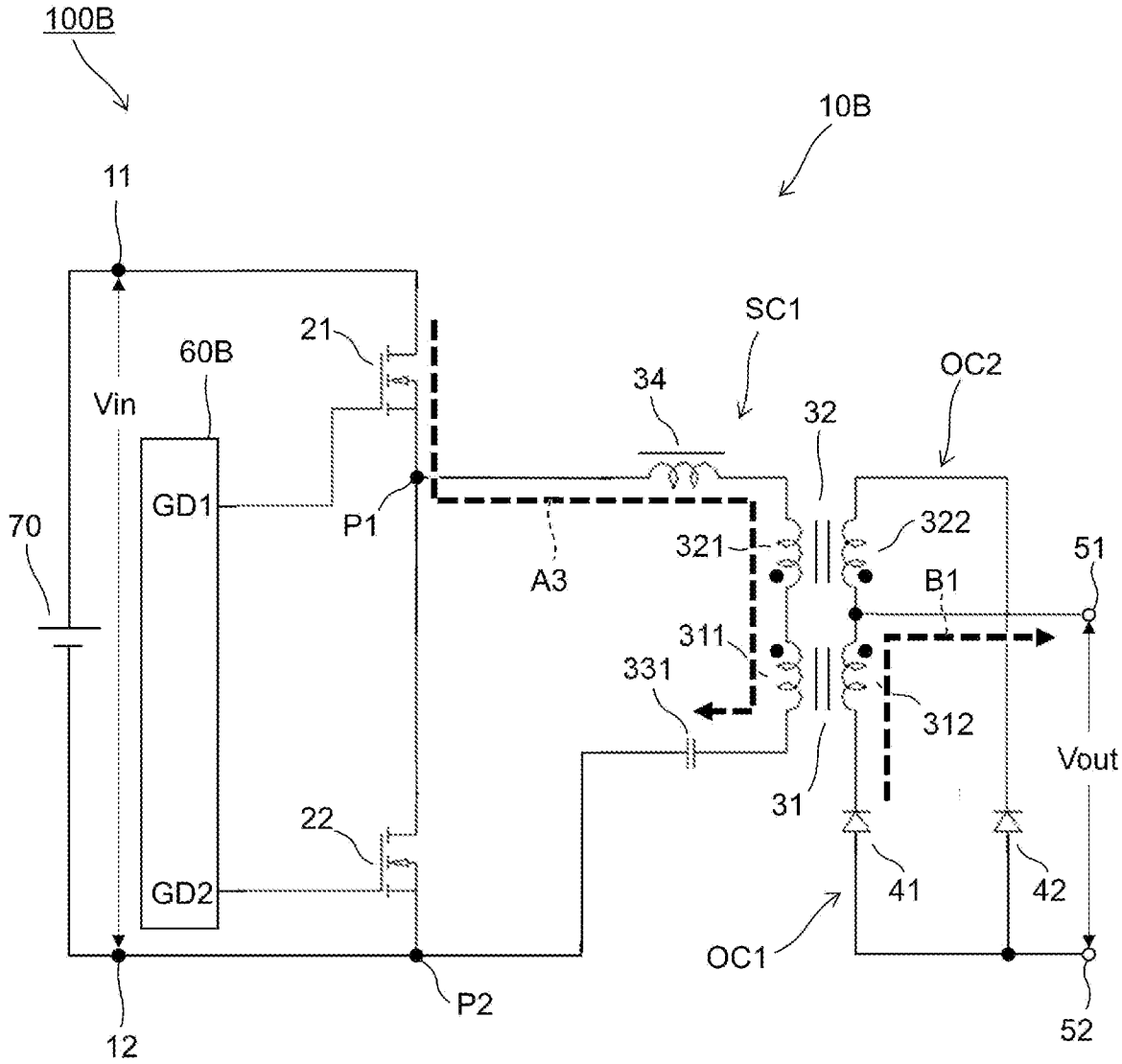
[図10]


dt
dt
dt
dt
Pon
Poff
ST1
ST2
GD1
ON
OFF
GD2
ON
OFF
Ps
GD3
ON
OFF
Ps
GD4
ON
OFF
Id1
Id4
Vds4

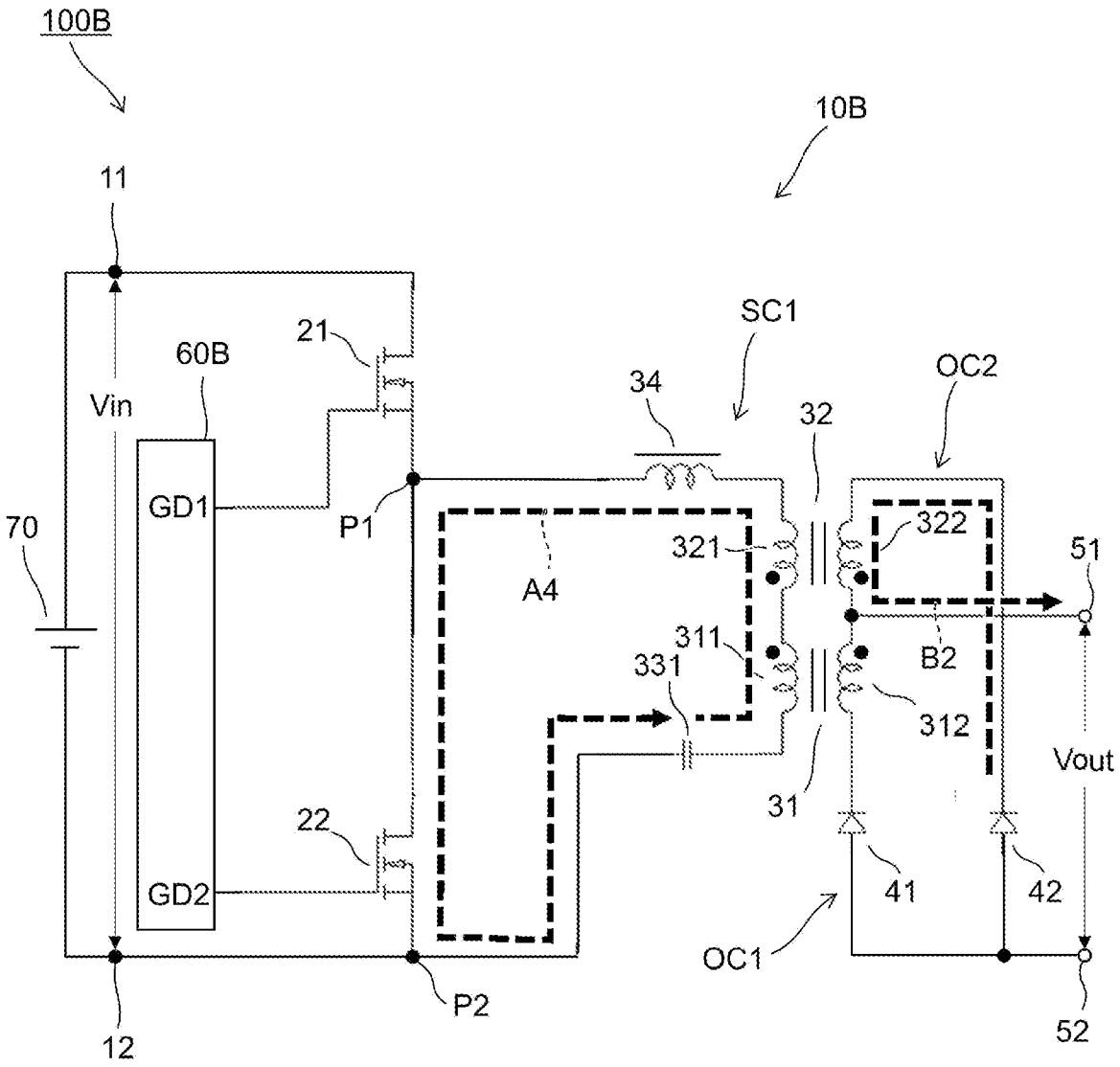
[図11]


100B
10B
11
21
60B
SC1
34
OC2
32
Vin
GD1
P1
70
321
322
51
311
331
312
Vout
31
22
GD2
41
42
OC1
P2
12
52

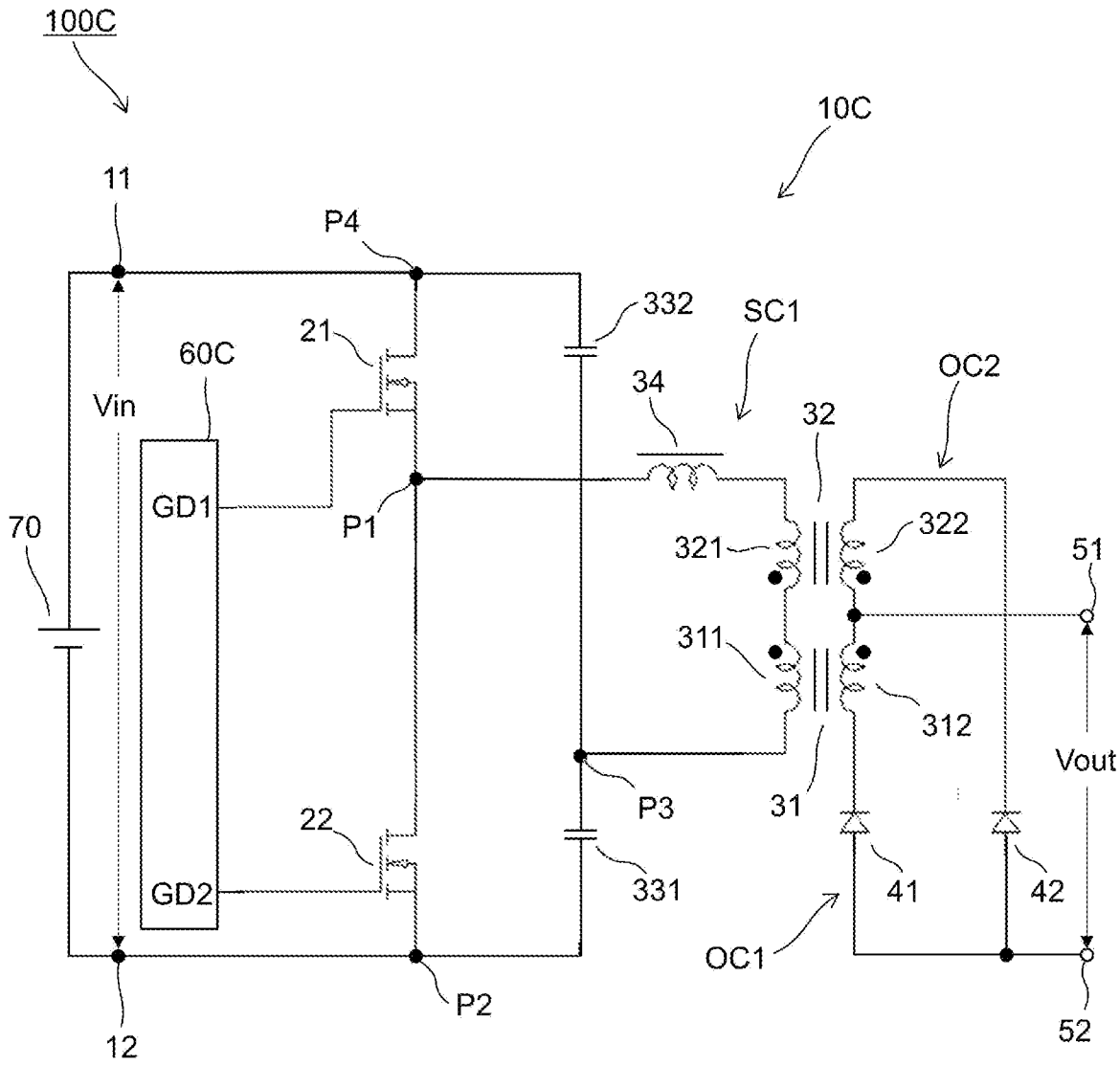
[図12]


100B
10B
11
21
60B
Vin
SC1
34
OC2
32
GD1
P1
A3
322
321
51
B1
70
311
331
312
Vout
31
22
GD2
41
42
OC1
P2
12
52

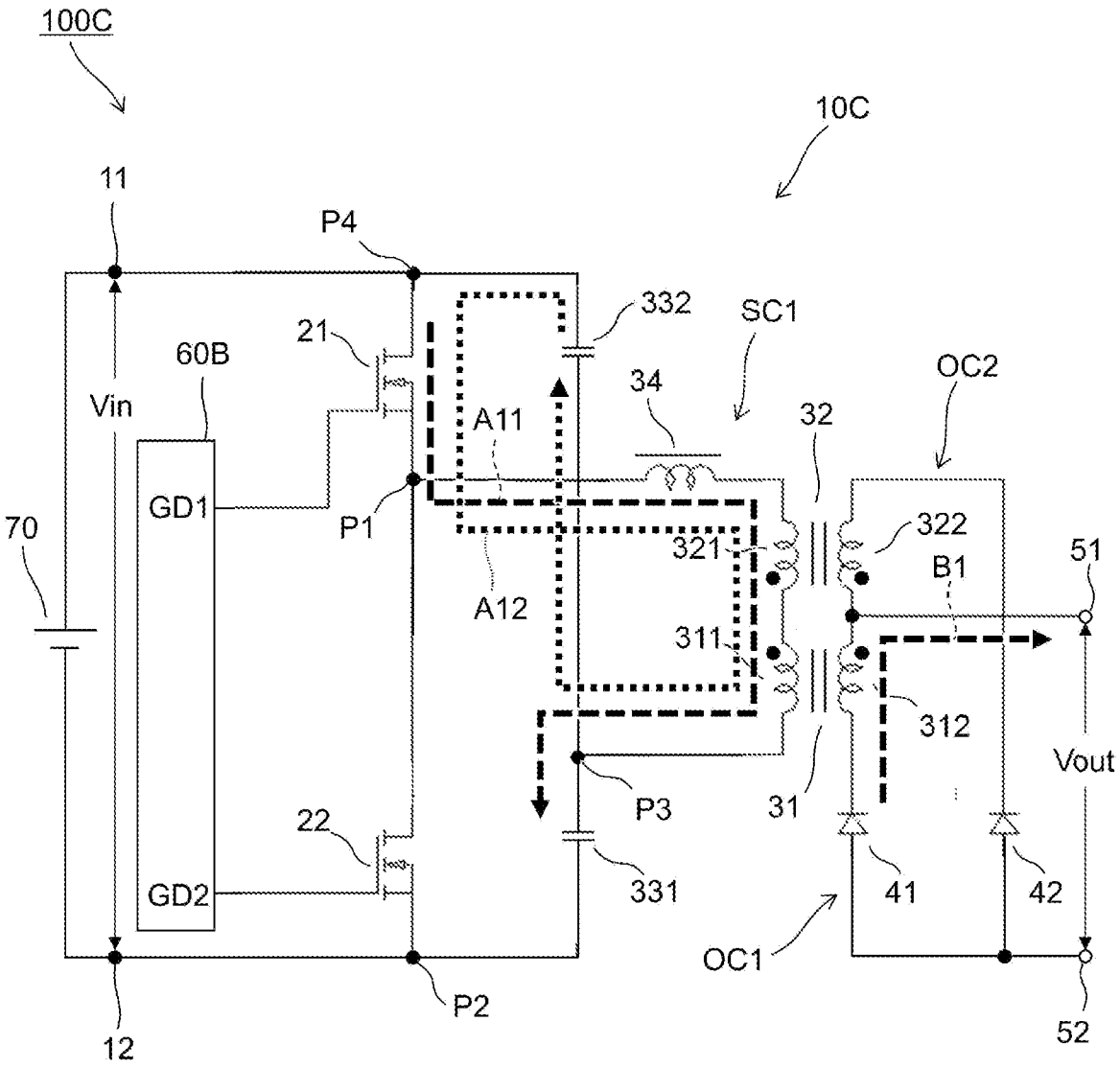
[図13]


100B
10B
11
Vin
60B
21
GD1
P1
70
A4
34
SC1
32
OC2
322
321
51
311
331
B2
312
Vout
31
22
GD2
41
42
OC1
P2
12
52

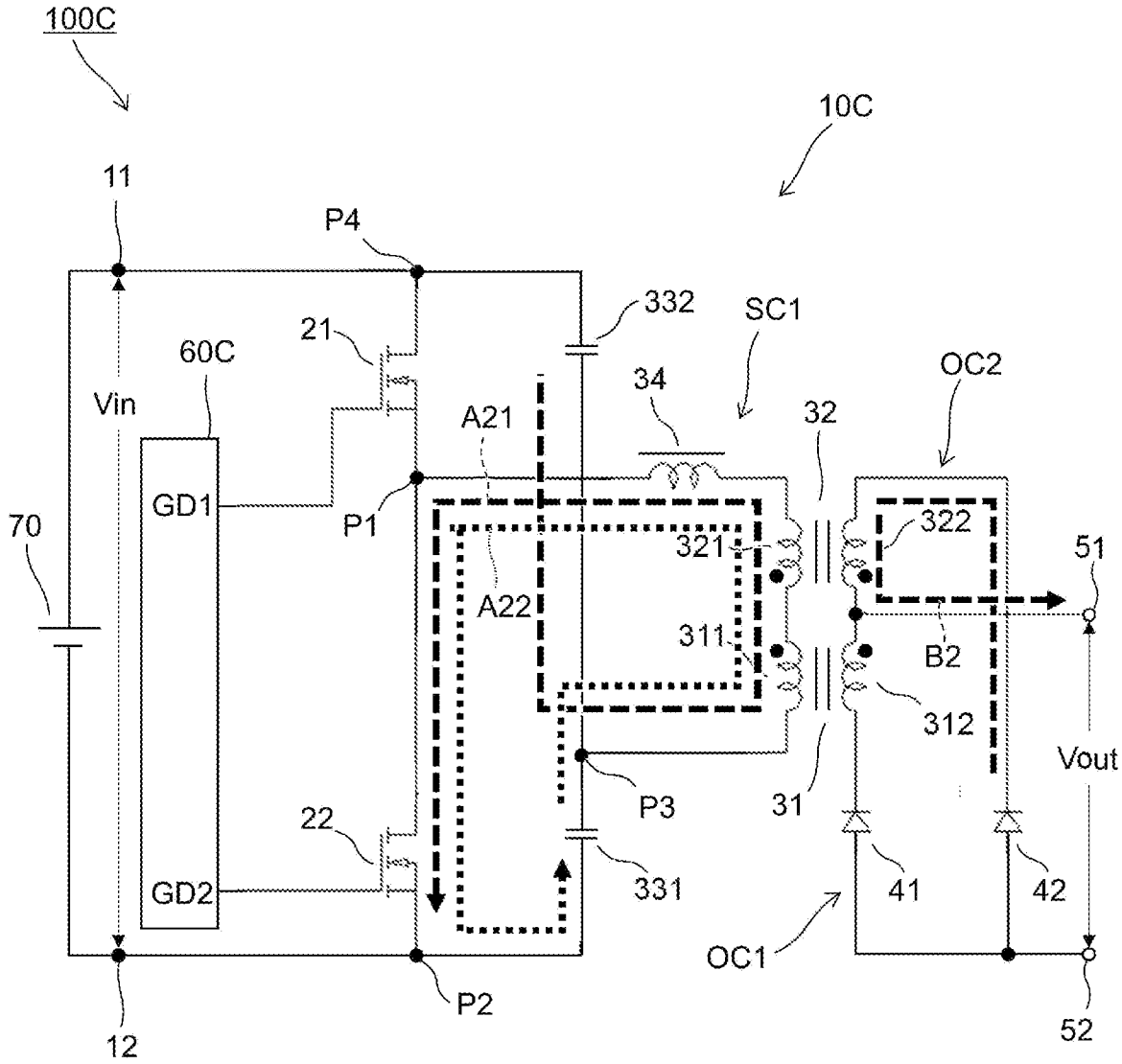
[図14]


100C
10C
11
P4
332
SC1
21
60C
34
OC2
Vin
32
GD1
P1
322
70
321
51
311
312
Vout
P3
31
22
331
41
42
GD2
OC1
P2
12
52

[図15]


100C
10C
11
P4
332
SC1
21
60B
34
OC2
Vin
A11
32
GD1
P1
322
321
B1
51
70
A12
311
312
Vout
P3
31
22
331
41
42
GD2
OC1
P2
52
12

[図16]


100C
10C
11
P4
332
SC1
21
60C
34
OC2
Vin
A21
32
GD1
P1
322
321
51
70
A22
311
B2
312
Vout
P3
31
22
331
41
42
GD2
OC1
P2
12
52

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/044428

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H02M3/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2008-54378 A (TOSHIBA CORPORATION) 06 March 2008, paragraphs [0014]-[0055], [0057], fig. 1-8, 10 (Family: none)	1-2, 4-5, 7-15 3, 6
Y	JP 2016-213383 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 15 December 2016, paragraphs [0040], [0041], fig. 1 (Family: none)	1-2, 4-5, 7-15
Y	JP 2009-136137 A (TDK CORPORATION) 18 June 2009, paragraphs [0040]-[0042], fig. 6, 7 & US 2009/0109710 A1, paragraphs [0064]-[0066], fig. 6, 7	4-5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 06.02.2019	Date of mailing of the international search report 19.02.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/044428

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-272940 A (NIPPON CHEMICON CORP.) 26 September 2003, paragraph [0003] (Family: none)	8, 14

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０４４４２８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/28(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 2008-54378 A（株式会社東芝）2008.03.06, 段落[0014]-[0055],[0057],図1-8,10（ファミリーなし）	1-2,4-5,7-15 3,6
Y	JP 2016-213383 A（パナソニックＩＰマネジメント株式会社） 2016.12.15, 段落[0040]-[0041],図1（ファミリーなし）	1-2,4-5,7-15
Y	JP 2009-136137 A（ＴＤＫ株式会社）2009.06.18, 段落[0040]-[0042],図6-7 & US 2009/0109710 A1,段落[0064]-[0066],図6-7	4-5

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０６．０２．２０１９	１９．０２．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｇ　３７９２
北嶋　賢二
電話番号　０３－３５８１－１１０１　内線　３５２６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2003-272940 A（日本ケミコン株式会社）2003.09.26, 段落[0003]（ファミリーなし）	8,14