



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 851757

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 29.10.79 (21) 2832804/18-21

(51) М. Кл.³

с присоединением заявки № —

Н 03 К 5/153

(23) Приоритет —

Опубликовано 30.07.81. Бюллетень № 28

(53) УДК 621.373

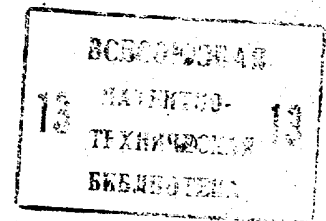
Дата опубликования описания 30.07.81

(088.8)

(72) Автор
изобретения

Ю.П. Горяев

(71) Заявитель



(54) СИНХРОНИЗАТОР ИМПУЛЬСОВ

1

Изобретение относится к импульсной технике и предназначено для точной синхронизации принимаемых импульсных сигналов относительно тактовой частоты приемного устройства.

Известна схема синхронизации импульсов, содержащая самоблокирующиеся логические схемы, элементы задержки и триггеры управления, основанная на принципе запоминания факта прихода переднего фронта входного импульса, ожидания начала ближайшего синхроимпульса и выдачи его на выход схемы [1].

Недостаток известной схемы синхронизации заключается в том, что для обеспечения требуемых временных соотношений между входным и синхронизирующим сигналами используются элементы задержки, что не только снижает точность синхронизации, но и ограничивает диапазон перестройки частоты и

2

длительности как входных, так и синхронизирующих сигналов.

Наиболее близким техническим решением к предлагаемому является устройство синхронизации импульсов, содержащее два инвертора, два элемента совпадения, RS-триггер и элемент 2И-ИЛИ, выход которого соединен с выходной шиной, а первые входы элементов И элемента 2И-ИЛИ — с выходами RS-триггера, входы которого подключены к выходам элементов совпадения, первый вход первого элемента совпадения соединен с шиной тактовых импульсов, с вторым входом первого элемента И элемента 2И-ИЛИ и входом второго инвертора, выход которого подключен к второму входу второго элемента И элемента 2И-ИЛИ и к первому входу второго элемента совпадения [2].

Недостатком такого технического решения является тот факт, что задний фронт выходного импульса схемы никак не синхронизирован, и, следовательно,

при определенных фазовых соотношениях между сигналом запроса и сигналом синхронизации длительность выходного импульса определяется моментом времени снятия сигнала запроса, что значительно снижает точность.

Цель изобретения - повышение точности синхронизации, заключающийся в надежной синхронизации как переднего, так и заднего фронтов выходных импульсов.

Поставленная цель достигается тем, что в синхронизатор импульсов, содержащий два инвертора, вход первого из которых соединен с шиной запроса, два элемента совпадения, RS-триггер и элемент 2И-ИЛИ, выход которого соединен с выходной шиной, а первые входы элементов И элемента 2И-ИЛИ с выходами RS-триггера, входы которого подключены к выходам элементов совпадения, первый вход первого элемента совпадения соединен с шиной тактовых импульсов, с вторым входом первого элемента И элемента 2И-ИЛИ и входом второго инвертора, выход которого подключен к второму входу второго элемента И элемента 2И-ИЛИ и к первому входу второго элемента совпадения, введены второй RS-триггер и третий элемент совпадения, первый вход которого соединен с выходом элемента 2И-ИЛИ, второй вход - с выходом первого инвертора и с входом S второго RS-триггера, а выход - с входом R второго RS-триггера, прямой выход которого подключен к третьим входам элементов И элемента 2И-ИЛИ, а инверсный выход к вторым входам первого и второго элементов совпадения.

На чертеже представлена блок-схема синхронизатора.

Синхронизатор содержит шину 1 запроса, которая соединена с инвертором 2, выход которого подключен к S-входу триггера 3 и входу элемента 4 совпадения, выход которого, в свою очередь, соединен с R-входом RS-триггера 3. С шиной 5 тактовых импульсов соединен вход инвертора 6, первый вход элемента совпадения 7 и второй вход первого элемента и элемента 2И-ИЛИ 8, выход которого соединен с выходной шиной 9 и с первым входом элемента 4 совпадения. Выход инвертора 6 соединен с первым входом элемента совпадения 10 и со вторым входом второго элемента И эле-

мента 2И-ИЛИ 8. Выходы элементов 7 и 10 совпадения соединены соответственно с R и S-входами триггера 11, выходы которого соединены с первыми входами элементов И элемента 2И-ИЛИ 8.

Синхронизатор импульсов работает следующим образом.

В исходном состоянии, когда еще отсутствует сигнал запроса и, следовательно, выходной сигнал также отсутствует, на обоих входах элемента 4 совпадения создаются высокие уровни напряжения, и элемент 4 принудительно устанавливает RS-триггер 3 в состояние "0". Поскольку на вторых входах элементов 7 и 10 совпадения при этом присутствует высокий потенциал, а на первые входы поочередно поступают прямые и инверсные тактовые импульсы, элементы 7 и 10 поочередно срабатывают, устанавливая RS-триггер 11 в состояние "0" и "1" с частотой следования тактовых импульсов. С поступлением на шину 1 переднего фронта импульсов запроса инвертор 2 устанавливает RS-триггер 3 в состояние "1" и тем самым блокирует дальнейшие переключения элементов 7 и 10 совпадения, а также триггера 11. Предположим для определенности, что к моменту прихода переднего фронта импульса запроса RS-триггер 11 находится в состоянии "0", т.е. на первом входе элемента 7 совпадения в данный момент времени действует высокий уровень тактового импульса. Состоянию "0" RS-триггера 11 соответствует низкий уровень напряжения на первом входе второго элемента И элемента 2И-ИЛИ 8, следовательно, этот элемент И в данном случае не принимает участия в формировании выходного сигнала. На первом входе первого элемента И элемента 2И-ИЛИ 8 в рассматриваемый момент времени также действует низкий уровень, однако, через промежуток времени, не превышающий половины периода тактовых импульсов, происходит смена уровня на высокий, на первых входах элемента 2И-ИЛИ 8 появляется набор "111", что приводит к формированию выходного сигнала на шине 9, который исчезнет еще через полпериода тактовой частоты. Если импульс запроса заканчивается раньше, чем выходной импульс, это не приводит к изменению состояния RS-триггера 3, поскольку на первом входе элемента 4 совпадения низкий

потенциал действует в течение всего времени выходного импульса. С окончанием выходного импульса, при условии отсутствия сигнала запроса, RS-триггер 3 возвращается в исходное состояние и синхронизатор импульсов оказывается подготовленным к следующему циклу работы. Полностью аналогична работа схемы и в том случае, когда RS-триггер 11 к моменту поступления сигнала запроса находится в состоянии "1". При этом первый элемент И элемента 2И-ИЛИ 8 блокируется, а в формировании выходного импульса принимает участие второй элемент И. Время ожидания выходного импульса и в этом случае не превышает половины периода следования тактовых импульсов.

Таким образом, при использовании предлагаемого синхронизатора импульсов обеспечивается стабильная длительность каждого выходного импульса и тем самым повышается точность синхронизации выходных сигналов относительно тактовой частоты.

Формула изобретения

Синхронизатор импульсов, содержащий два инвертора, вход первого из которых соединен с шиной запроса, два элемента совпадения, RS-триггер

и элемент 2И-ИЛИ, выход которого соединен с выходной шиной, а первые входы элементов И элемента 2И-ИЛИ - с выходами RS-триггера, входы которого подключены к входам элементов совпадения, первый вход первого элемента совпадения соединен с шиной тактовых импульсов, с вторым входом первого элемента И элемента 2И-ИЛИ и входом второго инвертора, выход которого подключен к второму входу второго элемента И элемента 2И-ИЛИ и к первому входу второго элемента совпадения, отличающийся тем, что, с целью повышения точности синхронизации, в него введены второй RS-триггер и третий элемент совпадения, первый вход которого соединен с выходом элемента 2И-ИЛИ, второй вход - с выходом первого инвертора и с входом S второго RS-триггера, а выход - с входом R второго RS-триггера, прямой выход которого подключен к третьим входам элементов И элемента 2И-ИЛИ, а инверсный выход - к вторым входам первого и второго элементов совпадения.

Источники информации,

принятые во внимание при экспертизе

1. Патент Франции № 2246117,

кл. Н 03 К 5/153, 1975.

2. Патент Японии № 52-50114,

кл. 98(5)С 32, 1977 (прототип).

