



Patentdirektoratet
TAASTRUP

(21) Patentansøgning nr.: 1896/89

(51) Int.Cl.6

G 06 F 12/08

(22) Indleveringsdag: 19 apr 1989

G 06 F 13/16

(41) Alm. tilgængelig: 27 nov 1989

G 06 F 13/38

(45) Patentets meddelelse bkg. den: 27 nov 1995

(86) International ansøgning nr.: -

(30) Prioritet: 26 maj 1988 US 198890

(73) Patenthaver: *International Business Machines Corporation; Armonk; N.Y. 10504, US

(72) Opfinder: Ralph Murray *Begun; US, Patrick Maurice *Bland; US, Mark Edward *Dean; US

(74) Fuldmægtig: Budde, Schou & Co. A/S

(54) Databehandlingssystemer med forsinket skrivning i et cacheadatalager

(56) Fremdragne publikationer

(57) Sammendrag:

1896-89

I et mikrodatamatanlæg med dobbelt busanlæg, hvori anvendes et cachedatalager og et cachestyreorgan, er de tidsmæssige krav, som stilles til datalagerkomponenter uden for cachelageret af cachestyreorganet strengere, end de tidskrav, som stilles af mikroprocessoren til datalagerkomponenter uden for cachedatalageret. Et logisk kredsløb behandler cacheskriveaktiveringssignalerne (CWE) og forsinker disse signaler i tilfælde af en læseoperation, hvor den ønskede information ikke findes i cachedatalageret. Forsinkelsen af CWE signalerne letter de tidsmæssige krav til datalagerkomponenter, som ligger uden for cachedatalageret, og samtidigt skal der ikke indsættes ventetilstandsparametre for læseoperationer, hvor den ønskede information ikke findes i cachedatalageret.

1896-89

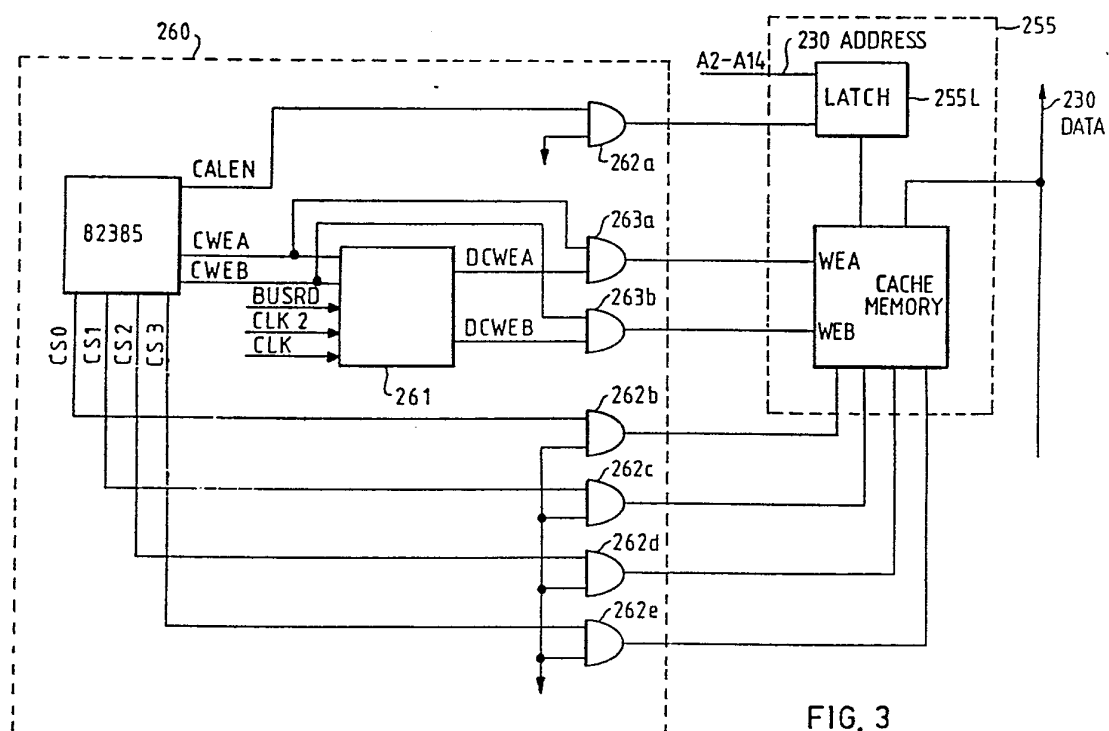


FIG. 3

Den foreliggende opfindelse angår databehandlingsanlæg med forsinket skrivning i et hurtiglager, et såkaldt cache-datalager, for tilvejebringelse af en forbedring til forøgelse af tilpasningen til langsomme datalagerkomponenter, hvor ønskede data ikke findes i cachedatalageret, uden på-
5 virkning af ventetilstandsparametrene.

Baggrundsinformation hvad angår 8386, de karakteristiske egenskaber og anvendelsen i mikrodatamatsystemer med cachedatalager delsystemer er forklaret i "Introduction to
10 the 80386", april 1986 og "80386 Hardware Reference Manual (1986)". De karakteristiske egenskaber og anvendelsen for 82385 er forklaret i publikationen "82385 High Performance 32-Bit Cache Controller", 1987. Dette skrift omtaler, at i tilfælde af manglende læsning vil data, som returnerer fra
15 hoveddatalageret, blive overført til mikroprocessoren og samtidigt blive indskrevet i cachedatalageret (se side 13, venstre spalte, linie 18-20). Alle tre publikationer er frembragt ved Intel Corporation.

I mikrodatamatsystemer, som i andre datamatsystemer, er operationshastigheden et væsentligt kriterium, som i de
20 fleste tilfælde skal afvejes mod omkostningerne ved anlægget. Mange træk, som først blev tilvejebragt til forøgelse af operationshastigheden i store datamater (mainframe computers) og minidatamater, har nu fundet vej ind i mikrodatamatanlæg-
25 gene. Dette gælder også cachedatalager delsystemer. Anvendelsen af cachedatalager delsystemer foranlediger en datamatopbygning med flere busser. Mere detaljeret forbinder, i en mikroprocessor med et cachedatalager delsystem, en første bus, som for nemheds skyld benævnes en CPU lokal bus, mikro-
30 processoren (f.eks. en 80386), et cachestyreanlæg (som kan indbefatte et 82385 cachestyreorgan) og et datalager med direkte tilgang, som virker som cachedatalager. CPU lokalbussen kan være forbundet over et bufferlager med et andet bussystem, for nemheds skyld benævnt en systembus. Andre
35 komponenter kan være forbundet med systembussen (enten direkte eller indirekte) så som hoveddatalager, indlæsnings-og

udlæsningsudstyr, et læselager, osv.

Hovedårsagen til at anvende et cachedelsystem er ønsket om at øge hastigheden af datalageroperationer ved at sætte processoren i stand til at læse fra cachedatalager
5 delsystemet i den udstrækning, den ønskede information er lageret heri. Cachedatalager delsystemet har sædvanligvis en fordel i større hastighed, sammenlignet med hoveddatalageret. I den udstrækning, at datalagerets tilgange kan begrænses til cachedelsystemet, behøver processoren ikke at kræve
10 tilgang til systembussen. Herved frigøres systembussen i væsentlig grad til anvendelse i andre operationer, f.eks. indlæsnings- og udlæsningsoperationer, DMA, osv. Dette er en anden fordel i et mikrodatamatanlæg med et cachedatalager delsystem.

15 For at kunne opretholde den ønskede rækkefølge af forskellige operationer som skal udføres, er operationen opdelt i tidsenheder, som benævnes takttilstande. I et mikrodatamatanlæg, hvori f.eks. anvendes en 80386 processor og et 82385 cachestyreorgan vil de hurtigste datalageroperationer kræve 2 taktcykler, hver på 2 takttilstande. Andre
20 operationer, som kræver mere end 2 taktcykler, omtales som havende et antal ventetilstande, hvilket antal er lig med forskellen mellem antallet af de til operationen krævede taktcykler, og de minimale 2 taktcykler (hvilket 2 taktcykler
25 også siges at have nul ventetilstande).

Efter som forøgelse af operationernes hastighed er et væsentligt kriterium, er det en fordel at sikre i videst mulige omfang, at operationerne kan udøves som operationer uden ventetilstande i modsætning til operationer med én eller
30 to ventetilstande osv.

Operationer med tilgange til cachelager er en art operationer, som er tilvejebragt med nul ventetilstande.

Skønt det er ønskeligt, at så mange datalagertilgange, som muligt, behandles ved cache deleanlægget, er det naturligvis nødvendigt tid efter anden at tilvejebringe tilgang
35 til hoveddatalageret. Et princip, som bringes i anvendelse

ved driften af et cache delanlæg, er, at i tilfælde af en læseoperation, hvor den ønskede information ikke findes i cachedelanlægget, indskrives informationen, når den er læst fra hoveddatalageret, umiddelbart i cachedelanlægget. Ved
5 at anvende dette princip, vil den læste information herefter være til rådighed i cachedelanlægget (undtagen hvis den er overført) således, at efterfølgende tilgange til den samme information ikke behøver at finde sted i hoveddatalageret. I tilfælde af en læseoperation, hvor den ønskede information
10 ikke findes i cachedelanlægget, kræves der således to operationer, (1) tilvejebringelse af tilgang til hoveddatalageret til læsning af den ønskede information, for at gøre den tilgængelig for processoren, og (2) skrivning i cachedelanlægget af den information, som netop er læst fra hoveddatala-
15 geret.

En karakteristisk egenskab ved 82385 er, at den information, hvortil skal tilvejebringes tilgang fra hoveddatalageret, idet den ikke findes i cachedelanlægget, nødvendigvis
20 gøres tilgængelig for processoren. Chipfabrikanter imødekommer denne betingelse og foreslår ét ud af to alternativer, enten udpegning af et tilstrækkelig hurtigt hoveddatalager, således at der kan tilvejebringes tilgang til data og disse data kan gøres tilgængelige for 82385 inden for det tidsrum,
25 som er nødvendigt til en fast ventetidsoperation, eller man kan forøge længden af cyklus fra, hvad der normalt kræves, ved at tilføje yderligere ventetilstande efter behov. Imidlertid er ingen af disse alternativer praktiske, idet det første alternativ pålægger forøgede omkostninger, eftersom
30 de hurtigere datalagre, som kræves for at opfylde de tidsmæssige specifikationer for 82385, nødvendigvis er mere kostbare, og det andet alternativ medfører forsinkelser ved en hvilken som helst læseoperation, hvor informationen ikke findes i cachedelanlægget, idet der dér indføres en eller
35 flere ventetilstande.

Det er et formål med den foreliggende opfindelse, at

fjerne nødvendigheden for dette valg ved forbedring af systemtilpasningen til langsommere datalagerkomponenter, uden påvirkning af ventetilstandsparametre ved læseoperationer, hvor informationen ikke findes i cachedelanlægget.

5 Ifølge opfindelsen er der tilvejebragt et databehandlingsanlæg med en processor, et cachedatalager, en grænseflade mellem cachedatalageret og hoveddatalageret og et cachestyreorgan, som er udformet til frembringelse af særlige styresignaler for ønskede aktiviteter i forhold til cache-

10 datalageret, heri indbefattet signaler (såkaldte enablesignaler), som tillader skrivning i cachedatalageret, og signaler som angår grænsefladen til cachedatalageret for tilvejebringelse af datatilgang, således som krævet af processoren, hvilket system er karakteristisk ved logiske kredsløb

15 indskudt mellem cachestyreorganet og cachedatalageret, hvilke kredsløb modtager styresignaler fra cachestyreorganet angående såvel cachedatalageret som cachegrænsefladen, heri indbefattet enablesignaler for skrivning i cachedatalageret, således at enablesignaler for skrivning i cachedatalageret

20 forsinkes ved tilstedeværelse af modtagne sammensætninger af styresignaler, som angiver manglende ønskede data i cachedatalageret, idet forsinkelsen repræsenterer forskellen mellem tidskravene for datalageret ved cachestyreorganet og mikroprocessoren.

25 En eksempelvis udførelsesform af opfindelsen forklares i det følgende nærmere under henvisning til tegningen, på hvilken:

fig. 1 er en samlet 3-dimensional afbildning af et typisk mikrodatamatanlæg, hvori den foreliggende opfindelse

30 anvendes,

fig. 2 er et detaljeret blokdiagram over størstedelen af de komponenter, som indgår i et typisk mikrodatamatanlæg, hvori den foreliggende opfindelse anvendes,

fig. 3 er et detaljeret blokdiagram over et cachestyreorgan, et datalager med direkte tilgang, et logisk kredsløb

35 og bufferlagre, som indgår i den foreliggende opfindelse,

fig. 4 er et tidsdiagram, som anskueliggør de forskellige tidskrav i cachestyreorganet og mikroprocessoren,

fig. 5A-5C anskueliggør den ved opfindelsen tilvejebragte operation i tilknytning til indskrivningen i cachelageret af information, som kun fandtes i hoveddatalageret, samt indskrivning i cachelageret, som ikke skyldes, at informationen kun fandtes i hoveddatalageret.

I fig. 1 er vist et typisk mikrodatamatanlæg, hvori den foreliggende opfindelse kan anvendes. Som vist indbefatter mikrodatamatanlægget 10 et antal komponenter, som er indbyrdes forbundne. Mere detaljeret er systemenheden 30 forbundet med og driver en monitor 20 (såsom et kendt video-fremvisningsapparat). Systemenheden 30 er også forbundet med indlæsningsindretninger, så som et tastatur 40 og en mus 50. En udlæsningsindretning, så som en printer 60, kan også være forbundet med systemenheden 30. Endelig kan systemenheden indbefatte et eller flere diskdrev, så som diskdrevet 70. Som nedenfor forklaret påvirkes systemenheden 30 af indlæsningsindretninger, så som tastaturet 40 og musen 50, og indlæsnings/udlæsningsindretninger så som diskdrevet 70, for tilvejebringelse af signaler til at drive udlæsningsindretningerne så som monitoren 20 og printeren 60. Naturligvis er det kendt af fagmanden indenfor området, at andre kendte komponenter kan blive forbundne med systemenheden 30 til samvirke hermed. Ifølge den foreliggende opfindelse indbefatter mikrodatamatanlægget 10 (hvilket vil blive beskrevet mere detaljeret) et cachedatalager delanlæg, således at der er tilvejebragt CPU lokalbus, som tilvejebringer forbindelse mellem en processor, et cachestyreorgan og et cachedatalager, hvilken CPU lokalbus over et bufferlager er forbundet med en systembus. Systembussen tilvejebringer forbindelse mellem og samvirker med indlæsnings/udlæsningsindretningerne, såsom tastaturet 40, musen 50, diskdrevet 70, monitoren 20 og printeren 60. Yderligere kan systemenheden 30 ifølge den foreliggende opfindelse også indbefatte en tredje bus, som er tilvejebragt som en Micro Channel (TM) bus for tilveje-

bringelse af forbindelse mellem systembussen og andre (valgfrie) indlæsnings/udlæsningsindretninger, datalagre osv.

Fig. 2 er et højniveaus blokdiagram, som anskueliggør de forskellige komponenter i et typisk mikrodatamatanlæg som er tilvejebragt ved den foreliggende opfindelse. En CPU lokalbus 230 (som indbefatter data-, adresse- og styrekomponenter) er tilvejebragt for at forbinde en mikroprosessor 225 (så som en 80386), et cachestyreanlæg 260 (som kan indbefatte et 82385 cachestyreorgan), og et cachedatalager 255, med direkte tilgang. Tillige er et bufferlager 240 forbundet med CPU lokalbussen 230. Bufferlageret 240 er igen forbundet med systembussen 250, som også indbefatter adresse-, data- og styrekomponenter. Systembussen 250 forløber mellem bufferlageret 240 og et yderligere bufferlager 253.

Systembussen 250 er tillige forbundet med et busstyrings- og tidselement 265 og et DMA styreorgan 325. En udpegningsovervågningsbus 340 forbinder busstyrings- og tidselementet 265 og et centralt udpegningsselement 335. Datalageret 350 er tillige forbundet med systembussen 250. Datalageret 350 indbefatter et datalagerstyreelement 351, en adressemultiplexer 352 og et databufferlager 353. Disse elementer er indbyrdes forbundne med datalagerelementer 361-364, som vist i fig. 2.

Et yderligere bufferlager 267 er indskudt mellem systembussen 250 og en planbus 270. Planbussen 270 indbefatter adresse-, data-, og styrekomponenter. Forbundne langs planbussen 270 er et antal indlæsnings/udlæsningstilpasningsled og andre komponenter, så som fremvisningstilpasningsorganet 275 (som anvendes til at drive monitoren 20), en taktgenerator 280, yderligere datalagre 285 med direkte tilgang, RS 232 tilpasningsled 290 (som anvendes ved serielle indlæsnings/udlæsningsoperationer), et printertilpasningsled 295 (som kan anvendes til at drive printeren 60), et tidsorgan 300, et diskettetilpasningsled 305 (som samvirker med diskdrevet 70), et afbrydelses styreorgan 310 og et læselager

315. Bufferlageret 253 tilvejebringer en grænseflade mellem systembussen 250 og en valgfri funktionsbus, så som MC Micro-Channel (TM) bus 320, som repræsenteres ved Micro-Channel (TM) tilslutninger. Indretninger så som et datalager 331
5 kan være forbundet med bussen 320.

Selvom data for indskrivning i cachelageret kan udledes fra datalageret 350, kan sådanne data også afledes fra andre datalagre, så som et datalager, som er forbundet på Micro-Channel (TM) bussen.

10 I et kendt 80386/82385 mikrodatamatanlæg skal brugeren udpege det ene af to ikke attraktive alternativer i forbindelse med datalageroperationer, og især i forbindelse med operationer, som følger efter en situation, hvor informationen ikke kunne aflæses i cachelageret.

15 I et sådant anlæg placerer mikroprosessen 225 under en læsecyklus en adresse på adressekomponenten i CPU lokal bus 230. Cachestyreanlægget 260 er indrettet til at kunne påvirkes af adressen, og styreanlægget afgør hvorvidt den ønskede information er placeret i cachedatalageret 255.
20 Hvis informationen findes i cachedatalageret 255, adresseres cachedatalageret 255, der placerer data på datakomponenten på CPU lokal bussen, hvor data er tilgængelige for mikroprosessen 225. I det tilfælde, at den ønskede information ikke findes i cachedatalageret 255, bringer cachestyreanlægget 260 bufferen 240 i en sådan tilstand, at adressen
25 kan overføres fra CPU lokalbus 230 til systembus 250. Når den ønskede adresse når systembussen 250, er den til rådighed for datalageret 350, og efter en tidsperiode, som kræves ud fra datalageret 350's karakteristiske egenskaber, optræder
30 de adresserede data på datakomponenten på systembus 250. Data overføres gennem bufferen 240, hvor data er tilgængelige både for cachedatalageret 255 og for mikroprosessen 225. Informationen vil blive anvendt i cachedatalageret 255 til indskrivning heri, således at i det tilfælde, at den samme
35 information kræves er det ikke nødvendigt at udøve en yderligere tilgang til datalageret 350. Tilsvarende operationer

kan indtræde med datalageret på planbussen 270 eller på den valgfri funktionsbus. I tilslutning til anvendelse af den valfrie operationsbus overføres adresseinformationen gennem bufferlageret 253 til datalageret på den valgfri funktions-
 5 bus. Data fra et sådant datalager føres tilbage gennem bufferlageret 253 og systembussen 250 til CPU lokalbussen 230 over bufferlageret 240.

Som tidligere nævnt kræver de karakteristiske egenskaber ved 82385 imidlertid, at den information, som er
 10 tilvejebragt i tilknytning til, at informationen ikke var indskrevet i cachedatalageret, skal være til rådighed på CPU lokalbussen til indskrivning i cachedatalageret 255, før informationen kræves ved processoren 225. Med andre ord de tidsmæssige krav, som stilles til datalageret 350 eller
 15 andre datalagre ved 82385, er strengere, end de tidskrav, som stilles ved 80386.

Fabrikanten af 82385 foreslår således, at brugeren enten kan:

- 20 1) udpege datalagerelementer (så som elementer 361-364) i hoveddatalageret 350 eller andre datalagre således, at anlægget er hurtig nok til at opfylde tidskravene fra 82385 med en angivet ventetilstand, eller
- 2) sikre, at de to operationer, som tilvejebringes, når
 25 information ikke kan læses i cachelageret, indtager en yderligere ventetilstand.

Som beskrevet senere fjerner den foreliggende opfindelse disse krav til udpegning af en ud af to uønskede alternativer, ved i virkeligheden at fjerne de strenge tidskrav,
 30 som dikteres af cachestyreanlægget 260, således at de tidskrav, som stilles til hoveddatalageret 350 eller andre datalagre ikke er strengere, end de tidskrav, som stilles ved mikrodatamaten 225.

For at kunne udøve den foreliggende opfindelse er der
 35 til cachestyreanlægget 260 føjet flere logiske elementer ud over 82385-chippen, som anskueliggjort i fig. 3.

Fig. 3 viser i blokdiagramform de enkelte komponenter i cachestyreanlægget 260 og i cachedatalageret 255. Nærmere forklaret er cachedatalageret 255 forbundet med datakomponenten i CPU lokalbussen 230 og over holdeorganet 255L med
 5 adressekomponenten i CPU lokalbussen 230.

Cachestyreanlægget 260 indbefatter 82385 cachestyreorganet samt det logiske element 261. Fig. 3 viser de udgangssignaler fra 82385, som er af betydning for cache skriveoperationerne. Disse indbefatter aktivering af cacheholdeorgan (CALEN), og cacheskriveaktiveringssignalerne indbefatter CWEA (for bank A) og CWEB (for bank b) og chipudpegnings-
 10 signalerne CS0, CS1, CS2 og CS3.

Som vist i fig. 3 modtager det logiske element 261 som indgangssignaler CWEA og CWEB sammen med 2 taktsignaler, CLK
 15 og CLK2 (det første har nøjagtigt den halve frekvens af det sidste) og BUSRD (hvilket angiver en systembuslæseoperation). BUSRD bliver aktiv for operationer, som finder sted på systembussen 250. Enhver læsning af datalagre (bortset fra cachelageret) finder sted (i det mindste delvis) på system-
 20 bussen 250.

Det logiske element 261 påvirkes af indgangssignalerne og frembringer under egnede omstændigheder DCWEA (Delayed Cache Write Enable A), eller DCWEB (Delayed Cache Write Enable B). Mere detaljeret betyder det, at i tilfælde af,
 25 at CWEA er aktiv og BUSRD er aktiv (hvilket ufravigeligt angiver, at den ønskede information ikke kan læses i cachedatalageret), vil på det egnede tidspunkt DCWEA blive frembragt. På tilsvarende vis vil på det egnede tidspunkt, ved tilstedeværelsen af et aktivt CWEB og et aktivt BUSRD, blive
 30 frembragt et DCWEB.

Det logiske element 261 udsender DCWEA og DCWEB, idet hver af dem udgør et indgangssignal til de tilknyttede logiske porte 263A eller 263B. Hver af disse porte modtager også et tilsvarende indgangssignal fra den tilknyttede udgang
 35 på 82385, dvs. port 263A modtager sit andet indgangssignal fra CWEA og på tilsvarende vis modtager 263B sit andet ind-

gangssignal tilvejebragt ved CWEB.

Ud over de logiske porte 263A og 263B indbefatter cachestyreanlægget 260 yderligere et bufferlager 262 til forsinkelse af udsendelse af aktiveringssignaler (chip select
5 signaler), idet bufferlageret indbefatter bufferelementerne 262a-262e, et element for hver af signalerne CALEN, CS0, CS1, CS2 og CS3. Som vist i fig. 3 er hvert element i bufferlageret 262 en logisk port, som til stadighed er delvis aktiveret (derved at den ene indgang er bundet til det egnede
10 potentiale). Det andet indgangssignal til bufferelementerne kommer fra de tilsvarende udgange på 82385. Udgangssignalet fra bufferelementet 262a virker som indgangssignal til styreindgangen på holdeorganet 255L. Udgangssignalet fra bufferelementerne 262b-262e virker direkte som indgangssignaler
15 til cachedatalageret 255 som CS0-CS3.

Før forklaringen på driften af komponenterne i fig. 3 henvises der til fig. 4 til anskueliggørelse af en egnet tidsfordeling.

Fig. 4 viser tre tidsdiagrammer. Hvert af diagrammerne
20 begynder på det tidspunkt, hvor en systembus operation indtræder, dvs. når BUSRD bliver aktiv. Den linie, som er benævnt 80386, viser, at til tiden MT1, som ligger efter begyndelsen af en læseoperation, hvor informationen ikke er placeret i cachedatalageret, er de fra datalageret udsendte
25 data gyldige. Tiden MT1 er den tids tolerance, som pålægges datalageret ud fra krav fra 80386.

På den linie i fig. 4, som er benævnt 82385, er det ved 82385 krævede tidsrum anskueliggjort. Det betyder, at 82385 frembringer CWEA og CWEB således, at gyldige data må
30 være tilgængelige fra datalageret til tiden MT2, dvs. på et tidspunkt, før de gyldige data er krævede ved 80386. Fig. 4 viser således de strengere tidskrav (MT2) fra 82385 sammenlignet med de mindre stramme tidskrav (MT1) fra 80386.

Fig. 4 viser også virkningen af de logiske element
35 261. Udgangssignalerne DCWEA og/eller DCWEB fra det logiske element 261 følger de mindre strenge tidskrav fra 80386.

DCWEA og/eller DCWEB bliver forsinket med den i fig. 4 viste "forsinkelse" i forhold til CWEA og CWEB. Ved denne forsinkelse er således de mindre strenge tidskrav fra 80386 de eneste tidskrav, som pålægges hoveddatamaten 350 i tilslutning til udlæsning af information, som ikke findes i cachedatalageret. Herved er der tilvejebragt mulighed for, at der kan anvendes mindre kostbare datakomponenter i forhold til de komponenter, som ville være krævet til 82385 for at kunne færdiggøre en udlæsning af information, som ikke findes i cachedatalageret, inden for et givet antal ventetilstande.

Ved de indre komponenter i det logiske element 261 anvendes følgende logiske ligninger:

$\text{/DCWEA} = \text{/BUSRD} \ \& \ \text{/CLK} \ \& \ \text{/CWEA}$

$\text{/DCWEB} = \text{/BUSRD} \ \& \ \text{/CLK} \ \& \ \text{/CWEB}$

hvor operatoren "&" er et logisk OG, og operatoren "/" repræsenterer negationen, medens de andre signalelementer bortset fra BUSRD allerede er blevet defineret.

Fig. 5A-5C anvendes i tilknytning til forklaring af driften af de fig. 3 viste elementer. Især viser 5A et typisk CWE signal. Signalet har to overgange, en første nedadgående overgang og en anden opadgående overgang. Cachedatalageret er indrettet til at udøve en skrivehændelse ved den opadgående overgang af CWE, således som vist i fig. 5A.

Fig. 5B viser typisk CWE, DCWE og udgangssignalet fra porten (enten 263A eller 263B) i tilknytning til en tilstand med udlæsning af information, som ikke findes i cachedatalageret. Som vist på den første linie frembringes CWE signalet ved 82385. I en tilstand, hvor informationen ikke kan udlæses fra cachedatalageret, frembringes det logiske element 261 DCWE forsinket i forhold til CWE med en egnet forsinkelse. Den tredje linie i fig. 5B (benævnt GATE) viser udgangssignalet fra den pågældende port (263A eller 263B). Udgangssignalet fra porten 263 er tilvejebragt med en nedadgående overgang, som frembringes som følge af den nedadgående overgang i CWE. Når CWE signalet foretager en opadgående overgang, forbliver udgangssignalet fra porten

logisk lavt, på grund af det lave indgangssignal fra DCWE. Det er kun, når DCWE går opad, at udgangssignalet fra porten også går logisk højt, således at tidsfastsættelsen af skrivehændelsen bevirkes ved den opadgående overgang DCWE. Som vist i den tredje linie i fig. 5B forsinkes skrivehændelsen ved den forsinkelsesstørrelse som pålægges ved det logiske element 261, sammenlignet med den opadgående overgang i CWE.

Fig. 5C viser driften under en skrivning i cachelageret, som ikke skyldes, at information kun kunne aflæses i hoveddatalageret. Den første linie i fig. 5C (benævnt CWE) viser CWE signalet, således som dette frembringes ved 82385. Efter som fig. 5C anskueliggør en indskrivning i cachelageret, som ikke skyldes, at informationen kun kunne tilvejebringes fra hoveddatalageret, viser DCWE ikke nogen overgang overhovedet (BUSRD forbliver inaktiv). Som følge heraf er udgangssignalet fra porten (263A eller 263B) synkront med CWE, således at skrivehændelsen overhovedet ikke forsinkes.

I en udførelsesform af opfindelsen, som aktuelt er blevet opbygget, er varigheden af forsinkelsen i størrelsesorden 25 nanosekunder.

De logiske ligninger, hvortil er henvist tidligere, gengives umiddelbart herefter. I disse ligninger har symbolerne følgende betydning:

25

Symbol	Definition
/	Negation
:=	Registreret udtryk, lig med
=	kombinatorisk udtryk, lig med
30 &	logisk OG
+	logisk ELLER

Logiske ligninger

```

/BUSRD:=BUSRD & BUSCYC385 & /BADS & /(BW/R) & CLK      (1)
+ BUSRD & /PIPECYCLE385 & /(BW/R) & CLK
5 + /BUSRD & BREADY
+ /BUSRD & /MISS1 + /BUSRD & /CLK

/BUSCYC385:=BUSCYC385 & /BADS & CLK                      (2)
+ BUSCYC385 & /PIPECYC385 & CLK
10 + BUSCYC385 & /BT2 & CLK
+ /BUSCYC385 & BREADY + /BUSCYC385 & /CLK

/PIPECYC385:=PIPECYC385 & /BADS & /BUSCYC385 & CLK &      (3)
/BREADY
15 + PIPECYC385 & /MISS1 & BT2 & /BUSCYC385 & CLK &
/BREADY
+ /PIPECYC385 & /CLK

/MISS1:=MISS1 & BUSCYC385 & CPUNA & /BADS & /(BW/R) &      (4)
20 CLK & NCA
+ MISS1 & /BUSCYC385 & /BADS & /(BW/R) & CLK & NCA &
/BREADY
+ /MISS1 & /CLK
+ /MISS1 & BREADY
25

/CPUNA:=/MISS1 & CLK & CPUNA & /NACACHE                    (5)
+ /MISS1 & CLK & CPUNA & /BREADY & /BUSCYC385
+ /CPUNA & /CLK + /CPUNA & /MISS1 & CLK
+ /CPUNA & CLK & BREADY
30 + /CPUNA & BUSCHYC385 & NACACHE & CLK

/BT2:=BUSCYC385 & PIPECYC385 & /BADS & CLK & BT2          (6)
+ BUSCYC385 & /PIPECYC385 & BADS & CLK & NACACHE &
BT2
35 + MISS1 & /BUSCYC385 & /BADS & /BW/R) & CLK & NCA &
/BREADY

```

+ /MISS1 & /BREADY & /BUSCYC385 & CLK
 + /BT2 & BREADY & NACACHE
 + /CLK & /BT2

5 I de foranførte logiske ligninger er følgende signaler beskrevet eller henvist til i de tidligere Intel publikationer:

BADS

10 BREADY

(BW/R) aktuelt henvist til som BW/R, idet parentesens anvendes til angivelse af, at det samlede udtryk er ét signal.

CLK

15

BADS angiver i aktivt tilstand en gældende adresse på systembus 250. BREADY er et klarmeldingssignal fra systembussen 250 til CPU lokalbussen 230. BW/R definerer skrivning eller læsning i systembus 250. CLK er et processor taktsignal, 20 som er i fase med processoren 225.

Ligningerne (1)-(6) definerer:

BT2

BUSCYC385

BUSRD

25 CPUNA

MISS1

PIPECYC385

udtrykt ved de definerede signaler, signalerne forklarede 30 eller henvist til i de nævnte Intel publikationer og NCA og NACACHE. BT2 afspejler tilstanden på systembussen 250. Den ved BT2 udtrykte tilstand er en tilstand, som er defineret i de tidligere omtalte Intel publikationer.

BUSCYC385 afspejler også tilstanden i systembussen 35 250. Det er logisk højt for bustilstandene BTI, BT1, BT1P og det logisk lavt for bustilstandene BT2, BT2P og BT2I

(disse bustilstande er anført i de citerede Intel publikationer).

/BUSRD er aktiv under læsninger, som optræder på systembus 250.

5 CPUNA er et signal til 80386, hvorved muliggøres "pipelined" operationer, dvs. operationer med indhentning af flere instruktioner fra arbejdslageret, end processoren er i gang med at behandle.

MISS1 defineres som aktivt den første cyklus i en
10 dobbelt cyklus til behandling af 64 bit udlæste data til indretninger, hvis data kan placeres i et cachelager.

PIPECYC385 er aktiv under BT1P (som er en bustilstand, hvortil er henvist i de nævnte Intel publikationer).

NCA er et signal, som er tilvejebragt ved dekodning
15 af adressekomponenten på CPU lokalbus 230, hvilket signal, når det er aktivt, afspejler en tilgang til data, som ikke kan placeres i et cachelager. Om data kan placeres i et cachelager eller ikke afgøres ved en afmærkningskomponent (A31 til A17) og programmerbar information definerer hvilke
20 afmærkninger, om (overhovedet nogen), som refererer til data, som kan placeres i et cachelager, i modsætning til adresser, som ikke hører hjemme i cachelageret.

NACACHE er et signal svarende til signalet BNA. BNA er et systemfrembragtsignal, hvorved anmodes om næste adresse
25 fra CPU lokalbus 230, og der henvises hertil i de tidligere nævnte Intel publikationer. NACACHE afviger kun fra BNA derved, at BNA er tilvejebragt til et 32K cachelager, medens NACACHE er tilvejebragt til et 64K cachelager. Så længe cachelageret er 32K, som omtalt i Intel publikationer, kan
30 det her omtalte NACACHE signal erstattes af signalet BNA. I en virkelig opbygget udførelsesform blev det logiske element 261 tilvejebragt som en programmerbar matrixopbygning med logiske elementer (programmable logic array). Det skulle være åbenbart, at andre og yderligere logiske indretninger
35 kan anvendes ved udøvelsen af en tilsvarende funktion.

P A T E N T K R A V

1. Databehandlingsanlæg med en processor (225), et
cachedatalager (255), en grænseflade (240) mellem cachedata-
5 lageret og hoveddatalageret, og et cachestyreorgan (260),
som er udformet til frembringelse af særlige styresignaler
for ønskede aktiviteter i forhold til cachedatalageret (255),
heri indbefattet signaler (CWEA, CWEB) (såkaldte enablesig-
naler), som tillader skrivning i cachedatalageret, og sig-
10 naler som angår grænsefladen til cachedatalageret (240) for
tilvejebringelse af datatilgang, således som krævet af pro-
cessoren (225), k e n d e t e g n e t ved logiske kredsløb
(261, 262, 263), som er indskudt mellem cachestyreorganet
(260) og cachedatalageret (255), hvilke kredsløb modtager
15 styresignaler fra cachestyreorganet (260) angående såvel
cachedatalageret som cachegrænsefladen, heri indbefattet
enablesignaler for skrivning i cachedatalageret, således at
enablesignaler for skrivning i cachedatalageret forsinkes
ved tilstedeværelse af modtagne sammensætninger af styre-
20 signaler, som angiver manglende ønskede data i cachedata-
lageret, idet forsinkelsen repræsenterer forskellen mellem
tidskravene (MT_2 , MT_1) for datalageret ved cachestyreorganet
(260) og mikroprocessoren (225).

2. Anlæg ifølge krav 1, k e n d e t e g n e t ved,
25 at cachedatalageret (255) er et flerchip datalager, og de
logiske kredsløb (261, 262, 263) også overfører chipaktive-
ringssignaler (CS_0 , CS_1 , CS_2 , CS_3) fra cachestyreorganet
(260) til cachedatalageret (255), og yderligere indbefatter
et bufferlagerorgan (262) til forsinket overføring af chip-
30 aktiveringssignaler, hvilket bufferlagerorgan har en indgang
for hver af chipaktiveringssignalerne og en udgang for hver
af chipaktiveringssignalerne, og hvor udgangene på buffer-
lagerorganet (262) er forbundet med chipaktiveringsterminaler
på cachedatalageret (255).

35 3. Anlæg ifølge krav 2, k e n d e t e g n e t ved,
at bufferlagerorganet yderligere indbefatter en indgang

(262a) for et cachefastholdelsesaktiverinssignal (CALEN) fra cachestyreorganet (260) og en udgang forbundet med en adressefastholdelsekreds (255L) i cachedatalageret (255).

4. Anlæg ifølge krav 1-3, k e n d e t e g n e t ved, at processoren (225), cachedatalageret (255), cachestyreorganet (260) og grænsefladen (240) indbyrdes er forbundet ved en lokal bus (230), og at grænsefladen (240) er forbundet med en systembus (250), hvormed hoveddatalageret (350) er forbundet, og at cachestyreorganet (260) indbefatter et første organ, som kan påvirkes af en registreret tilstand, hvor ønskede data ikke er til stede i cachedatalageret, til overføring af adresseinformation fra lokalbussen (230) til systembussen (250) til adressering af hoveddatalageret (350), og et andet organ, som kan påvirkes af data på systembussen (250), som er tilvejebragt fra hoveddatalageret (350) til overføring af data til lokalbussen (230) styret af et buslæsestyresignal, således at skrivning i cachedatalageret kan finde sted, når det forsinkede cacheskriveenablesignal (DCWEA, DCWEB) tillader dette.

5. Anlæg ifølge krav 4, k e n d e t e g n e t ved, at systembussen (250) er forbundet med en valgfri funktionsbus (320), idet en datalagerindretning (331) er forbundet med den valgfri funktionsbus således, at datalagerindretningen kan adresseres, og således tilgængeliggjorte data kan sendes tilbage til lokalbussen (230) over systembussen (250).

6. Anlæg ifølge krav 4 eller 5, k e n d e t e g n e t ved, at den styresignalsammensætning, som kan påvirke de logiske kredse (261, 262, 263) til frembringelse af det forsinkede cacheskriveenablesignal, er en sammensætning af et cacheskriveenablesignal (CWEA, CWEB) og et buslæsesignal (BUSRD).

7. Anlæg ifølge krav 1-6, k e n d e t e g n e t ved, at cachedatalageret (255) indbefatter en første og en anden datalagerbank og tilsvarende en første og en anden skriveenableindgang (WEA, WEB), at cachestyreorganet (260) har en første cacheskriveenableudgang (CWEA), som svarer

til den første datalagerbank, og en anden cacheskriveenable-
udgang (CWEB), som svarer til den anden datalagerbank, og
at forsinkelseslogikkredsløbene separat kan påvirkes af den
første eller den anden cacheskriveenableudgang på cache-
5 styreorganet til frembringelse af et første eller et andet
forsinket cacheskriveenablesignal på den tilsvarende første
eller anden skriveenableindgang (WEA, WEB).

8. Anlæg ifølge krav 7, k e n d e t e g n e t ved,
at logikkredsløbene indbefatter en port (263a), som er for-
10 bundet med den første skriveenableindgang (WEA), og som kan
påvirkes af en første cacheskriveenableudgang (CWEA) fra
cachestyreorganet (260), og af et samtidigt forekommende
forsinket cacheskriveenablesignal (DCWEA) til overføring af
den første bank til aktiv tilstand, og en tilsvarende anden
15 port (263b), som kan påvirkes af en anden cacheskriveenable-
udgang (CWEB) fra cachestyreorganet (260) og det samtidige
forsinkede cacheskriveenablesignal (DCWEB) for således at
bringe den anden bank i aktiv tilstand via den anden enable-
indgang (WEB).

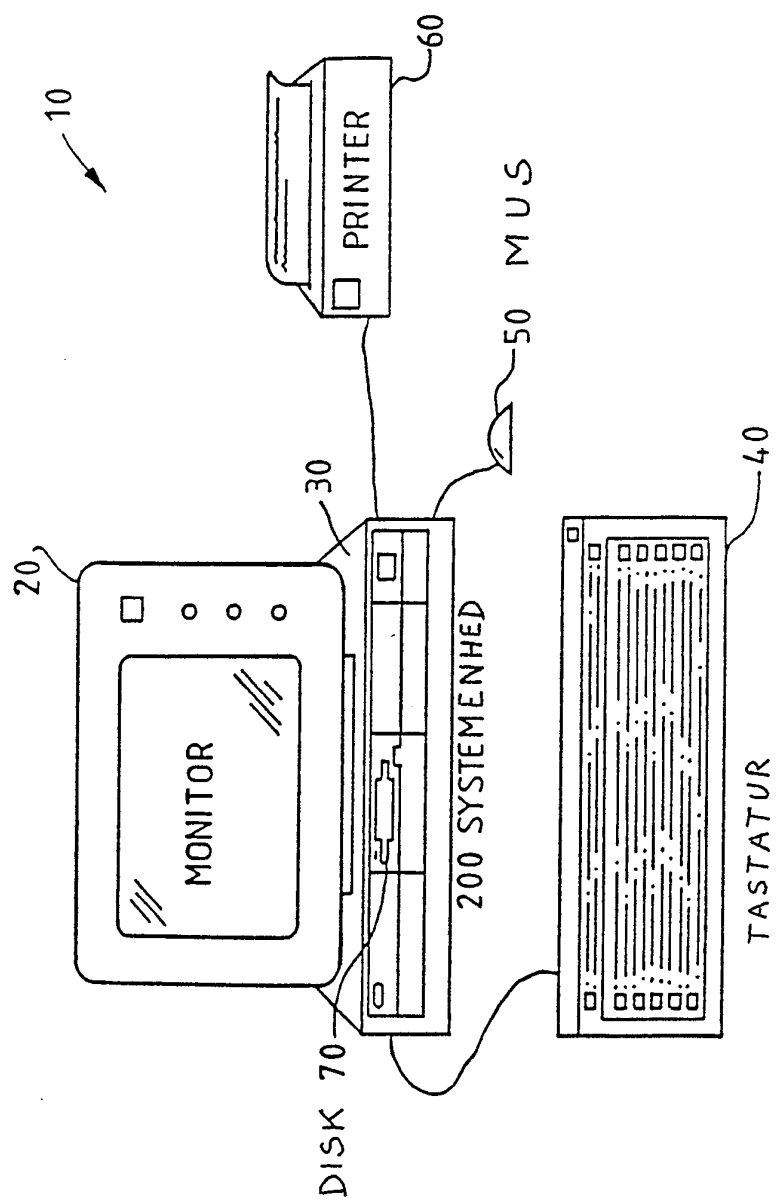


FIG. 1

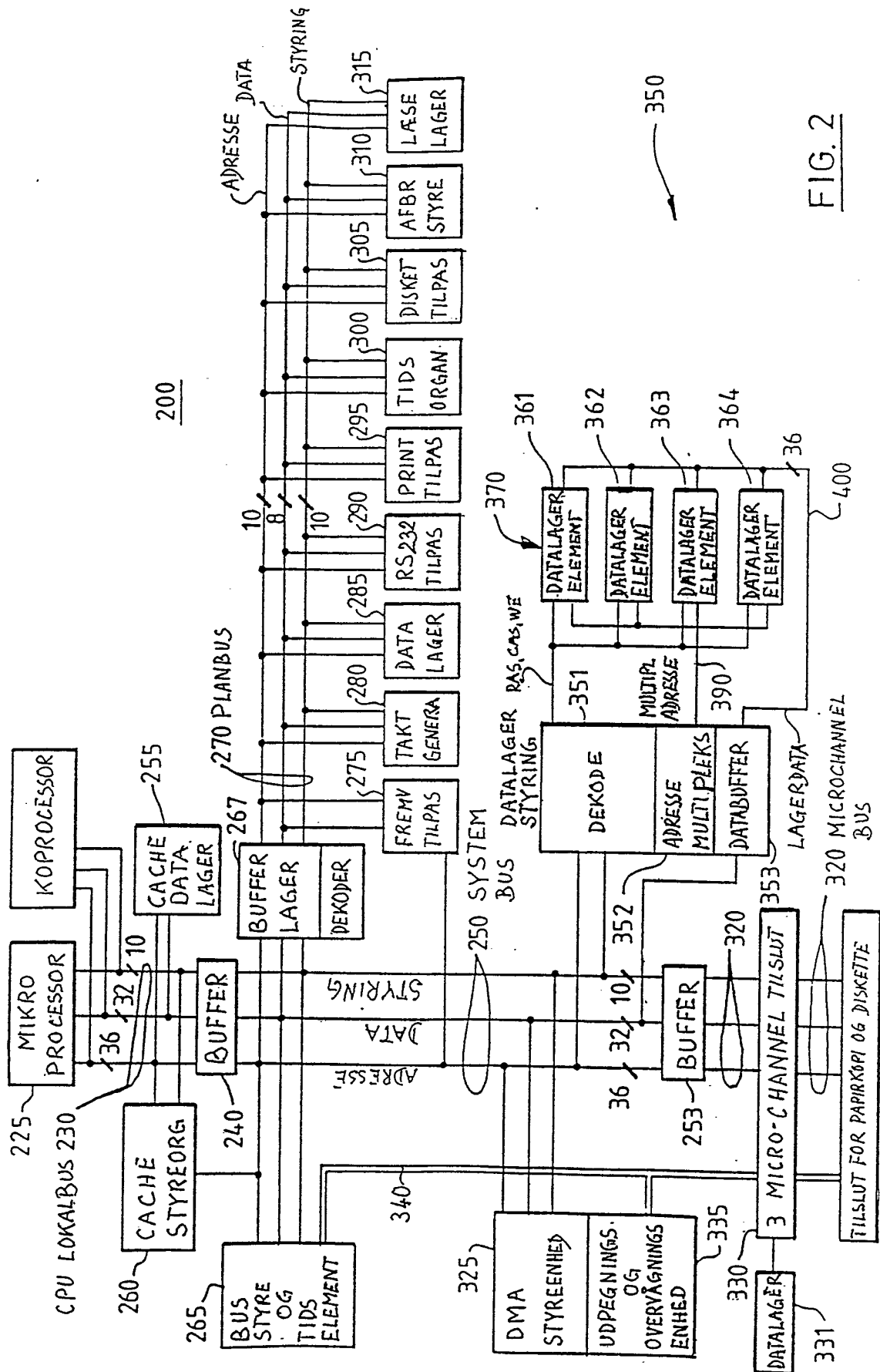


FIG. 2

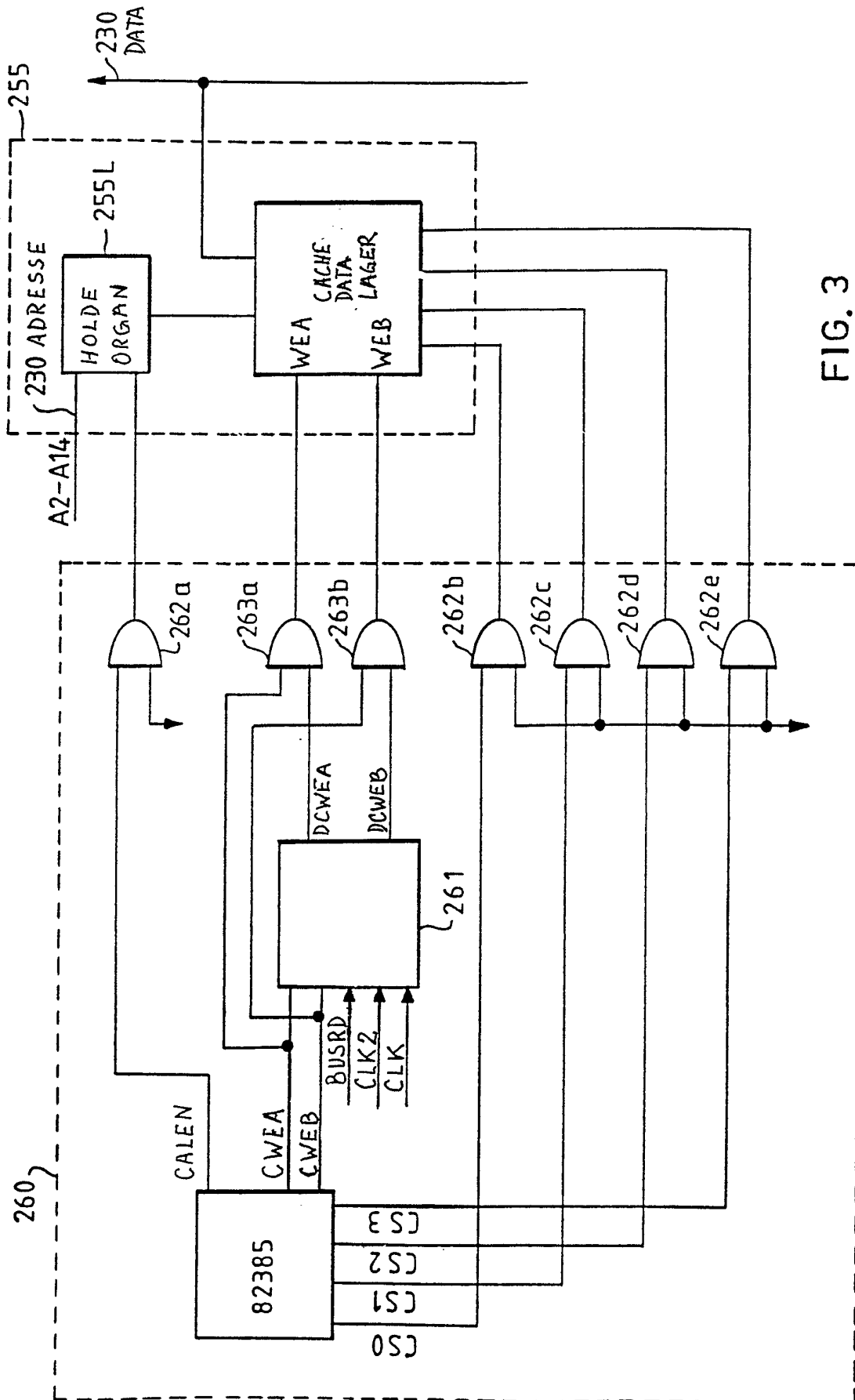


FIG. 3

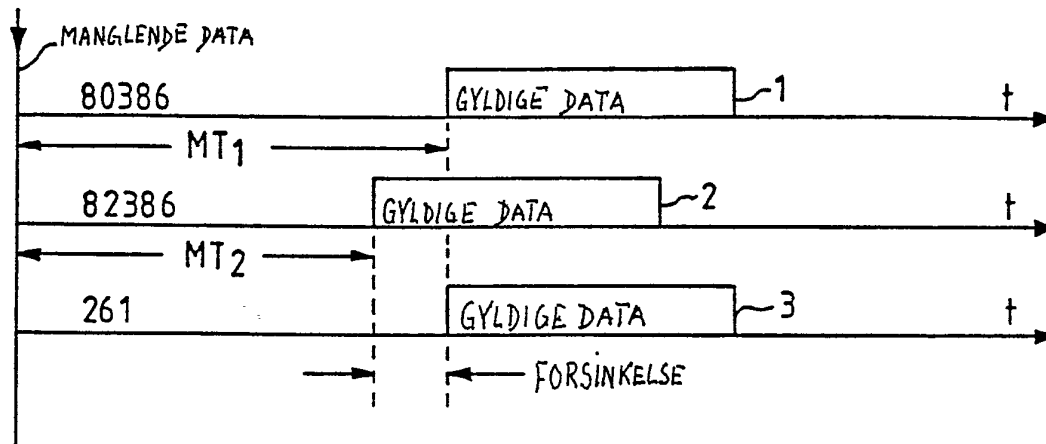


FIG. 4



FIG. 5A

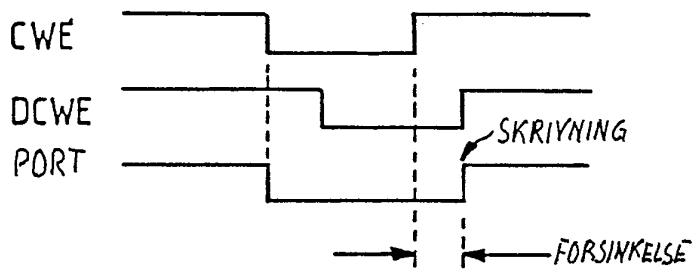


FIG. 5 B
MANGLENDE DATA

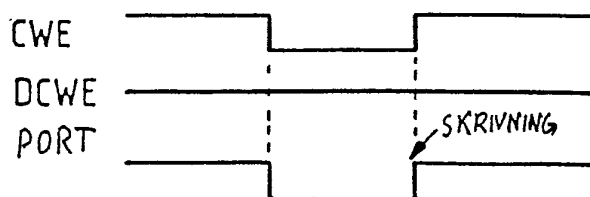


FIG. 5C
CACHE SKRIVNING