

公告本

408434

申請日期	87.7.28
案號	87112357
類別	H01L 21/768

A4
C4

408434

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	具有自行對齊之通路內連的雙重鑲嵌
	英文	DUAL DAMASCENE WITH SELF ALIGNED VIA INTERCONNECTS
二、發明 創作人	姓名	1. 瑞勒 F. 斯喬貝爾 (Rainer F. SCHNABEL) 2. 克勞斯菲德勒 (Klaus FELDNER)
	國籍	1. 德國 2. 德國
	住、居所	1. 美國 NY 12590 威賓格弗麥克威爾道 5 號 2. 德國 爾士登 - 01109 艾利南 - 賀雷 - 街 31A 號
三、申請人	姓名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國籍	德國
	住、居所 (事務所)	德國 慕尼黑 D-80333 威田巴契廣場 2 號
	代表 姓名	貝斯納 (Basner) 雷哈特 (Reinhardt)

裝

訂

線

408434

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美 國(地區) 申請專利，申請日期： 案號： 有 無主張優先權
 1997年9月29日 08/939,149(主張優先權)

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明之背景

1. 本發明之領域

本發明係有關於半導體裝置，並且更特別地是有關於經過改良之使用具有自行對齊之通路內連(via interconnect)的雙重鑲嵌形成多層共平面金屬/絕緣體膜的方法。

2. 習知技術之說明

在保持半導體裝置之大小至最小的同時，半導體製造商必須不斷地改良半導體裝置的功率及性能。為努力維持小的裝置尺寸，大多數的半導體製造商將減小裝置之個別元件至最小程度。此外，製造商係垂直地整合更多的該元件，而非僅以水平方式整合，以減少該元件所使用的裝置面積。垂直整合係典型地以使用若干個在裝置中的導電層並交互連結這些層來達成，其係以例如使用本技蓋中所熟知的中間層接觸作為通路或通路內連為之。

當個別元件的維度變小時，其將更難以內連各導電層。近來用以解決內連各導電層之問題的方法係包含有蝕刻及罩幕程序，其係為本技蓋中一般所熟知的鑲嵌技術。鑲嵌技術包括有形成複數個溝渠於絕緣體層中，並其後以金屬填充之，該金屬隨後被研磨降至絕絕體的表面以形成所欲的金屬圖案。在一般所熟知的雙重鑲嵌方法中，上述的金屬溝渠，及電連接至上述金屬圖案的通路內連與各種其他導電層，皆典型地同

五、發明說明(>)

時被充分地填充。

在傳統的雙重鑲嵌技術中，通路內連係典型地與位於其上的金屬化層同時充分地被填充。該技術需要於後續金屬化石版印刷術中所使用的光阻層沈積前，將穿過絕緣層的孔洞形成(該孔洞最終將以金屬或其他導電性材料填充以形成通路)。

第1A圖係圖示一疊積半導體結構100的剖面圖。疊積半導體結構100包括有一半導體基板118，一上蓋有絕緣層101的下端導電層116。複數個用以電連接各共平面導電層的相鄰通路孔104係以上述的雙重鑲嵌技術形成。在傳統雙重鑲嵌技術中，上層金屬石版印刷係於通路孔104形成於絕緣體101中後而執行。通路孔104將大於下面金屬化層116的實際接觸面積，以確保通路孔104對於下面的金屬化層116的適當對齊。

通路孔104形成後，一抗反射層113(本技藝所熟知，並於往後簡稱為ARC)係依慣例沈積於絕緣體層101的上表面。ARC沈積的運作將無可避免地使得ARC殘留114層於通路孔104中沈積至大約" t "距離的高度於導電層116的上表面。一金屬石版印刷光阻層隨後依傳統方式沈積於ARC層113的上表面。該光阻隨後被顯影並以傳統的光阻剝除方法移除，以形成金屬化光阻圖案102。然而，通路孔104內的ARC材料114完全不為金屬化光阻剝除操作所影響。

參考第1B圖，不為光阻圖案102所保護的ARC層113部份係在溝渠115形成前被移除。ARC層113係以將疊積半導

五、發明說明(→)

體結構 100 暴露於用以穿透有機 ARC 層 113 的第一導蝕刻方法中而移除。該第一道穿透性蝕刻後接著進行用以在絕緣體 101 中形成溝渠 115 的第二道非等向性蝕刻，一金屬 116 或其他導電性材料隨後被沈積於其中。然而，保留在通路孔 104 內的 ARC 殘留物 117 與各種蝕刻副產物反應以形成一側壁結構。所形成的邊際結構可完全抑止第一道 ARC 穿透蝕刻以及用以形成溝渠 115 的第二道氧化物蝕刻，而產生本技蓋所指之柵欄 218。牆 218 通常與前述之保留於通路孔 104 內的 ARC 殘留物有完全相同高度 "t"。

以該雙鑲嵌技術，上層的金屬化與相關的通路係以在溝渠 115 內沈積金屬 116 的方式主要同時形成，其中該沈積係以金屬沈積方法(例如，濺鍍方法)並接著以金屬回流的方法。如本技藝中所熟知，適當的金屬回流係高度地依賴由金屬所沈積之表面的幾何結構形狀所決定。通路孔 104 內之牆 218 的產生將干擾金屬 116 流，而妨礙金屬 116 順暢流進入通路孔 104。該阻絕金屬流進入通路孔 104 將使得孔洞 117 於通路孔 104 內形成，其產生將大大增加通路的電接觸電阻。金屬孔洞 117 的出現亦將產生無法接受的可靠度問題，因為所有流過各通路的電流必須為通路之非孔洞金屬化部份所載運。穿過通路之非孔洞部份的高電流密度將產生通路金屬的電子遷移。通路金屬的電子遷移將產生長期而無法接受的及時故障率(Failure In Time(FIT)rate)。在部份狀況下，牆 218 將以妨礙充分的金屬流入通路孔 104 的方式，引起電斷路的形成。

五、發明說明(4)

參考第1B及1C圖，另一關於傳統式雙重鑲嵌技術的問題係有關於因試圖適當對齊下面的導電層116，而過大化通路104。首先參考第1B圖，過大化通路104將導致在電性上及物理上隔離相鄰通路104之縮減的絕緣體101厚度"d1"(其被稱為中間間隙)。該縮減的厚度"d1"將導致通路104之間的電崩潰或電流滲漏，其將產生潛在災難性的溫度相關之故障其難以在製造後之測試中排除。於僅在充分加速高溫可靠度試驗後才明顯的可靠度故障，將基於高電流密度區域之間的微小距離而出現，諸如上述為牆218之出現而惡化之通路孔104等。

現參考第1C圖，其係圖示舉例沿著第1B圖中通路104附近之橫截面片"b"之疊積半導體結構100表面的上視圖。結構中所示通路104的附近可能造成關於上述各種缺陷之重要的製造或長期可靠度的問題。

因此，對於消除在通路孔內形成牆之可能性，並允許自行對齊下面金屬化層之通路的形成，以及允許通路被緊密間隔於而不會產生製造後良率損失或後續場故障的重大可能性。

本發明之概要

廣泛地說，本發明係有關於半導體裝置，並且更特別地是有關於經過改良之方法其具有自行對齊通路的雙重鑲嵌蝕刻，以穿過排列於基板上之一層狀疊積。根據本發明之一實施例，該層狀疊積包括有一下面的導電層以及一排列於下面導電層上之絕緣層。該方法包括有下列

五、發明說明(5)

的操作步驟。一硬式光阻層被沈積於被刻劃之絕緣層的上表面，而使得硬式光阻層中之第一個窗口係位於下面的裝置層之上。在一較佳實施例中，硬式光阻層係由氮氧化矽所組成。其次，一軟式光阻層係沈積於硬式光阻層的上表面，該軟式光阻具有一第二窗口，其係小於並對齊於該硬式光阻中的第一窗口。如第二窗口所界定的溝渠係隨後形成於絕緣層的上表面中，其中該絕緣層係位於下面的裝置層上，並使用溝渠底部的絕緣材料來隔離下面的裝置層。軟式光阻層隨後在並未實質影響硬式罩幕的情形下被移除。通路係以蝕刻穿過溝渠底部的絕緣體材料至下面的裝置層而形成。

在另一實施例中，形成用於連結一下面裝置層與上面導體之疊積層之通路的方法係被揭示，其中上面導體係其構形置於於形成於絕緣層中的溝渠並以位於溝渠底端的絕緣材料與與下面的裝置層隔離。本方法包括有下列操作步驟。首先，沈積一硬式罩幕層於該絕緣層上表面，其中該硬式罩幕具有對應於所形成之溝渠的位置的第一窗口。其次，沈積一軟式罩幕層於硬式罩幕層上，該軟式罩幕層具有對應於所形成之通路位置的第二窗口。最後，以蝕刻穿過溝渠底部的絕緣材料到至少達下面裝置層以形成通路。

本發明之其他特性及優點將藉由下面的細節說明並配合附圖而變得更明白，其係以實施例說明本發明之原理。

附圖之簡略說明

五、發明說明 (b)

圖式之簡單說明

本發明係以實施例做舉例於附圖之圖示中，但該實施例並非為其限制。下列的圖示中，相同的參考數字意指類似或相似的元件，以促使更容易明瞭。

第1A圖係圖示一疊積半導體結構的橫截面舉例，其包括有上面有一絕緣體層的下層導電層，其中該絕緣體層具有以傳統式的雙重鑲嵌技術所形成的通路孔。

第1B圖係圖示第1A圖所示之該疊積半導體結構的橫截面說明，其圖示後續形成之適用於金屬或其他導電性材料之沈積的溝渠。

第1C圖係圖示沿著如第1B圖之截面b所示之該疊積半導體結構的概略上視圖，其係圖示以傳統方式鑲嵌技術所形成之被過大化的相鄰通路的相對位置。

第2圖係舉例一疊積半導體結構的橫截面圖，根據本發明之一實施例，該結構具有包括有下面導電層之基板上的絕緣體層。

第3圖係舉例根據本發明之實施例，其圖示如第2圖所示之該疊積半導體結構的橫截面圖於被刻劃的硬式光組層沈積後，其包括有對齊於下面基板位置的第一窗口。

第4圖係舉例根據本發明之實施例，其圖示如第3圖所示之該疊積半導體結構的橫截面圖，於被刻化的軟式光組層沈積後，其包括有一小於並對齊於硬式光阻層中第一窗口之第二窗口。

第5A圖係舉例根據本發明之實施例，其圖示如第4圖

五、發明說明(2)

所示之該疊積半導體結構的橫截面圖於第一溝渠蝕刻到至少大約下面導體層一半的深度之後。

第5B圖係舉例根據本發明之實施例，其圖示如第5A圖所示之該疊積半導體結構的剖面圖於通路蝕刻至下面導電層後。

第6圖係舉例根據本發明之實施例，其圖示如第5B圖所示之該疊積半導體結構的橫截面圖於金屬或其他導電材料沈積後，以電連接上面金屬化部份至下面導電層。

第7圖係圖示如第6圖所示之疊積半導體結構之舉例的上視圖，其圖示根據本發明之實施例中沿著橫截面切線"e"之絕緣中間間隙區域有關之通路的相對位置。

第8圖係舉例根據本發明之實施例中使用具有自行對齊之通路內連的雙重鑲嵌以形成多層共平面金屬/絕緣體膜的方法之流程圖。

本發明之細節說明

本發明現將參考關於如附圖中所舉例之一些實施例做詳細說明。下面的說明中，數個特別的細節係被提出以提供對於本發明之通盤了解。然而很明顯的，對於熟習本技藝之人士而言，本發明可於缺乏部份或全部這些特殊的細節下執行。在其他的實例中，熟知的製程步驟並未被詳細地說明，以避免不必要地模糊本發明。

本發明係有關於使用於積體電路(IC)中之多層共平面金屬/絕緣體膜的形成。例如該IC包括有隨機存取記憶體(RAMs)，諸如動態隨機存取記憶體(DRAMs)、同步動態隨機存取記憶體(SDRAMs)，或唯讀記憶體(ROM)。其他諸如特殊用途IC(ASIC)，合併式DRAM-邏輯電路(嵌埋式

五、發明說明(f)

DRAMs), 或其他邏輯電路亦是有用的。

典型地多個IC平行地形成於晶圓上。經過加工完成後, 該晶圓被切割以分割IC成個別的晶片。該晶片隨後被封裝而產生諸如使用於例如電腦系統、蜂巢式電話、個人數位化助理(PDAs)或其他電子產品等之消費產品之最終產品。

根據本發明提供, 一種改良用於具有自行對齊通路多層共平面金屬/絕緣體膜的方法。根據本發明之一特性, 使用一種整合用以形成上面金屬化溝渠之一第一硬式罩幕以及形成自行對齊通路之一軟式光阻罩幕的雙重鑲嵌技術係, 其中該通路將上面的金屬化層電連接至下面的裝置層。

在本發明之一實施例中, 通路係使用由氮氟化矽所組成之硬式罩幕的雙重鑲嵌蝕刻, 以穿過絕緣體層至下面裝置層的方式形成。在本實施例中, 硬式罩幕包括有適用於形成上述金屬化溝渠的第一窗口。軟式光阻罩幕隨後隨後沈積於硬式光阻罩幕上。軟式光阻罩幕包括有小於並對齊於硬式罩幕之第一窗口的第二窗口。該第二窗口係對齊於下面的導電層, 並用以形成至少延伸至大約為下面導電層之中點的第一溝渠。第一溝渠形成後, 該軟式光阻層係於實質上未影響第一硬式層下被移除。第二非等向性蝕刻隨後形成第二溝渠, 而具有第一部份與第二部份整體地形成。該第一部份從第一溝渠的底部延伸至至少下面導電層處, 並適用於形成通路內連。第二

五、發明說明(9)

部份係由硬式罩幕的第一窗口所界定，並適用於接收沈積金屬以形成上面的金屬化層。所形成的通路因而無任何牆因為並無光阻或ARC在第一溝渠形成後，被沈積於半導體疊積結構的表面。此外，因為該硬式罩幕係被用以界定通路的外部構形，通路間的距離將容易被控制。

本發明之實施例係參考第2至6圖說明如下。然而，熟習本技藝之人士將可容易地瞭解此處所給定之關於這些圖示的細節說明係僅作為說明的目的，而本發明係延伸超過這些有限的實施例。

第2圖係舉例一疊積半導體結構200的橫截面圖，其具有根據本發明之實施例中之包括有下面導電層216的基板218之上的絕緣體層201。例如，該疊積半導體結構200將顯示用以製造諸如nFET或pFET(場效應電晶體)等傳統電晶體的疊積半導體結構。絕緣體層201將沈積於預定導電度型態之基板218上。化學氣相沈積(CVD)或相似的技術將用以沈積絕緣體201，該絕緣體典型地包括有諸如TEOS等被平坦化的二氧化矽、諸如回流式磷矽玻璃等玻璃材料，或類似聚亞醯胺等聚合物。所述的實施例中，絕緣體201係形成於前所定義的基板218上，其係包括有前所定義的導電層216。該導電層216將為下面金屬化層的一部分。此外，該導電層216將代表一高度摻雜的矽層、一諸如鎢等導電金屬，或諸如電晶體之源極或汲極區域等任何形式之活性裝置的一部份。在本實施例中，絕緣體層201將具有0.9微米至2.0微米範圍的厚度。

五、發明說明()

參考第3圖，絕緣體層201具有為硬式光阻層215所沈積之上表面202，其中硬式光阻層的沈積係以任何熟習本技藝之人士所熟知的技術作沈積。在較佳實施例中，硬式光阻將具有大約 100\AA 的厚度，並將由氮化矽或氮氧化矽所組成。位於下面導電層的上方之第一窗口217的形式係以熟習本技藝之人士所熟知的傳統式微影技術來完成。在一較佳實施例中，該形成第一窗口217的方法係為使用氮氣作為蝕刻氣體的活性離子蝕刻(RIE)。在一實施例中，若硬式光阻層215由氮化矽所組成，則作為ARC的有機抗反射披覆層(未表示於圖中)最好施加於硬式光阻層215的上表面。然而，在一實施例中，用於硬式罩幕215之氮氧化矽的使用將消除使用ARC的需要。為使本說明變得清楚，其假設硬式層215由氮氧化矽所組成，且不需要ARC層。然而，如上所註，用於硬式罩幕215之氮化矽或任何適當的化合物的使用將需要額外有關ARC沈積或移除的步驟或諸步驟。

如第4圖中所示，當硬式光阻層215經過如上述之適當的沈積與刻劃後，大約 1000\AA 厚的一軟式光阻層220係以傳統式的沈積方法與過程沈積於硬式光阻層215之上。軟式光阻層220係以傳統式的微影方法與過程刻化，以包括有如第4圖中所示之小於並對齊於硬式罩幕215之第一窗口217的第二窗口219。

第二窗口219係以第一道非等向性蝕刻而排列並依某種尺寸製造以形成第一溝渠224，其中該蝕刻從絕緣體層201

五、發明說明(11)

移除相當的絕緣體材料以形成如第5圖所示之第一溝渠224。一種該移除絕緣體材料的方法係以如上述之使用諸如Ar, C₄F₈, CO和/或O₂等反應性氣體之RIE蝕刻。(應注意地是, 所述的實施例中, 因為硬式光阻215係由氮氧化矽所組成, 因此並不需要ARC層, 因而不需ARC移除步驟。)在所述的實施例中, 第一溝渠224將其底部延伸至大約上表面202與下面導電層216之中點。在另一實施例中, 第一溝渠224將其底部延伸至充分接近或至下面的導電層216。

通路孔224形成後, 軟式光阻層220係以任何傳統方法移除, 而留下完全未受影響的硬式光阻罩幕215。本方法中, 第一窗口217將被使用於形成適當排列之溝渠, 以於最後形成上面的金屬化層。因為第一溝渠224形成後, 並無ARC或光阻會被沈積, 所以並無前述之柵欄及相關問題形成的可能性。現參考第5B圖, 在所述實施例中, 一第二非等向性蝕刻將被用以形成具有第一部份204'與第二部份204"的第二溝渠204, 其中第一部204'完全延伸至下面導電層216, 而第二部份204"係被排列以形成所欲之上面金屬化圖案。應注意地是, 下面導電層216將被用作蝕刻終點(etch stop), 因此, 當形成下面導電層之預定量之組成材料於使用在第二非等向性蝕刻方法中之電漿顯示時, 該第二非等向性蝕刻方法便停止。

在第二非等向性蝕刻完成以及第二溝渠204的最終形成完成後, 硬式光阻層215係以任何傳統技術移除而留下第

五、發明說明 (12)

6 圖所舉例之結構。在本方法之此點，上面的金屬化層將以任何適當金屬化技術沈積金屬 250 而形成。金屬化技術係為本技藝中所熟知，並說明於諸如 VLSI technology, 2nd Edition, S.M.Sze 1988 McGraw-Hill Publishing Company 中。用於金屬化層之適當的金屬及合金包括有例如鋁、銅、鎳、鉬、鎢、鉑、二矽化鉬、二矽化鈦以及其他該材料之合金。鋁、諸如矽化鋁之鋁合金、銅以及鎢係經常為內連金屬化所選擇的材料。

該金屬可用所熟知的技術沈積，諸如化學氣相沈積 (CVD)、物理氣相沈積 (PVD) 或低壓化學氣相沈積 (LPCVD)。用於 CVD、PVD 與 LPCVD 之特殊設備與製程參數的選擇，係於熟習半導體加工之本技藝的人士的能力範圍內。金屬的沈積 (通常以地毯式的方式施加於疊積半導體結構 200 的整個表面上) 係填充於溝渠 204 之第一部份 204' 以及第二部份 204"，因而完全同時產生上面金屬化層，以及將上面金屬化層與下面導電層 216 交互內連之通路。

其中第 5A 與 5B 圖將變得明白，其中第一及第二非等向性蝕刻係與第一溝渠 224 刻入絕緣層 201 的程度有關。如所見，若第一非等向性蝕刻將第一溝渠 224 延伸至接近下面導電層 216 所在位置的點；則因而產生的第二非等向性蝕刻將典型地需要較少的時間，因為較少的絕緣材料需要被蝕刻，而產生個別之經過改良的第一部份 204' 以及第二部份 204"。僅以增加或減少進行蝕刻的時間，而完全地改良簡易形成之形式與結構的能力，其將對傳統

五、發明說明(13)

式的方法提供完整的優點。

第7圖係舉例如第6圖所示之疊積半導體結構的上視圖，其係圖示通路對於絕緣中間間隙區的相對位置。如吾人所注意到的，所形成之通路的形狀係與硬式罩幕所界定之絕緣中間間隙區201相符，因此明顯地消除以傳統雙重鑲嵌法技術之侵蝕問題。如所舉例之放置通路204的能力將使得設計者可藉由如所示之增加中間通路間隙d2，減少有關絕緣中間間隙區201之侵蝕的問題，而改善定位置及放置積體電路內連的能力。

使用自行對齊通路之雙重鑲嵌技術製造之多層共平面金屬/絕緣體膜，係於第8圖所舉例的流程圖所詳述，其將包括有下列的操作步驟。

在步驟810中，具有層狀疊積排列於基板上之基板係被提供。該層狀疊積包括有一下面裝置層以及一排列於該下面裝置層上的絕緣層。參考第2圖，該基板係圖示為基板218，而下面裝置層則圖示為導電層216。絕緣體層201係圖示排列於基板218以及下面導電層216之上。

在步驟815中，一硬式光阻層係被沈積於該層狀疊積的上表面之上，其中該層狀疊積具有用以界定上金屬化層之被刻劃的第一窗口，該第一窗口係被完全置於下面裝置層的上方。參考第3圖，硬式光阻層係被圖示為硬式光阻層215，而窗口係被圖示為第一窗口217。

在步驟820中，軟式光阻層係被沈積於硬式光阻層之上，該軟式光阻層包括有小於並對齊於第一窗口之第二窗

五、發明說明(16)

口，該第二窗口係用以形成連結至下面導電層的通路內連。參考第4圖，該軟式光阻罩幕係圖示為軟式光阻罩幕220，而其相對應之窗口則為圖示之第二窗口222。

在步驟825中，第一溝渠被形成，其係延伸至大約穿過絕緣體層的中點處。如第5A圖所示，該第一溝渠224係完全對齊下面導電層216，並延伸至大約穿過絕緣體層201之中點處。然而，在某些情況下，其係允許甚至合意的將第一溝渠224延伸至接近或到達下面導電層216。

在步驟830中，第二非等向性蝕刻係被執行，以在未完全影響硬式光阻層的情況下，於軟式光阻層移除後形成第二溝渠。第二非等向性蝕刻係使用下面的導電層作為蝕刻終點，以形成如第5B圖所舉例之結構。

在步驟835中，硬式光阻層被移除，而金屬或其他導電材料係被同時完全地沈積於上述的溝渠內，並同時形成下面金屬化層以及連接至下面導電層之相對的通路內連。

藉由所述之執行所發明之雙重鑲嵌蝕刻以形成通路的方法的使用，許多優點將可被實現。一該優點係為使用如所述之自行對齊通路之雙重鑲嵌技術的實際情況並不會產生柵欄的形成，因為通路孔係於所有的光阻層與ARC材料沈積後才形成。

本發明另一優點係有關於通路的最終形狀完全與由絕緣中間間隙區所形成之邊界相符的事實。該相符合允許較緊密的通路間隙，而無有關傳統雙重鑲嵌技術的問題。

本發明之許多特徵與優點將由書面說明而變得更清楚

五、發明說明(五)

，因而其係藉由所附之申請專利範圍來涵蓋所有本發明之特徵與優點。此外，因為若干改良與改變將容易地為熟習此項技藝之人士所想到，因此將本發明限制於如所舉例以及所說明之架構與操作係非所欲。所以，所有適當的改良與相當的事物皆將歸究座落於本發明之範疇中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

參考符號說明

- 100.....裸積半導體結構
- 101.....絕緣體
- 102.....金屬化光阻圖案
- 104,224...通路洞
- 113.....抗反射披覆
- 114,117.....抗反射披覆殘留物
- 115.....溝渠
- 116.....導電層
- 118.....半導體基板
- 200.....層積半導體結構
- 201.....絕緣層
- 202.....上表面
- 204.....第二溝渠
- 204'.....第一部份
- 204".....第二部份
- 215.....硬式光阻層
- 216.....導電層
- 217.....第一窗口
- 218.....牆
- 219.....第二窗口
- 220.....軟式光阻層
- 250.....金屬
- 810,815,820,825,830,835.....步驟

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱:)

具有自行對齊之通路內連的雙重鑲嵌

一種經過改良之使用自行對齊通路來執行穿過設置於基板上之層狀疊積的雙重鑲嵌蝕刻之方法。該層裝疊積包括有下面的導電層以及設置於下面導電層之上的絕緣層。本方法包括有下列操作步驟。一硬式光阻層係被沈積於被刻劃之絕緣層的頂端表面上，使得硬式光阻層的第一窗口被置於下面的裝置上。一軟式光阻層則隨後被沈積於硬式光阻頂端表面上，該軟式光阻具有小於並對齊於下面導電層中與第一窗口的第二窗口。第一溝渠隨後被形成於絕緣層之頂端表面中，其中該絕緣層係置於下面裝置層之下，並以溝渠底部之絕緣材料與裝置層隔離。該軟式光阻隨後在實質未影響硬式光阻的情況下被移除。該通路係以蝕刻穿過溝渠底部絕緣體材料到達下面裝置層而形成。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要 (發明之名稱: DUAL DAMASCENE WITH SELF ALIGNED VIA)
INTERCONNECTS

An improved method of performing a dual damascene etch through a layer stack disposed above a substrate using self aligned vias. The layer stack includes an underlying conductive layer and an insulating layer disposed above the underlying conductive layer. The method includes the following operative steps. A layer of hard resist is deposited upon a top surface of the insulating layer patterned such that a first opening in the hard resist layer is positioned over the underlying device layer. A layer of soft resist is then deposited upon the top surface of the hard resist, the soft resist has a second opening smaller than and aligned to the first opening and the underlying conductive layer. A first trench is then formed in the top surface of the insulating layer positioned over and separated from the underlying device layer by insulating material at a bottom of the trench. The soft resist is then removed without substantially affecting the hard resist. The via is formed by etching through the insulator material at the bottom of the trench down to the underlying device layer.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

第 87112357 號「具有自行對齊之通路內連的雙重鑲嵌」專利案 (87 年 11 月修正)

1. 一種執行穿過設置於基板上之一層狀疊積其具有自行對齊之通路內連的雙重鑲嵌蝕刻的方法，該層狀疊積包括有一下面裝置，一設置於該下面裝置層之上的絕緣層，該方法包括：

沈積一硬式光阻層於該絕緣層之頂表面，該硬式光阻層被刻劃，而使得在該硬式光阻層中之第一窗口係被置於該下面裝置層之上，該第一窗口係被適當地配置以界定上面之金屬化層；

沈積一軟式光阻層於該硬式光阻之頂表面上，該軟式光阻係被刻劃，以形成小於並對齊於該硬式光阻中之該第一窗口的第二窗口，該第二窗口係被適當地設置以形成一通路內連連接該上面金屬化層與該下面金屬化層；

使用該第二窗口作為第一罩幕窗口以形成該絕緣層之上表面中之溝渠，該溝渠係被置於該下面裝置層之上，並以該溝渠底部之絕緣材料隔離之；

移除該軟式光阻使得該硬式光阻實質上未受影響；以及藉蝕刻形成通路，使用第一窗口當作第二罩幕窗口，穿過在該溝渠底部之該絕緣材料到達該下面的裝置層。

2. 如申請專利範圍第 1 項之方法，其中該硬式光阻層係為氮化矽 (SiN)。

3. 如申請專利範圍第 1 項之方法，更包括：

沈積一抗反射層於該硬式光阻之該上表面，以方便

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

第 87112357 號「具有自行對齊之通路內連的雙重鑲嵌」專利案 (87 年 11 月修正)

1. 一種執行穿過設置於基板上之一層狀疊積其具有自行對齊之通路內連的雙重鑲嵌蝕刻的方法，該層狀疊積包括有一下面裝置，一設置於該下面裝置層之上的絕緣層，該方法包括：

沈積一硬式光阻層於該絕緣層之頂表面，該硬式光阻層被刻劃，而使得在該硬式光阻層中之第一窗口係被置於該下面裝置層之上，該第一窗口係被適當地配置以界定上面之金屬化層；

沈積一軟式光阻層於該硬式光阻之頂表面上，該軟式光阻係被刻劃，以形成小於並對齊於該硬式光阻中之該第一窗口的第二窗口，該第二窗口係被適當地設置以形成一通路內連連接該上面金屬化層與該下面金屬化層；

使用該第二窗口作為第一罩幕窗口以形成該絕緣層之上表面中之溝渠，該溝渠係被置於該下面裝置層之上，並以該溝渠底部之絕緣材料隔離之；

移除該軟式光阻使得該硬式光阻實質上未受影響；以及藉蝕刻形成通路，使用第一窗口當作第二罩幕窗口，穿過在該溝渠底部之該絕緣材料到達該下面的裝置層。

2. 如申請專利範圍第 1 項之方法，其中該硬式光阻層係為氮化矽 (SiN)。

3. 如申請專利範圍第 1 項之方法，更包括：

沈積一抗反射層於該硬式光阻之該上表面，以方便

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

該蝕刻穿過該軟式光阻以及該絕緣材料。

4. 如申請專利範圍第3項之方法，更包括：

在穿過該硬式光阻的該蝕刻前，執行該抗反射層之穿透性蝕刻。

5. 如申請專利範圍第4項之方法，其中該穿透性蝕刻係使用包含氮氣的蝕刻源氣體。

6. 如申請專利範圍第3項之方法，其中該溝渠具有由絕緣體層之上表面的頂端延伸至一預定距離的底部。

7. 如申請專利範圍第6項之方法，其中更包括有根據所選擇的蝕刻參數穿過在該溝渠之該底部的該絕緣材料的蝕刻。

8. 如申請專利範圍第7項之方法，其中該所選擇的參數中至少有一個包含使用由 C_4F_8 所組成的蝕刻源氣體。

9. 如申請專利範圍第7項之方法，其中該所選擇的參數包含某種數量之 O_2 蝕刻源氣體。

10. 如申請專利範圍第1項之方法，其中該基板代表一矽晶圓。

11. 如申請專利範圍第1項之方法，其中該第一窗口係以活性離子蝕刻而得到。

12. 如申請專利範圍第1項之方法，其中該基板係被使用於積體電路之製造。

13. 如申請專利範圍第1項之方法，其中該基板係被使用於動態隨機存取記憶體的製造。

14. 一種形成用以連接層狀疊積之下面裝置層與上面導體之通路的方法，該上面的導體係構形設置在形成於絕

六、申請專利範圍

線層中的溝渠內，並以該溝渠底部的絕緣材料與該下面的裝置層隔離，該方法包括：

沈積一由具有第一窗口由氟氯化矽所構成的硬式罩幕層，其中該窗口係對應於位於該絕緣層之頂端表面的溝渠，

沈積一軟式罩幕層於該硬式罩幕層的頂端，該軟式罩幕層具有對應於該通路位置之第二窗口；以及

以蝕刻穿過在該溝渠之該底部的該絕緣材料到達至少該下裝置層的方式來形成通路。

15. 如申請專利範圍第 14 項之方法，其中，穿過該絕緣材料之該蝕刻包括有根據所選擇之蝕刻參數而穿過在該溝渠之該底部之該絕緣材料的蝕刻。

16. 如申請專利範圍第 15 項之方法，其中至少該所選擇的參數之一包括有使用由 C_4H_8 所組成的蝕刻源氣體。

17. 如申請專利範圍第 15 項之方法，其中至少該所選擇的參數之一包括有使用由氧氣所組成的蝕刻源氣體。

18. 如申請專利範圍第 15 項之方法，其中至少該所選擇的參數之一包括有使用由氫氣與一氧化碳所組成的蝕刻源氣體。

19. 如申請專利範圍第 14 項之方法，其中更包括有將導電材料沈積至該通路與該溝渠，以形成該上面的導體並將該上面導體與下面裝置層電連接。

20. 如申請專利範圍第 14 項之方法，其中該基板係使用於積體電路的製造中。

六、申請專利範圍

21. 一種產生用以連接層狀疊積之下面裝置層與上面導體之自行對齊通路的方法，該上面的導體係設置在形成於絕緣層中的溝渠內，並以該溝渠底部的絕緣材料與該下面的裝置隔離，該方法包括：

沈積一由具有第一窗口之硬式光阻，其中該窗口係對應於位於該絕緣層之該頂端表面的該溝渠，

沈積一由具有第二窗口之軟式光阻，其中該窗口係對應於該通路的位置並對齊於該第一窗口；以及

蝕刻穿過該絕緣層以形成具有從該絕緣層的該頂端延伸到達大約絕緣體層中點距離的第一溝渠；

以蝕刻穿過在該第一溝渠之該底部的該絕緣材料到達至少該下面裝置層的方式來形成通路。

22. 如申請專利範圍第 21 項之方法，其中該基板係使用於積體電路的製造中。

23. 如申請專利範圍第 21 項之方法，其中該裝置層代表一導電層。

24. 如申請專利範圍第 21 項之方法，其中該裝置層代表一經摻雜的矽層。

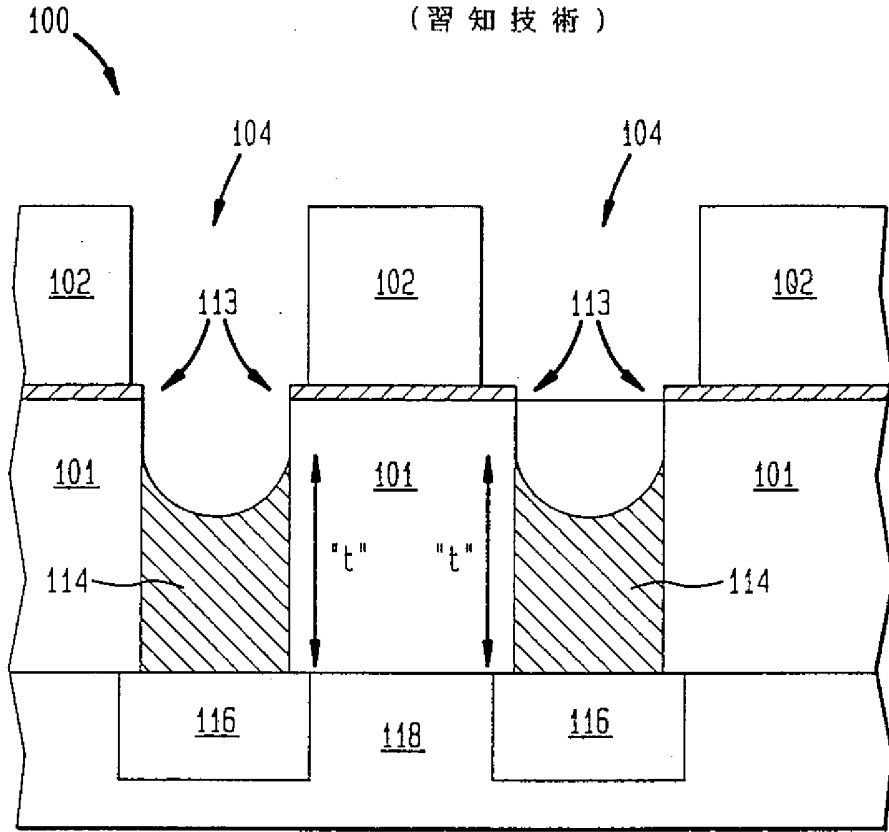
(請先閱讀背面之注意事項再填寫本頁)

裝

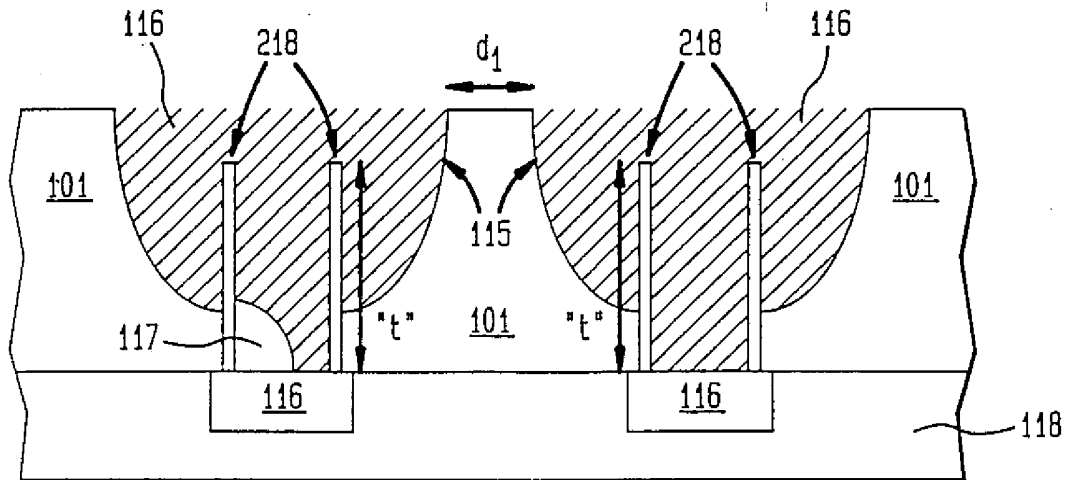
訂

錄

第 1A 圖
(習知技術)

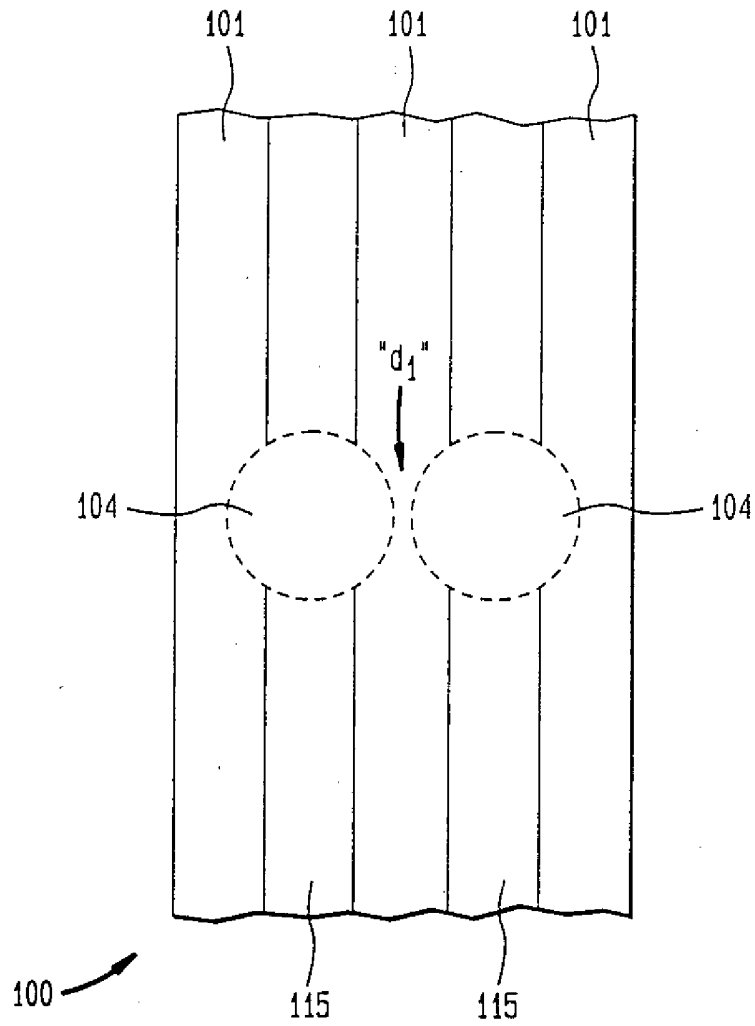


第 1B 圖
(習知技術)

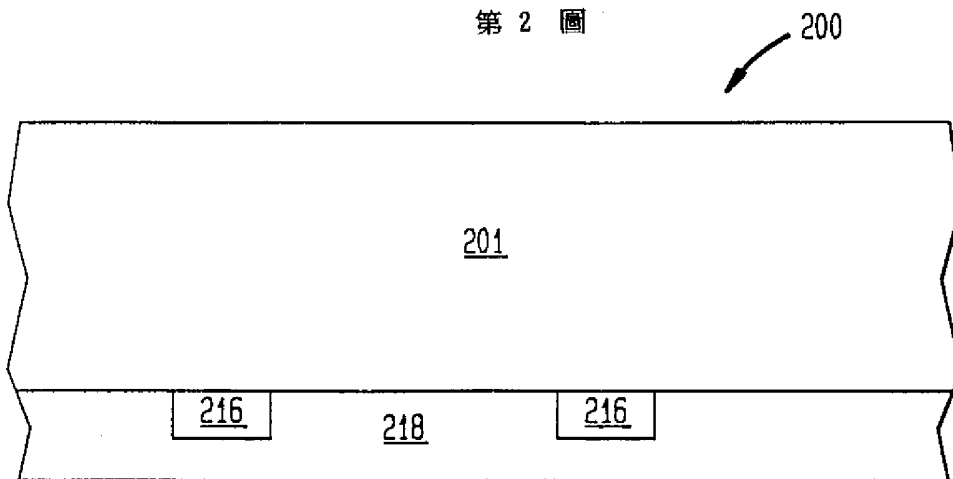


100

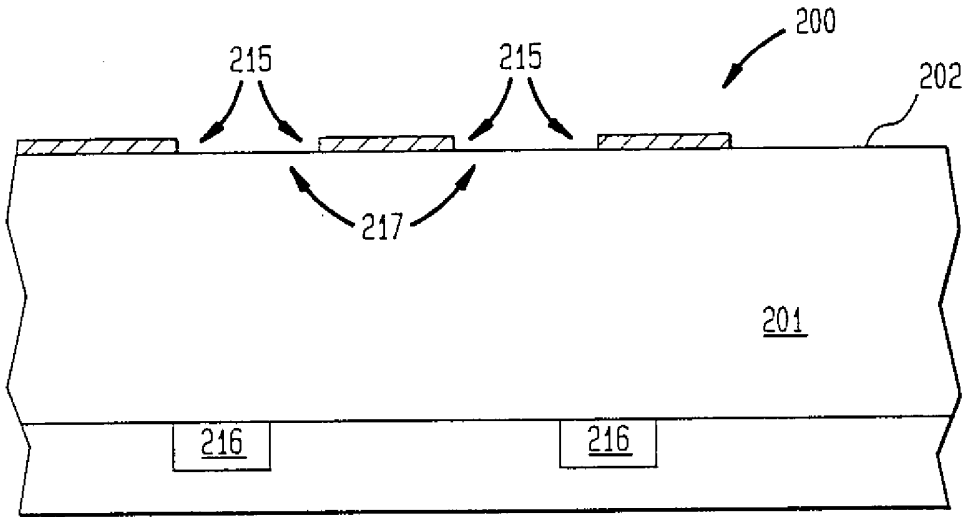
第 1 C 圖
(習知技術)



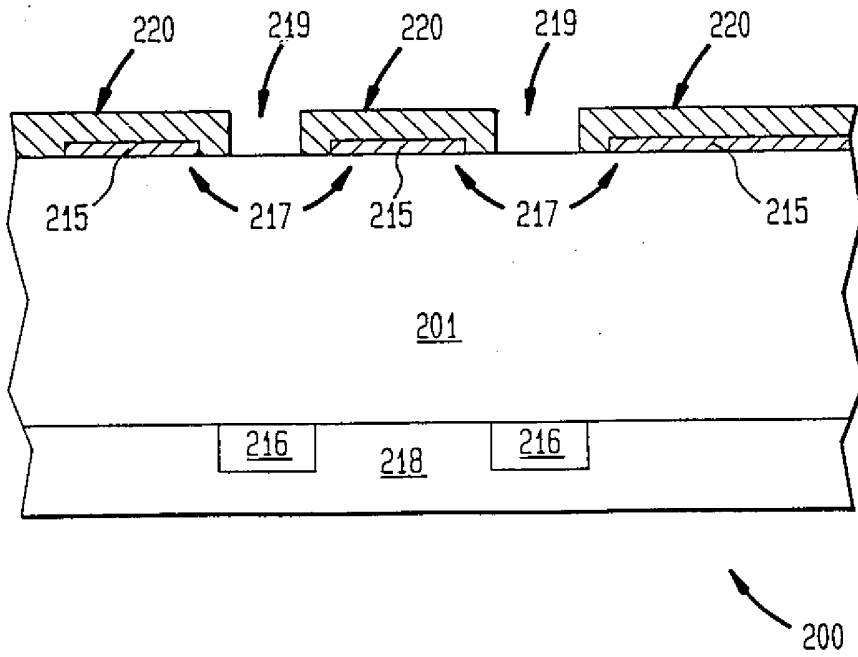
第 2 圖



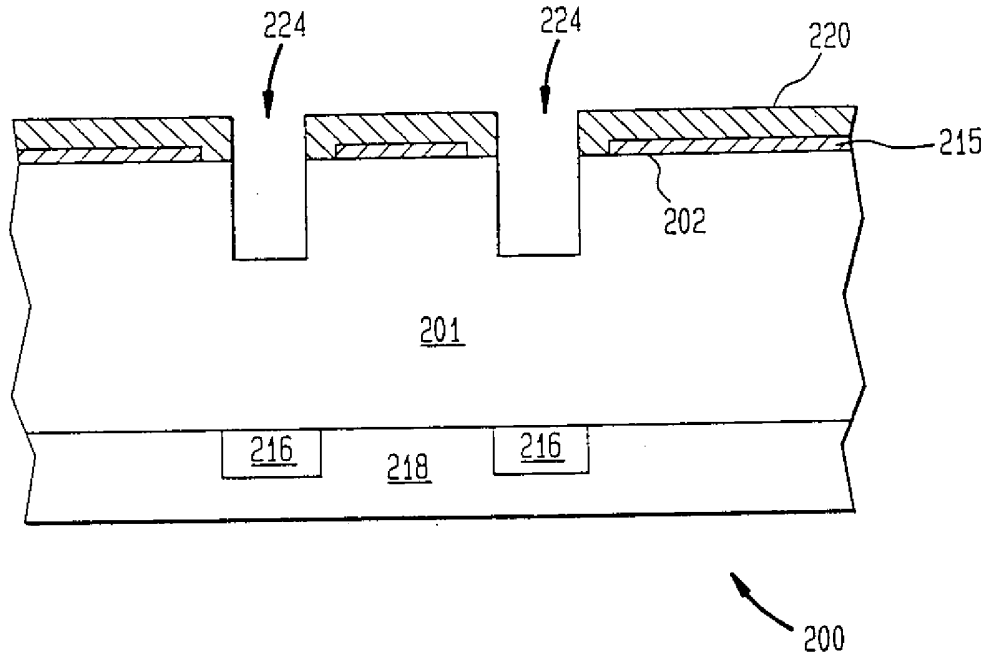
第 3 圖



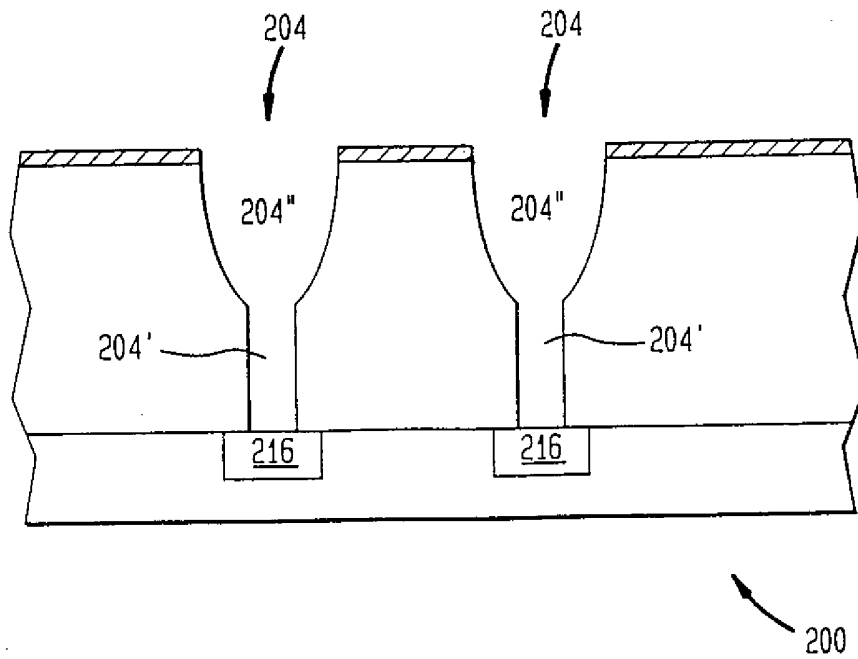
第 4 圖



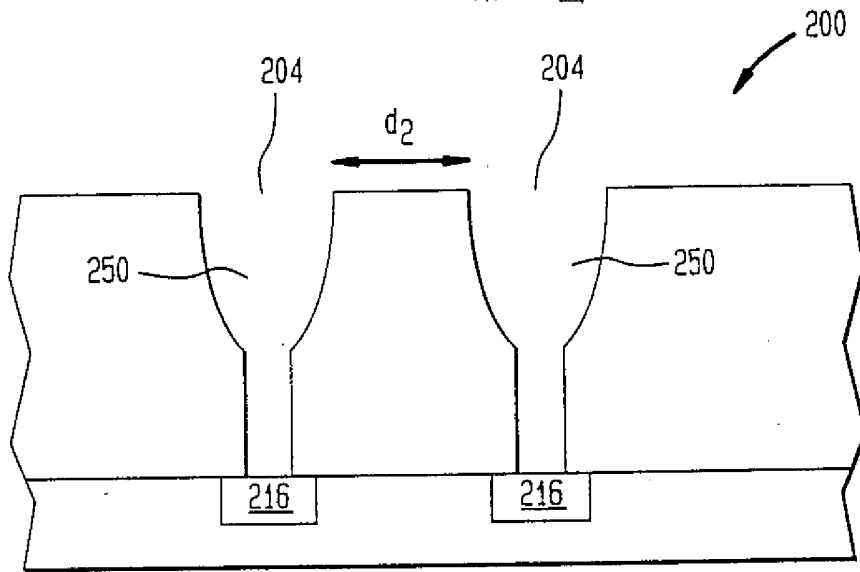
第 5 A 圖



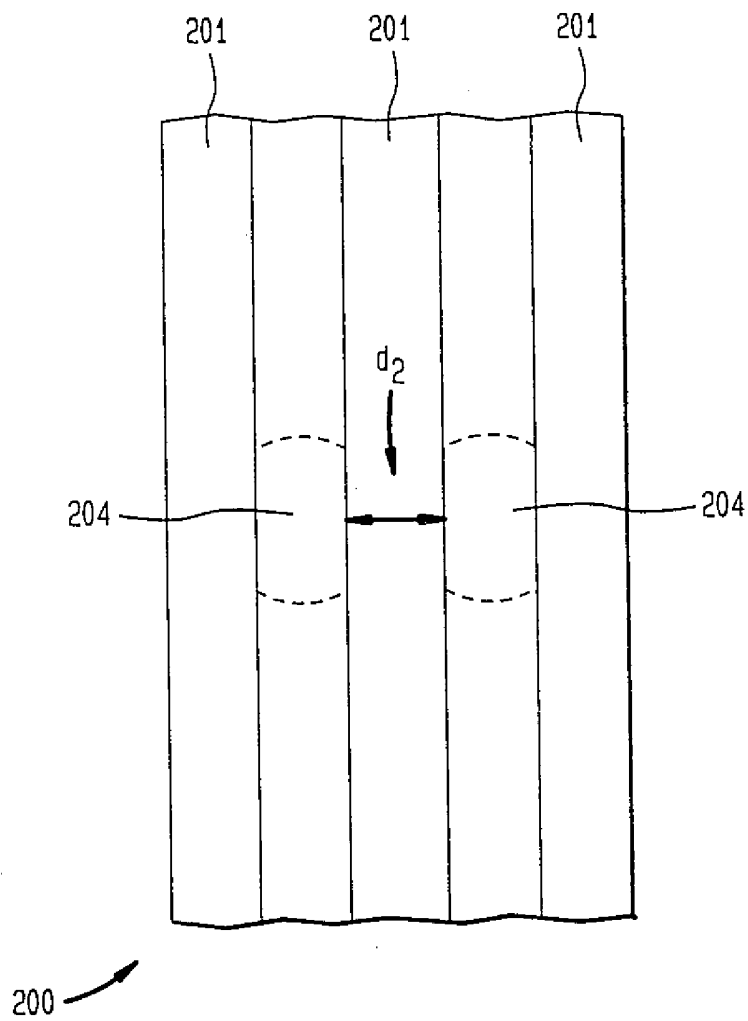
第 5 B 圖



第 6 圖



第 7 圖



第 8 圖

