

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁵ H01L 23/52	(11) 공개번호 특 1992-0017223
	(43) 공개일자 1992년 09월 26일
(21) 출원번호	특 1992-0002157
(22) 출원일자	1992년 02월 14일
(30) 우선권주장	91-023279 1991년 02월 18일 일본(JP)
(71) 출원인	가부시키가이샤 도시바 아오이 죠이치
(72) 발명자	일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지 야마지 야스히로
	일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 종합연구소 내
	히루타 요이치
	일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 종합연구소 내
	나카자와 츠토무
	일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 종합연구소 내
	가토 가츠토
	일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 종합연구소 내
	아츠미 요시히로
	일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 종합연구소 내
	히라노 나오히토
	일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 종합연구소 내
	마세 아키히토
(74) 대리인	일본국 가나가와현 가와사키시 가와사키구 에키마에혼정 25번지 1 도시바 마이크로 일렉트로닉스 가부시키가이샤내 김윤배, 이범일

심사청구 : 있음

(54) 반도체장치 및 그 제조방법

요약

내용 없음

대표도

도 1

명세서

[발명의 명칭]

반도체장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 반도체장치의 패키지구조를 나타낸 종단면도, 제2도는 본 발명의 제1실시예에 따른 반도체장치를 제조하는 순서를 나타낸 공정별 소자단면도, 제3도는 본 발명의 제2실시예에 따른 반도체장치의 패키지구조를 나타낸 종단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록지 않았음.

(57) 청구의 범위

청구항 1

복수개의 반도체칩(12)과, 표면에 배선패턴(15)이 형성된 복수개의 필름기판(21)을 구비하고, 상기 반도체칩(12)은 전극패드(13)와 상기 배선패턴(15)이 전기적으로 접속된 상태에서 중합된 상기 필름기판(21)의 내부에 실장되어 있는 것을 특징으로 하는 반도체장치.

청구항 2

복수개의 반도체칩(12)과, 열가소성 수지로 이루어지고, 표면에 상기 배선패턴(15)이 형성되어 있으며, 관통구멍(via hole)을 이용한 접속이 행해져야 할 위치에 구멍(22)이 개공되어 있는 복수개의 필름기판(21)을 구비하고, 중합된 상태에서 가열 및 가압되어 경화된 중합된 상태에서 가열 및 상기 필름기판(21)의 내부에, 상기 반도체칩(12)이 전극패드(13)와 상기 배선패턴(15)이 직접 접속되거나 또는 상기 구멍(22)을 통하여 접속된 상태에서 실장되어 있는 것을 특징으로 하는 반도체장치.

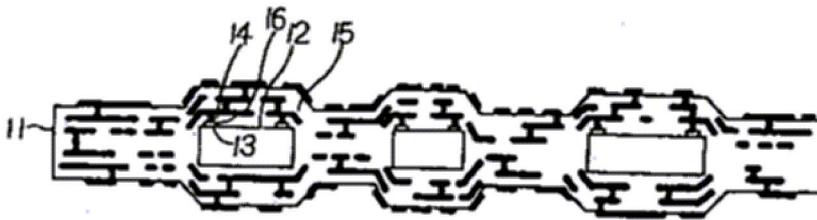
청구항 3

복수개의 필름기판(21)상에 도체 페이스트(23)를 인쇄하여 배선패턴(15)을 형성하고, 관통구멍을 이용한 접속을 행해야 할 위치에 구멍(22)을 개공하는 공정과, 상기 필름기판(21)을 중합시키고, 그 내부의 반도체칩(12)의 전극패드(13)와 상기 배선패턴(15)이 접속될 위치에 상기 반도체칩(12)을 설치한 상태에서 가열 및 가압을 행하여 상기 필름기판(21)의 적층과, 상기 반도체칩(12)과 상기 필름기판(21)과의 전기적 접속 및 상기 반도체칩(12)의 밀봉을 동시에 행하는 공정을 구비하여 구성된 것을 특징으로 하는 반도체장치의 제조 방법.

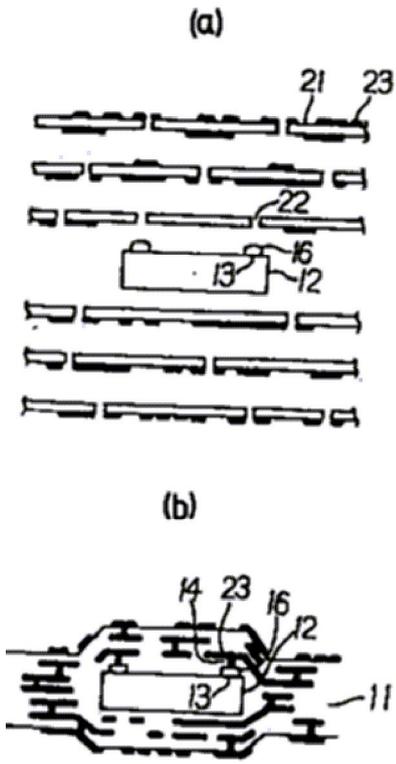
※참고사항:최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2



도면3

