

公告本

申請日期	90.9.20.
案 號	90123193
類 別	G11C1/00

A4
C4

525161

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	具有早期操作高壓產生器的半導體裝置和其高壓供應方法
	英 文	"SEMICONDUCTOR DEVICE HAVING EARLY OPERATION HIGH VOLTAGE GENERATOR AND HIGH VOLTAGE SUPPLYING METHOD THEREFORE"
二、發明 創作人	姓 名	曹 成奎 SEONG-KUE JO
	國 籍	南韓
	住、居所	大韓民國京畿道水原市八達區池洞260-27號
三、申請人	姓 名 (名稱)	韓商三星電子股份有限公司 SAMSUNG ELECTRONICS CO., LTD.
	國 籍	南韓
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞416番地
	代 表 人 姓 名	尹鍾龍 JONG-YONG YUN

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

韓國 2000年11月23日 2000-69833 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明背景

1. 發明範疇

本發明係關於半導體裝置，此等半導體裝置具有需要週期性再生操作之記憶單元。更特定言之，本發明係關於使用於此等半導體裝置之一種高壓產生器與一種高壓供應方法，其適於從內部實施再生操作，同時在與靜態隨機存取記憶體(SRAM)同一定時條件下，適於從外部操作。

2. 相關技藝說明

在半導體隨機存取記憶體(RAM)裝置中，資料是以單獨的位址，存在記憶單元陣列的特定位置。此一資料存於基本隨機存取記憶體(RAM)單元，如靜態隨機存取記憶體(SRAM)單元與動態隨機存取記憶體(DRAM)單元。靜態隨機存取記憶體(SRAM)單元具有靜態的閉鎖結構(通常包括六個電晶體，或四個電晶體與兩個電阻器)，此一閉鎖結構只要維持外部之電源供應，無再生操作便可以儲存資料。動態隨機存取記憶體(DRAM)單元包括一個儲存元件(通常是電容器)與一存取電晶體。在動態隨機存取記憶體(DRAM)單元中，高狀態之資料儲存於電容器中，此一電容器隨時間逐漸放電。因此，高狀態之資料不能長時間存在動態隨機存取記憶體(DRAM)單元中，除非動態隨機存取記憶體(DRAM)單元是週期性再生的。

動態隨機存取記憶體(DRAM)單元要求週期性再生操作以避免電荷泄漏與重要資料損失，其需要一電路，以於此一資料漏失發生之前，實施再生操作。早期動態隨機存取

五、發明說明(2)

記憶體(DRAM)(特別是外部操作之動態隨機存取記憶體(DRAM)具有與靜態隨機存取記憶體(SRAM)相同之定時條件)在外部儲存裝置控制器的控制下，可執行再生功能。現在，大部分動態隨機存取記憶體(DRAM)記憶裝置擁有內部的再生電路，可以執行內部再生功能。

動態隨機存取記憶體(DRAM)的好處，是在用相同製程製造之動態隨機存取記憶體(DRAM)單元比靜態隨機存取記憶體(SRAM)單元小，但較小的動態隨機存取記憶體(DRAM)單元，卻可以存進比較大之靜態隨機存取記憶體(SRAM)更多的資料。因此，希望開發可以取代靜態隨機存取記憶體(SRAM)，而不影響周圍電路的操作條件的動態隨機存取記憶體(DRAM)。

可是，為了半導體之可靠性能，確保直流(DC)產生器之有效操作是重要的。因此，在直流(DC)產生器的穩定操作上，已經有很多的嘗試。1997年3月11日頒予亞馬達(Yamada)之美國專利第5,610,863號，揭示一種控制調壓器電路，以提供高於外部電源供應電壓之高壓VPP給需要高壓VPP之內部電路的方法，此一內部電路如具有動態隨機存取記憶體(DRAM)之記憶裝置中的字線驅動器。在該專利之圖2中，調壓器電路使用震盪器與升壓電容器來產生電壓VPP，經由一電晶體，將偏壓電容器充電到高於輸入電源供應電壓的電壓。字線驅動器響應記憶體「有源」操作期間所提供之選擇信號，將VPP切換到特殊的字線。此一特殊之字線選擇提供再生電荷給記憶單元。既然調壓器

五、發明說明 (3)

電路之典型的升壓操作比有源期間長，其可能在短循環週期中，提供讀取操作所需之電壓給字線，因而改善記憶裝置的可信度。

可是該專利並未提供在初始有源時期，發生於VPP電荷供應期間之電平壓降問題的解決方案。此一發生於初始VPP電荷消耗期間的電平壓降問題，將於下列解說中闡明。

傳統動態隨機存取記憶體(DRAM)記憶單元存取之字線，或W/L，起動時間，係根據經由特殊W/L路徑、隨機應用之定時信號來決定的，而W/L路徑則是經由外部定時之最短路徑來起動，以最小化存取時間。既然這樣，VPP供應之起動時間係根據W/L起動時間來決定，以最小化歸因於泄漏的電荷消耗。既然VPP產生器藉由使用泵激電容器之升壓方法來產生電荷，升壓節點的預充電時間可以是冗長的。因為供升壓操作之電荷供應的起始時間係基於W/L起動時間，而在保持後備VPP電平於後備操作模式的條件下，與消耗VPP電荷的初始起始時間相較，其延遲了供應VPP產生器中電荷的起始時間。因此，在3.3伏特同步動態隨機存取記憶體(SDRAM)的情況中，於初始VPP電荷消耗裡，有一來自參考VPP，約0.5~0.7伏特的壓降。此一壓降導致使用VPP之鏈電路中的時間延遲，而最壞的情況是，記憶單元操作的失靈。在圖3中，當此一VPP產生器基於W/L起動時間(意指W/L)而起動時(意指VPP_EN)，以圖表顯示此一VPP壓降。在圖3中，時間點t1與t2分別指示

五、發明說明(4)

VPP電荷初始電荷消耗時間，與初始VPP電荷之供應時間。根據此一操作定時，指示為G1之電平壓降發生了，而且由於記憶單元操作的失靈，其可導致半導體裝置的性能降低。

因此，有一論證的需要，以於動態隨機存取記憶體(DRAM)之再生操作期間，避免上述壓降，以確保記憶裝置的可信度。

發明概要

因此本發明具體實施例之一特點為提供一種適於VPP產生器之改良的半導體裝置與其操作方法。

本發明具體實施例之另一特點為提供一種操作控制方法，藉由有效地控制VPP產生器，避免VPP電平降落。

本發明具體實施例之另一特點為提供一種半導體裝置與VPP供應之方法，其中此一半導體裝置可以減少或最小化VPP電荷消耗之壓降。

根據本發明之較佳具體實施例，提供一種半導體記憶裝置，其以執行靜態隨機存取記憶操作較佳，其包括一內部電源供應電壓產生器，視需要提供高於外部電源供應電壓之內部電壓，以及包括一耦合到內部電壓之字線驅動電路，其中高壓產生器之電荷供應操作時間的起始點，比字線驅動電路之高壓電荷消耗時間的起始點早發生。

根據本發明之另一具體實施例，提供一種半導體裝置，此一半導體裝置包括一內部電源供應電壓產生器，用來產生耦合到外部電源供應電壓的內部電源供應電壓、一個耦

五、發明說明(5)

合到內部電源供應電壓的內部電路，以及一個驅動控制信號產生器，用來對內部電源供應電壓產生器施加驅動控制信號，其中內部電源供應電壓產生器之電荷供應時間的起始點，比內部電路中內部電源供應電壓之電荷消耗時間的起始點早。內部電源供應電壓產生器中之內部電壓供應電壓的電壓電平，以高於外部電源供應電壓的電壓電平較佳。此一VPP以響應記憶單元存取操作期間激發之驅動控制信號，供應給後備VPP輸出節點較佳。動態隨機存取記憶體(DRAM)單元可能耦合到內部電路，而此一半導體記憶裝置以執行靜態隨機存取記憶操作介面較佳。

根據本發明之另一具體實施例，執行靜態隨機存取記憶操作介面之半導體記憶單元，提供在許多字線與許多位元線的交集處所提供之許多再生型記憶單元、高壓產生器響應記憶單元存取操作期間激發之驅動控制信號，為後備之高壓輸出節點所提供電壓，其中此一高壓比電源電壓高、驅動與字線有關之內部電路，以使用響應指令信息與位址信息之高壓，從許多字線中選擇一字線；以及驅動控制信號產生器，其響應指令信息而產生驅動控制信號，其中用來驅動高壓產生器之時間的起始點，比在記憶單元存取操作期間，於後備高壓輸出節點之電荷消耗時間的起始點早。電荷消耗時間的起始點，以對應到所選擇字線之時間的起動點較佳。

根據本發明之另一具體實施例，提供一種用來控制半導體記憶裝置之高壓產生器，與執行動態隨機存取記憶操作

五、發明說明(6)

介面的方法，此一半導體記憶裝置具有許多連接到許多字線與許多位元線之交集處的再生型記憶單元，其中此一方法包括接收用於記憶單元存取操作期間的外部指令信息，以及提供驅動控制信號給基於外部指令信息的高壓產生器，其中高壓產生器之電荷供應操作時間的起始點，是在高壓產生器輸出節點之電荷消耗時間的起始點之前發生。此一指令信息以與讀取、寫入與再生信號有關較佳。

根據本發明之另一具體實施例，提供一種用來控制半導體記憶裝置之高壓產生器，與執行動態隨機存取記憶操作介面的方法，此一半導體記憶裝置具有許多連接到許多字線與許多位元線之交集處的再生型記憶單元，而執行動態隨機存取記憶操作介面，則包括響應記憶單元存取操作期間應用之外部指令信號，而產生指令輸出信號，其中此一方法包括藉由在指令輸出信號的產生期間，起動此一高壓產生器以供應高壓給內部電路，以及延遲指令輸出信號，並提供此一延遲之指令輸出信號給內部電路，此一內部電路係用來從許多字線中選擇一字線，其中所選擇的字線係於一時間點激發，此一時間點與高壓時間之供應點相比是延遲的。此一指令輸出信號可能以用於位址選擇譯碼器較佳，此一位址選擇譯碼器產生第一個位址譯碼信號。內部電路可能包括字線起動電路、字線驅動器控制器，及字線。電荷消耗操作以於供應高壓之後，在內部電路中發生較佳，且可能在所選擇之字線起動之前發生。

根據本發明，可能大大地改善記憶單元存取操作的可信

五、發明說明(7)

度，而且由於發生於VPP電荷消耗之壓降的最小化，允許VPP產生器中泵激電容器尺寸的減少，其可能減少線路工圖的尺寸。

對那些原本即熟諳此藝之士，藉著複習下列詳細敘述，本發明之這些與其他特點與態樣，將迅速地變得顯而易見。

圖式簡單說明

藉由參考下列說明之具體實施例的詳細說明，且連同附圖一起閱讀時，本發明，以及使用之較佳模式、進一步特點，與其優點，將是最好瞭解的，其中：

圖1說明VPP產生器與電路之具體實施例的方塊圖，此一VPP產生器與電路，和根據本發明之字線驅動有關；

圖2說明根據圖1之詳細電路的電路圖；

圖3說明根據傳統半導體裝置之VPP供應操作之定時圖；及

圖4說明根據本發明之VPP供應操作之定時圖。

具體實施例詳細說明

2000年11月23日申請之韓國專利申請案第2000-69833號，標題「具有早期操作高壓產生器的半導體裝置和其高壓供應方法」，其以全文引用的方式併入本文中。

在下文中，將參考附圖詳細地敘述本發明之較佳具體實施例。

在圖1中，說明VPP產生器與電路的方塊圖，此一VPP產生器與電路，和根據本發明之W/L驅動有關。圖2說明圖1中之方塊的詳細電路。

五、發明說明(8)

首先請即參見圖1，在記憶單元陣列(100)中之再生型記憶單元(MC0，MC1，MC2，MC3，…，MC7)被連接到W/Ls(WL0，WL1，WL2，WL3)與位元線(BLi，i=0-3)的交集處，此等位元線包括許多行與列的矩陣。方塊之感應放大器(80，81)以連接到相應之位元線較佳。

VPP產生器響應在記憶單元存取操作期間激發之驅動控制信號(VPP_EN)，提供高於電源源電壓(IVCC)(圖2之方塊40)之VPP給後備之VPP輸出節點(L1)。此一VPP產生器(30)的細節顯示於圖2之方塊(30)，且其以包含倒向器(I9，I10)、泵激電容器(C1，C2，C3，C4)，與驅動電晶體(T1，T2，T3，T4)較佳。

作為驅動控制信號產生器之VPP起動電路(20)，在記憶單元存取操作期間，於後備VPP輸出節點(L1)之電荷消耗之前，其響應為操作VPP產生器(30)而應用之指令信息信號(PREQ，WREQ，RREQ)，產生驅動控制信號(VPP_EN)。此一指令信號以與讀取、寫入與再生指令信號有關較佳。此一VPP起動電路(20)的細節顯示於圖2之方塊(20)，其以包括下列較佳：接收有關於讀取、寫入與再生指令(PREQ，WREQ，RREQ)之信號的NOR閘(NOR1)、包含用來延遲NOR閘(NOR1)輸出之倒向器(I1-I6)的倒向鏈路(ICH)、用來接收倒向鏈路(ICH)與NOR閘(NOR1)之輸出的NAND閘(NAN1)、用來將NAND閘(NAN1)之輸出倒向的第一個倒向器(I7)，以及用來將第一個倒向器(I7)之輸出倒向的第二個倒向器(I8)。

五、發明說明(9)

後備之VPP產生電路(35)，在記憶裝置未執行存取操作期間之後備操作模式期間，產生預定之VPP電平。爲了最小化功率消耗，後備VPP產生電路(35)之驅動能力，和VPP產生器(30)之驅動能力比較起來是相對較低的，因此，後備之VPP電壓電平和VPP產生器之VPP電平比較起來是低的。後備VPP產生電路(35)之詳細操作解說，對那些原已熟諳此藝之士而言是熟知的，而爲了單純起見，本文中將其省略。

在本發明之較佳具體實施例中，存取指令緩衝區(10)響應經由外部輸入終端應用之信號，緩衝並產生與讀取、寫入與再生指令(PREQ, WREQ, RREQ)有關之信號。與讀取、寫入與再生指令(PREQ, WREQ, RREQ)有關之信號，直接用於VPP起動電路(20)，並亦經由延遲電路(25)來延遲。對位址選擇譯碼器(40)施加延遲之信號(DPREQ, DWREQ, DRREQ)。延遲電路(25)包括習知之延遲元件。半導體裝置中之讀取與寫入操作，可能藉由從外部施加之位址信號，亦即ADDi，晶片起動信號，亦即CSB，與寫入起動信號，亦即WEB，的轉換來初始。

位址選擇譯碼器(40)以響應用作控制信號之信號(DPREQ, DWREQ, DRREQ)及於再生、寫入與讀取操作模式中所提供之位址(CNTi, Ai-Write, Ai-Read)，根據再生、寫入與讀取操作模式，接收個別位址，並產生第一個位址譯碼信號(DADDi)較佳。圖2中方塊(40)所示之位址選擇譯碼器(40)，以包括供信號倒向之倒向器(I11, I12, I13)、傳

五、發明說明 (10)

輸閘(G1, G2, G3)、供初始化之鉗位電晶體(P1), 及倒向器鎖存器(L1)較佳。在讀取操作模式中, 將與讀取指令(DRREQ)有關之信號用作高電平。因此, 傳輸閘(G3)是打開的, 而讀取位址(Ai-Read)則提供給鎖存器(L1)輸入。初始時, 由於電晶體(P1)之初始化, 鎖存器(L1)之輸出是低電平的, 而接著鎖存器(L1)將讀取位址(Ai-Read)倒向成供讀取操作之第一個位址譯碼信號(DADDi)。

如圖2所示, 耦合到VPP而當作電源供應電壓之W/L起動電路(50), 以響應第一個位址譯碼信號(DADDi)與第二個位址譯碼信號, 亦即行方塊位置信號(BADDi), 產生第三個位址譯碼信號, 亦即在VPP電平之行位址譯碼信號(PXi)較佳。如圖2所示之W/L起動電路(50)以包括一NAND閘(NAN2)、倒向器(I17, I18)、交叉耦合p-通道金屬氧化物半導體(MOS)電晶體(P2, P3), 及n-通道金屬氧化物半導體(MOS)電晶體(N1, N2)較佳。剩下的W/L起動電路(51, 52, 53)和W/L起動電路(50)相同的組態, 而且根據第一個位址譯碼信號(DADDi), 其具有不同的輸入。

PXiD電路(60, 61, 62, 63), 亦即W/L驅動器控制器, 響應行位址譯碼信號(PXi, i=0~3)與第四個位址譯碼信號, 亦即方塊控制信號(BSYi, i=1~m), 產生輸出信號(PXiD, PXiDD, PXiBD), 以使用列位址譯碼信號(BSY), 起動選擇之列單元陣列方塊中的W/L。輸出信號(PXiD, PXiDD, PXiBD)係用於W/L驅動器(70, 71, 72, 73)。如圖2中顯示之方塊(60)的PXiD電路之一, 耦合到VPP作為電

五、發明說明 (11)

源源，而其以包含位址譯碼信號(PXi)與方塊控制信號(BSYi)較佳，第一個倒向器(I19)產生第一個W/L驅動控制信號(PXiD)，將第一個NAND閘(NAN3)的輸出倒向，並控制W/L驅動器，而第二個倒向器(I20)產生第一個W/L驅動控制信號(PXiDD)，將第二個NAND閘(NAN4)的輸出倒向，並控制W/L驅動器。如此，方塊控制信號(BSYi)用來激發PXiD電路之電壓電平可能是VPP電平，以避免電流泄漏。

耦合到供驅動相應W/Ls (WL₀，WL₁，WL₂，WL₃)之VPP的W/L驅動器(70，71，72，73)，以包括電晶體(N3，N4，N5，N6)(圖2)較佳。用於電晶體(N3)(圖2)之汲極的輸入信號，以第五個位址譯碼信號較佳，此信號亦即由未顯示之行譯碼器所提供之正常的W/L起動信號(NWEi)(圖1與圖2)。

在執行靜態隨機存取記憶操作介面之半導體裝置中，根據本發明之動態隨機存取記憶體(DRAM)單元陣列的配置，以和W/L驅動器均分兩個鄰接記憶單元陣列方塊較佳，以減少線路佈局區域。

應從圖2了解，VPP係用於W/L起動電路(50，51，52，53)、PXiD電路(60，61，62，63)，與W/L驅動器(70，71，72，73)。動態隨機存取記憶體(DRAM)中之VPP電荷消耗，主要與W/L起動、方塊隔離，及方塊預充電操作有關。在本發明中，於實際VPP電荷消耗中，可能藉由在初始VPP電荷消耗前，操作VPP產生器(30)來減少或最小化壓

五、發明說明 (12)

降。因此，可以改善記憶單元操作之可信度，並且可以減少VPP產生器(30)之泵激電容器的尺寸。

在使用動態隨機存取記憶體(DRAM)單元，而執行作靜態隨機存取記憶體(SRAM)之半導體裝置中，可能從施加外部信號的時間，延遲受到外部信號之實際W/L激發。本發明藉由在電荷消耗前，操作VPP產生器來利用此點，因而允許此一VPP產生器之泵激電容器，在W/L激發期間，藉著在W/L激發之前供應電荷給VPP產生器，而於VPP電荷實際消耗之前，變成充電的。因而可能減少實際VPP電荷消耗中之壓降。

圖3說明根據傳統方法之VPP產生器與W/L激發控制的操作定時圖，其中VPP產生器(30)由信號(VPP_EN)起動，由指令信號(PREQ, WREQ, RREQ)激發，並根據W/L激發來激發的同時，晶片選擇信號(CSB)在低電平時有效的。當藉由傳統方法來驅動VPP產生器(30)時，初始VPP電荷之消耗，在發生VPP電荷消耗處供應VPP電荷之前發生。因為供應VPP電荷的起始時間係經由最短路徑來決定，而此一最短路徑具有用來保證泵激操作之邊緣，因此發生供應電荷給電荷消耗位置之延遲，而接著VPP電荷經由VPP電源線，被傳送到實際消耗VPP電荷之局部區域，此一動作花費有限時間。初始VPP電荷消耗發生於時間點(t1)，而實際VPP電荷供應發生於時間點(t2)。從長遠觀點來看，根據此一操作定時，發生指示為G1之電平壓降，由於不足之激發W/L的電壓電平，其可能導致記憶操作的失靈。

五、發明說明 (13)

因此，根據本發明之VPP電荷係由如圖4所示之操作定時來供應。圖4說明VPP產生器(30)與W/L激發控制的定時圖，並顯示W/L激發之前，由信號(VPP_EN)起動VPP產生器(30)時，VPP電平降落的減少。時間點(t1)指示初始VPP電荷供應時間，而時間點(t2)則指示初始VPP電荷消耗時間。圖4之時間點(t1)對應於圖3之時間點(t2)。根據圖4之定時圖，發生之VPP電平降落係指示為G2，其明顯地比G1小，而且可能避免或最小化記憶單元操作的失靈。

尤其是如圖4之定時圖中所說明之定時，在具有如本發明之動態隨機存取記憶體(DRAM)單元與靜態隨機存取記憶體(SRAM)介面操作的半導體記憶裝置中，是非常有用的。既然不管外部指令，此一記憶裝置應避免單元資料之損失，則應執行內部再生操作。

在本發明之具體實施例中，為了確保根據內部再生週期之再生操作，讀取或寫入操作中之初始的預定時間間隔是不可或缺的。因此，響應自外部施加之記憶單元操作的信號，而供實際單元操作的W/L激發，並不是經由最短路徑，而是經由延遲路徑。既然供VPP產生器(30)操作之時間點，可能根據用於單元操作之外部信號的時間點來決定，對於實際單元操作，可能在實際W/L激發時間之前，操作VPP產生器(30)。藉由在W/L激發之前，激發VPP產生器(30)，可預先供應足夠的VPP電荷，並且可能減少或最小化W/L激發處之VPP壓降。

此外，既然預先供應足夠之VPP電荷，可能減少用來泵

五、發明說明 (14)

激之電容器尺寸，及因此之線路佈局區域。

在下文中，將解說讀取操作與圖4之相應的定時圖，此一讀取操作即如圖1中之VPP產生器的記憶單元操作與關於W/L的電路所執行的。在讀取操作模式中，提供位址信號ADDi、晶片起動信號CSB，及寫入起動信號WEB給存取指令緩衝區(10)。此一存取指令緩衝區(10)產生與讀取、寫入與再生指令(PREQ, WREQ, RREQ)有關的信號，而這些信號將用於VPP起動電路(20)與延遲電路(25)。VPP起動電路(20)產生驅動控制信號(VPP_EN)；接收此一驅動控制信號(VPP_EN)的VPP產生器(30)，提供高於電源源電壓(IVCC)(圖2)的VPP給後備之VPP輸出節點(L1)。延遲電路(25)也用於與讀取、寫入與再生指令(DPREQ, DWREQ, DRREQ)有關的信號給位址選擇譯碼器(40)。既然VPP電荷還未於W/L起動電路(50, 51, 52, 53)、PXiD電路(60, 61, 62, 63)與W/L驅動器(70, 71, 72, 73)中消耗，後備VPP輸出節點(L1)之電壓電平，變得比圖4中指示為VPP電平差x的後備VPP電平高。因此，在W/L激發之前，供應比後備VPP電平高的VPP電平。此一操作持續到時間點t2，當電荷開始消耗時。同樣地，假如用於與讀取指令(DRREQ)有關之預定時間延遲信號給位址選擇譯碼器(40)，則在位元線(BLi)是預充電的情況下，由位址譯碼信號選擇W/L。當W/L由位址譯碼信號激發時，便打開每個連接到所選擇之W/L的存取電晶體。此時，亦即圖4之時間點t2，開始發生VPP電荷消耗。此處，既然將高於後備VPP電平之VPP電平用作驅動電壓，在初始電荷消耗時間點t2之後，發生如

五、發明說明(15)

圖4中指示為G2的電壓電平降落，此一電平降落小於圖3中，指示為G1之傳統半導體裝置定時圖的電壓電平降落。所以，在本發明中，可以避免不足之電壓電平處的W/L激發。

打開存取電晶體之後，記憶單元之儲存器節點與連接到記憶單元的特定位元線(BLi)可以均分電荷。在位元線(BLi)中之電荷均分開始後，藉由應用之脈衝來操作感應放大器(80, 81)。其後，感應放大器(80, 81)將相應之位元線(BLi)電壓放大，並將放大之資料儲存於鎖存器當作記憶單元資料。藉由反應行譯碼信號之行選擇線信號(CSL)的起動，將儲存於鎖存器的資料傳輸到I/O線。由於相應之行選擇線信號(CSL)的無起動，而沒有傳輸到I/O線之儲存的資料，在W/L激發期間，被重新寫入到相應之記憶單元。換句話說，完成稱作有效重建(active restore)之再生操作。

如上所述，根據本發明具體實施例之半導體記憶裝置，在VPP電荷消耗之前操作VPP產生器，因而減少實際VPP電荷消耗中的壓降，可以改善記憶單元存取操作的可信度。而藉由有效地最佳化VPP產生器之泵激電容器的尺寸，也可以減少線路佈局區域。

本文中已揭示本發明之較佳具體實施例，雖然未使用特定術語，其被使用，且僅被解釋成一般與說明之意，而非限制之目的。於是，熟諳此藝之人士應了解，可以作各種形式與範圍的改變而不脫離下列申請專利範圍陳述之本發明的精神與範圍。

四、中文發明摘要(發明之名稱：具有早期操作高壓產生器的半導體裝置和其高壓供應方法)

一種用來執行靜態隨機存取記憶體操作之半導體裝置，包括複數個在許多字線與許多位元線的交集處所提供之再生型記憶單元、一高壓產生器，其響應一記憶單元存取操作期間激發之驅動控制信號，提供比電源電壓高之電壓給一備用之高壓輸出節點、一與字線驅動有關之內部電路，其使用響應指令信息與位址信息之高壓，從許多字線中選擇一字線；以及驅動控制信號產生器，其於記憶單元存取操作期間，響應指令信息而產生驅動控制信號，以於後備高壓輸出節點之初始電荷消耗之前，操作高壓產生器。

英文發明摘要(發明之名稱："SEMICONDUCTOR DEVICE HAVING EARLY OPERATION HIGH VOLTAGE GENERATOR AND HIGH VOLTAGE SUPPLYING METHOD THEREFORE")

A semiconductor device for performing a static random access memory operation includes a plurality of refresh type memory cells provided at intersections of a plurality of word lines and a plurality of bit lines, a high voltage generator providing a voltage higher than a power source voltage to a stand-by high voltage output node in response to a driving control signal activated in a memory cell access operation period, an internal circuit related to word line driving for selecting a word line among the plurality of word lines using the high voltage in response to command information and address information, and a driving control signal generator generating the driving control signal in response

四、中文發明摘要（發明之名稱：

）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

英文發明摘要（發明之名稱：

）

to the command information to operate the high voltage generator prior to initial charge consumption in the stand-by high voltage output node during the memory cell access operation period.

六、申請專利範圍

1. 一種用來執行靜態隨機存取記憶操作介面之半導體記憶裝置，其包括：
 - 數個再生型記憶單元，其係提供於許多字線與許多位元線的交集處；
 - 一高壓產生器，其響應記憶單元存取操作期間激發之驅動控制信號，提供電壓給一後備用之高壓輸出節點，其中此一高壓比電源電壓高；
 - 一與字線有關之內部電路，其驅動來使用響應指令信息與位址信息之高壓，來從許多字線中選擇一字線；以及
 - 一驅動控制信號產生器，其響應指令信息而產生驅動控制信號，其中在記憶單元存取操作期間，驅動高壓產生器的時間點，比該備用高壓輸出節點之電荷消耗的時間點早。
2. 如申請專利範圍第1項之半導體記憶裝置，其中電荷消耗時間之起始點，對應於所選擇字線之時間的起動點。
3. 如申請專利範圍第1項之半導體記憶裝置，其中指令信息與讀取、寫入，及再生指令信號有關。
4. 如申請專利範圍第1項之半導體記憶裝置，其中內部電路在一與驅動高壓產生器之時間的起始點相比較為延遲的時間點，激發所選擇之字線。
5. 一種半導體記憶裝置，其包括：
 - 一內部電源供應電壓產生器，其產生耦合到外部電源供應電壓之內部電源供應電壓；
 - 一內部電路，其耦合到內部電源供應電壓；及

六、申請專利範圍

一驅動控制信號產生器，用來對內部電源供應電壓產生器施加驅動控制信號，

其中內部電源供應電壓產生器之電荷供應時間的起始點，比內部電路中內部電源供應電壓之電荷消耗時間的起始點早。

6. 如申請專利範圍第5項之半導體記憶裝置，其中內部電源供應電壓產生器中之內部電源供應電壓的電壓電平比外部電源供應電壓之電壓電平高。
7. 如申請專利範圍第6項之半導體記憶裝置，其中內部電源供應電壓產生器包括複數個泵激電容器，這些泵激電容器是用來將外部電壓供應電壓升壓的。
8. 如申請專利範圍第5項之半導體記憶裝置，進一步包括耦合到內部電路之動態隨機存取記憶單元，而其中該半導體記憶裝置執行靜態隨機存取記憶操作介面。
9. 如申請專利範圍第8項之半導體記憶裝置，進一步包括後備高壓產生器，其連接到內部電源供應電壓產生器的輸出節點。
10. 一種用來控制半導體記憶裝置之高壓產生器並執行動態隨機存取記憶操作介面的方法，該半導體記憶裝置具有複數個連接到複數個字線與複數個位元線之交集處的再生型記憶單元，該方法包括：

接收外部指令信息，此一外部指令信息係用於記憶單元存取操作期間；及

提供驅動控制信號給基於外部指令信息的高壓產生

六、申請專利範圍

器，

其中高壓產生器之電荷供應操作時間的起始點，是在高壓產生器輸出節點之電荷消耗時間的起始點之前發生。

11. 如申請專利範圍第10項之方法，其中外部指令信息以與讀取、寫入與再生信號有關較佳。

12. 一種用來執行靜態隨機存取記憶操作之半導體記憶裝置，其包括：

內部電源供應電壓產生器，其視需要提供高於外部電源電壓之內部電壓；及

耦合到內部電路之字線驅動電路，

其中高壓產生器之電荷供應操作時間的起始點，是在字線驅動電路中高壓之電荷消耗時間的起始點之前發生。

13. 一種用來執行靜態隨機存取記憶操作之半導體記憶裝置，其包括：

複數個再生型記憶單元，其連接於複數個字線與複數個位元線之間；

一存取指令緩衝區，其響應外部信號，產生與讀取、寫入與再生指令有關之信號，此等外部信號包括位址信號、晶片起動信號，與寫入起動信號；

一高壓起動電路，其響應至少輸出信號之其中之一，產生一驅動控制信號；

一高壓產生器，其響應驅動控制信號，產生高壓；及

六、申請專利範圍

與字線驅動有關之內部電路，其係用來從複數個字線中選擇一字線，並驅動所選擇之字線到一時間點之高壓，而此一時間點與高壓產生器中產生之高壓相比是延遲的。

14. 如申請專利範圍第13項之半導體記憶裝置，其中該與字線驅動有關之內部電路包括：

一延遲電路，其響應存取指令緩衝區之輸出信號，產生延遲信號；

一位址選擇譯碼器，其響應該等延遲信號，產生第一個位址譯碼信號；

一字線起動電路，其響應第一個位址譯碼信號與第二個位址譯碼信號，產生第三個位址譯碼信號；

一字線驅動器控制器，其響應第三個位址譯碼信號與第四個位址譯碼信號，產生字線驅動控制信號；及

一字線驅動器，其響應字線驅動控制信號與第五個位址譯碼信號，驅動所選擇之譯碼線到高壓。

15. 如申請專利範圍第13項之半導體記憶裝置，進一步包括一備用高壓產生器，其連接到高壓產生器之輸出節點。

16. 如申請專利範圍第15項之半導體記憶裝置，其中該後備高壓產生器產生與後備操作中之高壓同樣的電壓電平。

17. 一種用來控制半導體記憶裝置之高壓產生器與執行動態隨機存取記憶操作界面的方法，此一半導體記憶裝置具有複數個連接到複數個字線與複數個位元線之交集處的再生型記憶單元，其包括步驟：

六、申請專利範圍

響應記憶單元存取操作期間所應用之外部指令信號，產生指令輸出信號；

藉由在指令輸出信號的產生期間，起動該高壓產生器以供應高壓給內部電路，以及延遲指令輸出信號；及

提供該延遲之指令輸出信號給內部電路，此一內部電路係用來從複數個字線中選擇一字線，

其中所選擇的字線係於一時間點激發，此一時間點與高壓時間之供應點相比是延遲的。

18. 如申請專利範圍第17項之方法，其中該延遲之指令輸出信號係用於位址選擇譯碼器，而此一位址選擇譯碼器產生第一個位址譯碼信號。
19. 如申請專利範圍第18項之方法，其中該內部電路包括字線起動電路、字線驅動器控制器及字線。
20. 如申請專利範圍第19項之方法，其中該字線起動電路響應第一個位址譯碼信號與第二個位址譯碼信號，在高壓電平產生第三個位址譯碼信號。
21. 如申請專利範圍第17項之方法，其中該高壓之供應操作時間的起始點，是在內部電路中電荷消耗操作之時間的起始點之前發生。
22. 如申請專利範圍第21項之方法，其中該電荷消耗操作在高壓供應之後，但於起動所選擇之字線之前，發生於內部電路。

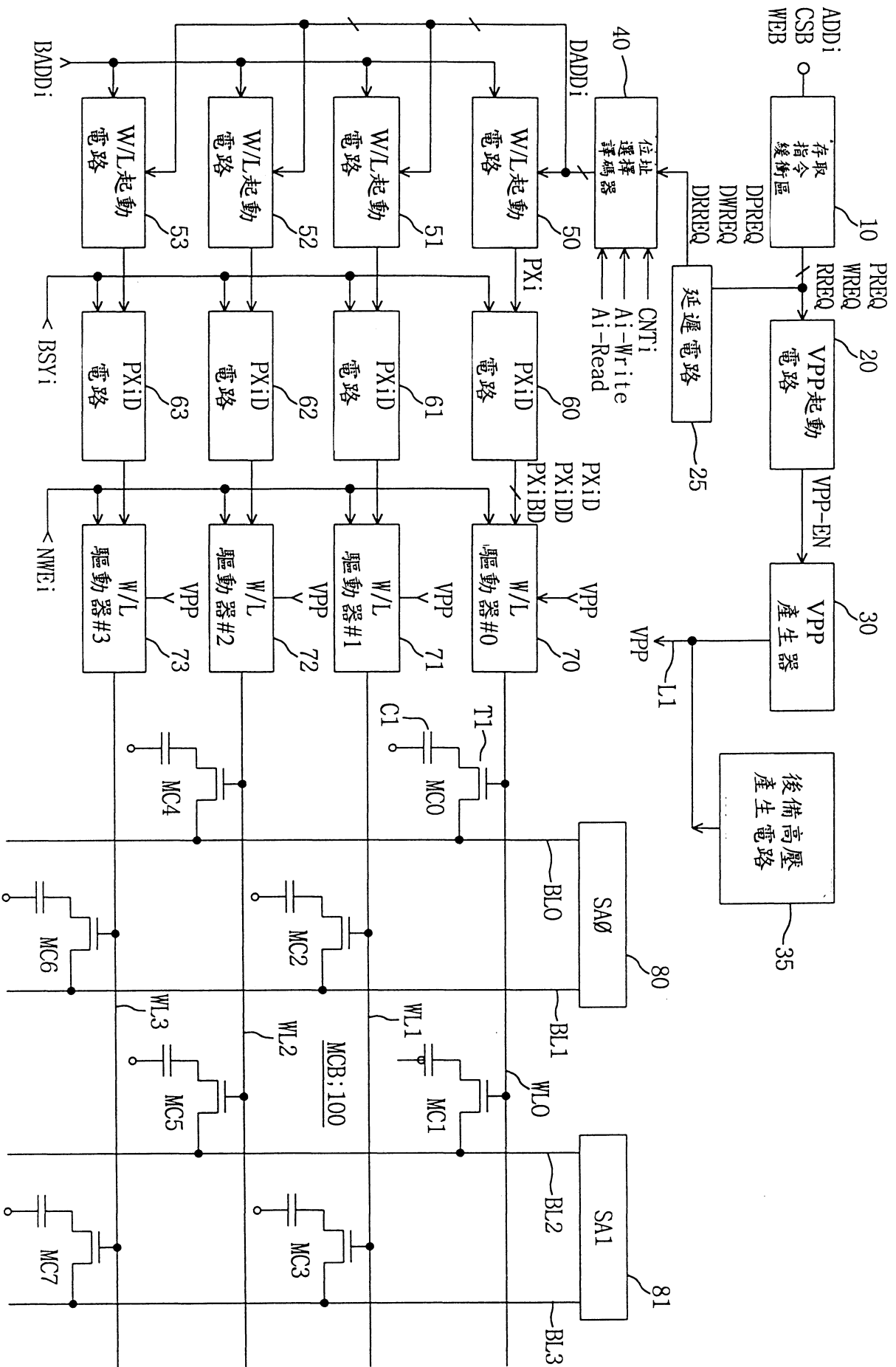


圖 1

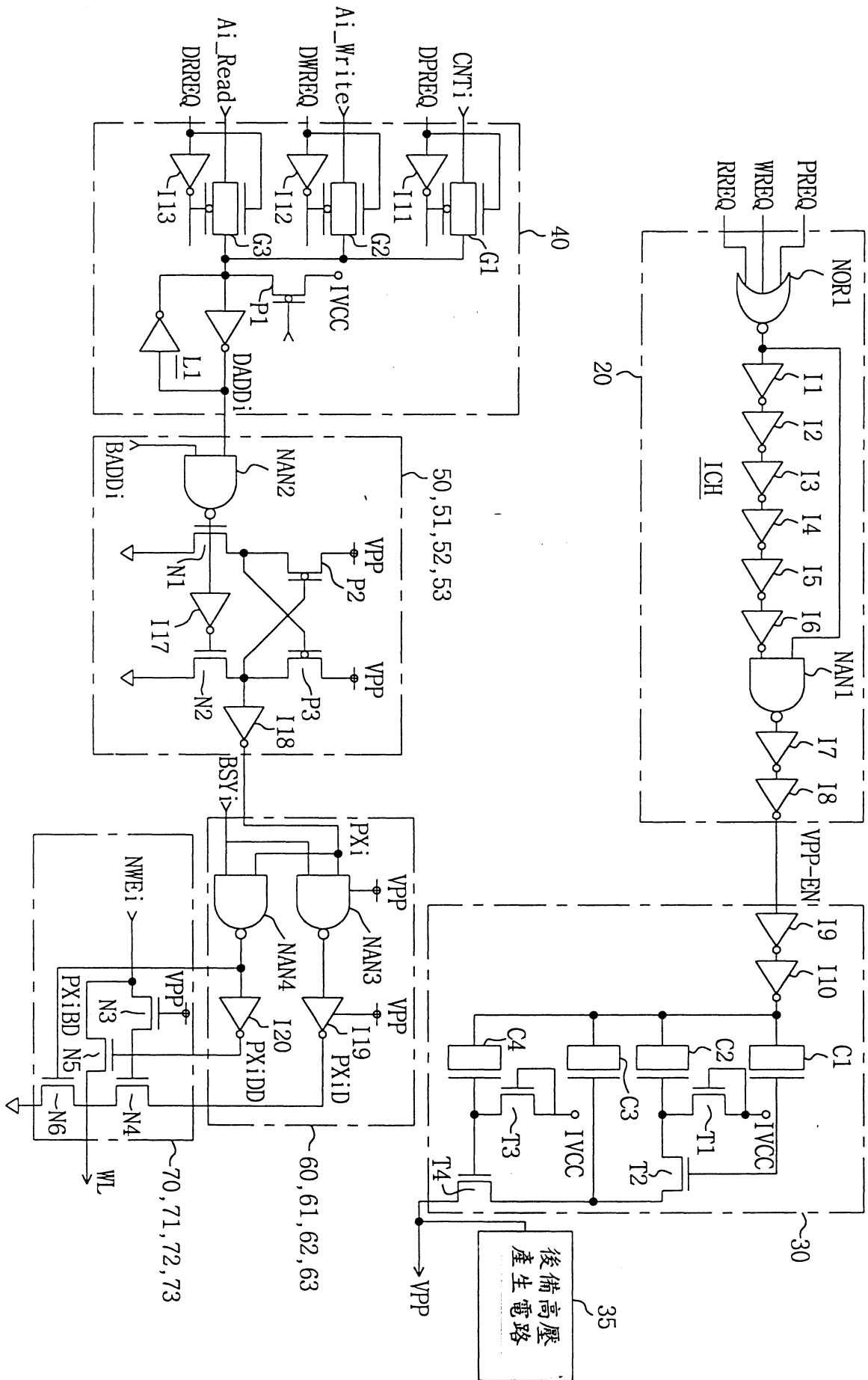


圖 2

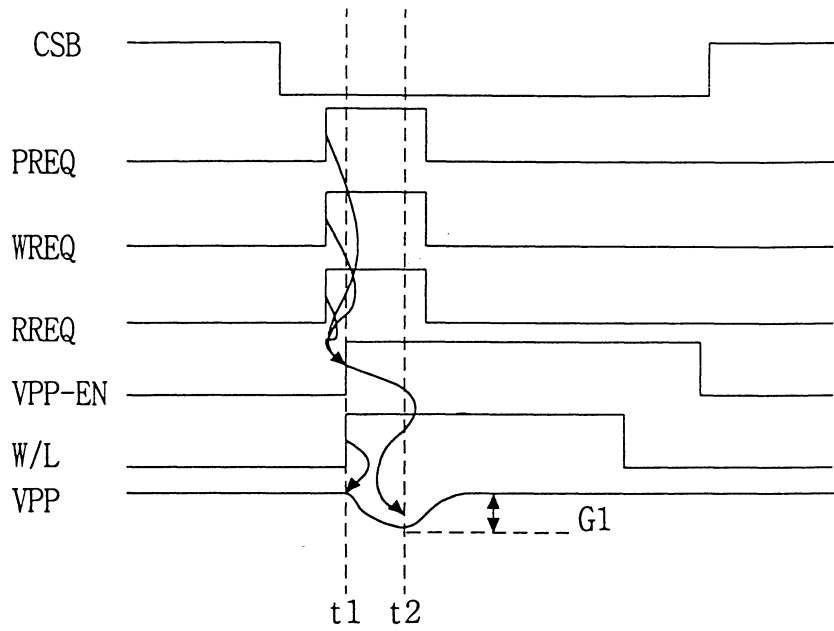


圖 3(先前技藝)

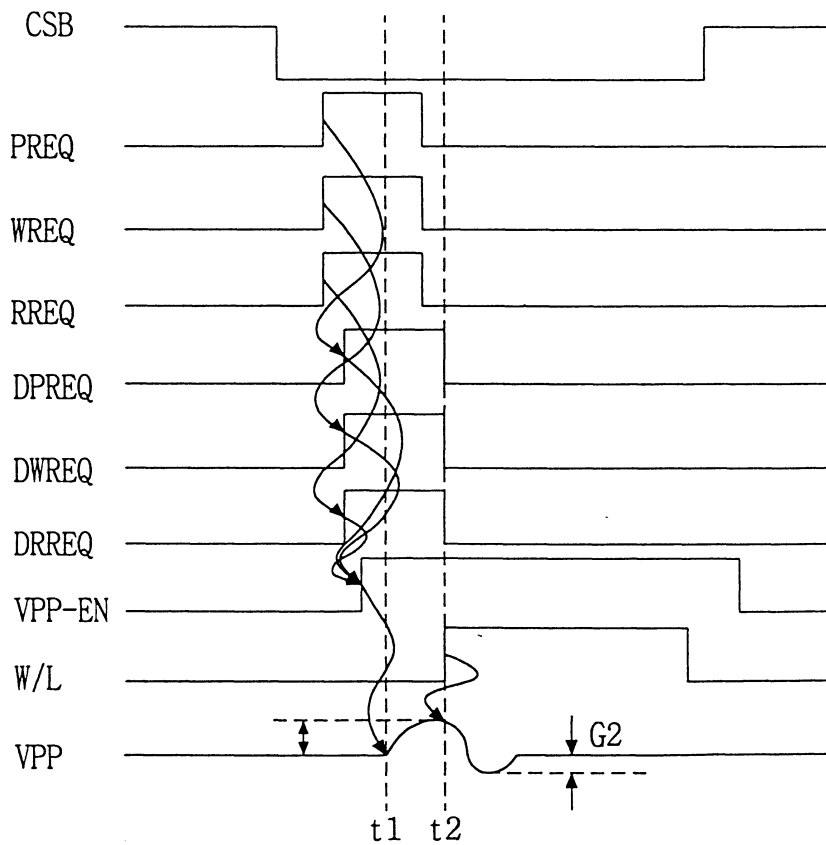


圖 4(先前技藝)