

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02018/150737

発行日 令和1年6月27日 (2019.6.27)

(43) 国際公開日 平成30年8月23日 (2018.8.23)

(51) Int.Cl. F I テーマコード (参考)
HO2M 1/08 (2006.01) HO2M 1/08 A 5H740

審査請求 有 予備審査請求 未請求 (全 20 頁)

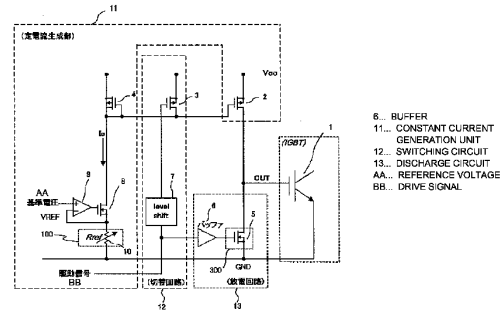
<p>出願番号 特願2018-568024 (P2018-568024)</p> <p>(21) 国際出願番号 PCT/JP2017/046341</p> <p>(22) 国際出願日 平成29年12月25日 (2017.12.25)</p> <p>(31) 優先権主張番号 特願2017-27657 (P2017-27657)</p> <p>(32) 優先日 平成29年2月17日 (2017.2.17)</p> <p>(33) 優先権主張国 日本国 (JP)</p>	<p>(71) 出願人 000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号</p> <p>(74) 代理人 100074099 弁理士 大菅 義之</p> <p>(72) 発明者 森 貴浩 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内</p> <p>Fターム(参考) 5H740 BA11 BB09 BC01 BC02 HH07 JA01 JB01 KK01 PP03</p>
--	--

最終頁に続く

(54) 【発明の名称】 絶縁ゲート型半導体デバイス駆動回路

(57) 【要約】

例としてX相における絶縁ゲート型半導体デバイスであるIGBT1のゲートを駆動するための充放電電流を供給するための駆動回路であって、IGBT1を駆動するために、カレントミラー方式を採用した定電流生成部11と、駆動信号に応じてIGBT1のゲートに注入された電荷を引き抜く放電回路13と、バッファ6を介して駆動信号を放電回路13に供給するとともに、レベルシフト回路7を介して駆動信号をPMOSトランジスタ3のゲートに入力して絶縁ゲート型半導体デバイスのゲートの充電/放電を切り替える切替回路12を備えて構成されている。



【特許請求の範囲】

【請求項 1】

絶縁ゲート型半導体デバイスのゲートに駆動電流を供給して前記絶縁ゲート型半導体デバイスを動作させる絶縁ゲート型半導体デバイス駆動回路であって、

電源ラインにソースが接続され、カレントミラーを構成する第 1 トランジスタおよび第 2 トランジスタと、

前記カレントミラーの入力部となる前記第 1 トランジスタのドレインに接続され、参照値調整抵抗に基準電圧を印加することで定電流を生成する定電流回路と、

前記参照値調整抵抗の抵抗値を調整する抵抗値補正回路と、

を有し、前記カレントミラーの出力部となる前記第 2 のトランジスタのドレインを前記絶縁ゲート型半導体デバイスのゲートに接続する定電流生成部と、

駆動信号を第 3 トランジスタのゲートに入力することで前記絶縁ゲート型半導体デバイスのゲートに注入された電流を引き抜く放電回路と、

を具備し、

さらに、

前記放電回路は、MOS サイズ補正回路により前記第 3 トランジスタの MOS サイズを補正して、前記絶縁ゲート型半導体デバイスのゲートから前記第 3 トランジスタのドレイン - ソースを経てグラウンドラインに流れる電流量を調整する、

ことを特徴とする絶縁ゲート型半導体デバイス駆動回路。

【請求項 2】

請求項 1 記載の絶縁ゲート型半導体デバイス駆動回路において、

前記抵抗値補正回路は、MOS トランジスタと調整抵抗の並列回路が複数直列接続された直列回路を有し、複数の前記並列回路の MOS トランジスタのそれぞれのゲートに PROM から出力される信号を入力することにより前記 MOS トランジスタをオン / オフさせた前記直列回路の合成抵抗を前記参照値調整抵抗とする、

ことを特徴とする絶縁ゲート型半導体デバイス駆動回路。

【請求項 3】

請求項 1 記載の絶縁ゲート型半導体デバイス駆動回路において、

前記抵抗値補正回路は、MOS トランジスタと調整抵抗の直列回路が複数並列接続された並列回路を有し、複数の前記直列回路の前記 MOS トランジスタのそれぞれのゲートに PROM から出力される信号を入力することにより前記 MOS トランジスタをオン / オフさせた前記並列回路の合成抵抗を前記参照値調整抵抗とする、

ことを特徴とする絶縁ゲート型半導体デバイス駆動回路。

【請求項 4】

絶縁ゲート型半導体デバイスのゲートに駆動電流を供給して前記絶縁ゲート型半導体デバイスを動作させる絶縁ゲート型半導体デバイス駆動回路であって、

電源ラインにソース接続され、カレントミラー回路を構成する第 1 トランジスタおよび第 2 トランジスタと、

前記カレントミラー回路の入力部となる前記第 1 トランジスタのドレインに接続され、参照抵抗に基準電圧を印加することで定電流を生成する定電流回路と、

前記基準電圧を調整する基準電圧調整回路と

を有し、前記カレントミラーの出力部となる前記第 2 のトランジスタのドレインを前記絶縁ゲート型半導体デバイスのゲートに接続する定電流生成部と、

駆動信号を第 3 トランジスタのゲートに入力することで前記絶縁ゲート型半導体デバイスのゲートに注入された電流を引き抜く放電回路と、

を具備し、

前記基準電圧調整回路は、PROM から出力される信号が入力される D / A コンバータを備え、該 D / A コンバータの出力を前記基準電圧とし、

前記放電回路は、MOS サイズ補正回路により前記第 3 トランジスタの MOS サイズを補正して、前記第 3 トランジスタのドレイン - ソースを経てグラウンドに流れる電流量を調

10

20

30

40

50

整する、

ことを特徴とする絶縁ゲート型半導体デバイス駆動回路。

【請求項 5】

請求項 1 または 4 記載の絶縁ゲート型半導体デバイス駆動回路において、

前記第 3 トランジスタが並列接続された複数の MOS トランジスタからなり、

前記 MOS サイズ補正回路は、前記複数の MOS トランジスタのゲートにそれぞれ接続された選択回路を有し、

前記選択回路は E P R O M から出力された信号に応じて前記駆動信号と前記 MOS トランジスタをオフさせる信号のいずれかを選択して MOS トランジスタのゲートに入力する

10

ことを特徴とする絶縁ゲート型半導体デバイス駆動回路。

【請求項 6】

請求項 1 または 4 記載の絶縁ゲート型半導体デバイス駆動回路において、

前記第 2 トランジスタにも MOS サイズ補正回路を設ける、

ことを特徴とする絶縁ゲート型半導体デバイス駆動回路。

【請求項 7】

請求項 6 記載の絶縁ゲート型半導体デバイス駆動回路において、

前記 MOS サイズ補正回路は、P R O M から出力される信号に応じて選択した複数の MOS トランジスタを並列接続させて前記第 2 トランジスタとする、

ことを特徴とする絶縁ゲート型半導体デバイス駆動回路。

20

【請求項 8】

複数の絶縁ゲート型半導体デバイスにそれぞれ対応する複数の前記定電流生成部および複数の前記放電回路を有し、前記複数の前記定電流生成部および複数の前記放電回路は共通の電源ラインおよび共通のグラウンドラインに接続されている

ことを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の絶縁ゲート型半導体デバイス駆動回路。

【請求項 9】

前記カレントミラー回路を構成する第 1 トランジスタおよび第 2 トランジスタのゲートと前記電源ラインとの間に接続された第 4 トランジスタを具備し、

レベルシフト回路を介して前記駆動信号を前記第 4 トランジスタのゲートに入力する切替回路を有することを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の絶縁ゲート型半導体デバイス駆動回路。

30

【請求項 10】

前記絶縁ゲート型半導体デバイスは、I G B T であることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の絶縁ゲート型半導体デバイス駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁ゲート型半導体デバイスを駆動する絶縁ゲート型半導体デバイス駆動回路に関し、特に複数の絶縁ゲート型半導体デバイスに出力する出力電流のバラツキを調整可能とする絶縁ゲート型半導体デバイス駆動回路に関する。

40

【背景技術】

【0002】

図 7 は、X 相，Y 相，Z 相の各相に対応する絶縁ゲート型半導体デバイス（例．I G B T (Insulated Gate Bipolar Transistor)）を駆動する絶縁ゲート型半導体デバイス駆動回路を集積した従来の I C（集積回路）のチップレイアウトを示す図である。図 7 においては、出力パッドとして、X 相，Y 相，Z 相の各出力パッドが下段に示され、入力パッドとして、P G N D（パワーグラウンド）のパッド、V C C（電源電圧）のパッドが上段に示されている。

【0003】

50

図7は、ICのパッドサイズを縮小できないことと、チップ面積を増大させられないことから、入力となる、VCC(電源電圧)およびPGND(パワーグランド)のパッドが各一つだけに限られる構成になっている。

【0004】

そのため、チップレイアウト構成として、例えばX相、Y相、Z相の3相の各相からPGND(パワーグランド)パッドに対するグラウンドラインの配線距離が相毎に互いに異なることとなり、したがって、各相における入力及び出力の配線抵抗(例、IC内の配線には一般にアルミや銅が使用されるため)が主要因と考えられる出力電流の差(バラツキ)が生じてしまうという問題がある。

【0005】

また図7に示されるチップレイアウトについて更に補足すれば、3相個々の駆動部のレイアウト構成が同一になっていない。そのため、3相個々の駆動部のレイアウト構成におけるPGND(パワーグランド)パッドに接続されたグラウンドラインと電源ラインの長さは、それぞれで異なるものになっている。

【0006】

図7に示す3相個々の駆動部のレイアウト構成について1つのPGNDを基点にして3相の各出力パッド(OUTX、OUTY、OUTZ)に対するグラウンドラインの長さをイメージとして表すと図8に示すようになる。

【0007】

その結果、図8に示される1つのPGNDパッドからの共通配線(例、配線B)を経て3相の駆動部の各ローサイドNMOSトランジスタ(Nタイプ電界効果型トランジスタ)のソース、更に各ローサイドNMOSトランジスタのドレインから出力パッドへの配線(例、配線A)を経て1つのPGNDパッドから3相の各出力パッド(OUTX、OUTY、OUTZ)に至るグラウンドラインの長さが相毎に異なることから各配線長に基づく抵抗(配線抵抗)も異なるものとなる。

【0008】

図8に示される例について、PGNDからの各相の各出力パッドまでの配線抵抗を大雑把に捉えてみると、X相配線抵抗<Y相配線抵抗<Z相配線抵抗となり、Z相配線抵抗が一番大きくなる。ついでY相配線抵抗となり、X相配線抵抗が一番小さくなる。

【0009】

このため、3相の駆動部を同じように設計したとしても、図10に示されるように、結果的に3相個々の出力電流の特性を揃える(同一化する)ことができないという問題があった。

【0010】

図9Aは、3相の各相(一例としてX相)における従来の駆動部が、ハイサイドのPMOSトランジスタ(PチャンネルのMOS電界効果型トランジスタ)により絶縁ゲート型半導体デバイスのゲートを充電する様子を示す図である。また図9Bは、図9Aに示した駆動部がローサイドのNMOSトランジスタ(NチャンネルのMOS電界効果型トランジスタ)により絶縁ゲート型半導体デバイスのゲートの電荷を放電する様子を示す図である。

【0011】

図9A及び図9Bを用いて従来の駆動回路の駆動部(出力ドライバ)の構成を説明する。従来の駆動部は、図9A及び図9Bに示すように、X相IGBT回路60を定電流駆動するために、2つPMOSトランジスタ54、55をカレントミラー構成にし、カレントミラーの出力部を構成するPMOSトランジスタ55のドレインからIGBT57のゲートに定電流を注入してIGBT57を駆動する定電流回路58を有している。

【0012】

定電流回路58内の2つのPMOSトランジスタ(MP1、MP2)54、55はカレントミラーを形成している。カレントミラーを形成するMP1(54)、MP2(55)のソースは不図示の電源電圧Vccに接続された電源ラインに接続され、カレントミラーの入力部を構成するMP1(54)のドレインは、NMOSトランジスタ(MN1)52のドレ

10

20

30

40

50

インに接続されている。

【0013】

またMP1(54)とMP2(55)のゲートはMP1(54)のドレインに接続されている。

【0014】

NMOSトランジスタのMN1(52)のゲートはオペアンプ(AMP1)51の出力に接続されている。AMP1(51)の非反転入力には所定の基準電圧V1が入力される。またAMP1(52)の反転入力はMN1(52)のソースに接続されている。

【0015】

そしてMN1(52)のソースは抵抗R1(53)の一端に接続され、抵抗R1(53)の他端はPGNDパッドに接続されたグラウンドライン(GND)に接続されている。

【0016】

上記構成において、放電回路59に設けられているNMOSトランジスタ(MN2)56のゲートへの入力電圧がローレベルLであるときに、カレントミラーの入力部に所定の電流が流れると、カレントミラー作用により2次側のMP2(55)のドレインからX相IGBT57のゲートに流入部に流れる電流に比例した大きさの電流(IOUTH)が注入されて、X相IGBT57のゲートが充電され、ゲート電圧が閾値を超えることでX相IGBT57がオンする。なお、カレントミラーの入力部に流れる電流値の調整は、MN1(52)のソースに接続されている、抵抗R1(53)の値を適切に選定することにより成されている。

【0017】

一方、図9Bにおいて、ローサイドに設けたNチャネル電界効果型トランジスタのMN2(56)のゲートへの入力電圧がハイレベルHになると、放電回路59内のMN2(56)が導通し、図9Aに示したIGBTを駆動するための充電電流とは反対方向に放電電流(IOUTL)が流れ、この放電電流が充電電流より大きいため、IGBT57のゲートの電荷がグラウンド(GND)に引き抜かれる。

【0018】

上記ではもっぱらX相IGBT回路60の動作について説明したが、他の相、すなわちY相IGBT回路及びZ相IGBT回路についても同様であるためその説明を省く。その場合、図9A及び図9Bに示す、電源ラインおよびグラウンドラインの配線によって生じる寄生抵抗Rx1~Rx3が各相で相異なることになるため、設計上同じMOSサイズ(例、ゲート幅)になるようにしていても各相の出力電流は、図10に示すように差(バラツキ)が生じる。

【0019】

図9A及び図9Bに示すカレントミラー方式では、オペアンプ(AMP1)が接続される1次側のPMOSトランジスタ54(MN1)のドレインに流れる電流に比例する量の電流を、ミラー効果として2次側のPMOSトランジスタ55(MP2)のドレインからX相IGBT57のゲートに対して駆動電流を流すようにしている。

【0020】

またカレントミラーの電流調整は、オペアンプ出力に接続されているNMOSトランジスタ(MN1)のソース-PGND間に接続されている抵抗(R1)の値によって決定されている。

【0021】

ここで図9A及び図9Bについての説明を補足すれば、図9A及び図9Bの左部に示されるオペアンプ(AMP1)51に入力される電圧V1は、3相の各回路で共通にされているものの、図7のチップ内に含まれる駆動電圧V1を生成する回路(不図示)から3相の各回路レイアウトへの配線距離が異なるので、駆動電圧V1を生成する回路(不図示)からのPGND(パワーグラウンド)のラインと電源ラインのドロップが、3相の各回路レイアウトでそれぞれ異なったものになってしまう。すなわち、異なる配線抵抗が介在することとなるため、3相の各回路における出力電流の大きさにバラツキ(差)が生じるものとな

10

20

30

40

50

る。

【 0 0 2 2 】

図 1 0 は、従来の 3 相単一の I C 出力ドライバの各相 (X , Y , Z) の出力電流波形を示す図であり、図 7 に示した各相 (X , Y , Z) の駆動部の出力を受ける M O S の、M O S サイズ (例 . ゲート幅) と出力電流の大きさの関係を示す図である。図 1 0 から分かるように、所定の M O S サイズに対する各相 (X , Y , Z) の出力電流の大きさは、X 相 > Y 相 > Z 相となり、X 相、Y 相および Z 相間で一致していない (異なるものとなっている)

【 0 0 2 3 】

また下記に示す特許文献 1 には、並列接続された二つのトランジスタ Q 1 , Q 2 の電流駆動能力が揃うゲート電圧を試験で求め、それに基づく試験結果のデータをメモリに格納し、駆動回路がメモリから読み出した前記試験結果のデータに基づく電圧をトランジスタ Q 1 , Q 2 のゲートに印加し、印加された各ゲート電圧で上記トランジスタ Q 1 , Q 2 を交互に駆動する半導体装置が開示されている。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 2 4 】

【 特許文献 1 】 特開 2 0 1 3 - 0 9 8 2 4 3 号公報 (図 3)

【 発明の概要 】

【 発明が解決しようとする課題 】

20

【 0 0 2 5 】

図 9 A 及び図 9 B に示された上記従来の回路構成例では、仮に各相の駆動部の回路構成が同性能に作成されても、図 8 に示されるように、3 相の各相の P G N D までに異なる配線抵抗が内包されてしまうため、出力電流の大きさにバラツキ (差) が生じてしまうという問題があった。

【 0 0 2 6 】

また上記特許文献 1 に記載された半導体装置は、メモリに格納された試験結果のデータを駆動回路がメモリから読み出し、そのデータに基づく電圧を駆動回路がゲート電圧としてそのままトランジスタ Q 1 , Q 2 のゲートに印加してしまう (駆動回路から出力される電圧が直ちにゲート電圧となる) 構成となっているので、トランジスタ Q 1 , Q 2 が大電流を扱うような場合には、スイッチング時のノイズが問題となる。

30

【 0 0 2 7 】

ノイズが問題となるケースでは、大容量のトランジスタのゲートを定電流で充放電する回路にする必要があるため、ゲート電圧ではなく、充電電流および放電電流を揃えないとノイズの問題を解消することができない。

【 0 0 2 8 】

そこで本発明の目的は、複数の絶縁ゲート型半導体デバイスのゲートに出力する出力電流のバラツキを P R O M 補正で調整可能とする絶縁ゲート型半導体デバイス駆動回路を提供することにある。

【 課題を解決するための手段 】

40

【 0 0 2 9 】

上記課題を解決するために本発明の絶縁ゲート型半導体デバイス駆動回路の第 1 の態様は、絶縁ゲート型半導体デバイスのゲートに駆動電流を供給して前記絶縁ゲート型半導体デバイスを動作させる絶縁ゲート型半導体デバイス駆動回路であって、

電源ラインにソースが接続され、カレントミラーを構成する第 1 トランジスタおよび第 2 トランジスタと、

前記カレントミラーの入力部となる前記第 1 トランジスタのドレインに接続され、参照値調整抵抗に基準電圧を印加することで定電流を生成する定電流回路と、

前記参照値調整抵抗の抵抗値を調整する抵抗値補正回路と、

を有し、前記カレントミラーの出力部となる前記第 2 のトランジスタのドレインを前記

50

絶縁ゲート型半導体デバイスのゲートに接続する定電流生成部と、

駆動信号を第3トランジスタのゲートに入力することで前記絶縁ゲート型半導体デバイスのゲートに注入された電流を引き抜く放電回路と、

を具備し、

さらに、

前記放電回路は、MOSサイズ補正回路により前記第3トランジスタのMOSサイズを補正して、前記絶縁ゲート型半導体デバイスのゲートから前記第3トランジスタのドレイン-ソースを経てグラウンドラインに流れる電流量を調整する、ことを特徴とする。

【0030】

上記記載の絶縁ゲート型半導体デバイス駆動回路において、

前記抵抗値補正回路は、MOSトランジスタと調整抵抗の並列回路が複数直列接続された直列回路を有し、複数の前記並列回路のMOSトランジスタのそれぞれのゲートにPROMから出力される信号を入力することにより前記MOSトランジスタをオン/オフさせた前記直列回路の合成抵抗を前記参照値調整抵抗とする、ことを特徴とする。

【0031】

また上記記載の絶縁ゲート型半導体デバイス駆動回路において、

前記抵抗値補正回路は、MOSトランジスタと調整抵抗の直列回路が複数並列接続された並列回路を有し、複数の前記直列回路の前記MOSトランジスタのそれぞれのゲートにPROMから出力される信号を入力することにより前記MOSトランジスタをオン/オフさせた前記並列回路の合成抵抗を前記参照値調整抵抗とする、ことを特徴とする。

【0032】

また上記課題を解決するために本発明の絶縁ゲート型半導体デバイス駆動回路の第2の態様は、絶縁ゲート型半導体デバイスのゲートに駆動電流を供給して前記絶縁ゲート型半導体デバイスを動作させる絶縁ゲート型半導体デバイス駆動回路であって、

電源ラインにソース接続され、カレントミラー回路を構成する第1トランジスタおよび第2トランジスタと、

前記カレントミラー回路の入力部となる前記第1トランジスタのドレインに接続され、参照抵抗に基準電圧を印加することで定電流を生成する定電流回路と、

前記基準電圧を調整する基準電圧調整回路と

を有し、前記カレントミラーの出力部となる前記第2のトランジスタのドレインを前記絶縁ゲート型半導体デバイスのゲートに接続する定電流生成部と、

駆動信号を第3トランジスタのゲートに入力することで前記絶縁ゲート型半導体デバイスのゲートに注入された電流を引き抜く放電回路と、

を具備し、

前記基準電圧調整回路は、PROMから出力される信号が入力されるD/Aコンバータを備え、該D/Aコンバータの出力を前記基準電圧とし、

前記放電回路は、MOSサイズ補正回路により前記第3トランジスタのMOSサイズを補正して、前記第3トランジスタのドレイン-ソースを経てグラウンドに流れる電流量を調整する、ことを特徴とする。

【0033】

上記第1又は第2の態様の絶縁ゲート型半導体デバイス駆動回路において、

前記第3トランジスタが並列接続された複数のMOSトランジスタからなり、

前記MOSサイズ補正回路は、前記複数のMOSトランジスタのゲートにそれぞれ接続された選択回路を有し、

前記選択回路はEPROMから出力された信号に応じて前記駆動信号と前記MOSトランジスタをオフさせる信号のいずれかを選択してMOSトランジスタのゲートに入力する、ことを特徴とする。

【0034】

また上記第1又は第2の態様の絶縁ゲート型半導体デバイス駆動回路において、

前記第2トランジスタにもMOSサイズ補正回路を設ける、ことを特徴とする。

【 0 0 3 5 】

さらに上記記載の絶縁ゲート型半導体デバイス駆動回路において、
前記MOSサイズ補正回路は、PROMから出力される信号に応じて選択した複数のMOSトランジスタを並列接続させて前記第2トランジスタとする、ことを特徴とする。

【 0 0 3 6 】

上記いずれかに記載の絶縁ゲート型半導体デバイス駆動回路において、
複数の絶縁ゲート型半導体デバイスにそれぞれ対応する複数の前記定電流生成部および複数の前記放電回路を有し、前記複数の前記定電流生成部および複数の前記放電回路は共通の電源ラインおよび共通のグラウンドラインに接続されている、ことを特徴とする。

【 0 0 3 7 】

さらに上記いずれかに記載の絶縁ゲート型半導体デバイス駆動回路において、
前記カレントミラー回路を構成する第1トランジスタおよび第2トランジスタのゲートと前記電源ラインとの間に接続された第4トランジスタを具備し、
レベルシフト回路を介して前記駆動信号を前記第4トランジスタのゲートに入力する切替回路を有することを特徴とする。

10

【 0 0 3 8 】

また上記いずれかに記載の絶縁ゲート型半導体デバイス駆動回路において、
前記絶縁ゲート型半導体デバイスは、IGBTであることを特徴とする。

【 発明の効果 】

【 0 0 3 9 】

本発明によれば、複数の出力電流にバラツキが発生しても、その量に応じてPROM補正することにより、パワーモジュール製品の複数の出力電流の駆動特性を均一化させて、安定したスイッチング特性を実現することが可能となる。

20

【 図面の簡単な説明 】

【 0 0 4 0 】

【 図 1 】本発明の実施形態1に係る絶縁ゲート型半導体デバイス駆動回路の駆動部の構成を示す図である。

【 図 2 】図1に示した参照抵抗補正回路の構成例1を示す図である。

【 図 3 】図1に示した参照抵抗補正回路の構成例2を示す図である。

【 図 4 】本発明の実施形態2に係る絶縁ゲート型半導体デバイス駆動回路の駆動部の構成を示す図である。

30

【 図 5 】本発明の実施形態1及び2に係る絶縁ゲート型半導体デバイス駆動回路に設けるMOSサイズ補正回路の構成例を示す図である。

【 図 6 】本発明の実施形態に係る絶縁ゲート型半導体デバイス駆動回路の出力電流特性を示す図である。

【 図 7 】従来の絶縁ゲート型半導体デバイス駆動回路の3相単一のIC出力ドライバのチップレイアウトを示す図である。

【 図 8 】従来の絶縁ゲート型半導体デバイス駆動回路の3相単一のICドライバに内包される配線抵抗イメージを示す図である。

【 図 9 A 】従来の絶縁ゲート型半導体デバイス駆動回路の駆動部のハイサイドPMOSトランジスタによる駆動の様子を示す図である。

40

【 図 9 B 】図9Aに示した駆動部のローサイドNMOSトランジスタによる駆動の様子を示す図である。

【 図 1 0 】従来の絶縁ゲート型半導体デバイス駆動回路の出力電流特性を示す図である。

【 発明を実施するための形態 】

【 0 0 4 1 】

以下、本発明の実施の形態について、詳細に説明する。

[実施形態 1]

【 0 0 4 2 】

図1は、本発明の実施形態1に係る絶縁ゲート型半導体デバイス駆動回路の駆動部の構

50

成を示す図である。

【0043】

本実施形態の絶縁ゲート型半導体デバイス駆動回路は、3相の各相の絶縁ゲート型半導体デバイス(例:IGBT(Insulated Gate Bipolar Transistor))のゲートを駆動するための充放電電流を供給するものである。図1は、絶縁ゲート型半導体デバイス駆動回路のうちの1相分(一例としてX相)の構成を示すものであり、IGBT1を駆動するためにカレントミラー方式を採用した定電流生成部11と、駆動信号に応じてIGBT1のゲートに注入された電荷を引き抜く放電回路13と、バッファ6を介して駆動信号を放電回路13に供給するとともに、レベルシフト回路7を介して駆動信号をPMOSトランジスタ3のゲートに入力して絶縁ゲート型半導体デバイスのゲートの充電/放電を切り替える切替回路12と、を備えて構成されている。

10

【0044】

図1において絶縁ゲート型半導体デバイス駆動回路は、例として、X相の絶縁ゲート型半導体デバイスであるIGBT1のゲートを定電流駆動(充電)するためにカレントミラー方式を採用した定電流生成部11を設けている。

【0045】

定電流生成部11は、カレントミラーを形成する2つのPチャネル電界効果型トランジスタ(PMOS)2,4を有している。

【0046】

PMOSトランジスタ2、PMOSトランジスタ4のソースは電源電圧Vccに接続された電源ラインに接続され、PMOSトランジスタ4のドレインは、NMOSトランジスタ8のドレインに接続されている。

20

【0047】

またPMOSトランジスタ4とPMOSトランジスタ2のゲートはPMOSトランジスタ4のドレインに接続されている。

【0048】

またPMOSトランジスタ3のソースは、電源電圧Vccに接続された電源ラインに接続され、ドレインは、PMOSトランジスタ2,4のゲートに接続され、ゲートは、レベルシフト回路7の出力に接続されている。レベルシフト回路7の入力およびバッファ6には、駆動信号が入力される。

30

【0049】

レベルシフト回路7は、PMOSトランジスタ3のゲートに入力される電圧の調整に使用される。バッファ6の出力は、放電回路13内のNMOSトランジスタ5のゲートに入力され、NMOSトランジスタ5がオンすることで、IGBT1のゲートがPGND(パワーグランド)のパッドに接続されたグラウンドライン(GND)に接続される。

【0050】

PMOSトランジスタ4のドレインとNMOSトランジスタ8のドレインが接続され、NMOSトランジスタ8のゲートはオペアンプ9の出力に接続されている。オペアンプ9の非反転入力には駆動回路の内部で定められた基準電圧VREFが入力される。またオペアンプ9の反転入力にはNMOSトランジスタ8のソースに接続されている。

40

【0051】

そしてNMOSトランジスタ8のソースは参照値調整抵抗Rref(10)の一端に接続され、参照値調整抵抗Rref(10)の他端はグラウンドライン(GND)に接続されている。

【0052】

オペアンプ9の2つの入力の仮想短絡により、参照値調整抵抗Rref(10)の一端の電位は基準電圧VREFとなっているため、参照値調整抵抗Rref(10)には基準電圧VREFとグラウンドラインとの電位差に応じた電流が流れ、この電流がカレントミラーの入力部であるPMOSトランジスタ2のドレインに流れる。

【0053】

50

上記における参照値調整抵抗 $R_{ref}(10)$ は、例えば図 2 又は図 3 のいずれかに示す参照抵抗補正回路によって実現される。これについては後述する。

【0054】

上記構成において、放電回路 13 に設けられている NMOS トランジスタ 5 のゲートへの入力電圧がローレベル L であるときにカレントミラーの入力部である PMOS トランジスタ 2 のドレインに所定の定電流 I_0 が流れると、PMOS トランジスタ 3 がオフとなるため、カレントミラーの出力部である PMOS トランジスタ 2 のドレインから X 相 IGBT 1 のゲートに定電流 I_0 に比例する大きさの電流 (OUT) が流れ、その電流が X 相 IGBT 1 のゲートに注入され、充電された IGBT 1 のゲート電圧が閾値を超えることで X 相 IGBT 1 がオンする。

10

【0055】

一方、放電回路 13 に設けられている NMOS トランジスタ 5 のゲートへの入力電圧がハイレベル H になると、放電回路 13 内の NMOS トランジスタ 5 が導通し、上記した IGBT 1 を駆動するためにゲートに注入されていた電流が反対方向の電流となって、IGBT 1 のゲートからグラウンドライン (GND) に引き抜かれる。このとき PMOS トランジスタ 3 が導通して PMOS トランジスタ 2, 4 のゲート・ソース間電圧がゼロになるため、カレントミラーから電流が出力されなくなっている。

【0056】

この動作を所定のタイミングで繰り返すことで X 相 IGBT 1 がオン/オフされることになる。

20

【0057】

図 2 は、図 1 に示した参照抵抗補正回路 100 の構成例 1 を示す図である。図 2 において、参照値調整抵抗 $R_{ref}(10)$ は、EPROM (Erasable Programmable Read Only Memory (以下同じ)) 20 から得られる出力を MOS トランジスタ $T_1 \sim T_m$ のゲートに入力することにより MOS トランジスタ $T_1 \sim T_m$ をオン/オフすることで MOS トランジスタ $T_1 \sim T_m$ のドレイン・ソース間に接続されている調整用抵抗 $R_1 \sim R_m$ の不活性/活性を調整することで参照抵抗の理想値になるよう補正する。すなわち、トランジスタ T_i ($i = 1 \sim m$) をオンにするとそれに対応した調整用抵抗 R_i の両端が短絡されて調整用抵抗 R_i が不活性となり、トランジスタ T_i をオフにすると調整用抵抗 R_i の両端が短絡されず、調整用抵抗 R_i が活性となる。

30

【0058】

図 3 は、図 1 に示した参照抵抗補正回路 100 の構成例 2 を示す図である。図 2 において、参照値調整抵抗 $R_{ref}(10)$ は、EPROM 20 から得られる出力を MOS トランジスタ $T_1 \sim T_n$ のゲートに入力することにより MOS トランジスタ $T_1 \sim T_n$ をオン/オフする。それにより MOS トランジスタ $T_1 \sim T_m$ のソース・グラウンドライン (GND) 間に接続されている調整用抵抗 $R_1 \sim R_m$ の活性/不活性を調整することで参照抵抗の理想値になるよう補正する。すなわち、トランジスタ T_i ($i = 1 \sim m$) をオフにするとそれに対応した調整用抵抗 R_i が切り離されて調整用抵抗 R_i が不活性となり、トランジスタ T_i をオンにすると調整用抵抗 R_i が接続されて調整用抵抗 R_i が活性となる。

40

【0059】

EPROM に格納するデータは、素子測定 (ウェハ測定) における電流測定により決定している。例えば、EPROM への書込みの前に、試験時に EPROM の代わりにトランジスタ T_i ($i = 1 \sim m$) のオン/オフを決めるシフトレジスタ (不図示) を使用してトランジスタ T_i を取捨選択しながら電流値を確認し、電流値が設計値に一番近いときシフトレジスタの内容を EPROM へ書込むようにしている。

【0060】

上記において定電流生成部 11 の 1 次側の電流が理想値になった場合には、図 1 のカレントミラーの 1 次側の電流は定電流となり、いま定電流を I_0 、EPROM 補正により理想値にされた参照値調整抵抗を R_{ref} とした時、定電流 I_0 は次式 (1) によって求めることができる。

50

$$I_o = V_{REF} / R_{ref} \quad \dots (1)$$

【0061】

次に、放電回路13に設けられているNMOSトランジスタ5のドレイン-ソースを経て引き抜かれるゲートに注入された電流の電流値補正は、図5のMOSサイズ補正回路300によって実施される。これについては、本発明の実施形態2を説明した後に説明することとする。

【0062】

以上のように、本発明の実施形態1に係る絶縁ゲート型半導体デバイス駆動回路は、複数相においてハイサイドに設けたPMOSトランジスタによるカレントミラーに入力される定電流を決めるために、NMOSトランジスタのドレインに接続された参照抵抗をEPRROM補正する。さらにローサイドNMOSトランジスタのMOSサイズ(例、ゲート幅)をEPRROM補正して、パワーモジュール製品の構成上の制約から配線抵抗を内包しつつも複数相における出力電流の特性を同一化することが可能となる。

[実施形態2]

【0063】

図4は、本発明の実施形態2に係る絶縁ゲート型半導体デバイス駆動回路の駆動部の構成を示す図である。

【0064】

本発明の実施形態2に係る絶縁ゲート型半導体デバイス駆動回路の駆動部は、図1に示した本発明の実施形態1に係る絶縁ゲート型半導体デバイス駆動回路の駆動部と同様に、3相の各相の絶縁ゲート型半導体デバイス(例、IGBT)のゲートを駆動するための充放電電流を供給するものである。図4は、絶縁ゲート型半導体デバイス駆動回路のうちの1相分(一例としてX相)の駆動部の構成を示すものであり、IGBT1を駆動するために、カレントミラー方式を採用した定電流生成部18と、駆動信号に応じてIGBT1のゲートに注入された電荷を引き抜く放電回路13と、バッファ6を介して駆動信号を放電回路13に供給するとともに、レベルシフト回路7を介して駆動信号をPMOSトランジスタ3のゲートに入力して絶縁ゲート型半導体デバイスのゲートの充電/放電を切り替える切替回路12と、を備えて構成されている。

【0065】

図4においては、PMOSトランジスタ4のドレインとNMOSトランジスタ8のドレインが接続され、NMOSトランジスタ8のゲートはオペアンプ9の出力に接続されている。オペアンプ9の非反転入力には、図1の構成と異なり、EPRROMにより基準電圧 V_{REF} が理想的な基準電圧となるよう調整される基準電圧調整回路200が設けられており、該調整回路200により調整された基準電圧 V_{REF} が入力される。これについては後述する。またオペアンプ9の反転入力にはNMOSトランジスタ8のソースに接続されている。

【0066】

そしてNMOSトランジスタ8のソースは、図1の構成と異なり、予め設定された値を有する参照抵抗 $R_{ref}(15)$ の一端に接続され、参照抵抗 $R_{ref}(15)$ の他端はグラウンドライン(GND)に接続されている。

【0067】

上記した基準電圧調整回路200の構成は、EPRROM補正技術を用いて実現される。すなわち、基準電圧調整回路200はD/Aコンバータ201およびEPRROM202を有し、D/Aコンバータ201はEPRROM202から出力される値をアナログの電圧値に変換して、これを基準電圧としてオペアンプ9の非反転入力に入力する。EPRROMに格納するデータは、例えば試験時にEPRROMの代わりとなるシフトレジスタなどを用いて、外部からD/Aコンバータ201に試験データを入力して対応する参照抵抗 $R_{ref}(15)$ に流れる電流の値を確認しながら求めた、電流値が設計値に一番近いときの試験データである。

【0068】

10

20

30

40

50

また、放電回路13に設けられているNMOSトランジスタ5のドレイン・ソースを経てIGBT1のゲートに注入された充電電流を引き抜く電流の電流値補正は、NMOSトランジスタ5のMOSサイズを調整することにより行う。MOSサイズの調整については、上記実施形態1においても使用されているので、以下まとめて図5のMOSサイズ補正回路300を説明する。

【0069】

MOSサイズ補正回路300は、選択回路301i (i = 0 ~ n) とNMOSトランジスタ5i からなるMOS選択回路300i が (n + 1) 個並列接続された構成となっている。図5はMOS選択回路300iの構成を示すものである。

【0070】

図5において、選択回路301iは、NMOSトランジスタ5iのゲートに与える信号としてバッファ6を介して得られる駆動信号およびNMOSトランジスタ5iをオフするグラウンド電位のどちらにするかを、EPROM20から入力される値によって選択するものである。すなわち、EPROM20から得られた入力信号がハイレベルHならば、インバータ(INV)31の出力がローレベルLとなり、NMOSトランジスタ32は遮断されると共にNMOSトランジスタ33は導通して、NMOSトランジスタ5iのゲートはグラウンドライン(GND)となるためNMOSトランジスタ5iはオフとなり、NMOSトランジスタ5iのドレイン・グラウンドライン(GND)に流れるはずの引き抜き電流は遮断される。

【0071】

一方、EPROM20から得られた入力信号が、ローレベルLならば、インバータ(INV)31の出力がハイレベルHとなって、バッファ6の出力がNMOSトランジスタ32を通過すると共にNMOSトランジスタ33はオフとなるため、バッファ6の出力がNMOSトランジスタ5iのゲートに入力され、NMOSトランジスタ5iは駆動信号によりオン/オフされる。

【0072】

このようにして、EPROM20に格納されたデータにより(n + 1)個のNMOSトランジスタ5iを取捨選択することにより、トータルでのMOSサイズ(例、ゲート幅)の補正を行って引き抜く電流の電流値が理想値に近くなるようにする。

【0073】

EPROM20に格納されるデータは、試験時にIGBT1のゲートに注入された充電電流を引き抜く電流を測定しながら行う。すなわち、図5のNMOSトランジスタ5iにおいて、ウェハ試験による電流測定において、例えばEPROMへの書込みの前にEPROMの代わりとなるシフトレジスタ(不図示)を使用して(n + 1)個設けられるNMOSトランジスタを取捨選択しながら電流値の確認を行い、電流値が設計値に一番近いときのトータルのシフトレジスタの内容をEPROMへの書込みデータとする。

【0074】

MOSサイズ補正回路300によるトータルのゲート幅の一例を数式で示しておく。まず、トランジスタ5iのゲート幅をW_i、トランジスタ5(i = 0)のゲート幅をW₀としたとき、NMOSトランジスタ5iのゲート幅が、

$$W_i = W_0 \times 2^i \quad (i = 1 \sim n) \dots \dots \dots (2)$$

で表されるものとする。

【0075】

そしてNMOSトランジスタ5iに対するEPROM20からの信号をP_i、その反転信号をP^{*}_iとすると、n + 1個並列接続された上での合成されたゲート幅W_{total}は、

$$W_{total} = ((P^*_0) + (P^*_1) \times 2 + (P^*_2) \times 2^2 + \dots + (P^*_n) \times 2^n) W_0 \dots \dots (3)$$

として求めることが可能となる。

【0076】

なお、図4においては、定電流生成部18の構成要素である、カレントミラーを形成す

10

20

30

40

50

る2つのPチャネル電界効果型トランジスタ(PMOS)2,4のうち、PMOSTランジスタ2が出力するカレントミラー電流のコピー精度が下がることが考えられる。

【0077】

その場合には、図5に示したと同様のMOSサイズ補正回路300'(MOS選択回路300i')をPMOSTランジスタ2に付加するようにする。

【0078】

この場合、PMOSTランジスタ2に設けるMOSサイズ補正回路300'は、図5に示したMOS選択回路300i'における各トランジスタがPMOSTランジスタに変更されることに伴い、EPROM20からの信号の論理レベルが図5とは逆なるのを除けば、図5に示す構成と同じとなるためその説明を省略することにする。

10

【0079】

MOSサイズ補正回路300'で補正すべき電流は、ミラー効果電流の精度を設計値に近づけるためであり、図5の構成と同様に複数並列接続されるMOS選択回路300i'とEPROMを設けることになる。

【0080】

EPROMに格納するデータについては、EPROMへの書込みの前に、例えば試験時にEPROMの代わりとなる素子内に設けられているシフトレジスタ(不図示)を使用して並列接続されるPMOSTランジスタを取捨選択しながらその都度電流値の確認を行い、電流値が設計値に一番近いときのシフトレジスタの内容をEPROMへの書込みデータとする。

20

【0081】

以上のように、本発明の実施形態2に係る絶縁ゲート型半導体デバイス駆動回路は、複数相でハイサイドに設けたオペアンプの基準電圧をEPROM補正し、さらにローサイドNMOSTランジスタおよび又はハイサイドのPMOSTランジスタについてMOSサイズ(例、ゲート幅)をEPROM補正して、パワーモジュール製品の構成上の制約から配線抵抗を内包しつつも複数相における出力電流の特性を同一化することが可能となる。

【0082】

図6は、本発明の実施形態1および2に係る絶縁ゲート型半導体デバイス駆動回路におけるEPROM補正を実施したことによって、従来のX相、Y相およびZ相間における出力電流値の特性が図10に示されるようにバラバラであったものが、本実施形態によってX相、Y相およびZ相間における出力電流値の特性が図6に示されるように同一化される。

30

【0083】

このようにX相、Y相およびZ相間における出力電流値の特性が同一化されることで、パワーモジュール製品の構成上の制約から配線抵抗を内包しつつも複数相(例、3相)の出力電流を均一化して、安定したスイッチング特性を実現することができる。

【0084】

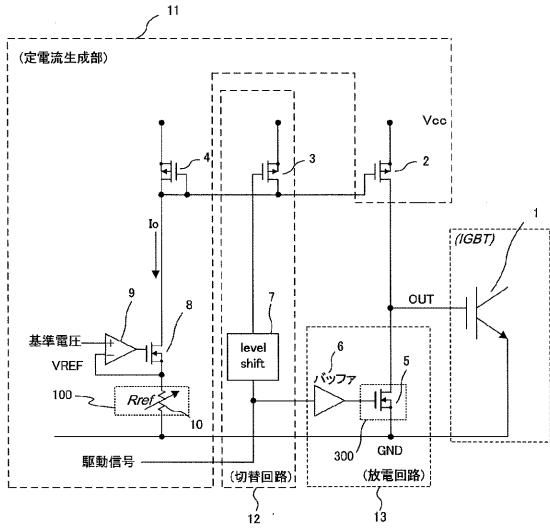
なお、本発明の精神を逸脱しない限りにおいて、各実施の形態を適宜、変形したり、削除したり、或いは、任意に組み合わせたりすることが可能である。

【0085】

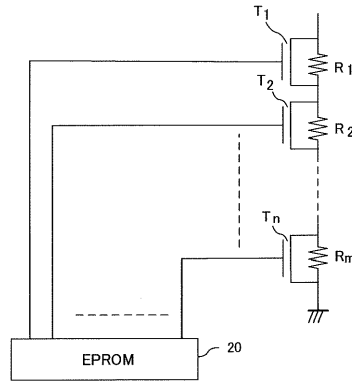
例えば、EPROMとして記載したメモリは必ずしもErasableである必要はなく、単なるPROM(Programmable Read Only Memory)であってもよい。

40

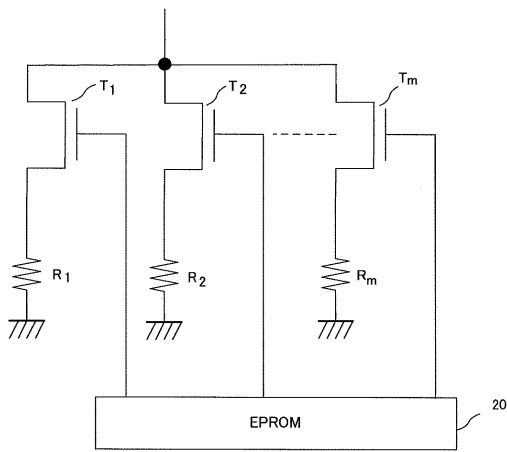
【図1】



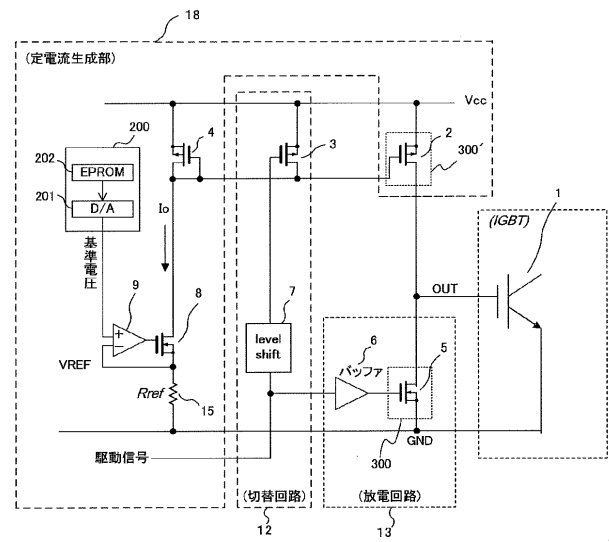
【図2】



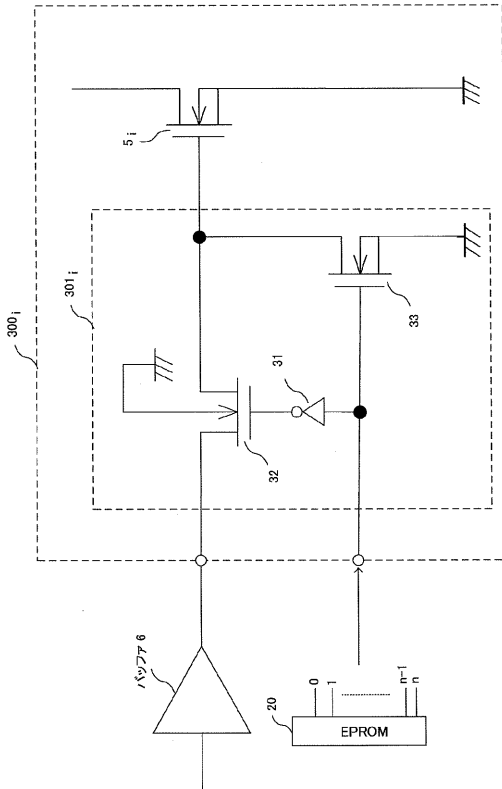
【図3】



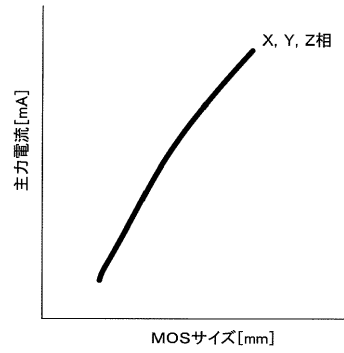
【図4】



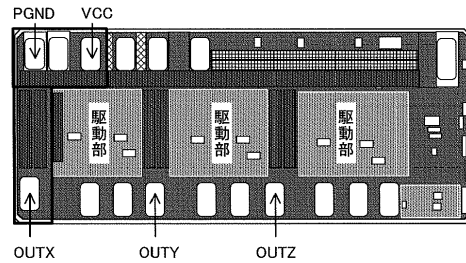
【図5】



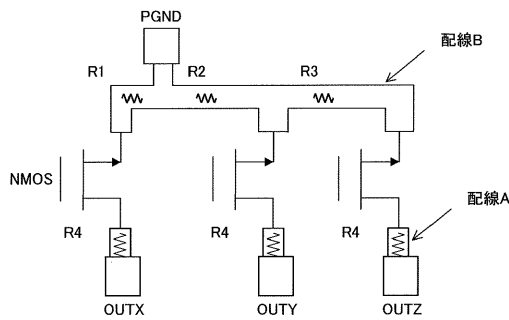
【図6】



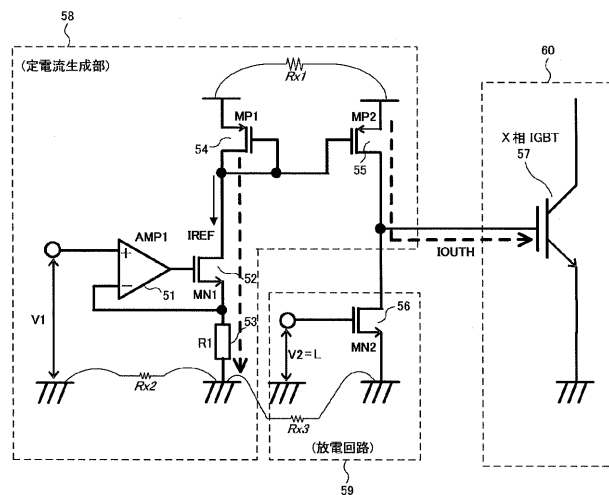
【図7】



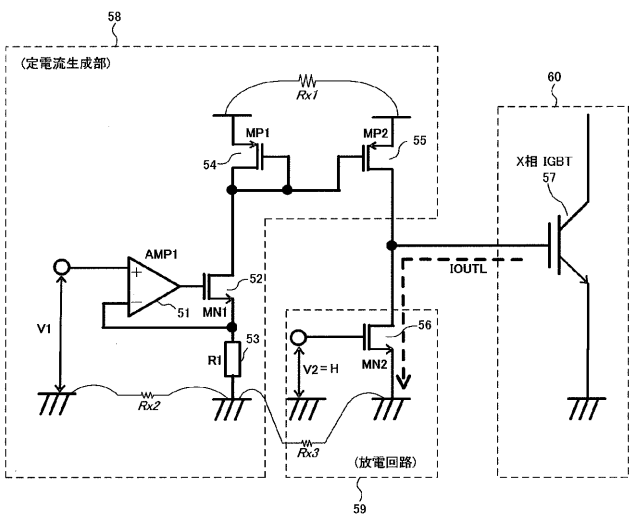
【図8】



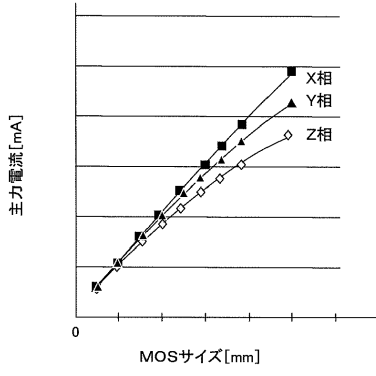
【図9A】



【図9B】



【図 10】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2017/046341
A. CLASSIFICATION OF SUBJECT MATTER Int. Cl. H02M1/08 (2006.01) i, H02M7/48 (2007.01) i, H03K17/56 (2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int. Cl. H02M1/00-7/98, H03K17/00-17/70		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2018 Registered utility model specifications of Japan 1996-2018 Published registered utility model applications of Japan 1994-2018		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2016/009582 A1 (FUJI ELECTRIC CO., LTD.) 21 January 2016, paragraphs [0011], [0012], [0017], [0021]-[0023], [0042]-[0044], [0051]-[0060], fig. 1, 4, 5 & US 2016/0301406 A1, paragraphs [0023]-[0027], [0034], [0039]-[0044], [0077]-[0082], [0091]-[0108], fig. 1, 4, 5 & CN 105850044 A	1-5, 9-10 6-8
Y	JP 8-340245 A (HITACHI, LTD.) 24 December 1996, paragraphs [0044]-[0052], fig. 4, (Family: none)	6-7
Y	JP 2007-252098 A (DAIKIN INDUSTRIES, LTD.) 27 September 2007, paragraphs [0026]-[0040], fig. 1 & WO 2007/108296 A1 & EP 1995862 A1, paragraphs [0028]-[0044], fig. 1 & CN 101385226 A	8
A	JP 2005-27429 A (HITACHI, LTD.) 27 January 2005, entire text, all drawings, (Family: none)	8
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		
<input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 29.01.2018		Date of mailing of the international search report 13.02.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 1 7 / 0 4 6 3 4 1	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H02M1/08(2006.01)i, H02M7/48(2007.01)i, H03K17/56(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H02M1/00-7/98, H03K17/00-17/70			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2018年 日本国実用新案登録公報 1996-2018年 日本国登録実用新案公報 1994-2018年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X Y	WO 2016/009582 A1 (富士電機株式会社) 2016.01.21, 段落[0011]-[0012], [0017], [0021]-[0023], [0042]-[0044], [0051]-[0060], [図1], [図4], [図5] & US 2016/0301406 A1, 段落[0023]-[0027], [0034], [0039]-[0044], [0077]-[0082], [0091]-[0108], 図1, 4, 5 & CN 105850044 A	1-5, 9-10 6-8	
Y	JP 8-340245 A (株式会社日立製作所) 1996.12.24, 段落 [0044] - [0052], [図4] (ファミリーなし)	6-7	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献	
「P」国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 29.01.2018		国際調査報告の発送日 13.02.2018	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 東 昌秋	5G 3139
		電話番号 03-3581-1101 内線 3526	

国際調査報告		国際出願番号 PCT/J P 2 0 1 7 / 0 4 6 3 4 1
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-252098 A (ダイキン工業株式会社) 2007.09.27, 段落 [0026] - [0040], [図1] & WO 2007/108296 A1 & EP 1995862 A1, 段落[0028]-[0044], 図1 & CN 101385226 A	8
A	JP 2005-27429 A (株式会社日立製作所) 2005.01.27, 全文, 全図 (ファミリーなし)	8

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。