

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5599089号
(P5599089)

(45) 発行日 平成26年10月1日(2014.10.1)

(24) 登録日 平成26年8月22日(2014.8.22)

| | | |
|--------------------------|--------------|---------|
| (51) Int. Cl. | F I | |
| HO 1 L 29/78 (2006.01) | HO 1 L 29/78 | 3 O 1 B |
| HO 1 L 21/336 (2006.01) | HO 1 L 29/78 | 3 O 1 Q |
| HO 1 L 29/786 (2006.01) | HO 1 L 29/78 | 6 1 8 B |
| HO 1 L 21/762 (2006.01) | HO 1 L 29/78 | 6 1 8 E |
| HO 1 L 21/76 (2006.01) | HO 1 L 29/78 | 6 2 O |
| 請求項の数 22 (全 32 頁) 最終頁に続く | | |

| | | | |
|--------------|-------------------------------|-----------|--|
| (21) 出願番号 | 特願2009-269920 (P2009-269920) | (73) 特許権者 | 000002093 住友化学株式会社 東京都中央区新川二丁目27番1号 |
| (22) 出願日 | 平成21年11月27日(2009.11.27) | (73) 特許権者 | 504137912 国立大学法人 東京大学 東京都文京区本郷七丁目3番1号 |
| (65) 公開番号 | 特開2010-161349 (P2010-161349A) | (73) 特許権者 | 301021533 独立行政法人産業技術総合研究所 東京都千代田区霞が関1-3-1 |
| (43) 公開日 | 平成22年7月22日(2010.7.22) | (73) 特許権者 | 301023238 独立行政法人物質・材料研究機構 茨城県つくば市千現一丁目2番地1 |
| 審査請求日 | 平成24年10月30日(2012.10.30) | (74) 代理人 | 110000877 龍華国際特許業務法人 |
| (31) 優先権主張番号 | 特願2008-312761 (P2008-312761) | | |
| (32) 優先日 | 平成20年12月8日(2008.12.8) | | |
| (33) 優先権主張国 | 日本国(JP) | | |

最終頁に続く

(54) 【発明の名称】 半導体装置、半導体装置の製造方法、半導体基板、および半導体基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体と、
前記3-5族化合物半導体の(111)面、前記(111)面と等価な面、または、前記(111)面もしくは前記(111)面と等価な面から傾いたオフ角を有する面に接し、
 Al_2O_3 からなる絶縁性材料と、
前記絶縁性材料に接し、金属伝導性材料を含むMIS型電極とを備える半導体装置。

【請求項2】

前記絶縁性材料は、前記3-5族化合物半導体の(111)A面、前記(111)A面と等価な面、または、前記(111)A面もしくは前記(111)A面と等価な面から傾いたオフ角を有する面に接する請求項1に記載の半導体装置。

【請求項3】

前記3-5族化合物半導体、前記絶縁性材料、前記MIS型電極、および、前記3-5族化合物半導体と電氣的に結合される一対の入出力電極を有するMIS型電界効果型トランジスタを備える請求項1または請求項2に記載の半導体装置。

【請求項4】

前記MIS型電界効果型トランジスタのチャンネル層は、 $In_zGa_{1-z}As_zSb_{1-z}$ (式中、 $0 < z < 1$ 、 $0 < z' < 1$)、または、 $In_xGa_{1-x}As_yP_{1-y}$ (式中、 $0 < x < 1$ 、 $0 < y < 1$) を含む請求項3に記載の半導体装置。

10

20

【請求項 5】

前記 3 - 5 族化合物半導体は N 型半導体を含む請求項 1 から請求項 4 の何れか一項に記載の半導体装置。

【請求項 6】

前記 3 - 5 族化合物半導体は P 型半導体を含む請求項 1 から請求項 4 の何れか一項に記載の半導体装置。

【請求項 7】

前記金属伝導性材料は、TaC、Ta₂N、TiN、Ti、Au、W、Pt および Pd からなる群から選択される少なくとも 1 つを含む請求項 1 から請求項 6 の何れか一項に記載の半導体装置。

10

【請求項 8】

Si 基板、SOI 基板、および GOI 基板からなる群から選択されるベース基板をさらに備え、

前記 3 - 5 族化合物半導体は前記ベース基板の一部に配置される請求項 1 から請求項 7 の何れか一項に記載の半導体装置。

【請求項 9】

閃亜鉛鉱型の結晶構造を有し、(111) 面、前記 (111) 面と等価な面、または、前記 (111) 面もしくは前記 (111) 面と等価な面から傾いたオフ角を有する面を有する 3 - 5 族化合物半導体を準備する段階と、

前記 (111) 面、前記 (111) 面と等価な面、または、前記 (111) 面もしくは前記 (111) 面と等価な面から傾いたオフ角を有する面に接し、Al₂O₃ からなる絶縁性材料を ALD 法により形成する段階と、

20

前記絶縁性材料に接し、金属伝導性材料から形成される MIS 型電極を形成する段階とを備え半導体装置の製造方法。

【請求項 10】

前記絶縁性材料は、前記 3 - 5 族化合物半導体の (111) A 面、前記 (111) A 面と等価な面、または、前記 (111) A 面もしくは前記 (111) A 面と等価な面から傾いたオフ角を有する面に接する請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

閃亜鉛鉱型の結晶構造を有する 3 - 5 族化合物半導体と Al₂O₃ からなる絶縁性材料とが配置された半導体基板であって、

30

前記 3 - 5 族化合物半導体の (111) 面、前記 (111) 面と等価な面、または、前記 (111) 面もしくは前記 (111) 面と等価な面から傾いたオフ角を有する面が、前記半導体基板の主面に平行に配置され、

前記 (111) 面、前記 (111) 面と等価な面、または、前記オフ角を有する面に接して前記絶縁性材料が配置された半導体基板。

【請求項 12】

前記 3 - 5 族化合物半導体の (111) A 面、前記 (111) A 面と等価な面、または、前記 (111) A 面もしくは前記 (111) A 面と等価な面から傾いたオフ角を有する面が、前記半導体基板の主面に平行に配置される請求項 11 に記載の半導体基板。

40

【請求項 13】

前記 3 - 5 族化合物半導体は、In_zGa_{1-z}As_zSb_{1-z} (式中、0 < z < 1、0 < z' < 1)、または、In_xGa_{1-x}As_yP_{1-y} (式中、0 < x < 1、0 < y < 1) を含む請求項 11 または請求項 12 に記載の半導体基板。

【請求項 14】

Si 基板、SOI 基板、および GOI 基板のいずれか 1 つの基板を更に備え、

前記 3 - 5 族化合物半導体は前記基板の一部に配置される、

請求項 11 から請求項 13 の何れか一項に記載の半導体基板。

【請求項 15】

前記基板の表面の Si または Ge 結晶層の表面に前記 3 - 5 族化合物半導体が結晶成長

50

することを阻害する阻害層を更に備え、

前記阻害層に前記 Si または Ge 結晶層にまで貫通する開口が形成されており、前記 3 - 5 族化合物半導体が前記開口の内部に形成されている請求項 1 4 に記載の半導体基板。

【請求項 1 6】

前記 3 - 5 族化合物半導体が、

前記阻害層の表面よりも凸に結晶成長したシード化合物半導体と、

前記シード化合物半導体を核として前記阻害層に沿ってラテラル成長したラテラル化合物半導体と

を有する請求項 1 5 に記載の半導体基板。

【請求項 1 7】

前記ラテラル化合物半導体が、

前記シード化合物半導体を核として前記阻害層に沿ってラテラル成長した第 1 ラテラル化合物半導体と、

前記第 1 ラテラル化合物半導体を核として前記阻害層に沿って前記第 1 ラテラル化合物半導体と異なる方向に結晶成長した第 2 ラテラル化合物半導体と

を有する請求項 1 6 に記載の半導体基板。

【請求項 1 8】

閃亜鉛鉱型の結晶構造を有する 3 - 5 族化合物半導体と、

前記 3 - 5 族化合物半導体の (1 1 1) 面、前記 (1 1 1) 面と等価な面、または、前記 (1 1 1) 面もしくは前記 (1 1 1) 面と等価な面から傾いたオフ角を有する面に接し、Al₂O₃ からなる絶縁性材料と

を有する半導体基板。

【請求項 1 9】

前記絶縁性材料は、前記 3 - 5 族化合物半導体の (1 1 1) A 面、前記 (1 1 1) A 面と等価な面、前記 (1 1 1) A 面から傾いたオフ角を有する面、または、前記 (1 1 1) A 面と等価な面から傾いたオフ角を有する面に接する請求項 1 8 に記載の半導体基板。

【請求項 2 0】

前記 3 - 5 族化合物半導体は、 $In_z Ga_{1-z} As_z Sb_{1-z}$ (式中、 $0 < z < 1$)、または、 $In_x Ga_{1-x} As_y P_{1-y}$ (式中、 $0 < x < 1$ 、 $0 < y < 1$) を含む請求項 1 8 または請求項 1 9 に記載の半導体基板。

【請求項 2 1】

Si 基板、SOI 基板、および GOI 基板のいずれか 1 つの基板を更に備え、

前記 3 - 5 族化合物半導体は、前記基板の一部に配置される請求項 1 8 から請求項 2 0 の何れか一項に記載の半導体基板。

【請求項 2 2】

3 - 5 族化合物半導体を備える半導体基板の製造方法であって、

ベース基板を準備する段階と、

前記ベース基板上に、前記 3 - 5 族化合物半導体が結晶成長することを阻害する阻害層を形成する段階と、

前記ベース基板にまで貫通する開口を前記阻害層に形成する段階と、

前記開口において前記阻害層の表面よりも凸にシード化合物半導体を結晶成長させる段階と、

前記シード化合物半導体を核として前記阻害層に沿ってラテラル化合物半導体を結晶成長させる段階と、

前記ラテラル化合物半導体上に上層化合物半導体を結晶成長させる段階と

を備え、

前記上層化合物半導体が、閃亜鉛鉱型の結晶構造を有する 3 - 5 族化合物半導体であって、(1 1 1) 面、前記 (1 1 1) 面と等価な面、または、前記 (1 1 1) 面もしくは前記 (1 1 1) 面と等価な面から傾いたオフ角を有する面を有し、

前記 (1 1 1) 面、前記 (1 1 1) 面と等価な面、または、前記 (1 1 1) 面もしくはは

10

20

30

40

50

前記(111)面と等価な面から傾いたオフ角を有する面に接し、 Al_2O_3 からなる絶縁性材料をALD法により形成する段階を、さらに備えた

半導体基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、半導体装置の製造方法、半導体基板、および半導体基板の製造方法に関する。

【背景技術】

【0002】

近年、活性領域にGaAs等の化合物半導体を用いた各種の高機能電子デバイスが開発されている。例えば、化合物半導体をチャンネル層に用いたMIS型電界効果型トランジスタ(metal-Insulator-semiconductor field-effect transistor。以下、MISFETと称する場合がある。)は、高周波動作および大電力動作に適したスイッチングデバイスとして期待されている。化合物半導体をチャンネル層に用いたMISFETにおいては、化合物半導体と絶縁性材料との界面に形成される界面準位を低減させることが重要になる。例えば、非特許文献1は、化合物半導体の表面を硫化物で処理することで、上記界面に形成される界面準位を低減できることを開示する。

【先行技術文献】

【非特許文献】

【0003】

【非特許文献1】S. Arabasz, et al. 著, Vac. 80巻(2006年)、888ページ

【発明の概要】

【発明が解決しようとする課題】

【0004】

上述のとおり、化合物半導体MISFETの実用化においては、上記界面準位を低減することが課題として認識されている。しかし、上記界面準位に影響を及ぼす因子は明らかでなかった。

【課題を解決するための手段】

【0005】

上記課題を解決するために、本発明の第1の態様においては、閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体と、3-5族化合物半導体の(111)面、(111)面と等価な面、または、(111)面もしくは(111)面と等価な面から傾いたオフ角を有する面に接する絶縁性材料と、絶縁性材料に接し、金属伝導性材料を含むMIS型電極とを備える半導体装置を提供する。絶縁性材料は、3-5族化合物半導体の(111)A面、(111)A面と等価な面、または、(111)A面もしくは(111)A面と等価な面から傾いたオフ角を有する面に接してもよい。半導体装置は、例えば、Si基板、SOI基板、およびGOI基板からなる群から選択されるベース基板をさらに備え、3-5族化合物半導体はベース基板の一部に配置される。

【0006】

半導体装置は、例えば、3-5族化合物半導体、絶縁性材料、MIS型電極、および、3-5族化合物半導体と電氣的に結合される対の入出力電極を有するMIS型電界効果型トランジスタをさらに備える。MIS型電界効果型トランジスタのチャンネル層は、 $In_z Ga_{1-z} As_z Sb_{1-z}$ (式中、 $0 \leq z \leq 1$ 、 $0 \leq z' \leq 1$)、または、 $In_x Ga_{1-x} As_y P_{1-y}$ (式中、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$)を含んでもよい。

【0007】

絶縁性材料は、例えば、 Al_2O_3 、 Ga_2O_3 、 La_2O_3 、 AlN 、 GaN 、 SiO_2 、 ZrO_2 、 HfO_2 、 $Hf_x Si_{1-x} O_y$ (式中、 $0 \leq x \leq 1$ 、 $1 \leq y \leq 2$)、

10

20

30

40

50

$Hf_x Al_{2-x} O_y$ (式中、 $0 < x < 2$ 、 $1 < y < 3$)、 $Hf_x Si_{1-x} O_y N_{2-y}$ (式中、 $0 < x < 1$ 、 $1 < y < 2$)および $Ga_{2-x} Gd_x O_3$ (式中、 $0 < x < 2$)なる群から選択される少なくとも1つ、または、それらの積層体を含む。また、絶縁性材料は、例えば、Alを含み閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体、または、Alを含み閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体の酸化物を含む。金属伝導性材料は、例えば、TaC、Ta₂N、TiN、Ti、Au、W、PtおよびPdからなる群から選択される少なくとも1つを含む。

【0008】

本発明の第2の態様においては、閃亜鉛鉱型の結晶構造を有し、(111)面、(111)面と等価な面、または、(111)面もしくは(111)面と等価な面から傾いたオフ角を有する面を有する3-5族化合物半導体を準備する段階と、(111)面、(111)面と等価な面、または、(111)面もしくは(111)面と等価な面から傾いたオフ角を有する面に接する絶縁性材料を形成する段階と、絶縁性材料に接し、金属伝導性材料から形成されるMIS型電極を形成する段階とを備える半導体装置の製造方法を提供する。絶縁性材料は、3-5族化合物半導体の(111)A面、(111)A面と等価な面、または、(111)A面もしくは(111)A面と等価な面から傾いたオフ角を有する面に接してもよい。

10

【0009】

当該製造方法は、3-5族化合物半導体と電氣的に結合される入出力電極を形成する段階を更に備えてもよい。MIS型電極を形成する段階は、例えば、入出力電極を形成する段階より前に実行される。また、入出力電極を形成する段階は、絶縁性材料を形成する段階より前に実行されてもよい。

20

【0010】

絶縁性材料は、例えば、還元性材料を含む雰囲気におけるALD法またはMOCVD法により形成されて得られる。当該製造方法は、絶縁性材料を形成した後、真空または水素を含む雰囲気下においてアニールする段階を更に備えてもよい。3-5族化合物半導体を準備する段階は、Si基板、SOI基板、およびGOI基板のいずれか1つの基板を準備する段階と、基板の一部に3-5族化合物半導体を形成する段階とを有してもよい。

【0011】

本発明の第3の態様においては、閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体が配置された半導体基板であって、3-5族化合物半導体の(111)面、(111)面と等価な面、または、(111)面もしくは(111)面と等価な面から傾いたオフ角を有する面が、半導体基板の主面に平行に配置される半導体基板を提供する。3-5族化合物半導体の(111)A面、(111)A面と等価な面、または、(111)A面もしくは(111)A面と等価な面から傾いたオフ角を有する面が、半導体基板の主面に平行に配置されてもよい。当該半導体基板は、Si基板、SOI基板、およびGOI基板のいずれか1つの基板を更に備え、3-5族化合物半導体は基板の一部に配置されてもよい。

30

【0012】

当該半導体基板において、3-5族化合物半導体は、例えば、 $In_z Ga_{1-z} As_z Sb_{1-z}$ (式中、 $0 < z < 1$ 、 $0 < z < 1$)、または、 $In_x Ga_{1-x} As_y P_{1-y}$ (式中、 $0 < x < 1$ 、 $0 < y < 1$)を含む。当該半導体基板は、基板の表面のSiまたはGe結晶層の表面に3-5族化合物半導体が結晶成長することを阻害する阻害層を更に備え、阻害層にSiまたはGe結晶層にまで貫通する開口が形成されており、3-5族化合物半導体が開口の内部に形成されてもよい。

40

【0013】

また、半導体基板は、3-5族化合物半導体が、阻害層の表面よりも凸に結晶成長したシード化合物半導体と、シード化合物半導体を核として阻害層に沿ってラテラル成長したラテラル化合物半導体とを有してもよい。ラテラル化合物半導体が、シード化合物半導体を核として阻害層に沿ってラテラル成長した第1ラテラル化合物半導体と、第1ラテラル化合物半導体を核として阻害層に沿って第1ラテラル化合物半導体と異なる方向に結晶成

50

長した第2ラテラル化合物半導体とを有してもよい。当該半導体基板においては、3-5族化合物半導体が、ラテラル化合物半導体上に結晶成長した上層化合物半導体をさらに有してもよい。

【0014】

本発明の第4の態様においては、閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体と、3-5族化合物半導体の(111)面、(111)面と等価な面、または、(111)面もしくは(111)面と等価な面から傾いたオフ角を有する面に接する絶縁性材料とを有する半導体基板が提供される。例えば、絶縁性材料は、3-5族化合物半導体の(111)A面、(111)A面と等価な面、(111)A面から傾いたオフ角を有する面、または、(111)A面と等価な面から傾いたオフ角を有する面に接する。半導体基板は、Si基板、SOI基板、およびGOI基板のいずれか1つの基板を更に備え、3-5族化合物半導体は、基板の一部に配置されてもよい。

10

【0015】

3-5族化合物半導体は、 $In_z Ga_{1-z} As_z \cdot Sb_{1-z}$ (式中、 $0 < z < 1$ 、 $0 < z' < 1$)、または、 $In_x Ga_{1-x} As_y P_{1-y}$ (式中、 $0 < x < 1$ 、 $0 < y < 1$)を含んでもよい。絶縁性材料は、 Al_2O_3 、 Ga_2O_3 、 La_2O_3 、 AlN 、 GaN 、 SiO_2 、 ZrO_2 、 HfO_2 、 $Hf_x Si_{1-x} O_y$ (式中、 $0 < x < 1$ 、 $1 < y < 2$)、 $Hf_x Al_{2-x} O_y$ (式中、 $0 < x < 2$ 、 $1 < y < 3$)、 $Hf_x \cdot Si_{1-x} \cdot O_y \cdot N_{2-y}$ (式中、 $0 < x' < 1$ 、 $1 < y' < 2$)および $Ga_{2-x} \cdot Gd_x \cdot O_3$ (式中、 $0 < x'' < 2$)なる群から選択された少なくとも1つ、または、それらの積層体を含んでもよい。

20

【0016】

絶縁性材料は、Alを含み閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体、または、Alを含み閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体の酸化物を含んでもよい。

【0017】

本発明の第5の態様においては、3-5族化合物半導体を備える半導体基板の製造方法であって、ベース基板を準備する段階と、ベース基板上に、3-5族化合物半導体が結晶成長することを阻害する阻害層を形成する段階と、ベース基板にまで貫通する開口を阻害層に形成する段階と、開口において阻害層の表面よりも凸にシード化合物半導体を結晶成長させる段階と、シード化合物半導体を核として阻害層に沿ってラテラル化合物半導体を結晶成長させる段階と、ラテラル化合物半導体上に上層化合物半導体を結晶成長させる段階とを備える半導体基板の製造方法が提供される。

30

【図面の簡単な説明】

【0018】

【図1】半導体装置110の断面の一例を概略的に示す。

【図2】半導体装置210の断面の一例を概略的に示す。

【図3】半導体装置210の製造過程の一例を概略的に示す。

【図4】半導体装置210の製造過程の一例を概略的に示す。

【図5】半導体装置210の製造過程の一例を概略的に示す。

40

【図6】半導体装置210の製造過程の一例を概略的に示す。

【図7】半導体装置210の製造過程の一例を概略的に示す。

【図8】半導体装置210の製造過程の一例を概略的に示す。

【図9】半導体装置210の製造過程の一例を概略的に示す。

【図10】半導体装置210の製造過程の一例を概略的に示す。

【図11】半導体装置1100の断面の一例を概略的に示す。

【図12】半導体装置1100の上面の一例を概略的に示す。

【図13】図12に示した半導体装置1100の断面を概略的に示す。

【図14】実施例1に記載のMISダイオードのCV特性を示す。

【図15】実施例2に記載のMISダイオードのCV特性を示す。

50

【図16】比較例に記載のMISダイオードのCV特性を示す。

【図17】(a)(111)A面のInGaAsとALD法による Al_2O_3 との界面部分を観察したTEM写真を示す。(b)(100)A面のInGaAsとALD法による Al_2O_3 との界面部分を観察したTEM写真を示す。

【図18】作成した電界効果トランジスタのドレイン電流 - ドレイン電圧特性を示す。

【図19】キャリア密度に対する有効移動度の値を示したグラフを示す。

【図20】障害層上にラテラル成長させた多数の上層化合物半導体1200を示すSEM写真である。

【図21】図20における一つの上層化合物半導体1200の断面を示すTEM写真である。

【図22】図21の断面における表面近傍を拡大したTEM写真である。

【発明を実施するための形態】

【0019】

以下、図面を参照して、実施形態について説明するが、図面の記載において、同一または類似の部分には同一の参照番号を付して重複する説明を省く場合がある。なお、図面は模式的なものであり、厚みと平面寸法との関係、比率等は現実のものとは異なる場合がある。また、説明の都合上、図面相互間においても互いの寸法の関係又は比率が異なる部分が含まれる場合がある。

【0020】

図1は、半導体装置110の断面の一例を概略的に示す。半導体装置110は、化合物半導体120、絶縁性材料130、MIS型電極140、および一对の入出力電極150を備える。化合物半導体120は、第1主面126および第2主面128を有する。一对の入出力電極150は、第1主面126上に設けられる。入出力電極150は、化合物半導体120と電氣的に結合される。絶縁性材料130は、MIS型電極140と化合物半導体120とを電氣的に分離する。

【0021】

半導体装置110は、例えば、化合物半導体120をチャネル層に用いたMIS型電界効果型トランジスタである。より具体的な例では、半導体装置110は、NチャネルMIS型電界効果型トランジスタである。半導体装置110は、チャネル層に $In_zGa_{1-z}As_zSb_{1-z}$ （式中、 $0 < z < 1$ 、 $0 < z' < 1$ ）または $In_xGa_{1-x}As_yP_{1-y}$ （式中、 $0 < x < 1$ 、 $0 < y < 1$ ）を用いたNチャネルMIS型電界効果型トランジスタであってもよい。

【0022】

化合物半導体120は、例えば、閃亜鉛鋅型の結晶構造を有する。これにより、化合物半導体120の(111)面、または(111)面と等価な面に、化合物半導体120を構成する元素が配置される。

【0023】

化合物半導体120は、閃亜鉛鋅型の結晶構造を有する3-5族化合物半導体であることが好ましい。化合物半導体120は、複数の3-5族化合物半導体層を有してもよい。化合物半導体120は、例えば、3族元素としてAl、Ga、Inのうち少なくとも一つを含み、5族元素としてN、P、As、Sbのうち少なくとも一つを含む3-5族化合物半導体である。化合物半導体120は、GaAs、InGaAs、InP、InSb、InAsを含んでもよい。化合物半導体120は、 $In_zGa_{1-z}As_zSb_{1-z}$ （式中、 $0 < z < 1$ 、 $0 < z' < 1$ ）または $In_xGa_{1-x}As_yP_{1-y}$ （式中、 $0 < x < 1$ 、 $0 < y < 1$ ）を含んでもよい。

【0024】

化合物半導体120は、例えばドナー不純物がドーピングされたN型半導体である。ドナー不純物は、例えばSi、Se、Ge、Sn、またはTeである。化合物半導体120は、アクセプタ不純物がドーピングされたP型半導体であってもよい。アクセプタ不純物は、例えばC、Be、Zn、Mn、またはMgである。

10

20

30

40

50

【0025】

化合物半導体120は、例えば、有機金属気相成長法(MOCVD法と称する場合がある。)および分子線エピタキシ法(MBE法と称する場合がある。)などのエピタキシャル成長法により形成される。化合物半導体120は、Si基板またはSOI(silicon-on-insulator)基板に含まれるSi結晶の(111)面にエピタキシャル成長してもよい。化合物半導体120は、Ge基板またはGOI(germanium-on-insulator)基板に含まれる Si_xGe_{1-x} 結晶(式中、 $0 < x < 1$)の(111)面にエピタキシャル成長してもよい。化合物半導体120は、GaAs基板に含まれるGaAs結晶の(111)面にエピタキシャル成長してもよい。

【0026】

以上の構成により、例えば、第1主面126に(111)面または(111)面と等価な面を有する、化合物半導体120が得られる。この場合、化合物半導体120の(111)面または(111)面と等価な面は、化合物半導体120の第1主面126と平行であるとともに、化合物半導体120がエピタキシャル成長する基板に含まれるSi結晶、 Si_xGe_{1-x} 結晶、またはGaAs結晶の(111)面とも実質的に平行になる。ここで、本明細書において、「実質的に平行」とは、基板または各部材の製造誤差を考慮して、平行からわずかに傾いた方向をも含む意味で用いられる。

【0027】

なお、化合物半導体120の(111)面から傾いたオフ角を有する面、または、(111)面と等価な面から傾いたオフ角を有する面が、第1主面126、Si結晶、 Si_xGe_{1-x} 結晶、またはGaAs結晶の(111)面とも実質的に平行であってもよい。ここで、「(111)面から傾いたオフ角」とは、化合物半導体120の表面が結晶学的面方位である(111)面から傾いた角度をいう。オフ角は、例えば 0.5° 以上 10° 以下であり、より好ましくは 2° 以上 6° 以下である。

【0028】

化合物半導体120は、一例として、閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体が配置された半導体基板の一部を構成する。例えば、化合物半導体120の第1主面126は、上記半導体基板の主面を兼ねる。化合物半導体120の第1主面126は、電子素子が形成される側の面を指す。当該電子素子は、例えば、化合物半導体をチャネル層に用いたショットキーゲート型MESFET、HEMT、pHEMT、HBT、またはMISFETである。

【0029】

半導体基板は、Si基板、SOI基板、Ge基板、GOI基板、およびサファイア基板などのベース基板と、閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体などを含む化合物半導体120とを備えてもよい。化合物半導体120は、例えば、上記ベース基板上に設けられる。化合物半導体120は、上記ベース基板の一部に局所的に形成されてもよい。

【0030】

絶縁性材料130は、化合物半導体120とMIS型電極140とを電気的に分離する。絶縁性材料130は、化合物半導体120の(111)面または(111)面と等価な面に接する。絶縁性材料130は、化合物半導体120の(111)面から傾いたオフ角を有する面、または、(111)面と等価な面から傾いたオフ角を有する面に接してもよい。

【0031】

絶縁性材料130は、例えば、 Al_2O_3 、 Ga_2O_3 、 La_2O_3 、AlN、GaN、 SiO_2 、 ZrO_2 、 HfO_2 、 $Hf_xSi_{1-x}O_y$ (式中、 $0 < x < 1$ 、 $1 < y < 2$)、 $Hf_xAl_{2-x}O_y$ (式中、 $0 < x < 2$ 、 $1 < y < 3$)、 $Hf_x \cdot Si_{1-x} \cdot O_y \cdot N_{2-y}$ (式中、 $0 < x < 1$ 、 $1 < y < 2$)、および $Ga_{2-x} \cdot Gd_x \cdot O_3$ (式中、 $0 < x < 2$)から選択される少なくとも1つ、または、それらの積層体を含む。絶縁性材料130は、Alを含み閃亜鉛鉱型の結晶構造を有する3-5族化合物半

10

20

30

40

50

導体、または、Alを含み閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体の酸化物を含んでもよい。他の例として絶縁性材料130は、酸化タンタル、窒化ケイ素、および酸窒化ケイ素である。

【0032】

絶縁性材料130は、例えば、真空蒸着法、CVD法、MBE法、または原子層成長法(Atomic Layer Deposition。以下、ALD法と称する場合がある。)により形成される。特に、ALD法またはMOCVD法を用いて絶縁性材料130を形成することにより、良質な絶縁性材料130を形成できる。絶縁性材料130は、ALD法またはMOCVD法により形成された後、真空または水素を含む雰囲気下においてアニールされることが好ましい。これにより、絶縁性材料に含まれる過剰な酸素を除去できる。また、水素を用いることで不要な欠陥を不活性化できる。

10

【0033】

絶縁性材料130は、Al、Ga、La、Gd、Si、ZrおよびHfのいずれかを含む還元性前駆体と、酸素もしくは酸素を含む酸化性前駆体(水、オゾンなど)または窒素を含む前駆体(アンモニア、ヒドラジン類、アミン類など)とを原料とし、ALD法またはMOCVD法により形成することができる。上記還元性前駆体と酸化性前駆体との組み合わせにより酸化物(Al_2O_3 、 HfO_2 、 $HfSiO_2$ など)、上記還元性前駆体と窒素を含む前駆体との組み合わせにより窒化物(GaN、AlN、 Si_3N_4 など)、上記還元性前駆体と酸化性前駆体と窒素を含む前駆体との組み合わせにより酸窒化物(SiONなど)などの絶縁性材料130が形成される。ALD法では低温吸着モードでこれらが交互に供給され、MOCVD法では同時に供給される。

20

【0034】

また、絶縁性材料130は、絶縁性材料130がAlを含み閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体である場合、3族元素を含む還元性前駆体と5族元素を含む還元性前駆体とを原料として用いて、例えば、ALD法またはMOCVD法により形成することができる。また絶縁性材料130が、Alを含み閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体の酸化物の場合、例えば、以下の手順で形成される。まず、3族元素を含む還元性前駆体と5族元素を含む還元性前駆体とを原料としてALD法またはMOCVD法により、絶縁性材料130の前駆体となる3-5族化合物半導体を形成する。前駆体は、酸化されると抵抗率が増加する材料を含んでもよい。前駆体は、Alを含み閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体であってもよい。上記3-5族化合物半導体の3族元素成分中におけるGa成分に対するAl成分の分率は、40%以上であってよく、より好ましくは60%以上である。前駆体は、AlGaAsまたはAlInGaPであってもよい。

30

【0035】

次に、上記前駆体を酸化する。例えば、酸素雰囲気下で熱処理を施すことで、上記前駆体を酸化する。例えば、上記前駆体が形成された基板を反応容器中に保持して、反応容器内の温度および圧力を、500、100kPa程度とする。当該反応容器に水を含ませたキャリアガスを供給することで、上記前駆体を酸化する。キャリアガスは、例えば、アルゴンガス等の不活性ガス、または水素である。前駆体がAlGaAsまたはAlInGaP等である場合には、当該前駆体が酸化されると抵抗率が増加する。従って、前駆体を酸化することによって形成された絶縁性材料130は、前駆体よりも絶縁性が高くなる。

40

【0036】

MIS型電極140には電圧が印加される。半導体装置110は、化合物半導体120に形成される空乏層を、MIS型電極140に印加される電圧により制御してもよい。MIS型電極140は、例えばトランジスタのゲート電極である。半導体装置110は、MIS型電極140に印加される電圧により、一对の入出力電極150の間の電流を制御してもよい。

【0037】

MIS型電極140は絶縁性材料130に接する。MIS型電極140は金属伝導性材

50

料を含んでもよい。MIS型電極140は、上記金属伝導性材料として、例えばTaC、Ta₂N、TiN、Pt、Ti、Au、W、およびPdのうち少なくとも1つを含む。金属伝導性材料は、高濃度にドーピングされた単結晶、多結晶もしくはアモルファス半導体であってそれらのドーピングが高いことにより縮退型となっている半導体、または、シリサイド（金属-シリコン化合物）である。また、これらの複合体（積層体）であってもよい。MIS型電極140は、例えば、スパッタ法、蒸着法、またはALD法により形成される。

【0038】

一对の入出力電極150の各々は、化合物半導体120とオーミック接触してよい。オーミック接触とは、電流の方向と電圧の大きさによらず抵抗値が実質的に一定とみなせる抵抗性の接触である。入出力電極150は、例えば、PtTiまたはAuGeNiである。入出力電極150は、例えば、真空蒸着法により形成される。

10

【0039】

入出力電極150は金属電極であってよい。入出力電極150は、化合物半導体120とショットキー接触してもよい。入出力電極150が化合物半導体120とショットキー接触する場合には、半導体装置110に整流性が生じる。電流が流れる方向に対しショットキー接合が順方向となるように入出力電極150の各々を電流源に接続することで、所定の動作条件下でショットキー接触の接触抵抗が低くなる。このような場合には、入出力電極150と化合物半導体120とがショットキー接触する場合であっても、入出力電極150は化合物半導体120と電気的に結合する。

【0040】

20

以上のとおり、化合物半導体120は、閃亜鉛鉱型の結晶構造を有する。絶縁性材料130は、化合物半導体120の(111)面または(111)面と等価な面に接する。また、絶縁性材料130は、化合物半導体120の(111)面から傾いたオフ角を有する面、または、(111)面と等価な面から傾いたオフ角を有する面に接してもよい。これにより、化合物半導体120と絶縁性材料130との界面に形成される界面準位を低減できる。また、欠陥密度の小さい絶縁性材料130が得られる。

【0041】

絶縁性材料130は、化合物半導体120の(111)A面、(111)A面と等価な面、または(111)A面もしくは(111)A面と等価な面から傾いたオフ角を有する面に接することが好ましい。例えば、化合物半導体120がGaAsである場合には、化合物半導体120の(111)A面にはGa元素が配列しており、(111)B面にはAs元素が配列する。Ga元素の酸化物の電子準位は、As元素の酸化物の電子準位に比べてGaAsとの界面において界面準位を生じにくい。従って、絶縁性材料130が化合物半導体120の(111)A面と接する場合には、界面準位をさらに低減することができる。

30

【0042】

なお、半導体装置110が2個の入出力電極150を備える場合について説明したが、半導体装置110は1個の入出力電極を備えてもよい。例えば、半導体装置110がダイオードである場合には、半導体装置110は1個の入出力電極を備える。この場合、入出力電極とは、入力または出力に用いられる電極を意味する。また、半導体装置110が双方向サイリスタである場合には、半導体装置110は2個以上の入出力電極を備える。半導体装置110が複数の電子素子を備える場合には、半導体装置110は2個以上の入出力電極を備えてもよい。

40

【0043】

図2は、半導体装置210の断面の一例を概略的に示す。半導体装置210は、化合物半導体220、絶縁性材料230、MIS型電極240、および一对の入出力電極250を備える。半導体装置210は、絶縁性材料236および絶縁性材料238を備えてもよい。化合物半導体220は、第1主面226および第2主面228を有する。

【0044】

半導体装置210は、例えば、化合物半導体220をチャンネル層に用いたNチャンネルマ

50

たはPチャネルMIS型電界効果型トランジスタ(MISFETと称する場合がある。)である。半導体装置210は、チャネル層に $In_zGa_{1-z}As_z \cdot Sb_{1-z}$ (式中、 $0 < z < 1$ 、 $0 < z' < 1$)または $In_xGa_{1-x}As_yP_{1-y}$ (式中、 $0 < x < 1$ 、 $0 < y < 1$)を用いたNチャネルMISFETまたはPチャネルMISFETであってもよい。

【0045】

化合物半導体220と化合物半導体120とは同等である。そこで、化合物半導体120との相違点以外については説明を省略する。化合物半導体220は、ソース領域222およびドレイン領域224を有する。ソース領域222およびドレイン領域224は、例えば、化合物半導体220に不純物をドーピングすることで形成される。上記不純物は、例えば、ドナー不純物またはアクセプタ不純物である。例えば、イオン注入等により化合物半導体220に不純物を導入した後、化合物半導体220をアニールすることで不純物をドーピングできる。

10

【0046】

絶縁性材料230と絶縁性材料130とは同等である。そこで、絶縁性材料230については説明を省略する。絶縁性材料236および絶縁性材料238は、化合物半導体220の第1主面226を保護する。絶縁性材料236および絶縁性材料238は、例えば、絶縁性材料230と同一の工程で形成される。

【0047】

MIS型電極240とMIS型電極140とは同等である。そこで、MIS型電極140との相違点以外については説明を省略する。MIS型電極240は、中間層242および導電層244を有する。MIS型電極240は、絶縁性材料230に接して中間層242を有する点でMIS型電極140と相違する。

20

【0048】

中間層242は絶縁性材料130に接する。中間層242は、MISFETのしきい値電圧に影響を与える。中間層242は、例えば金属伝導性材料から形成される。中間層242は、上記金属伝導性材料として、TaC、TaN、TiN、Pt、Ti、Au、W、およびPdのうち少なくとも1つを有してもよい。中間層242は、例えば、スパッタ法、蒸着法、またはALD法により形成される。

【0049】

導電層244は、例えば、中間層242よりも抵抗率が小さな材料により形成される。導電層244は金属伝導性材料から形成されてもよい。導電層244の材質は入出力電極250と同一であってもよい。導電層244は、例えば、Ti、Au、Al、Cu、Wである。導電層244は、入出力電極250と同一の工程で形成されてもよい。導電層244は、例えば、真空蒸着法により形成される。

30

【0050】

入出力電極250と入出力電極150とは同等である。そこで、入出力電極150との相違点以外については説明を省略する。一对の入出力電極250の一方は、例えばソース領域222に接する。他方の入出力電極250はドレイン領域224に接する。

【0051】

化合物半導体220は、例えば、閃亜鉛鉱型の結晶構造を有する。絶縁性材料230は、化合物半導体220の(111)面または(111)面と等価な面に接する。また、絶縁性材料230は、化合物半導体120の(111)面、または、(111)面と等価な面に接してもよい。さらに、絶縁性材料230は、化合物半導体120の(111)面から傾いたオフ角を有する面、または、(111)面と等価な面から傾いたオフ角を有する面に接してもよい。これにより、化合物半導体220と絶縁性材料230との界面に形成される界面準位を低減できる。また、欠陥密度の小さい絶縁性材料230が得られる。

40

【0052】

図3から図10を用いて、半導体装置210の製造方法の一例を説明する。図3から図10は、半導体装置210の製造過程の一例を概略的に示す。

50

【0053】

図3は、化合物半導体220を準備する段階を示す。図3に示すとおり、まず化合物半導体220を準備する。化合物半導体220は、例えば、以下の手順で形成される。まず、化合物半導体220を形成するベース基板が準備される。上記ベース基板は、例えば、Si基板、SOI基板、およびGOI基板から選択される。Si基板およびSOI基板は、Si結晶を含む。上記ベース基板は、Ge基板、サファイア基板、GaAs基板、またはInP基板であってもよい。

【0054】

次に、MOCVD法、MBE法などのエピタキシャル成長法により、上記ベース基板の少なくとも一部に化合物半導体220が形成される。化合物半導体220は、上記ベース基板の主面に局所的に形成されてもよい。化合物半導体220は、例えば、その(111)面または(111)面と等価な面が、ベース基板の主面に平行に配置されるように形成される。化合物半導体220は、(111)面から傾いたオフ角を有する面、または、(111)面と等価な面から傾いたオフ角を有する面が、ベース基板の主面に平行に配置されるように形成されてもよい。化合物半導体220は、Si基板もしくはSOI基板のSi結晶の(111)面に形成されてもよい。

10

【0055】

図4は、不純物導入工程に備えて、所定の形状にパターニングされたフォトマスク390を化合物半導体220に形成する段階の一例を概略的に示す。図4に示すとおり、化合物半導体220の第1主面226に、犠牲膜360が形成される。犠牲膜360は、不純物導入工程において化合物半導体220を保護する。犠牲膜360は、例えばSiO₂薄膜である。

20

【0056】

犠牲膜360は、例えば、スパッタ法、蒸着法、またはALD法により形成される。スパッタ法は、イオンビームスパッタリング法(IBS法と称する場合がある。)であってもよい。犠牲膜360にレジストを塗布した後、フォトリソグラフィ法により上記レジストをパターニングすることで、フォトマスク390が得られる。フォトマスク390には、開口392が形成される。開口392は、犠牲膜360の少なくとも一部を露出する。

【0057】

図5は、化合物半導体220に不純物が導入される段階の一例を概略的に示す。図5に示すとおり、開口392を通して、化合物半導体220に不純物が導入される。これにより、ソース領域となる領域422およびドレイン領域となる領域424が化合物半導体220に形成される。例えば、不純物としてのSiが、イオン注入法により化合物半導体220に導入される。N型MISダイオードあるいはNチャネルMISFETを形成する場合、不純物は、Si、Se、Ge、Sn、Teなどのドナー不純物であってもよい。P型MISダイオードあるいはPチャネルMISFETを形成する場合、不純物は、Be、Zn、Mn、Mgなどのアクセプタ不純物であってもよい。なお、不純物の導入方法は、イオン注入法に限定されない。

30

【0058】

図6は、化合物半導体220に導入された不純物を活性化させる段階の一例を概略的に示す。図6に示すとおり、不純物が導入された化合物半導体220がアニールされて、ソース領域222およびドレイン領域224が化合物半導体220に形成される。ソース領域222およびドレイン領域224は、例えば、以下の手順で形成される。

40

【0059】

まず、レジスト剥離液によりフォトマスク390が剥離される。次に、犠牲膜360が化合物半導体220上に設けられた状態でアニールが実施される。これにより、ソース領域222およびドレイン領域224が形成される。アニールは、例えば急速熱アニール(RTAと称する場合がある。)である。アニールは、例えば800で5分間行われる。その後、エッチング等により犠牲膜360が除去される。その結果、ソース領域222およびドレイン領域224を有する化合物半導体220が得られる。

50

【 0 0 6 0 】

図 7 は、絶縁性材料 7 3 0 が形成される段階の一例を概略的に示す。図 7 に示すとおり、化合物半導体 2 2 0 の第 1 主面 2 2 6 に絶縁性材料 7 3 0 が形成される。絶縁性材料 7 3 0 は、例えば、A L D 法により形成される。これにより、化合物半導体 2 2 0 の (1 1 1) 面、(1 1 1) 面と等価な面、(1 1 1) 面から傾いたオフ角を有する面、または、(1 1 1) 面と等価な面から傾いたオフ角を有する面に接する絶縁性材料 7 3 0 を形成する。絶縁性材料 7 3 0 は、A L D 法により形成された後、真空または水素を含む雰囲気下においてアニールされてもよい。アニールは、例えば 4 5 0 °C で 2 分間行われる。

【 0 0 6 1 】

絶縁性材料 7 3 0 は、例えば、A L D 法または M O C V D 法により形成される。絶縁性材料 7 3 0 は、還元性材料を含む雰囲気における A L D 法または M O C V D 法により形成されてもよい。例えば、絶縁性材料 7 3 0 の形成に用いる原料ガスは、基底状態、励起状態、イオン化した状態、またはラジカル化した状態において酸素または酸化物に対して還元作用を有する還元性材料を含む。これにより、還元性材料を含む雰囲気下において、絶縁性材料 7 3 0 を形成できる。

10

【 0 0 6 2 】

その結果、化合物半導体 2 2 0 の表面が酸化膜で覆われている場合であっても当該酸化膜を効果的に除去できるので、半導体装置 2 1 0 の M I S 特性が向上する。上記原料ガスとしては、絶縁性材料 7 3 0 の構成元素を含む有機金属化合物または水素化物であってもよい。例えば、絶縁性材料 7 3 0 として Al_2O_3 を形成する場合には、上記還元性材料としてトリメチルアルミニウムを用いることができる。

20

【 0 0 6 3 】

図 8 は、M I S 型電極 2 4 0 の形成過程の一例を概略的に示す。図 8 に示すとおり、絶縁性材料 7 3 0 に接する中間層 8 4 2 が形成される。中間層 8 4 2 は、例えば、TaC、Ta₂N、TiN、Ti、Au、W、Pt、および Pd などの金属伝導性材料の薄膜である。中間層 8 4 2 は、例えば、スパッタ法、蒸着法、または A L D 法により形成される。スパッタ法は、例えば I B S 法である。

【 0 0 6 4 】

図 9 は、M I S 型電極 2 4 0 の形成過程の一例を概略的に示す。図 9 に示すとおり、絶縁性材料 7 3 0 がフォトリソグラフィ法等によりパターンニングされて、絶縁性材料 9 3 0、絶縁性材料 9 3 6、および絶縁性材料 9 3 8 が形成される。また、中間層 8 4 2 がフォトリソグラフィ法等によりパターンニングされて、中間層 9 4 2、中間層 9 4 6、および中間層 9 4 8 が形成される。これにより、化合物半導体 2 2 0 のソース領域 2 2 2 およびドレイン領域 2 2 4 の少なくとも一部が露出する。絶縁性材料 7 3 0 および中間層 8 4 2 は、例えば、以下の手順でパターンニングされる。

30

【 0 0 6 5 】

まず、図 8 に示した中間層 8 4 2 にレジストが塗布された後、エッチング等のフォトリソグラフィ法により上記レジストがパターンニングされる。次に、パターンニングされたレジストをマスクにして、絶縁性材料 7 3 0 および中間層 8 4 2 がパターンニングされる。これにより、絶縁性材料 9 3 0 および中間層 9 4 2 を実質的に同一の形状にすることができる。同様に、絶縁性材料 9 3 6 および中間層 9 4 6 を実質的に同一の形状にすることができる。また、絶縁性材料 9 3 8 および中間層 9 4 8 を実質的に同一の形状にすることができる。その後、レジスト剥離液によりレジストが剥離される。

40

【 0 0 6 6 】

図 1 0 は、M I S 型電極 2 4 0 の形成過程の一例を概略的に示す。図 1 0 に示すとおり、中間層 9 4 2 上に導電層 2 4 4 が形成される。また、ソース領域 2 2 2 およびドレイン領域 2 2 4 上に一对の入出力電極 2 5 0 が形成される。これにより、一对の入出力電極 2 5 0 は、化合物半導体 2 2 0 と電気的に結合する。導電層 2 4 4 と一对の入出力電極 2 5 0 とは、同一の工程で形成されてよい。導電層 2 4 4 および一对の入出力電極 2 5 0 は、例えば、以下の手順で形成される。

50

【 0 0 6 7 】

まず、レジストが塗布された後、エッチング等のフォトリソグラフィ法により上記レジストがパターニングされて、マスクが形成される。上記工程は、例えば、多層フォトリソグラフィプロセスである。即ち、レジストの種類またはベーク温度の異なる複数のフォトリソグラフィ層が積層されて、マスクが形成される。これにより、リフトオフされやすいマスクを形成できる。

【 0 0 6 8 】

次に、例えば、真空蒸着法により導電性の薄膜が形成される。導電性の薄膜は、複数の薄膜を有してもよい。例えば、真空蒸着法によりTi薄膜が形成された後、真空蒸着法によりAu薄膜が形成される。これにより、Ti薄膜およびAu薄膜からなる積層膜が形成される。その後、例えば、上記積層膜のうちマスクに堆積した積層膜をリフトオフ法により除去して、導電層244および一对の入出力電極250が得られる。これにより、一对の入出力電極250は、化合物半導体220と電氣的に結合される。

10

【 0 0 6 9 】

その後、絶縁性材料930および中間層942が、フォトリソグラフィ法等によりパターニングされて、導電層244と一对の入出力電極250とが分離される。絶縁性材料930および中間層942は、導電層244をマスクとしてパターニングされてよい。以上の手順により、半導体装置210が作製される。

【 0 0 7 0 】

なお、本実施形態において、一对の入出力電極250より前にMIS型電極240を形成する製造方法について説明したが、半導体装置210の製造方法はこれに限定されない。例えば、絶縁性材料230、MIS型電極240、入出力電極250を形成する順番を入れ替えても、半導体装置210を製造できる。

20

【 0 0 7 1 】

半導体装置210の製造方法の別の例として、MIS型電極240または絶縁性材料230を形成する前に、一对の入出力電極250を形成してもよい。例えば、まず、化合物半導体220を準備する。次に、化合物半導体220と電氣的に結合する入出力電極250を形成する。その後、絶縁性材料230を形成した後にMIS型電極240を形成することによっても、半導体装置210を製造できる。

【 0 0 7 2 】

図11は、半導体装置1100の断面の一例を概略的に示す。半導体装置1100は、ベース基板1102、障害層1160、シード結晶1170、シード化合物半導体1180、およびラテラル化合物半導体1120を備える。ベース基板1102は、第1主面1106、および第2主面1108を有する。障害層1160には開口1162が形成される。ラテラル化合物半導体1120には、ラテラル化合物半導体1120をチャンネル層に用いたMISFET1110が形成される。

30

【 0 0 7 3 】

半導体装置1100の少なくとも一部において、ベース基板1102、障害層1160、およびラテラル化合物半導体1120が、第1主面1106に略垂直な方向に、この順に配置される。一例として、障害層1160は第1主面1106に接して形成される。開口1162の内部には、シード結晶1170およびシード化合物半導体1180の少なくとも一部が配置されてもよい。開口1162の内部において、ベース基板1102、シード結晶1170、およびシード化合物半導体1180が、第1主面1106に略垂直な方向に、この順に配置されてもよい。ここで、本明細書において、「略垂直な方向」とは、厳密に垂直な方向だけでなく、基板および各部材の製造誤差を考慮して、垂直からわずかに傾いた方向をも含む。

40

【 0 0 7 4 】

ベース基板1102は、例えばSi基板、SOI基板、およびGOI基板のいずれか一つである。Si基板またはSOI基板は、Si結晶を含む。ベース基板1102は、Ge基板、サファイア基板、GaAs基板、またはInP基板であってもよい。

50

【0075】

障害層1160は化合物半導体が結晶成長することを障害する。また、MOCVD法を用いて化合物半導体の結晶をエピタキシャル成長させる場合において、障害層1160は、上記化合物半導体が障害層1160の表面でエピタキシャル成長することを障害する。障害層1160は、例えば、酸化シリコン層、酸化アルミニウム層、窒化シリコン層、酸窒化シリコン層、窒化タンタル層もしくは窒化チタン層、または、これらを積層した層である。障害層1160の厚みは、例えば0.05~5 μm である。障害層1160は、例えばCVD法により形成される。

【0076】

開口1162は、第1主面1106に略垂直な方向に第1主面1106まで障害層1160を貫通する。開口1162は第1主面1106を露出させる。これにより、開口1162の内部に選択的に結晶を成長させることができる。開口1162は、例えば、エッチング等のフォトリソグラフィ法により形成される。

10

【0077】

開口1162は、例えば(3)/3以上のアスペクト比を有する。アスペクト比が(3)/3以上の開口1162の内部に、ある程度の厚さを有する結晶が形成されると、当該結晶に含まれる格子欠陥等の欠陥が、開口1162の壁面でターミネートされる。その結果、開口1162に露出した上記結晶の表面は、当該結晶が形成された時点で優れた結晶性を有する。

【0078】

ここで、本明細書において、「開口のアスペクト比」とは、「開口の深さ」を「開口の幅」で除した値をいう。例えば、電子情報通信学会編、「電子情報通信ハンドブック 第1分冊」751ページ、1988年、オーム社発行、によると、アスペクト比として(エッチング深さ/パターン幅)と記載されている。本明細書においても、同様の意義でアスペクト比の用語を用いる。

20

【0079】

なお、「開口の深さ」とは、基板上に薄膜を積層した場合の積層方向の深さをいい、「開口の幅」は、積層方向に垂直な方向の幅をいう。開口の幅が複数ある場合には、開口のアスペクト比の算出にあたり、最小の幅を用いる。たとえば、開口の積層方向から見た形状が長方形である場合、長方形の短辺の長さをアスペクト比の計算に用いる。

30

【0080】

シード結晶1170は、シード化合物半導体1180に良好なシード面を提供する。シード結晶1170は、ベース基板1102または第1主面1106に存在する不純物がシード化合物半導体1180の結晶性に悪影響を及ぼすことを抑制する。シード結晶1170は、開口1162の内部に形成される。シード結晶1170は、例えば、第1主面1106に接して形成される。シード結晶1170は半導体の結晶を含んでもよい。シード結晶1170は、 $\text{Si}_x\text{Ge}_{1-x}$ 結晶($0 < x < 1$)を含んでもよく、また、 $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{P}_{1-y}$ ($0 < x < 1$ 、 $0 < y < 1$)を含んでもよい。

【0081】

シード結晶1170は、例えば、CVD法などのエピタキシャル成長法により形成される。このとき、障害層1160の表面ではシード結晶の前駆体が結晶に成長することが障害されるので、シード結晶1170は、開口1162の内部で選択成長する。

40

【0082】

シード結晶1170は、アニールされることが好ましい。これにより、シード結晶1170の内部の欠陥密度を低減でき、シード化合物半導体1180に対して良好なシード面を提供できる。開口1162が(3)/3以上のアスペクト比を有している場合は、アニールをしなくてもよい。

【0083】

複数段階のアニールが行われてもよい。例えば、シード結晶1170の融点に達しない温度での高温アニールを実施した後、高温アニールの温度より低い温度での低温アニール

50

を実施する。このような２段階のアニールが、複数回繰り返される。高温アニールの温度および時間は、シード結晶 1170 が Si_xGe_{1-x} ($0 < x < 1$) を含む場合には、例えば、 $850 \sim 900$ で $2 \sim 10$ 分間である。低温アニールの温度および時間は、例えば、 $680 \sim 780$ で $2 \sim 10$ 分間である。このような２段階アニールが、例えば 10 回繰り返される。

【0084】

シード化合物半導体 1180 は、シード結晶 1170 に接して形成される。具体的には、シード化合物半導体 1180 は、シード結晶 1170 に格子整合または擬格子整合する。シード化合物半導体 1180 は、例えば $GaAs$ 等の $3 - 5$ 族化合物半導体である。シード結晶 1170 とシード化合物半導体 1180 との界面は、開口 1162 の内部にあつてもよい。シード化合物半導体 1180 は、例えば、 $MOCVD$ 法等のエピタキシャル成長法により形成される。

【0085】

なお、ベース基板 1102 は、 Ge 基板または GOI 基板のように、第 1 主面 1106 に Ge 結晶を有する基板であつてもよい。また、シード化合物半導体 1180 は、 $GaAs$ または Ge に格子整合または擬格子整合する $In_xGa_{1-x}As_yP_{1-y}$ ($0 < x < 1$ 、 $0 < y < 1$) であつてもよい。このような場合には、シード化合物半導体 1180 が第 1 主面 1106 に面する Ge 結晶に接して形成されてもよい。

【0086】

ここで、本明細書において、「擬格子整合」とは、完全な格子整合ではないが、互いに接する２つの半導体の格子定数の差が小さく、格子不整合による欠陥の発生が顕著でない範囲で、互いに接する２つの半導体を積層できる状態をいう。このとき、各半導体の結晶格子が、弾性変形できる範囲内で変形することで、上記格子定数の差が吸収される。例えば、 Ge と $GaAs$ との積層状態は、擬格子整合と呼ばれる。

【0087】

ラテラル化合物半導体 1120 は、シード化合物半導体 1180 を核として、阻害層 1160 に沿ってラテラル成長する。ラテラル化合物半導体 1120 は、例えば、 $MOCVD$ 法等のエピタキシャル成長法により形成される。シード化合物半導体 1180 およびラテラル化合物半導体 1120 は、同一の材料で一体的に形成されてもよい。

【0088】

ラテラル化合物半導体 1120 は、ベース基板 1102 と電氣的に分離されてもよい。例えば、シード化合物半導体 1180 が、シード結晶 1170 よりも抵抗率の大きな材料を含むことにより、ラテラル化合物半導体 1120 とシード結晶 1170 とが電氣的に分離される。その結果、ラテラル化合物半導体 1120 が、ベース基板 1102 と電氣的に分離される。

【0089】

ここで、「電氣的に分離される」とは、ベース基板 1102 とラテラル化合物半導体 1120 とが完全に絶縁されることに限られない。ベース基板 1102 とラテラル化合物半導体 1120 との間の抵抗値が、ラテラル化合物半導体 1120 に形成された電子素子が安定に動作する程度に大きければよい。また、ラテラル化合物半導体 1120 とベース基板 1102 とは、ラテラル化合物半導体 1120 とベース基板 1102 との間のいずれかに形成された PN 接合障壁によって電氣的に分離されてもよい。

【0090】

シード結晶 1170 よりも抵抗率の大きな材料は、例えば酸化物誘電体である。酸化物誘電体は、一例として、 Al を含む閃亜鉛鋅型の結晶構造を有する $3 - 5$ 族化合物半導体の酸化物である。上記 Al を含む $3 - 5$ 族化合物半導体は、 $AlGaAs$ または $AlInGaP$ であつてもよい。上記酸化物は、ラテラル化合物半導体 1120 が形成された後で、上記 Al を含む $3 - 5$ 族化合物半導体が酸化されることにより形成されてもよい。シード結晶 1170 よりも抵抗率の大きな材料の他の例として、酸素がドーピングされ Al を含む $3 - 5$ 族化合物半導体、または、 B を含む $3 - 5$ 族化合物半導体を例示できる。

10

20

30

40

50

【0091】

MISFET 1110は、半導体装置の一例である。MISFET 1110は、半導体装置110または半導体装置210と同様の構成を有する。具体的には、MISFET 1110は、絶縁性材料1130、MIS型電極1140、および一对の入出力電極1150を備える。絶縁性材料1130、絶縁性材料130、および絶縁性材料230は同等である。MIS型電極1140、MIS型電極140、およびMIS型電極240は同等である。入出力電極1150、入出力電極150、および入出力電極250は同等である。入出力電極1150はオーミック性入出力電極であってもよく、通電方向に抵抗の低いショットキー性入出力電極であってもよい。

【0092】

図12は、半導体装置1100の上面の一例を概略的に示す。図11に示したラテラル化合物半導体1120は、第1ラテラル化合物半導体1122および第2ラテラル化合物半導体1124を有してもよい。第1ラテラル化合物半導体1122は、シード化合物半導体1180を核として阻害層1160に沿ってラテラル成長させることにより形成される。第2ラテラル化合物半導体1124は、第1ラテラル化合物半導体1122を核として、阻害層1160に沿って第1ラテラル化合物半導体1122と異なる方向にラテラル成長させることにより形成される。

【0093】

例えば、第1ラテラル化合物半導体1122は、シード化合物半導体1180のシード面の長さに等しい幅でラテラル成長する。第2ラテラル化合物半導体1124は、第1ラテラル化合物半導体1122がシード化合物半導体1180に接していない面と、シード化合物半導体1180の面のうち第1ラテラル化合物半導体1122に接していない面とをシード面として成長する。第1ラテラル化合物半導体1122および第2ラテラル化合物半導体1124は、例えば3-5族化合物半導体である。

【0094】

図13は、図12に示した半導体装置1100の断面を概略的に示す。同図において、半導体装置1100は、第1ラテラル化合物半導体1122および第2ラテラル化合物半導体1124を含むラテラル化合物半導体1120上に結晶成長した上層化合物半導体1126をさらに備える。上層化合物半導体1126は、図11および図12に示したシード化合物半導体1180、第1ラテラル化合物半導体1122、および第2ラテラル化合物半導体1124の上面に接して、ベース基板1102の第1主面1106に垂直な方向に結晶成長することにより形成される。上層化合物半導体1126は、第1ラテラル化合物半導体1122および第2ラテラル化合物半導体1124よりも高い結晶性を有する。MISFET 1110は、上層化合物半導体1126上に形成されてもよい。

【0095】

なお、MOCVD法により3-5族化合物半導体を形成する場合には、例えば、3族元素を含む原料ガスと5族元素を含む原料ガスとの流量比または分圧比を調整することにより、3-5族化合物半導体の成長方向を制御することができる。具体的には、3-5族化合物半導体を阻害層1160の表面に沿ってラテラル成長させるか、または、ベース基板1102の第1主面1106に垂直な方向にさらに成長させるかを制御してよい。例えば、3-5族化合物半導体としてInGaAsを形成する場合には、5族元素を含む原料ガスに対する3族原料を含む原料ガスの分圧比が大きくなるほど、InGaAsがラテラル成長しやすくなる。

【0096】

本実施形態において、半導体装置1100が、ベース基板1102とシード化合物半導体1180との間にシード結晶1170を備える構成について説明したが、半導体装置1100はシード結晶1170を備えなくてもよい。例えば、(3)/3以上のアスペクト比を有する開口の内部にシード化合物半導体1180が形成される場合には、半導体基板または半導体装置がシード結晶1170を備えない場合であっても、結晶性に優れたシード化合物半導体1180を形成できる。

10

20

30

40

50

【実施例】

【0097】

(実施例1)

化合物半導体と、その表面に形成される絶縁性材料との界面に形成される界面準位を調べる目的で、半導体装置の一例として、MISダイオードを作製した。閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体の一例として、SiドープN型GaAsを用いた。MISダイオードは、以下の手順で形成した。

【0098】

まず、閃亜鉛鉱型の結晶構造を有する3-5族化合物半導体の一例として、SiドープN型GaAsを形成した。上記SiドープN型GaAsは、SiドープN型単結晶GaAs基板の表面に形成した。上記SiドープN型GaAsは、SiドープN型単結晶GaAs基板の(111)A面にエピタキシャル成長させることで得られた。これにより、基板の主面と平行な面に(111)A面を有する3-5族化合物半導体を形成できた。なお、上記SiドープN型GaAsの電子濃度は $2 \times 10^{16} / \text{cm}^3$ であった。また、厚さは $1 \mu\text{m}$ であった。

10

【0099】

次に、入出力電極の一例として、Cr/Auオーミック電極を形成した。Cr/Auオーミック電極は、上記SiドープN型単結晶GaAs基板の裏面に形成した。Cr/Auオーミック電極は、真空蒸着法により形成した。

【0100】

次に、絶縁性材料の一例として、 Al_2O_3 薄膜を形成した。 Al_2O_3 薄膜は、以下の手順で形成した。SiドープN型単結晶GaAs基板の表面に形成されたSiドープN型GaAsの表面をアンモニア水溶液で洗浄した後、上記SiドープN型単結晶GaAs基板をALD製膜設備の反応容器に導入した。反応容器を十分に真空排気した後、上記SiドープN型単結晶GaAs基板を 250°C に加熱した。その後、反応容器の内部にトリメチルアルミニウムガス及び水蒸気を交互に供給するALD法により、SiドープN型GaAsの表面に、膜厚 6nm の Al_2O_3 薄膜を形成した。 Al_2O_3 薄膜を形成した後、真空雰囲気下でアニールを実施した。アニールは、 450°C で2分間実施した。冷却後、上記SiドープN型単結晶GaAs基板をALD製膜設備から取り出した。

20

【0101】

次に、MIS電極の一例として、Au薄膜を形成した。Au薄膜は、以下の手順で形成した。まず、取り出されたSiドープN型単結晶GaAs基板の Al_2O_3 薄膜の表面にレジスト層からなるマスクを形成した後、上記レジスト層をパターニングすることで、上記レジスト層に開口を形成した。次に、開口から露出した Al_2O_3 薄膜の表面及びレジスト層の表面に、真空蒸着法により、膜厚 250nm のAu薄膜を形成した。その後、リフトオフ法により、レジスト層の表面に堆積された上記Au積層膜を除去した。

30

【0102】

以上により、SiドープN型単結晶GaAs基板と、上記GaAs基板の表面に形成されたSiドープN型GaAsと、SiドープN型GaAsの(111)A面に接する Al_2O_3 薄膜と、 Al_2O_3 薄膜に接するAu薄膜と、上記GaAs基板の裏面に形成されたCr/Auオーミック電極とを備えるMISダイオードが得られた。得られたMISダイオードを用いて界面準位を計測した。界面準位の計測は、MISダイオードの容量電圧特性を測定することにより実施した。

40

【0103】

図14は、実施例1のMISダイオードの容量電圧特性(CV特性と称する場合がある。)を示す。図14において、縦軸は容量 $[\mu\text{F} / \text{cm}^2]$ を示し、横軸はバイアス電圧 $[\text{V}]$ を示す。図14は、周波数が $1 \text{k} [\text{Hz}]$ 、 $10 \text{k} [\text{Hz}]$ 、 $100 \text{k} [\text{Hz}]$ 、 $1 \text{M} [\text{Hz}]$ の場合のCV特性を示す。図中の実線は、バイアス電圧を増加させていった場合のCV特性を示す。図中の点線は、バイアス電圧を減少させていった場合のCV特性を示す。図14に示すように、実施例1のMISダイオードによれば、周波数分散特性の

50

少ない良好な特性が得られることがわかる。

【0104】

(実施例2)

SiドープN型単結晶GaAs基板と、上記GaAs基板の表面に形成されたSiドープN型GaAsと、SiドープN型GaAsの(111)B面に接するAl₂O₃薄膜と、Al₂O₃薄膜に接するAu薄膜と、上記GaAs基板の裏面に形成されたCr/Auオーミック電極とを備えるMISダイオードを作製した。実施例2のMISダイオードは、SiドープN型GaAsを、SiドープN型単結晶GaAs基板の(111)B面にエピタキシャル成長させた以外は、実施例1と同様にして作製した。

【0105】

上記SiドープN型GaAsの電子濃度は $2 \times 10^{16} / \text{cm}^3$ であった。また、厚さは1 μm であった。得られたMISダイオードを用いて、実施例1と同様に、界面準位を計測した。界面準位の計測は、MISダイオードの容量電圧特性を測定することにより実施した。

【0106】

図15は、実施例2のMISダイオードのCV特性を示す。図15において、縦軸は容量[$\mu\text{F} / \text{cm}^2$]を示し、横軸はバイアス電圧[V]を示す。図15は、周波数が1k[Hz]、10k[Hz]、100k[Hz]、1M[Hz]の場合のCV特性を示す。図中の実線は、バイアス電圧を増加させていった場合のCV特性を示す。図中の点線は、バイアス電圧を減少させていった場合のCV特性を示す。図15に示すように、実施例のMISダイオードによれば、周波数分散特性の少ない良好な特性が得られることがわかる。

【0107】

(比較例)

比較例として、SiドープN型単結晶GaAs基板と、上記GaAs基板の表面に形成されたSiドープN型GaAsと、SiドープN型GaAsの(001)面に接するAl₂O₃薄膜と、Al₂O₃薄膜に接するAu薄膜と、上記GaAs基板の裏面に形成されたCr/Auオーミック電極とを備えるMISダイオードを作製した。比較例のMISダイオードは、SiドープN型GaAsを、SiドープN型単結晶GaAs基板の(001)面にエピタキシャル成長させた以外は、実施例1と同様にして作製した。

【0108】

比較例のMISダイオードのSiドープN型GaAsの電子濃度は $2 \times 10^{16} / \text{cm}^3$ であった。また、厚さは1 μm であった。得られたMISダイオードを用いて、実施例1と同様に、界面準位を計測した。界面準位の計測は、MISダイオードの容量電圧特性を測定することにより実施した。

【0109】

図16は、比較例のMISダイオードのCV特性を示す。図16において、縦軸は容量[$\mu\text{F} / \text{cm}^2$]を示し、横軸はバイアス電圧[V]を示す。図16は、周波数が1k[Hz]、10k[Hz]、100k[Hz]、1M[Hz]の場合のCV特性を示す。図中の実線は、バイアス電圧を増加させていった場合のCV特性を示す。図中の点線は、バイアス電圧を減少させていった場合のCV特性を示す。図16に示すように、比較例のMISダイオードは、実施例1および実施例2のMISダイオードと比較して、周波数分散が著しいことがわかる。

【0110】

以上の結果から、実施例1および実施例2のMISダイオードは、SiドープN型GaAsの(111)A面または(111)B面に接するAl₂O₃薄膜を備えることで、SiドープN型GaAsの(001)面に接するAl₂O₃薄膜を備える場合と比較して、界面準位が低減していることがわかる。また、以上の結果から、このようなMIS型電極をトランジスタのゲート電極に採用することで、高周波動作および大電力動作に適したスイッチングデバイスおよびアナログデバイスを作製できることがわかる。

【0111】

即ち、閃亜鉛鋅型の結晶構造を有する3-5族化合物半導体と、3-5族化合物半導体の(111)A面もしくは(111)B面、または、(111)A面もしくは(111)B面と等価な面に接する絶縁性材料と、絶縁性材料に接して金属伝導性材料から形成されるMIS型電極と、3-5族化合物半導体と電氣的に結合される一対の入出力電極とを有するMIS型電界効果型トランジスタは、高周波動作および大電力動作に適したスイッチングデバイスおよびアナログデバイスとして利用できることがわかる。

【0112】

(実施例3)

図3から図10で説明した方法を用いて電界効果トランジスタを作成した。p型InPの基板の上に、p型InGaAsの化合物半導体120をエピタキシャル成長させた。InとGaとの比が0.53:0.47となるように、また、p型キャリア密度が $3 \times 10^{16} \text{ cm}^{-3}$ になるようにp型InGaAsを形成し、(111)A面を表面とする条件でエピタキシャル成長させた。犠牲膜360として、厚さが6nmの Al_2O_3 をALD法により形成した後、フォトマスク390を形成し、Siをイオン注入した。イオン注入の条件は、注入量を $2 \times 10^{14} \text{ cm}^{-2}$ 、加速電圧を30keVとした。

【0113】

フォトマスク390を除去した後、100、10秒の条件でRTA(ラピッドサーマルアニール)処理して注入したSiを活性化し、ソース領域222およびドレイン領域224を形成した。緩衝フッ酸(BHF)、希フッ酸(DHF)、およびアンモニア(NH_4OH)による処理により表面のクリーニング、 Al_2O_3 剥離、および表面処理を行った。続いて、原子層堆積(ALD)法により Al_2O_3 を13nmの厚さで形成し、イオンビームスパッタ(IBS)法によりTa₂Nを30nmの厚さで形成した。これにより絶縁性材料730および中間層842を形成した。

【0114】

次に、 SF_6 をエッチングガスとする反応性イオンエッチングにより、Ta₂Nをエッチングし、BHFによるウェットエッチングにより、 Al_2O_3 をエッチングして、ソース電極およびドレイン電極を形成する領域に開口を形成した。その後、チタン(Ti)および金(Au)の積層膜を蒸着法により形成し、リフトオフ法を用いてソース電極およびドレイン電極(入出力電極250)を形成した。さらに、チタン(Ti)および金(Au)の積層膜を蒸着し、リフトオフ法により導電層244を形成した。続いて、 SF_6 をエッチングガスとする反応性イオンエッチングにより導電層244の下部領域以外のTiNを除去して、ゲート電極とした。

【0115】

図17(a)は、(111)A面のInGaAsとALD法による Al_2O_3 との界面部分を観察したTEM写真である。図17(b)は、(100)面のInGaAsとALD法による Al_2O_3 との界面部分を観察したTEM写真である。何れにおいても、原子層レベルで明瞭な界面が形成されている。図18は、作成した電界効果トランジスタのドレイン電流-ドレイン電圧特性を示す。同図は、ゲート電圧を0Vから2Vの範囲で0.5Vステップで変化させたデータを示す。実線は、InGaAsが(111)A面の場合の特性を示す。破線は、InGaAsが(100)面の場合の特性を比較として示す。

【0116】

InGaAsが(111)A面の場合には、InGaAsが(100)面の場合に比較して、同じゲート電圧であっても多くの電流が流れ、IV特性が良好であることを確認できた。なお、InGaAsが(111)A面の場合のしきい値電圧は-0.22Vであり、Sファクタは231mV/decであった。InGaAsが(100)面の場合のしきい値電圧は+0.10Vであり、Sファクタは136mV/decであった。Sファクタは、素子電流が1桁変化するのに必要なゲート電圧を示し、トランジスタをオン・オフするのに必要なゲート電圧の目安となる量である。

【0117】

10

20

30

40

50

図19は、キャリア密度を横軸とし、有効移動度を縦軸とするグラフである。丸印はInGaAsが(111)A面の場合を示し、三角印はInGaAsが(100)面の場合を示す。InGaAsが(111)A面の場合には、(100)面の場合に比べて移動度が大きいことがわかった。

【0118】

(実施例4)

図20は、阻害層上に結晶成長させた多数の上層化合物半導体1200を示すSEM写真である。上層化合物半導体1200は、図11に示した半導体装置1100におけるラテラル化合物半導体1120上にさらにエピタキシャル成長させた化合物半導体層である。図21は、図20における一つの上層化合物半導体1200の断面を示すTEM写真である。図22は、図21の断面における表面近傍を拡大したTEM写真である。

10

【0119】

Siのベース基板1102上に阻害層1160としてSiO₂を形成し、SiO₂に開口1162を形成した。前処理の後に、開口1162の内部にシード化合物半導体1180を選択エピタキシャル成長(第1成長)させ、次に、ラテラル化合物半導体1120を阻害層1160であるSiO₂の上にラテラル成長(第2成長)させた。さらに、ラテラル化合物半導体1120の上に上層化合物半導体1200を選択エピタキシャル成長(第3成長)させた。

【0120】

前処理、第1成長、第2成長、および第3成長の条件は以下の通りである。各段階での原料ガスはトリメチルガリウム(TMGa)、トリメチルインジウム(TMIn)、およびターシャリブチルアルシン(TBAS)である。各段階におけるTMInおよびTBASの分圧は、各々0.13Paおよび5.4Paである。また、処理温度は620である。前処理における処理時間は5分である。第1成長、第2成長、および第3成長における処理時間はいずれも20分である。

20

【0121】

さらに、各段階におけるTMGaの分圧を変化させた。前処理、第1成長、第2成長、および第3成長におけるTMGaの分圧を、各々0Pa、0.16Pa、0.08Pa、0.24Paとした。このようにTMGa分圧を変化させることで、開口内の選択エピタキシャル成長(第1成長)、ラテラル成長(第2成長)、および追加の選択エピタキシャル成長(第3成長)に対応した結晶成長をさせることができた。

30

【0122】

図22から観察されるように、追加の選択エピタキシャル成長をさせた上層化合物半導体1200は、ラテラル成長させたラテラル化合物半導体1120より断面の平坦性が優れており、結晶性もよいと考えられる。

【0123】

請求の範囲、明細書、および図面中において示した装置、システムおよび方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

40

【符号の説明】

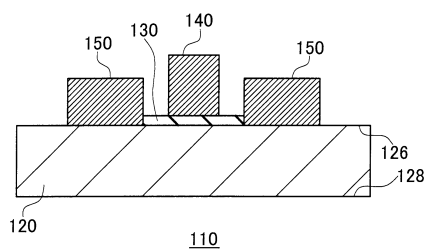
【0124】

110 半導体装置、120 化合物半導体、126 第1主面、128 第2主面、130 絶縁性材料、140 MIS型電極、150 入出力電極、210 半導体装置、220 化合物半導体、222 ソース領域、224 ドレイン領域、226 第1主面、228 第2主面、230 絶縁性材料、236 絶縁性材料、238 絶縁性材料、240 MIS型電極、242 中間層、244 導電層、250 入出力電極、360 犠牲膜、390 フォトマスク、392 開口、422 領域、424 領域、730

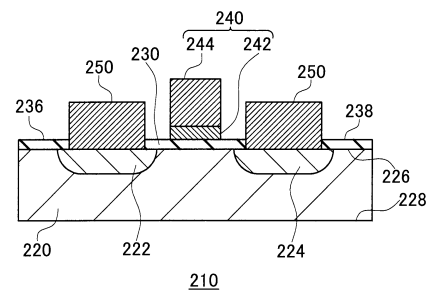
50

絶縁性材料、842 中間層、930 絶縁性材料、936 絶縁性材料、938 絶縁性材料、942 中間層、946 中間層、948 中間層、1100 半導体装置、1102 ベース基板、1106 第1主面、1108 第2主面、1110 MISFET、1120 ラテラル化合物半導体、1122 第1ラテラル化合物半導体、1124 第2ラテラル化合物半導体、1126 上層化合物半導体、1130 絶縁性材料、1140 MIS型電極、1150 入出力電極、1160 阻害層、1162 開口、1170 シード結晶、1180 シード化合物半導体、1200 上層化合物半導体

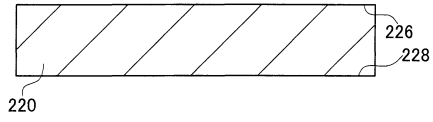
【図1】



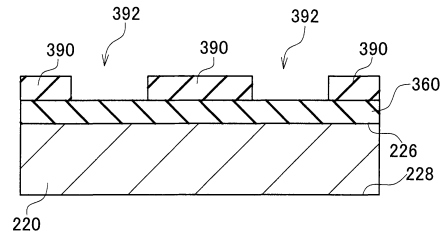
【図2】



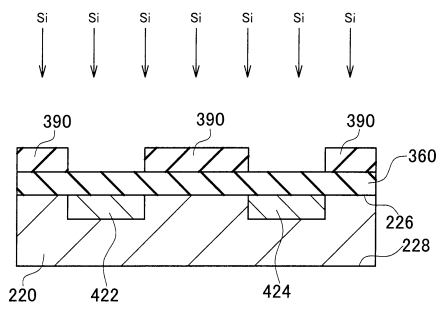
【 図 3 】



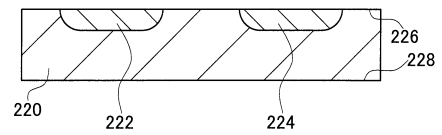
【 図 4 】



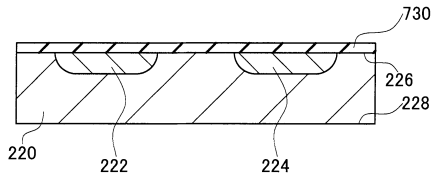
【 図 5 】



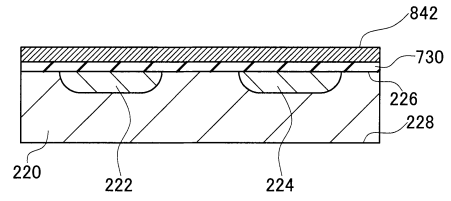
【 図 6 】



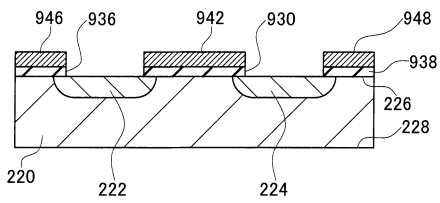
【 図 7 】



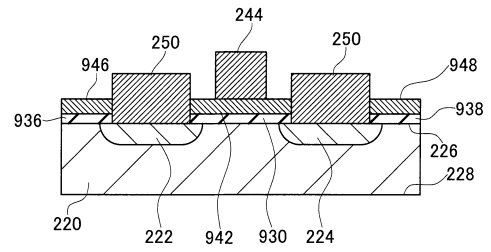
【 図 8 】



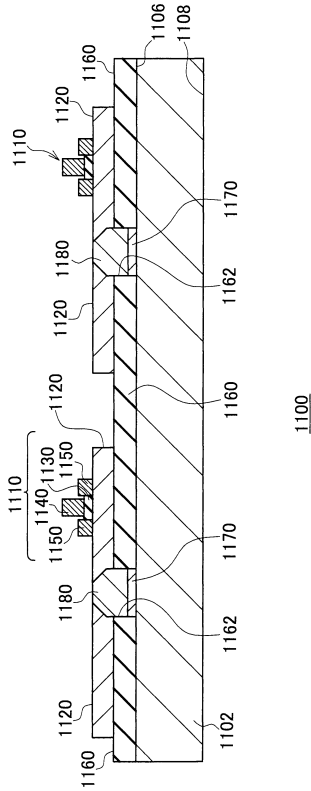
【 図 9 】



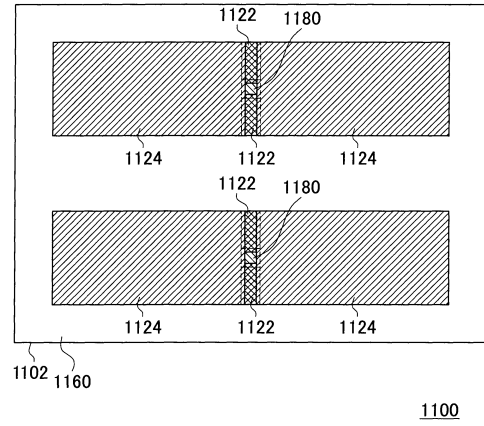
【 図 10 】



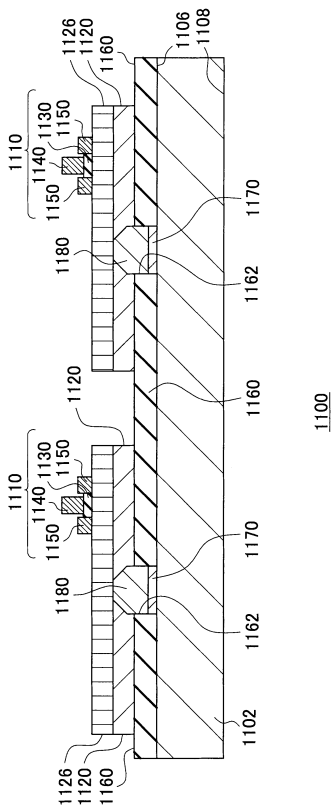
【図 1 1】



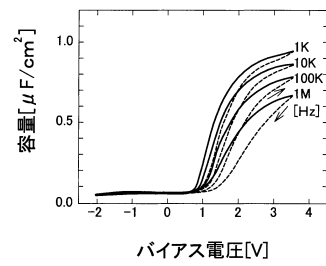
【図 1 2】



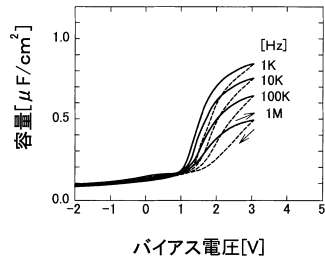
【図 1 3】



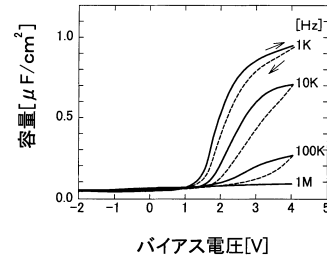
【図 1 4】



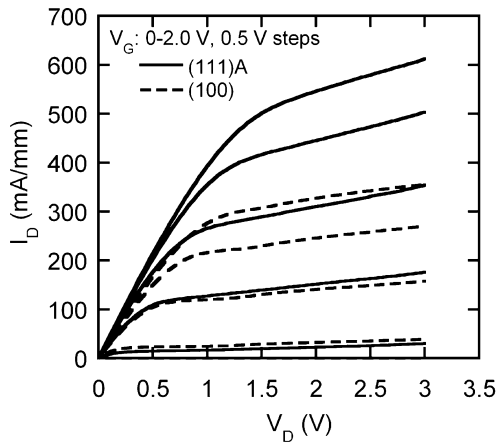
【 図 1 5 】



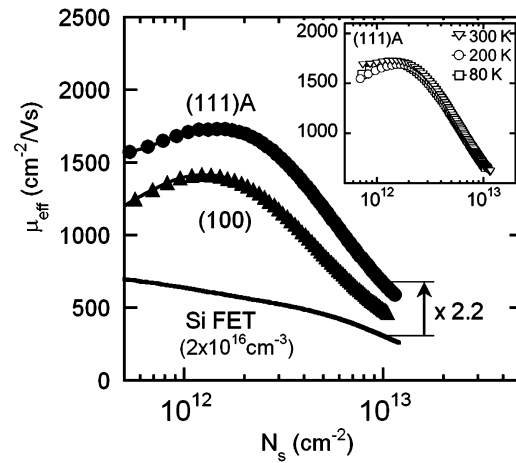
【 図 1 6 】



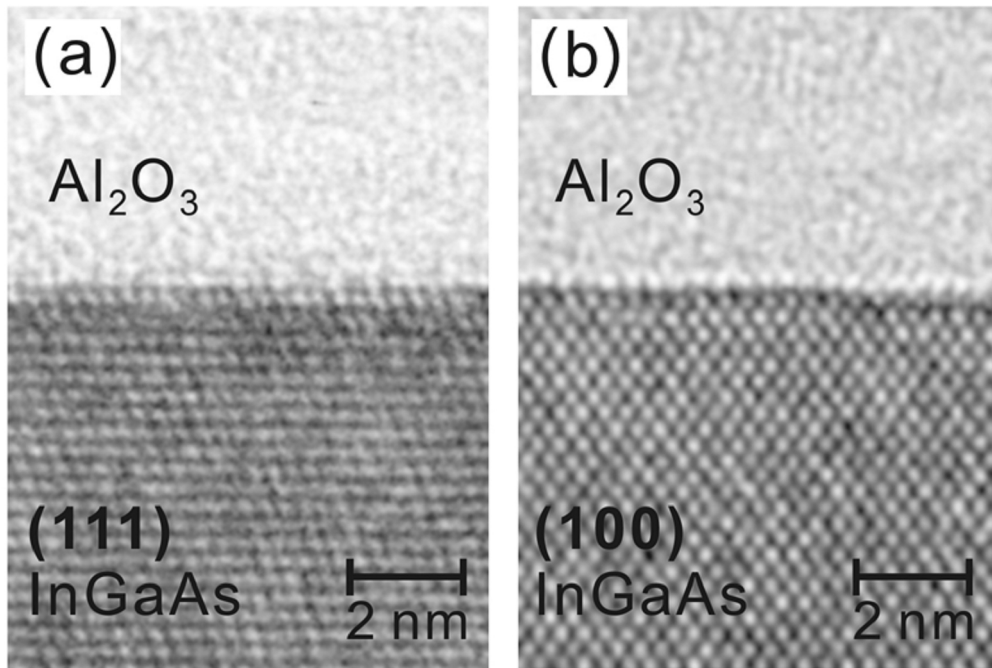
【 図 1 8 】



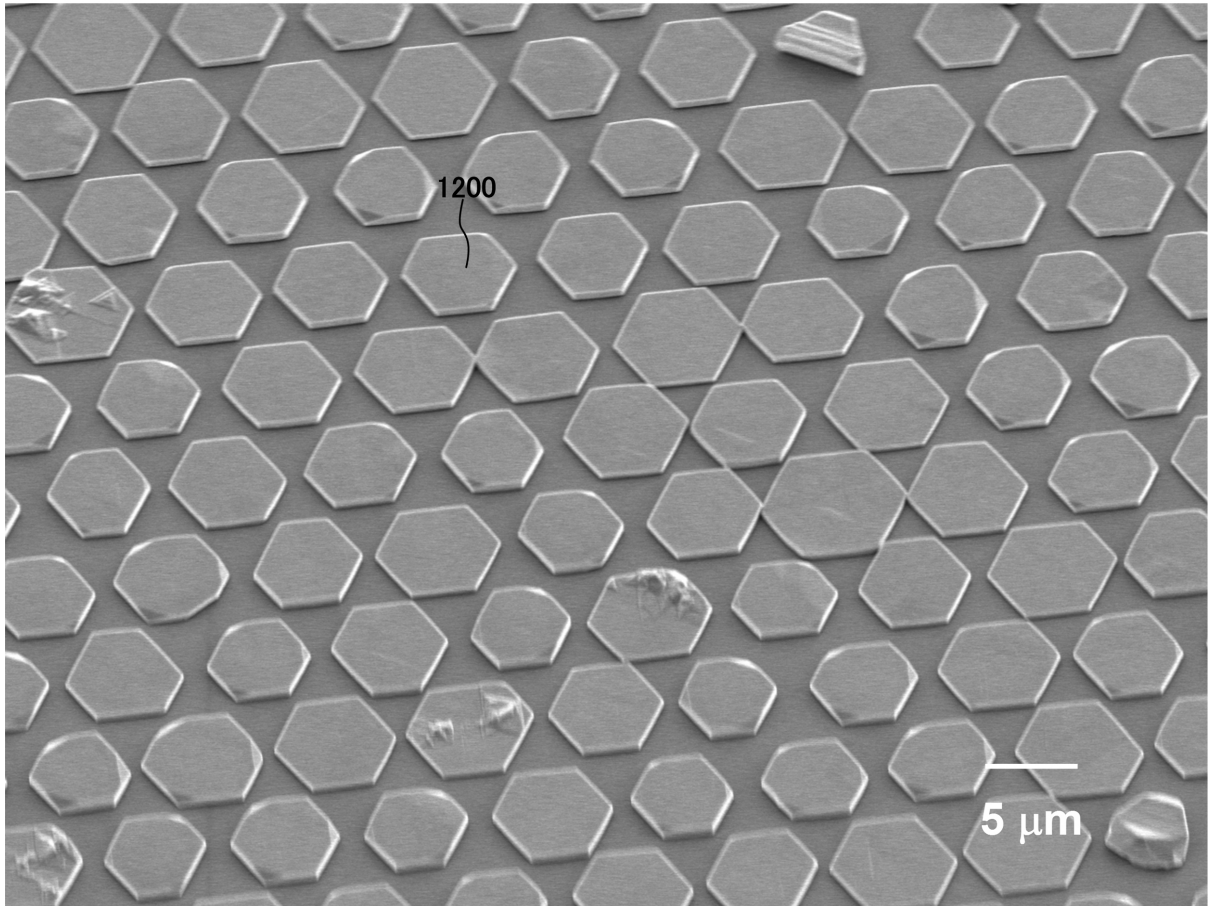
【 図 1 9 】



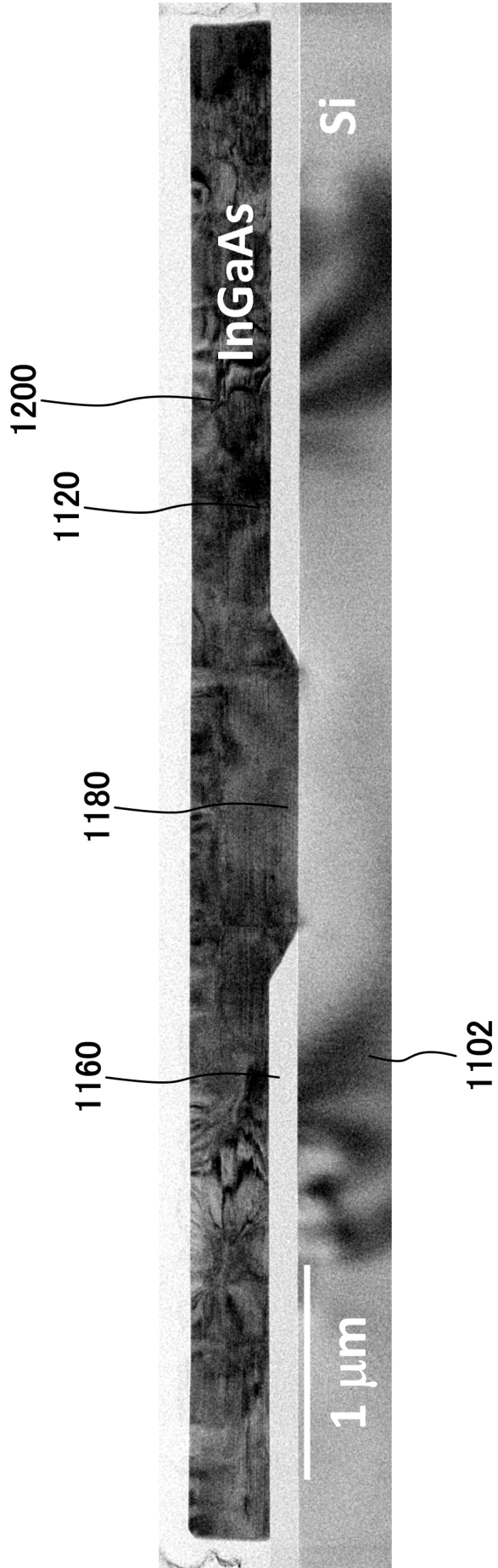
【 図 17 】



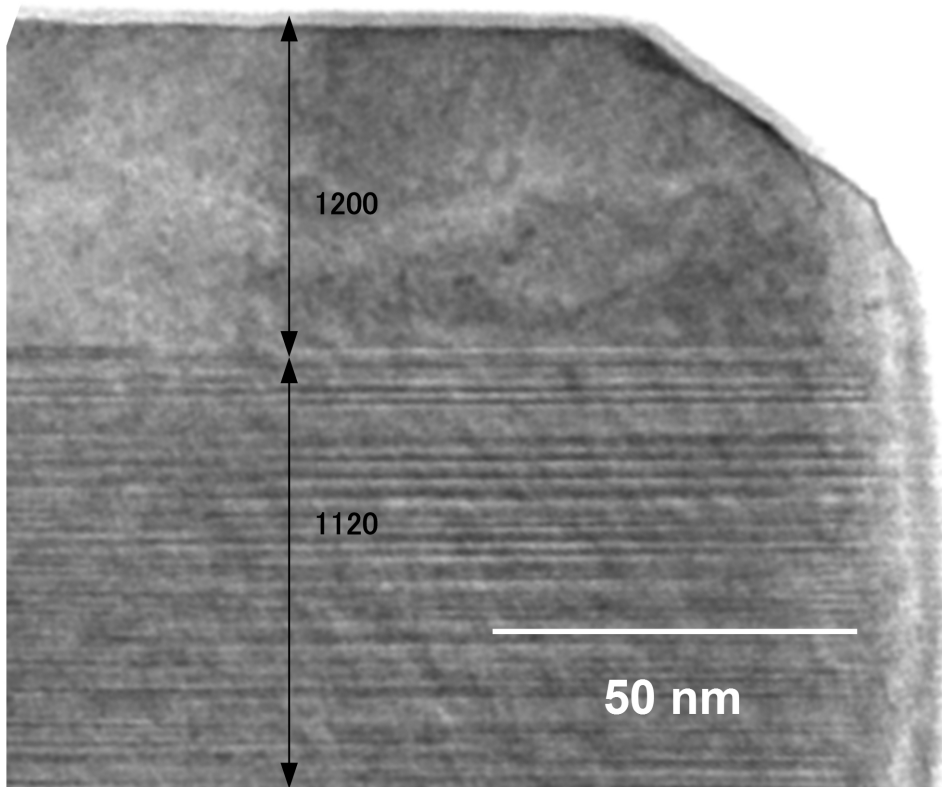
【図 20】



【 図 2 1 】



【 図 2 2 】



フロントページの続き

| | | |
|--------------------------|----------------|---------|
| (51)Int.Cl. | | F I |
| H 0 1 L 21/20 (2006.01) | H 0 1 L 29/78 | 6 1 8 A |
| H 0 1 L 21/205 (2006.01) | H 0 1 L 29/78 | 6 1 7 T |
| H 0 1 L 21/316 (2006.01) | H 0 1 L 29/78 | 6 1 7 N |
| | H 0 1 L 21/76 | D |
| | H 0 1 L 21/76 | E |
| | H 0 1 L 29/78 | 6 1 8 C |
| | H 0 1 L 21/20 | |
| | H 0 1 L 21/205 | |
| | H 0 1 L 21/316 | X |

(出願人による申告)平成20年度経済産業省「戦略的技術開発委託費(ナノエレクトロニクス半導体新材料・新構造技術開発-うち新材料・新構造ナノ電子デバイス<(4)III-V MISFET/III-V-On-Insulator(III-V-OI)MISFET形成プロセス技術の研究開発-うち集積化構造の特性評価と設計因子の技術開発>に係るもの)」委託研究、産業技術力強化法第19条の適用を受ける特許出願

- (74)代理人 100112520
弁理士 林 茂則
- (72)発明者 秦 雅彦
茨城県つくば市北原6番 住友化学株式会社内
- (72)発明者 福原 昇
茨城県つくば市北原6番 住友化学株式会社内
- (72)発明者 山田 永
茨城県つくば市北原6番 住友化学株式会社内
- (72)発明者 高木 信一
東京都文京区本郷七丁目3番1号 国立大学法人東京大学内
- (72)発明者 杉山 正和
東京都文京区本郷七丁目3番1号 国立大学法人東京大学内
- (72)発明者 竹中 充
東京都文京区本郷七丁目3番1号 国立大学法人東京大学内
- (72)発明者 安田 哲二
茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
- (72)発明者 宮田 典幸
茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
- (72)発明者 板谷 太郎
茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
- (72)発明者 石井 裕之
茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
- (72)発明者 大竹 晃浩
茨城県つくば市千現一丁目2番地1 独立行政法人物質・材料研究機構内
- (72)発明者 奈良 純
茨城県つくば市千現一丁目2番地1 独立行政法人物質・材料研究機構内

審査官 岩本 勉

- (56)参考文献 国際公開第2007/090856(WO, A1)
特開平02-010825(JP, A)
特開平04-162614(JP, A)

特開平09 - 162122 (JP, A)
特開平07 - 147237 (JP, A)
特開平07 - 183569 (JP, A)
特開2007 - 142270 (JP, A)
特開2007 - 329474 (JP, A)
特開2007 - 073800 (JP, A)
特開2006 - 344804 (JP, A)
特開平04 - 082275 (JP, A)
特開昭56 - 157063 (JP, A)
特開昭58 - 164269 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/205 - 21/336、21/365、21/469、
21/86、29/76、29/772 - 29/78