

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

**特許第3737660号  
(P3737660)**

(45) 発行日 平成18年1月18日(2006.1.18)

(24) 登録日 平成17年11月4日(2005.11.4)

(51) Int. Cl. F I  
**G06F 9/38 (2006.01)** G06F 9/38 370C

請求項の数 6 (全 16 頁)

(21) 出願番号	特願平11-340489	(73) 特許権者	000003078
(22) 出願日	平成11年11月30日(1999.11.30)		株式会社東芝
(65) 公開番号	特開2001-154846(P2001-154846A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成13年6月8日(2001.6.8)	(74) 代理人	100058479
審査請求日	平成15年8月28日(2003.8.28)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 デジタル信号処理回路とこの回路を備えた通信装置

(57) 【特許請求の範囲】

【請求項1】

第1の語長を持つ第1のデジタル信号及び前記第1の語長よりも長い第2の語長を持つ第2のデジタル信号をそれぞれ演算処理するデジタル信号処理回路において、主演算処理回路と、この主演算処理回路に接続される専用演算処理回路とを具備し、前記主演算処理回路は、

前記第1の語長に対応する演算処理機能を有する主演算部と、

単位記憶領域の記憶容量が前記第1の語長に対応して構成された第1のメモリと、

この第1のメモリに前記第1のデジタル信号を記憶する場合には、その1語長を第1のメモリの単位記憶領域に記憶し、前記第2のデジタル信号を記憶する場合には、その1語長を区切って前記第1のメモリの複数の単位記憶領域に渡り詰めて記憶するデジタル信号記憶制御手段と、

前記第1のメモリに記憶された第1及び第2のデジタル信号のうち、第1のデジタル信号については前記主演算部に供給して演算処理を行わせ、第2のデジタル信号については前記専用演算処理回路に転送する演算制御手段とを備え、

前記専用演算処理回路は、

前記第2の語長に対応する演算処理機能を有する専用演算部と、

前記主演算処理回路から転送された第2のデジタル信号を前記専用演算部に供給して演算処理を行わせ、その演算処理結果を前記主演算処理回路に転送する専用演算制御手段と

、

10

20

単位記憶領域の記憶容量が前記第2の語長に対応して構成され、前記主演算処理回路から転送された第2のデジタル信号及び前記専用演算部により得られた演算処理結果を一時保持する第2のメモリとを備えたことを特徴とするデジタル信号処理回路。

【請求項2】

前記主演算処理回路及び専用演算処理回路の少なくとも一方は、第2のデジタル信号を転送する際にその語長を第1の語長と第2の語長との間で変換する語長変換手段を、さらに備えたことを特徴とする請求項1記載のデジタル信号処理回路。

【請求項3】

前記主演算処理回路及び専用演算処理回路の少なくとも一方は、第2のデジタル信号を転送する際に、専用演算部における処理内容に応じてそのデータ順序を変換するデータ順序変換手段を、さらに備えたことを特徴とする請求項1記載のデジタル信号処理回路。

10

【請求項4】

前記主演算処理回路は、前記専用演算処理回路へ第2のデジタル信号の転送してからその演算処理結果が返送されるまでの期間に、別の処理を実行することを特徴とする請求項1記載のデジタル信号処理回路。

【請求項5】

前記主演算処理回路は、前記専用演算処理回路へ第2のデジタル信号の転送してからその演算処理結果が返送されるまでの期間に、自己を動作休止状態に設定することを特徴とする請求項1記載のデジタル信号処理回路。

【請求項6】

20

デジタル信号に対し伝送のための所定の信号処理を施し、この処理されたデジタル信号を通信回線を介して伝送する通信装置において、

主演算処理回路及びこの主演算処理回路に接続される専用演算処理回路を備え、第1の語長を持つ第1のデジタル信号及び前記第1の語長よりも長い第2の語長を持つ第2のデジタル信号に対しそれぞれ前記伝送のための演算処理を行うデジタル信号処理回路を具備し、

前記主演算処理回路は、

前記第1の語長に対応する演算処理機能を有する主演算部と、

単位記憶領域の記憶容量が前記第1の語長に対応して構成された第1のメモリと、

この第1のメモリに前記第1のデジタル信号を記憶する場合には、その1語長を第1のメモリの単位記憶領域に記憶し、前記第2のデジタル信号を記憶する場合には、その1語長を区切って前記第1のメモリの複数の単位記憶領域に渡り詰めて記憶するデジタル信号記憶制御手段と、

30

前記第1のメモリに記憶された第1及び第2のデジタル信号のうち、第1のデジタル信号については前記主演算部に供給して演算処理を行わせ、第2のデジタル信号については前記専用演算処理回路に転送する演算制御手段とを備え、

前記専用演算処理回路は、

前記第2の語長に対応する演算処理機能を有する専用演算部と、

前記主演算処理回路から転送された第2のデジタル信号を前記専用演算部に供給して演算処理を行わせ、その演算処理結果を前記主演算処理回路に転送する専用演算制御手段と

40

、  
単位記憶領域の記憶容量が前記第2の語長に対応して構成され、前記主演算処理回路から転送された第2のデジタル信号及び前記専用演算部により得られた演算処理結果を一時保持する第2のデータメモリとを備えたことを特徴とするデジタル信号処理回路を備えた通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、例えば映像信号や音声信号の符号化及び復号処理を行うデジタル信号処理回路と、この回路を備えた携帯情報端末や携帯電話機、車載情報通信端末等の通信装置に

50

関する。

【0002】

【従来の技術】

MPEG (Moving Picture Coding Experts Group) 等をはじめとするデジタル・コンテンツの普及につれ、デジタル信号処理技術の重要性が一層増している。この様なデジタル信号処理を携帯情報端末や携帯電話機等の通信装置において実現する場合には、DSP (Digital Signal Processor) やRISC (Reduced Instruction Set Computer) 等のプロセッサを使用するのが一般的である。

【0003】

ところで、これらのプロセッサを使用してデジタル信号処理を行う際には、デジタル信号の語長が演算精度に直接関係する。語長が短ければ演算器のビット幅やメモリ容量等のハードウェア・リソースが少なくて済む。しかし、信号処理の内容によっては品質に与える影響が大きくなり、特にビデオ信号やオーディオ信号を取り扱うマルチメディア信号処理を行う場合には、語長が足りないと十分な品質が得られなくなる。そこで、品質を確保するために、デジタル信号の語長を要求される品質を満足する最短の語長に合わせる手法と、語長の不足をソフトウェア処理により補って演算精度を確保する手法が検討されている。

10

【0004】

【発明が解決しようとする課題】

しかし、デジタル信号処理の中で品質に大きな影響を及ぼすものは、演算結果に対しさらに演算を行うことで誤差が蓄積されるような場合であり、この様な演算処理は処理全体のごく一部であることが多い。このため、一部の演算処理に合わせてすべての演算処理について最大語長を与えることは、演算器のビット幅やメモリ容量等のハードウェア・リソースの面で回路規模の大型化やコストの増加を招き好ましくない。

20

【0005】

一方、語長の不足をソフトウェア処理で補う手法は、ハードウェア・リソースの面で効果があるが、処理遅延を生じ易いためリアルタイム性が要求される信号処理には不向きである。また、処理量の増加は消費電力の増加を招くため、特に携帯情報端末や携帯電話機等のバッテリー駆動型の通信装置においては非常に好ましくない。

【0006】

例えば、リアルタイム性が要求されるマルチメディア信号処理では、フィルタ演算や相関演算等の定型の演算処理を高速に行う必要がある。しかも、この種の演算処理は有限語長による演算誤差が蓄積され易いため、高精度の演算処理が求められる。しかし、この種の演算処理を行う際に、RISCではアドレッシング等のオーバーヘッドが大きく効率的な演算が困難である。

30

【0007】

一方DSPでは、フィルタ演算等の定型演算を高速演算することが可能であるが、演算の種類が限られているため不定形の演算処理を高速に行うことは苦手であり、また通常の処理についても高級言語でロジックを記述することが難しく、開発効率に問題がある。

【0008】

この発明は上記事情に着目してなされたもので、その目的とするところは、メモリ容量を減らしてハードウェア・リソースを小型かつ安価にし、かつ語長の異なる複数種のデジタル信号に対し高精度の演算処理を可能にしたデジタル信号処理回路とこの回路を備えた通信装置を提供することにある。

40

【0009】

【課題を解決するための手段】

上記目的を達成するためにこの発明は、第1の語長を持つ第1のデジタル信号及び上記第1の語長よりも長い第2の語長を持つ第2のデジタル信号をそれぞれ演算処理するデジタル信号処理回路において、主演算処理回路と、この主演算処理回路に接続される専用演算処理回路とを設け、

50

上記主演算処理回路に、上記第1の語長に対応する演算処理機能を有する主演算部と、単位記憶領域の記憶容量が上記第1の語長に対応して構成された第1のメモリと、デジタル信号記憶制御手段と、演算制御手段とを備え、第1のメモリに上記第1のデジタル信号を記憶する場合にはその1語長を第1のメモリの単位記憶領域に記憶し、第2のデジタル信号を記憶する場合にはその1語長を区切って前記第1のメモリの複数の単位記憶領域に渡り詰めて記憶する。そして、第1のデジタル信号については上記主演算部に供給して演算処理を行わせ、第2のデジタル信号については上記専用演算処理回路に転送する。

**【0010】**

一方上記専用演算処理回路には、上記第2の語長に対応する演算処理機能を有する専用演算部と、単位記憶領域の記憶容量が上記第2の語長に対応して構成された第2のメモリと、専用演算制御手段とを備える。そして、この専用演算制御手段により、上記専用演算部及び第2のメモリを使用することで、上記主演算処理回路から転送された第2のデジタル信号を専用演算部に供給して演算処理を行わせ、その演算処理結果を上記主演算処理回路に返送するようにしたものである。

10

**【0011】**

したがってこの発明によれば、例えば通常語長の第1のデジタル信号については主演算処理回路で演算処理され、これに対し語長の長い第2のデジタル信号については専用演算処理回路に転送されて演算処理される。このため、主演算処理回路は通常語長のデジタル信号処理のみを行えばよいことになり、これにより演算部及びメモリに第2のデジタル信号の語長に対応したものを用意する必要がなくなって、その分主演算処理回路のハードウェア・リソースを小型で安価なものにすることができる。またソフトウェアの面では、語長の不足をソフトウェアで補う必要がないため、リアルタイムで高品質の処理が可能となる。

20

**【0012】**

また、専用演算処理回路に必要なメモリは、主演算処理回路から転送される少数ワードのデジタル信号を一時記憶できる程度でよいので比較的小容量で済み、また演算部は定型の演算処理に対応したものでよいため比較的小規模で済む。このため、専用演算処理回路の構成についても比較的小規模に抑えることができる。

**【0013】**

さらにこの発明では、第2のデジタル信号を主演算処理回路のメモリに記憶する際に、その語長を区切って複数の単位記憶領域に渡り詰めて記憶するようにしているので、メモリを無駄な余剰記憶領域を発生させずに効率良く使用できる利点がある。

30

**【0014】**

またこの発明は、上記主演算処理回路及び専用演算処理回路の少なくとも一方に語長変換手段を設け、この語長変換手段により、第2のデジタル信号を転送する際にその語長を第1の語長と第2の語長との間で変換することも特徴としている。

**【0015】**

このように構成することで、主演算処理回路の第1のメモリにおいて、第2のデジタル信号がその語長を区切って複数の単位記憶領域に渡り詰めて記憶されていても、第2のデジタル信号の転送時に語長変換されるため、主演算処理回路では上記第2のデジタル信号のデータ順の入れ替え処理が不要となり、これにより多くのメモリアクセス回数やシフト演算処理が不要となってオーバヘッドの発生を低減することができる。

40

**【0016】**

さらにこの発明は、上記主演算処理回路及び専用演算処理回路の少なくとも一方にデータ順序変換手段を設け、このデータ順序変換手段により、第2のデジタル信号を転送する際に専用演算部における処理内容に応じてそのデータ順序を変換するように構成することも特徴としている。

このように構成することで、専用演算処理回路の演算部における演算処理ステップ数を減らして演算処理の効率を高めることができる。

50

## 【 0 0 1 7 】

さらにこの発明は、専用演算処理回路へ第2のデジタル信号の転送してからその演算処理結果が返送されるまでの期間に、主演算処理回路において別の処理を実行することも特徴としている。

このように構成することで、主演算処理回路と専用演算処理回路とを並列に動作させることができ、これにより回路全体として信号処理効率を高めることができる。

## 【 0 0 1 8 】

さらにこの発明は、専用演算処理回路へ第2のデジタル信号の転送してからその演算処理結果が返送されるまでの期間に、主演算処理回路が自己の動作状態を休止状態に設定することも特徴としている。

このように構成することで、主演算処理回路を常時動作させる場合に比べ、主演算処理回路の消費電力を低減して回路全体の省電力化を図ることができる。

## 【 0 0 1 9 】

## 【 発明の実施の形態 】

以下、図面を参照してこの発明の実施形態を説明する。

図1は、この発明に係わる通信装置の一実施形態を示すもので、マルチメディア移動通信端末装置の回路ブロック図である。

## 【 0 0 2 0 】

先ず受信系は次のように構成される。すなわち、図示しない基地局或いは中継局から到来した無線周波信号は、アンテナ1で受信されたのち無線部2に入力され、ここで周波数変換とデジタル復調処理が行われる。ベースバンド処理部3では、上記無線部2から出力された復調デジタル信号に対し誤り訂正復号処理やデ・インタリーブ処理等の受信ベースバンド処理が行われ、この処理後の受信デジタル信号は多重分離部4に入力される。多重分離部4では、上記受信デジタル信号から、そのヘッダ情報の内容に従いオーディオ・データ、ビデオ・データ及びコンピュータ・データが分離され、それぞれオーディオ信号処理部5、ビデオ信号処理部6及びデータ処理部7に入力される。

## 【 0 0 2 1 】

オーディオ信号処理部5は、音声コーデックを構成するデジタル信号処理回路を備え、上記受信オーディオ・データに対し音声復号処理を行う。そして、復号したオーディオ信号をスピーカ51から拡声出力する。

## 【 0 0 2 2 】

ビデオ信号処理部6は、上記受信ビデオ・データに対し例えばMPEG4に規定される映像復号処理を行い、これにより再生したビデオ信号を表示制御部8に供給する。

## 【 0 0 2 3 】

データ処理部7は、上記受信したコンピュータ・データを表示可能な形態に変換して表示制御部8に入力する。表示制御部8は、上記ビデオ信号及びコンピュータ・データを選択的に液晶表示部(LCD)9に表示する。

## 【 0 0 2 4 】

一方、送信系は次のように構成される。すなわち、マイクロホン52から入力された音声信号はオーディオ信号処理部5に入力され、ここで音声コーデックにより符号化される。またカメラ61の撮像により得られたビデオ信号は、ビデオ信号処理部6でMPEG4に規定される符号化方式により符号化される。さらに、入力部14から入力されるか又は記憶部13から読み出された文書ファイル等のコンピュータ・データは、主制御部10からデータ処理部7に入力され、ここで必要に応じて送信のための処理が行われたのち多重分離部4に入力される。

## 【 0 0 2 5 】

多重分離部4は、上記オーディオ信号処理部5から出力された送信オーディオ・データ、ビデオ信号処理部6から出力された送信ビデオ・データ及びデータ処理部7から出力されたコンピュータ・データを、所定のフォーマットに従い多重化して、例えば送信パケットを生成する。

10

20

30

40

50

## 【 0 0 2 6 】

ベースバンド処理部 3 は、上記送信パケットに対し誤り訂正符号化やインタリーブ等の送信ベースバンド信号処理を行い、この処理後の送信パケットを無線部 2 に入力する。無線部 2 では、上記送信パケットに対しデジタル変調処理、無線伝送周波数への周波数変換及び送信電力レベルの制御がそれぞれ行われ、これにより生成された無線周波信号はアンテナ 1 から基地局又は中継局に向け送信される。

## 【 0 0 2 7 】

なお、図中 1 2 は電源回路部であり、バッテリー 1 1 の出力電圧をもとに所定の動作電圧  $V_{cc}$  を生成して装置内の各回路モジュールに供給する。

## 【 0 0 2 8 】

ところで、前記オーディオ信号処理部 5 やビデオ信号処理部 6 には、この発明に係わるデジタル信号処理回路が設けられている。なお、ここではオーディオ信号処理部 5 に設けられるデジタル信号処理回路を例にとって説明する。

## 【 0 0 2 9 】

図 2 は、オーディオ信号処理用のデジタル信号処理回路の概略構成を示すブロック図である。このデジタル信号処理回路は、メインプロセッサ 2 0 と、このメインプロセッサ 2 0 に対し制御信号線 6 0 を介して接続された専用エンジン 3 0 と、DMA (Direct Memory Access) コントローラ 4 0 と、外部インタフェース (I/F) 回路 5 0 とから構成される。

## 【 0 0 3 0 】

メインプロセッサ 2 0 は、演算コア 2 1 と、この演算コア 2 1 に信号処理を実行させるための命令 (プログラム) を格納した命令メモリ (IMEM) 2 2 と、処理対象のデジタル信号を格納するデータメモリ (DMEM) 2 3 とを備えている。演算コア 2 1 は、演算幅等が、通常精度のデジタル信号、例えば 16 bit を 1 ワードとしたオーディオ・データに対応して構成される。データメモリ 2 3 も、上記通常精度のデジタル信号に対応して、1 アドレスで指定できる記憶領域が 16 bit に設定されている。

## 【 0 0 3 1 】

これに対し専用エンジン 3 0 は、高精度演算コア 3 1 と、データメモリ (DMEM) 3 2 とを備えている。高精度演算コア 3 1 は、演算幅等が、上記通常精度のデジタル信号より語長の長い高精度のデジタル信号、例えば 24 bit のオーディオ・データに対応して構成される。またデータメモリ 3 2 は、前記メインプロセッサ 2 0 から転送された高精度のデジタル信号と、演算終了後にメインプロセッサ 2 0 に返送するデータとをそれぞれ格納するもので、上記高精度のデジタル信号に対応して、1 アドレスで指定できる記憶領域が 24 bit に設定されている。

## 【 0 0 3 2 】

ところで、メインプロセッサ 2 0 の演算コア 2 1 は、次のように構成される。図 3 はその構成を示す回路ブロック図である。

すなわち、デコード回路 2 1 4 は、命令メモリ 2 2 からプログラム・カウンタ (PC) 2 1 2 が示すアドレスの記憶領域に格納されている命令を命令メモリインタフェース (IMEM I/F) 2 1 3 を介して読み出し、この命令をデコードして制御回路 2 1 1 に与える。なお、プログラム・カウンタ 2 1 2 の値は、制御回路 2 1 1 により更新されない限り、順次インクリメントされて次に読み出すべきアドレスを示す。

## 【 0 0 3 3 】

制御回路 2 1 1 は、上記命令のデコード結果に基づいて、データメモリ 2 3 からデータメモリインタフェース (DMEM I/F) 2 1 7 を介して 16 bit ワードのレジスタファイル 2 1 5 にデータをロードしたり、逆にレジスタファイル 2 1 5 からデータメモリ 2 3 にデータをストアしたり、レジスタファイル 2 1 5 のデータを演算器 2 1 6 に渡して演算させたり、さらにはプログラムカウンタ 2 1 2 の値を制御するというように、各モジュールを制御する。演算器 2 1 6 は、加減算器と乗算器とから構成される。

## 【 0 0 3 4 】

10

20

30

40

50

制御回路211はまた、DMAコントローラ40とのインタフェース機能を有し、外部インタフェース50や専用エンジン30へデータをDMA転送する際のアドレスやサイズを指定する。制御回路211はさらに、専用エンジン30との間のインタフェース機能を有し、制御信号線60を介して専用エンジン30に対し演算内容(CALC MODE)の指定、データメモリ23から専用エンジン30のデータメモリにデータ転送する際のデータ入替順序(DMA MODE)の指定、及び演算開始の指示を行う。

#### 【0035】

制御回路211はまた、専用エンジン30から演算の状態を示すbusy信号を受け取る機能も有し、このbusy信号より専用エンジン30の演算状態を判定する。そして、この判定結果に基づいて、専用エンジン30がビジー状態、つまり演算動作を行っている期間中に、メインプロセッサ20自身の動作を制御する。

10

#### 【0036】

例えば、専用エンジン30の演算結果に依存しない処理を実行可能な場合には、その命令を実行する。すなわち、専用エンジン30と並列動作を行う。また専用エンジン30の演算結果に依存し処理が継続できない場合には、クロック制御回路(CLK制御回路)218に指示を出すことで各モジュールへのクロックの供給を止め、これにより専用エンジン30の演算が終了するまでメインプロセッサ20をスリープ状態に設定する。

#### 【0037】

一方、専用エンジン30の高精度演算コア31は次のように構成される。図4はその構成を示す回路ブロック図である。

20

#### 【0038】

すなわち、DMA MODEレジスタ316には、DMAコントローラ40を介してDMA転送するデータの並べ替え順序を表すモードが格納され、このモードはメインプロセッサ20により設定される。アドレス変換回路315は、DMA MODEレジスタ316に記憶されたモードに従って、高精度のデジタル信号の順序を入れ替える処理を行う。そして、この入替処理後のデータを、データメモリ・インタフェース(データメモリI/F)314を介してデータメモリ32の所定アドレス領域に格納するように制御する。

#### 【0039】

データメモリ32は、演算のための係数を格納するテーブル領域321と、2 read 2 writeタイプのデータ領域322とから構成される。このデータ領域322は、例えば1アドレス領域が24bitにより構成され、24bit 1ワードの高精度デジタル信号及びその演算結果のデータをそのまま1アドレス領域に格納可能となっている。

30

#### 【0040】

CALC MODEレジスタ313には、メインプロセッサ20から指定された高精度演算器311の演算内容を示すモードが記憶される。演算制御回路312は、メインプロセッサ20から演算開始の信号を受けると、上記CALC MODEレジスタ313に記憶されているモードに従って、高精度演算器311及びデータメモリ32を制御する。

#### 【0041】

高精度演算器311は、2個の乗算器と2個の加減算器とを備え、これらの演算器により例えば4ポイントの複素高速フーリエ変換(FFT)演算を行う。図5にその構成の一例を示す。

40

#### 【0042】

次に、以上のように構成されたデジタル信号処理回路の動作を説明する。

例えば、多重分離部4から出力されたオーディオ・データは、オーディオ信号処理部5に入力されると、外部インタフェース回路50からDMAコントローラ40を介してメインプロセッサ20に取り込まれ、データメモリ23に格納される。格納されたオーディオ・データに対して復号処理を行う際に、復号過程の中間データとして、演算精度が再生品質にセンシティブでないものは通常精度(16bit)で処理する。つまり、1ワードずつそのままデータメモリ23の各アドレス領域に格納される。

#### 【0043】

50

これに対し演算精度が再生品質にセンシティブな演算は、中間データとして高精度(24bit)な演算およびデータの保持が必要になる。この場合、高精度デジタル信号は1ワードのサイズがデータメモリ23の1アドレス領域のサイズ(16bit)よりも大きいため、そのままでは格納できない。そこで、24bit 1ワードからなる高精度デジタル信号をMSB側の16bitとLSB側の8bitとに分割し、MSB側の16bitをデータメモリ23の1アドレス領域に格納し、LSB側の8bitを次のアドレス領域又は一つ前のアドレス領域に格納する。

**【0044】**

すなわち、各高精度デジタル信号のLSB側の8bitは、データメモリ23の空き領域に詰められて格納される。図6はその格納状態の一例を示すものである。この様にすることで、データメモリ23に無駄な空き領域を生じさせることなく高精度デジタルデータを効率良く格納できる。

10

**【0045】**

さて、この状態でメインプロセッサ20が命令メモリ22に格納された命令に従い演算処理を開始すると、データメモリ23に格納された通常精度デジタル信号および高精度デジタル信号にアクセスする必要がある。この場合、通常精度のデータであれば、制御回路211は、演算器216に供給して演算を行わせる。

**【0046】**

これに対し高精度デジタル信号の場合には、メインプロセッサ20からDMAコントローラ40を介して専用エンジン30に転送され、この専用エンジン30において演算される。

20

**【0047】**

すなわち、メインプロセッサ20の制御回路211は、先ず専用エンジン30に対し、転送データのアドレス及びサイズ及びデータの入替順序を指定するモード情報と、演算内容を指定するモード情報をそれぞれ制御信号線60を介して通知する。専用エンジン30は、これらの情報をそれぞれDMA MODEレジスタ316及びCALC MODEレジスタ313に記憶する。続いてメインプロセッサ20は、データメモリ23に格納された高精度デジタル信号を順次DMAコントローラ40により専用エンジン30へ転送する。

**【0048】**

専用エンジン30は、上記DMAコントローラ40によりメインプロセッサ20から高精度デジタル信号が転送されると、先に通知された転送データのアドレスやサイズ、入替順序を指定するモード情報に従い、アドレス変換回路315においてデータの入れ替え処理を行う。

30

**【0049】**

例えば、いま高精度デジタル信号は、データメモリ23において図6に示すように1ワードが分割されたうえ空き領域に詰めた状態で格納されていたため、その格納ルールに従い、アドレス1, 4, 7, ...にそれぞれ格納されていた2個のLSB側8bitデータを分割し、この分割された2個のLSB側8bitデータをそれぞれ対応する1バイト前のMSB側16bitデータ及び1バイト後のMSB側16bitデータに付加し、これにより24bit 1ワードの高精度デジタル信号を構成する。

40

**【0050】**

またそれと同時にアドレス変換回路315は、先に通知された高精度演算の指定内容に応じ、高精度演算を効率良く行うためのデータ入れ替え処理も行う。例えば、いま高精度演算の処理内容が後述する高速フーリエ変換(FFT)だとすると、図7に示すようにデータ[5], データ[13], ...の順序をそれぞれデータ[7], データ[15], ...の次に位置するように入れ替える。

**【0051】**

そうしてデータ順序の入れ替えが行われた高精度デジタル信号は、データメモリインタフェース314を介してデータメモリ32内のデータ領域322に順次格納される。

50

## 【 0 0 5 2 】

次に専用エンジン 3 0 は、高精度演算器 3 1 1 において、上記データメモリ 3 2 に格納された高精度デジタル信号に対し、先にメインプロセッサ 2 0 から指定された内容の演算処理を実行する。

## 【 0 0 5 3 】

以下、4 ポイントの複素 F F T 演算を行う場合を例にとって説明する。図 8 はその演算処理のデータフローを示すものである。

同図において、データ a , b , c , d はそれぞれ複素データであり、実部 ( xxx.re ) と虚部 ( xxx.im ) を持つ。j は虚数単位、W は複素係数である。高精度演算器 3 1 1 では、データメモリ 3 2 のデータ領域 3 2 2 に格納されているデータ a , b , c , d に対し、図 8 に示すデータフローの 1 ~ 7 の順に、バタフライ演算と、テーブル領域 3 2 1 に格納されている複素係数 W との複素乗算とが、インプレイス演算により繰り返し行われる。

10

## 【 0 0 5 4 】

すなわち、先ずバタフライ演算は、

$$(x+jy) + (u+jv) = (x+u) + j(y+v)$$

$$(x+jy) - (u+jv) = (x-u) + j(y-v)$$

が計算できればよい。各データ x , y , u , v はデータメモリ 3 2 に格納されている 2 4 bit 1 ワードのデータである。

## 【 0 0 5 5 】

先ずデータメモリ 3 2 から、図 5 に示すポート P 0 及び P 1 を介してラッチ回路部 3 1 1 1 の対応するラッチ L 0 , L 1 にそれぞれデータ x , u を取り込む。次に、セレクタ 3 1 1 2 , 3 1 1 5 をそれぞれ制御して、上記ラッチ L 0 のデータ X を加算器 3 1 1 6 及び減算器 3 1 1 7 にそれぞれ入力すると共に、上記ラッチ L 1 のデータ u を加算器 3 1 1 6 及び減算器 3 1 1 7 にそれぞれ入力して、それぞれ加算及び減算を行う。そして、その加算出力 ( x+u ) 及び減算出力 ( x-u ) をそれぞれラッチ 3 1 1 8 , 3 1 1 9 で一旦ラッチしたのち、セレクタ 3 1 1 2 0 によりポート P 4 , P 5 を介してデータメモリ 3 2 へ出力し、前記データ x , u が格納されていたアドレス領域に格納する。以後、データ y , v についても同様の演算を行う。かくして、バタフライ演算がなされる。

20

## 【 0 0 5 6 】

次に複素乗算は、

$$(x+jy) \times (u-jv) = (xu+yv) + (yu-xv)$$

が計算できればよい。ここで、左辺の第 2 項の虚部がマイナスになっている理由は、途中の演算を少なくするためである。なお、上記左辺の第 2 項はデータメモリ 3 2 のテーブル領域 3 2 1 に格納されている係数データ W であるため、予めマイナス値を用意しておけば演算上問題はない。

30

## 【 0 0 5 7 】

先ずデータメモリ 3 2 から、ポート P 0 , P 1 , P 2 , P 3 を介してラッチ L 0 , L 1 , L 2 , L 3 にそれぞれデータ x , y , u , v を取り込む。次に、セレクタ 3 1 1 2 を制御して、ラッチ L 0 のデータ x を乗算器 3 1 1 3 に、またラッチ L 2 のデータ u を乗算器 3 1 1 3 , 3 1 1 4 にそれぞれ入力し、さらにラッチ L 1 のデータ y を乗算器 3 1 1 4 に入力し、これにより各乗算器 3 1 1 3 , 3 1 1 4 に乗算を行わせる。そして、セレクタ 3 1 1 5 を制御して、乗算器 3 1 1 3 の乗算出力 ( x \times u ) を加算器 3 1 1 6 に入力すると共に、乗算器 3 1 1 4 の乗算出力 ( y \times u ) を減算器 3 1 1 7 に入力し、さらにこれらの加算器 3 1 1 6 及び減算器 3 1 1 7 の他方の入力端には “ 0 ” 値を入力して、それぞれ加算及び減算を行わせる。これらの加算器 3 1 1 6 及び減算器 3 1 1 7 の加算出力 ( x \times u ) 及び減算出力 ( y \times u ) はそれぞれラッチ 3 1 1 8 , 3 1 1 9 にラッチされる。

40

## 【 0 0 5 8 】

次に、セレクタ 3 1 1 2 を制御して、ラッチ L 1 のデータ y を乗算器 3 1 1 3 に、またラッチ L 0 のデータ x を乗算器 3 1 1 4 にそれぞれ入力し、さらにラッチ L 3 のデータ v を

50

乗算器 3 1 1 3 , 3 1 1 4 にそれぞれ入力し、これにより各乗算器 3 1 1 3 , 3 1 1 4 に乗算を行わせる。そして、セレクタ 3 1 1 5 , 3 1 2 0 を制御して、乗算器 3 1 1 3 の乗算出力 ( $y \times v$ ) を加算器 3 1 1 6 に入力すると共に、乗算器 3 1 1 4 の乗算出力 ( $x \times v$ ) を加算器 3 1 1 6 に入力し、さらに先に算出したラッチ 3 1 1 9 のデータ ( $y \times u$ ) を減算器 3 1 1 7 に、またラッチ 3 1 1 8 のデータ ( $x \times u$ ) を加算器 3 1 1 6 にそれぞれ帰還入力して、加算器 3 1 1 6 及び減算器 3 1 1 7 にそれぞれ加算及び減算を行わせる。この結果、加算器 3 1 1 6 及び減算器 3 1 1 7 からはそれぞれ  $(y \times v) + (x \times u)$  及び  $(y \times u) - (x \times v)$  が出力され、これらの値はそれぞれラッチ 3 1 1 8 , 3 1 1 9 でラッチされる。

【 0 0 5 9 】

そして、これらのラッチ 3 1 1 8 , 3 1 1 9 でラッチされた  $(y \times v) + (x \times u)$  及び  $(y \times u) - (x \times v)$  は、セレクタ 3 1 2 0 によりポート P 4 , P 5 を介してデータメモリ 3 2 へ出力され、前記データ  $x$  ,  $u$  が格納されていたアドレス領域に格納される。かくして、複素乗算演算がなされる。

10

【 0 0 6 0 】

そうして、得られた演算データは、データメモリ 3 2 のデータ領域 3 2 2 から読み出されてアドレス変換回路 3 1 5 で 1 ワード 2 4 bit のデータを 1 ワード 1 6 bit のデータに語長変換されたのち、DMA コントローラ 4 0 によりメインプロセッサ 2 0 へ転送されてそのデータメモリ 2 3 に格納される。

【 0 0 6 1 】

一方、専用エンジン 3 0 において上記した演算処理が行われている状態では、専用エンジン 3 0 からメインプロセッサ 2 0 に対しビジー状態を表す信号が通知されている。メインプロセッサ 2 0 は、この `busy` 信号により専用エンジン 3 0 がビジー状態であることを検出すると、専用エンジン 3 0 の演算結果に依存せず他の処理を実行可能であるか否かを判定する。そして、実行可能な処理がある場合には、当該処理を実行する。

20

【 0 0 6 2 】

これに対し他の処理を実行不可能な場合には、制御回路 2 1 1 以外の各モジュールに対するクロックの供給を断って、メインプロセッサ 2 0 をスリープ状態に設定する。なお、この場合、制御回路 2 1 1 以外の各モジュールに対する動作電源電圧  $V_{cc}$  の供給を断つようにしてもよい。

このようにすることで、回路全体の処理効率を高めることができ、さらには低消費電力化を図ることができる。

30

【 0 0 6 3 】

以上述べたようにこの実施形態では、メインプロセッサ 2 0 に加えて専用エンジン 3 0 を設け、通常精度のデジタルデータについてはメインプロセッサ 2 0 内の演算器 2 1 6 で演算を行い、高精度のデジタルデータについてはメインプロセッサ 2 0 のデータメモリ 2 3 から専用エンジン 3 0 へ DMA コントローラ 4 0 により転送して、専用エンジン 3 0 の高精度演算器 3 1 1 により演算を行わせるようにし、しかもメインプロセッサ 2 0 のデータメモリ 2 3 に高精度デジタル信号を格納する際には、1 ワードを分割して空き領域に詰めた状態で格納するようにしている。

【 0 0 6 4 】

従ってこの実施形態によれば、高精度デジタル信号の演算はそれ専用に構成された専用エンジン 3 0 で行われるため、常に高品質の演算結果を得ることができる。また、メインプロセッサ 2 0 において語長不足を補うためのソフトウェア演算処理を行う必要がなくなるので、これにより処理遅延の発生を防止して信号処理のリアルタイム性を保持することができる。

40

【 0 0 6 5 】

また、メインプロセッサ 2 0 では高精度のデジタルデータの演算処理を行う必要がないので、メインプロセッサ 2 0 の演算器 2 1 6 のサイズ、及びデータメモリ 2 3 の 1 アドレス領域のサイズを通常精度のデジタルデータに対応するサイズに限定することができる。しかも、データメモリ 2 3 において高精度デジタル信号は詰めた状態で格納されるの

50

で、無駄な空き領域は発生せず高密度の記憶が可能となる。従って、データメモリ23の小容量化を図ることが可能となり、これによりメインプロセッサ20の回路規模及び価格を低く抑えることができる。

【0066】

ただし、本実施形態では専用エンジン30を追加したことで全体の回路規模の大型化が懸念されるが、専用エンジン30の高精度演算器311はFFT演算等の定型演算を専用に行うべく構成されるので比較的小規模な回路にすることができ、さらにデータメモリ32についても第2のデジタルデータを少数バイト分格納できれば十分であり、小容量のものを用いることができる。このため、専用エンジン30を追加したとしても、全体のハードウェアの大型化を最小限度に止めることが可能である。

10

【0067】

またこの実施形態では、専用エンジン30にアドレス変換回路315を設け、メインプロセッサ20のデータメモリ23に格納されている高精度デジタル信号をそのまま専用エンジン30にDMA転送し、上記アドレス変換回路315でデータ順序の変換を行ったのち専用エンジン30内のデータメモリ32に格納するようにしている。このため、メインプロセッサ20では高精度デジタル信号のデータ順序を変換する必要がなく、このため複数のアドレッシング等によるオーバヘッドの発生を防止することができる。

【0068】

さらにこの実施形態では、専用エンジン30がビジー状態(演算中)の期間において、メインプロセッサ20が専用エンジン30の演算結果に依存しない処理を実行可能なときには当該処理を実行し、一方専用エンジン30の演算結果に依存する処理を実行せざるを得ない場合には、メインプロセッサ20をスリープ状態に設定するようにしている。このため、回路全体の処理効率の向上及び低消費電力化を図ることができる。

20

【0069】

なお、この発明は上記実施形態に限定されるものではない。例えば、前記実施形態では専用エンジン30に設けたアドレス変換回路315においてデータ順序の入れ替えを行うようにしたが、DMAコントローラ40にアドレス変換回路を設けてここでアドレス変換を行うように構成してもよい。

【0070】

また前記実施形態では、専用エンジンでFFT演算を行う場合を例にとって説明したが、他にフィルタリング処理や窓掛け処理、オーディオ信号の符号化処理に必要なMDCT(Modified Discrete Cosine Transform)演算、IMDCT(Inverse MDCT)演算を行うようにしてもよい。

30

【0071】

例えば窓掛け処理の場合には、被乗算データをデータメモリ32のデータ領域322に、乗算係数をテーブル領域321にそれぞれ格納する。そして、これらのデータを順次読み出して乗算を行い、加算及び減算処理をスルーして上記乗算結果のデータをデータ領域322のものと領域に格納することで、実現可能である。

【0072】

なお、窓掛け処理は、乗算係数として例えば図9に示すような左右対称な窓係数を持つことが多い(例えばsinデータ等)。この場合には、メインプロセッサ20から専用エンジン30への係数データ転送時に、前半部分は通常どおり転送して(データ転送順序A)窓掛け処理を行い、後半部分は前半部分の逆順(データ転送順序B)で転送して窓掛け処理を行えば、保持しておかなければいけない係数データが半分で済む。また、専用エンジンの演算制御回路において、係数データの取り込み時に逆順に読み込むモードを追加して処理すれば、データ転送回数も削減可能である。

40

【0073】

なお、メインプロセッサ及び専用エンジンの回路構成や、データ転送手段の構成(DMA転送に限らない)、通信装置の種類とその構成等についても、この発明の要旨を逸脱しない範囲で種々変形して実施できる。

50

## 【 0 0 7 4 】

## 【 発明の効果 】

以上詳述したようにこの発明では、通常語長の第 1 の語長に対応する主演算処理回路に加え、長語長の第 2 の語長に対応する専用演算処理回路を設け、第 1 のデジタル信号については主演算処理回路の演算部に供給して演算処理を行わせ、第 2 のデジタル信号については専用演算処理回路に転送して演算処理を行わせるようにし、かつ上記主演算処理回路の第 1 のメモリに第 1 のデジタル信号を記憶する場合にはその 1 語長を第 1 のメモリの単位記憶領域に記憶し、第 2 のデジタル信号を記憶する場合にはその 1 語長を区切って第 1 のメモリの複数の単位記憶領域に渡り詰めて記憶するように構成している。

## 【 0 0 7 5 】

したがってこの発明によれば、メモリ容量を減らしてハードウェアリソースを小型かつ安価に保持し、かつ語長の異なる複数種のデジタル信号に対し高精度の演算処理を可能にしたデジタル信号処理回路とこの回路を備えた通信装置を提供することができる。

## 【 図面の簡単な説明 】

【 図 1 】 この発明に係わる通信装置の一実施形態を示すもので、マルチメディア移動通信端末装置の回路ブロック図。

【 図 2 】 オーディオ信号処理用のデジタル信号処理回路の概略構成を示すブロック図。

【 図 3 】 メインプロセッサの演算コアの構成を示す回路ブロック図。

【 図 4 】 専用エンジンの高精度演算コアの構成を示す回路ブロック図。

【 図 5 】 4 ポイントの複素高速フーリエ変換 ( F F T ) 演算を行う高精度演算器の構成例を示す回路ブロック図。

【 図 6 】 メインプロセッサのデータメモリにおける高精度デジタル信号の格納状態の一例を示す図。

【 図 7 】 高精度デジタル信号のデータ順序を入れ替えるときの一例を示す図。

【 図 8 】 4 ポイントの複素 F F T 演算を行う場合の演算処理のデータフローを示す図。

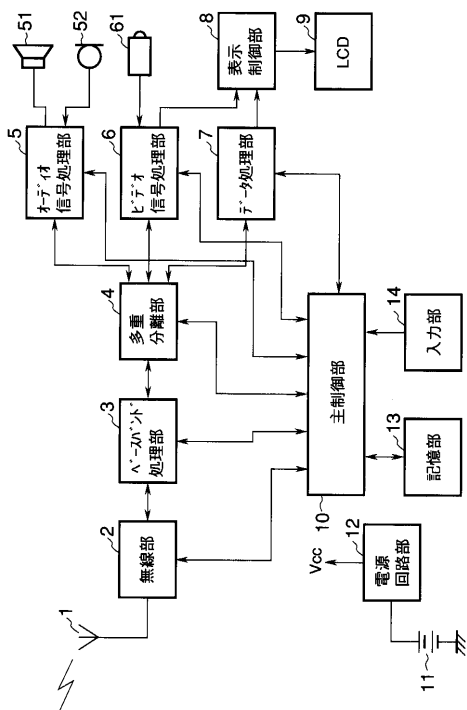
【 図 9 】 特性が左右対称なフィルタリング演算を行う場合のデータ反転転送動作を説明するための図。

## 【 符号の説明 】

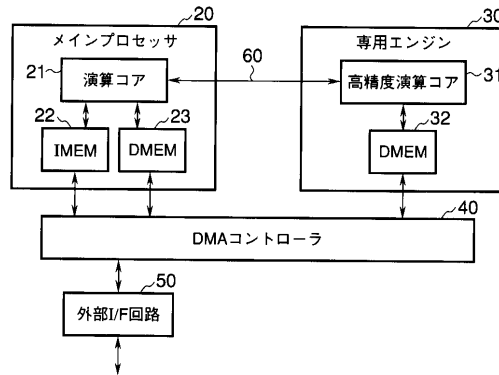
- 1 ... アンテナ 30
- 2 ... 無線部
- 3 ... ベースバンド処理部
- 4 ... 多重分離部
- 5 ... オーディオ信号処理部
- 6 ... ビデオ信号処理部
- 7 ... データ処理部
- 8 ... 表示制御部
- 9 ... 液晶表示器 ( L C D )
- 1 0 ... 主制御部
- 1 0 ... 多重分離部 40
- 1 1 ... バッテリ
- 1 2 ... 電源回路部
- 1 3 ... 記憶部
- 1 4 ... 入力部
- 2 0 ... メインプロセッサ
- 2 1 ... 演算コア
- 2 2 ... 命令メモリ ( I M E M )
- 2 3 ... データメモリ ( D M E M )
- 3 0 ... 専用エンジン
- 3 1 ... 高精度演算コア 50

3 2 ...データメモリ ( D M E M )	
4 0 ... D M A コントローラ	
5 0 ...外部インタフェース回路	
5 1 ...スピーカ	
5 2 ...マイクロホン	
6 0 ...制御信号線	
6 1 ...カメラ	
2 1 1 ...制御回路	
2 1 2 ...プログラムカウンタ ( P C )	
2 1 3 ...命令メモリインタフェース ( I M E M I F )	10
2 1 4 ...デコード回路	
2 1 5 ...レジスタファイル	
2 1 6 ...演算器	
3 1 1 ...高精度演算器	
3 1 2 ...演算制御回路	
3 1 3 ... C A L C M O D E レジスタ	
3 1 4 ...データメモリインタフェース	
3 1 5 ...アドレス変換回路	
3 1 6 ... D M A M O D E レジスタ	
3 2 1 ...テーブル領域	20
3 2 2 ...データ領域	
3 1 1 1 ...ラッチ回路部	
3 1 1 2 , 3 1 1 5 , 3 1 2 0 ...セレクタ	
3 1 1 3 , 3 1 1 4 ...乗算器	
3 1 1 6 ...加算器	
3 1 1 7 ...減算器	
3 1 1 8 , 3 1 1 9 ...ラッチ	

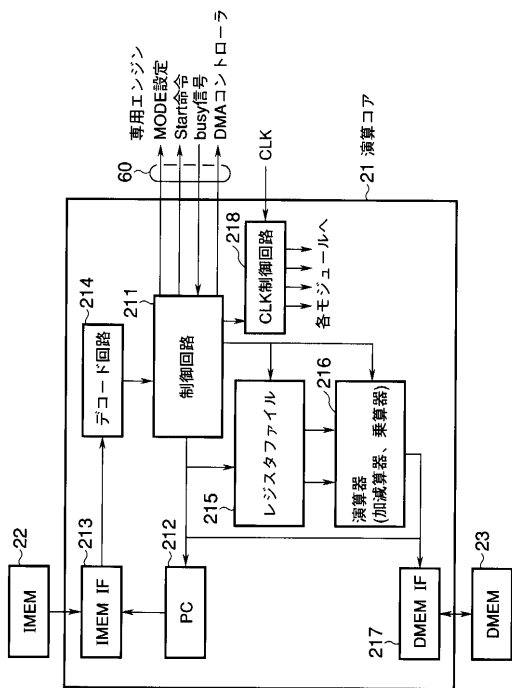
【 図 1 】



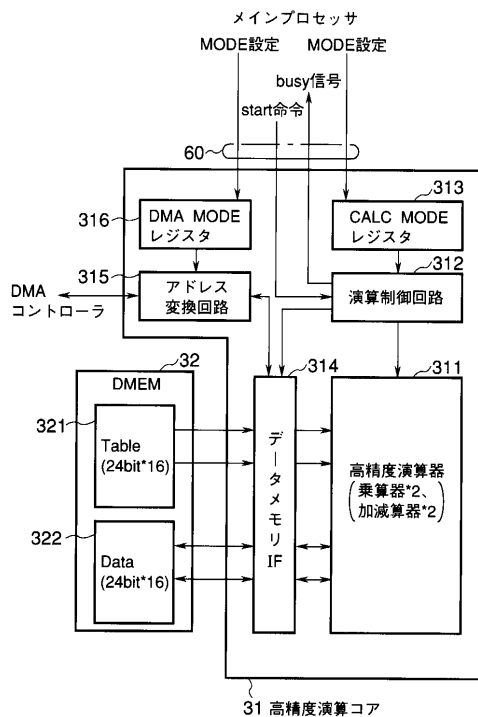
【 図 2 】



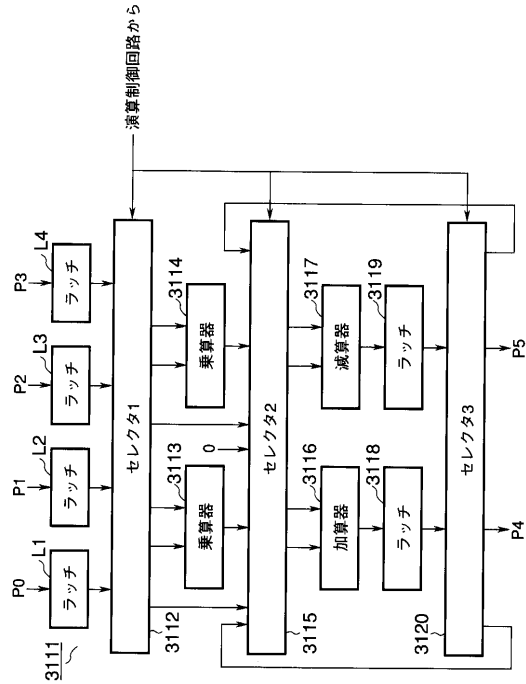
【 図 3 】



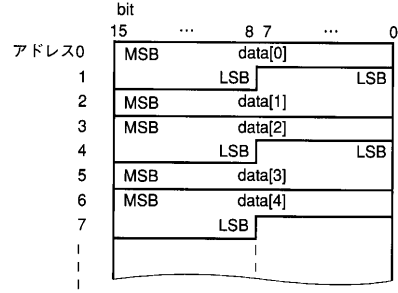
【 図 4 】



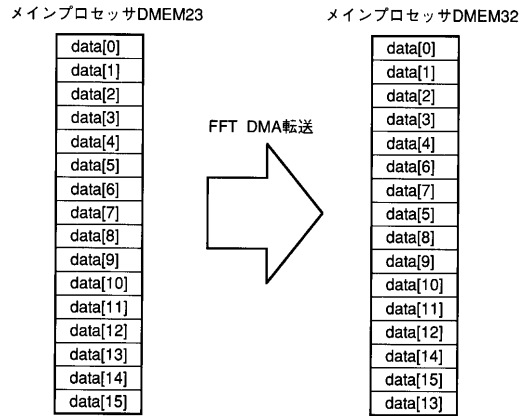
【 図 5 】



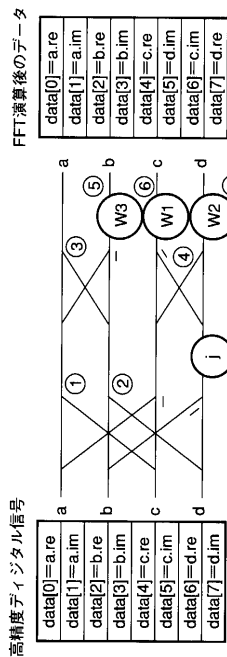
【 図 6 】



【 図 7 】



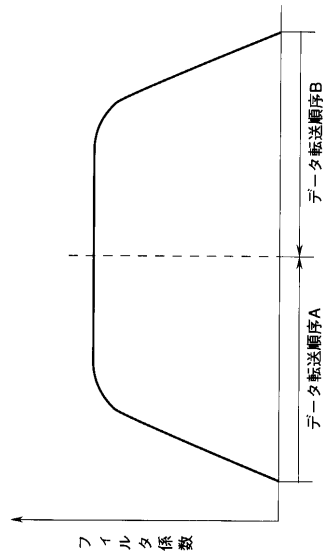
【 図 8 】



係数データ

table[0]=W1.re
table[1]=W1.im
table[2]=W2.re
table[3]=W2.im
table[4]=W3.re
table[5]=W3.im

【 図 9 】



---

フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 竹内 広和

神奈川県川崎市幸区柳町70番地 株式会社東芝柳町工場内

(72)発明者 大森 賢二

神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

審査官 後藤 彰

(56)参考文献 特開平7-281949(JP,A)

特開平2-148164(JP,A)

特開平1-224873(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 9/38