

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6737653号
(P6737653)

(45) 発行日 令和2年8月12日 (2020.8.12)

(24) 登録日 令和2年7月20日 (2020.7.20)

(51) Int. Cl.

F I

H03K 19/003 (2006.01)
G09G 3/20 (2006.01)
G09G 3/36 (2006.01)
G09G 3/3233 (2016.01)
G09G 3/30 (2006.01)

H03K 19/003
G09G 3/20 622E
G09G 3/20 622B
G09G 3/36
G09G 3/3233

請求項の数 2 (全 58 頁) 最終頁に続く

(21) 出願番号 特願2016-138112 (P2016-138112)
(22) 出願日 平成28年7月13日 (2016.7.13)
(65) 公開番号 特開2017-225100 (P2017-225100A)
(43) 公開日 平成29年12月21日 (2017.12.21)
審査請求日 令和1年6月14日 (2019.6.14)
(31) 優先権主張番号 特願2015-151416 (P2015-151416)
(32) 優先日 平成27年7月31日 (2015.7.31)
(33) 優先権主張国・地域又は機関
日本国 (JP)
(31) 優先権主張番号 特願2016-117684 (P2016-117684)
(32) 優先日 平成28年6月14日 (2016.6.14)
(33) 優先権主張国・地域又は機関
日本国 (JP)

(73) 特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 高橋 圭
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 宮口 厚
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
審査官 渡井 高広

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1のトランジスタと、第2のトランジスタと、回路と、を有し、
前記第1のトランジスタのゲートは、第1の入力端子に電氣的に接続され、
前記第1のトランジスタのソースまたはドレインの一方は、第1の配線に電氣的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、出力端子に電氣的に接続され、

前記第2のトランジスタのゲートは、第2の入力端子に電氣的に接続され、
前記第2のトランジスタのソースまたはドレインの一方は、第2の配線に電氣的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、前記出力端子に電氣的に接続され、

前記第2の入力端子に入力される第2の信号は、前記第1の入力端子に入力される第1の信号を反転した信号であり、

前記回路は、制御信号にしたがって、前記第1の入力端子と前記第1のトランジスタのバックゲートとを電氣的に接続する第1の状態と、前記出力端子と前記第1のトランジスタのバックゲートとを電氣的に接続する第2の状態とを、切り替える機能を有する、半導体装置であって、

前記第1の信号及び前記第2の信号が第1の周波数の信号であるとき前記第1の状態が

10

20

選択され、前記第 1 の信号及び前記第 2 の信号が前記第 1 の周波数より低い第 2 の周波数の信号であるとき前記第 2 の状態が選択される、半導体装置。

【請求項 2】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、回路と、を有し、

前記第 1 のトランジスタのゲートは、前記第 3 のトランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第 3 のトランジスタのソースまたはドレインの他方は、第 1 の入力端子に電氣的に接続され、

前記第 1 のトランジスタのソースまたはドレインの一方は、第 1 の配線に電氣的に接続され、

前記第 1 のトランジスタのソースまたはドレインの他方は、出力端子に電氣的に接続され、

前記第 2 のトランジスタのゲートは、第 2 の入力端子に電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの一方は、第 2 の配線に電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの他方は、前記出力端子に電氣的に接続され、

前記第 3 のトランジスタのゲートは、第 3 の配線に電氣的に接続され、

前記第 2 の入力端子に入力される第 2 の信号は、前記第 1 の入力端子に入力される第 1 の信号を反転した信号であり、

前記回路は、制御信号にしたがって、前記第 1 の入力端子と前記第 1 のトランジスタのバックゲートとを電氣的に接続する第 1 の状態と、前記出力端子と前記第 1 のトランジスタのバックゲートとを電氣的に接続する第 2 の状態とを、切り替える機能を有する、半導体装置であって、

前記第 1 の信号及び前記第 2 の信号が第 1 の周波数の信号であるとき前記第 1 の状態が選択され、前記第 1 の信号及び前記第 2 の信号が前記第 1 の周波数より低い第 2 の周波数の信号であるとき前記第 2 の状態が選択される、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、表示モジュール、及び電子機器に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

【0003】

なお、本明細書等において、半導体装置は、半導体特性を利用することで機能しうる素子、回路、又は装置等を指す。一例としては、トランジスタ、ダイオード等の半導体素子は半導体装置である。また別の一例としては、半導体素子を有する回路は、半導体装置である。また別の一例としては、半導体素子を有する回路を備えた装置は、半導体装置である。

【背景技術】

【0004】

表示装置は、狭額縁化、多階調化、及び高精細化等の高性能化の傾向にある。このような高性能化を実現するための駆動回路は、高い動特性（オン特性や周波数特性（ f 特性と呼ばれる））が要求される。

【 0 0 0 5 】

例えば、特許文献 1 乃至 3 では、動特性を高めるために、駆動回路の一部のトランジスタを、半導体層の上下にゲート電極を設けたトランジスタ（以下、デュアルゲートのトランジスタという）とする構成の半導体装置が開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 米国特許出願公開第 2 0 1 0 / 0 1 0 2 3 1 3 号明細書

【 特許文献 2 】 米国特許出願公開第 2 0 1 0 / 0 1 0 2 3 1 4 号明細書

【 特許文献 3 】 米国特許出願公開第 2 0 1 0 / 0 3 0 1 3 2 6 号明細書

10

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

上述したように半導体装置の構成には、多数の構成が存在する。それぞれの構成には一長一短があり、状況に応じて適当な構成が選択される。従って、新規な構成の半導体装置が提案できれば、選択の自由度を向上させることにつながる。

【 0 0 0 8 】

そこで本発明の一態様は、既存の半導体装置とは異なる構成を有する、新規な半導体装置、新規な表示モジュール、新規な電子機器等を提供することを課題の一とする。

【 0 0 0 9 】

20

またデュアルゲートのトランジスタでは、一方のゲート電極（以下、ゲートという）と、他方のゲート電極（以下、バックゲートという）の双方より電圧を印加し、動特性を高めている。しかしながら、動特性を高める必要のない表示を行う場合には、半導体層の一方の側にゲートを設けたトランジスタ（以下、シングルゲートのトランジスタという）の方が消費電力の点からよい場合もある。つまり、デュアルゲートのトランジスタでは動特性の能力が過剰なものとなり、動作させるために要する消費電力が余計にかかってしまう。

【 0 0 1 0 】

そこで本発明の一態様は、デュアルゲートとして動作する状態と、シングルゲートトランジスタとして動作する状態と、を切り替え可能な、新規な構成の半導体装置等を提供することを課題の一とする。また本発明の一態様は、状態に応じて、バックゲートの充放電に要する消費電力を削減できる、新規な構成の半導体装置等を提供することを課題の一とする。

30

【 0 0 1 1 】

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、及び／又は他の課題のうち、少なくとも一つの課題を解決するものである。

40

【 課題を解決するための手段 】

【 0 0 1 2 】

本発明の一態様は、第 1 のトランジスタと、第 2 のトランジスタと、回路と、を有し、第 1 のトランジスタのゲートには、第 1 の入力端子に電氣的に接続され、第 1 のトランジスタのソースまたはドレインの一方は、第 1 の配線に電氣的に接続され、第 1 のトランジスタのソースまたはドレインの他方は、出力端子に電氣的に接続され、第 2 のトランジスタのゲートには、第 2 の入力端子に電氣的に接続され、第 2 のトランジスタのソースまたはドレインの一方は、第 2 の配線に電氣的に接続され、第 2 のトランジスタのソースまたはドレインの他方は、出力端子に電氣的に接続され、回路は、制御信号にしたがって、第 1 の入力端子と第 1 のトランジスタのバックゲートとを電氣的に接続する第 1 の状態と、

50

出力端子と第１のトランジスタのバックゲートとを電氣的に接続する第２の状態と、切り替える機能を有する、半導体装置である。

【００１３】

本発明の一態様において、回路は、第１のスイッチと、第２のスイッチと、を有し、制御信号は、第１のスイッチと、第２のスイッチとを交互にオンまたはオフにすることで第１の状態または第２の状態を切り替える信号である、半導体装置が好ましい。

【００１４】

本発明の一態様において、第１のスイッチおよび第２のスイッチは、トランジスタである、半導体装置が好ましい。

【００１５】

本発明の一態様において、第２のトランジスタは、第２の入力端子に電氣的に接続されたバックゲートとを有する、半導体装置が好ましい。

【００１６】

本発明の一態様において、第３のトランジスタを有し、第３のトランジスタは、入力端子と、第１のトランジスタのゲートと、の間に設けられ、第３のトランジスタのゲートは、高電位を与える配線に電氣的に接続される半導体装置が好ましい。

【００１７】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、及び図面に記載されている。

【発明の効果】

【００１８】

本発明の一態様は、新規な半導体装置、新規な表示モジュール、新規な電子機器等を提供することができる。

【００１９】

または、本発明の一態様は、デュアルゲートトランジスタとして動作する状態と、シングルゲートトランジスタとして動作する状態と、を切り替え可能な、新規な構成の半導体装置等を提供することができる。また本発明の一態様は、状態に応じて、バックゲートの充放電に要する消費電力を削減できる、新規な構成の半導体装置等を提供することができる。

【００２０】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び／又は他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

【００２１】

【図１】本発明の一態様を説明するための回路図及びタイミングチャート。

【図２】本発明の一態様を説明するための回路図。

【図３】本発明の一態様を説明するための回路図。

【図４】本発明の一態様を説明するための回路図及びタイミングチャート。

【図５】本発明の一態様を説明するための回路図。

【図６】本発明の一態様を説明するための上面図。

【図７】本発明の一態様を説明するための上面図。

【図８】本発明の一態様を説明するための回路図。

【図９】本発明の一態様を説明するための回路図。

【図１０】本発明の一態様を説明するための回路図。

【図１１】本発明の一態様を説明するためのタイミングチャート。

10

20

30

40

50

【図 1 2】本発明の一態様を説明するための回路図。

【図 1 3】本発明の一態様を説明するための上面図及び断面図。

【図 1 4】本発明の一態様を説明するための断面図。

【図 1 5】本発明の一態様を説明するための断面図。

【図 1 6】本発明の一態様を説明するための断面図。

【図 1 7】本発明の一態様を説明するための上面図。

【図 1 8】本発明の一態様を説明するための断面図。

【図 1 9】本発明の一態様を説明するための投影図。

【図 2 0】本発明の一態様を説明するための断面図。

【図 2 1】本発明の一態様に係る、電子機器を説明する図。

10

【図 2 2】試料の X R D スペクトルの測定結果を説明する図。

【図 2 3】試料の T E M 像、および電子線回折パターンを説明する図。

【図 2 4】試料の E D X マッピングを説明する図。

【発明を実施するための形態】

【 0 0 2 2 】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 2 3 】

20

なお本明細書等において、「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。

【 0 0 2 4 】

なお図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【 0 0 2 5 】

(実施の形態 1)

本実施の形態では、半導体装置の一例について説明する。

30

【 0 0 2 6 】

図 1 (A) は、半導体装置 1 0 0 を説明するための回路図である。半導体装置 1 0 0 は、表示装置の駆動回路の一部に用いることができる。

【 0 0 2 7 】

図 1 (A) に示す半導体装置 1 0 0 は、トランジスタ 1 0 1、トランジスタ 1 0 2、および切り替え回路 1 0 3 を有する。また図 1 (A) では、入力端子 I N、入力端子 I N B、出力端子 O U T、配線 1 0 4、及び配線 1 0 5 を図示している。

【 0 0 2 8 】

トランジスタ 1 0 1 は、ソースとドレインとの間の導通状態、すなわち配線 1 0 4 と出力端子 O U T との間の導通状態を制御する。トランジスタ 1 0 1 は、ゲートとバックゲートを有するデュアルゲートのトランジスタである。トランジスタ 1 0 1 の導通状態は、ゲートに与えられる入力端子 I N の電圧、およびバックゲートに与えられる電圧によって制御される。以下、トランジスタ 1 0 1 は、n チャネル型のトランジスタとして説明する。

40

【 0 0 2 9 】

トランジスタ 1 0 2 は、ソースとドレインとの間の導通状態、すなわち配線 1 0 5 と出力端子 O U T との間の導通状態を制御する。トランジスタ 1 0 2 は、ゲートを有するシングルゲートのトランジスタである。トランジスタ 1 0 2 の導通状態は、ゲートに与えられる入力端子 I N B の電圧によって制御される。以下、トランジスタ 1 0 2 は、n チャネル型のトランジスタとして説明する。

【 0 0 3 0 】

50

切り替え回路 103 は、制御信号 によって、トランジスタ 101 のバックゲートと入力端子 IN とを接続するか、あるいはトランジスタ 101 のバックゲートと出力端子 OUT とを接続するか、を切り替えることができる。切り替え回路 103 は、単に回路ということもある。

【0031】

入力端子 INB に与えられる入力信号は、例えば、入力端子 IN に与えられる入力信号を反転した信号に相当する。配線 104 は、例えば、高電位に相当する定電位 (V_{DD}) が与えられる。配線 105 は、例えば、低電位に相当する定電位 (V_{SS} 、GND 等) が与えられる。配線 104 または配線 105 には、クロック信号またはリセット信号等が与えられる構成であってもよい。

10

【0032】

図 1 (B) は、図 1 (A) に示す半導体装置 100 の動作を説明するためのタイミングチャートである。図 1 (B) には、入力端子 IN の波形、入力端子 INB の波形、制御信号 の波形、および出力端子 OUT の波形を示している。図 1 (B) では、信号の波形に応じて、第 1 の期間 P1 と、第 2 の期間 P2 に分けて説明することができる。

【0033】

図 1 (B) に示すように、入力端子 IN の波形と入力端子 INB の波形とは、反転した関係となる。第 1 の期間 P1 では、制御信号 が H レベルとする。第 2 の期間 P2 では、制御信号 が L レベルとする。出力端子 OUT の波形は、配線 104 および配線 105 の電位または信号によって変わるが、例えば配線 104 に高電位に相当する定電位が与えられ、配線 105 に低電位に相当する定電位が与えられるとすると、入力端子 IN の波形に応じた波形となる。

20

【0034】

上述したように切り替え回路 103 は、制御信号 によって接続の状態を切り替える。第 1 の期間 P1 では、トランジスタ 101 のバックゲートと入力端子 IN とを接続する。つまり図 1 (C) に示す回路図の状態となる。また第 2 の期間 P2 では、トランジスタ 101 のバックゲートと出力端子 OUT とを接続する。つまり図 1 (D) に示す回路図の状態となる。

【0035】

図 1 (C) に示す回路図の場合、トランジスタ 101 がデュアルゲートトランジスタとして動作するため、動特性 (オン特性や周波数特性 (f 特性と呼ばれる)) が高い動作が可能となる。したがって、図 1 (B) の第 1 の期間 P1 で示すように、出力端子 OUT の波形は、入力端子 IN の波形に近いものとすることができる。一方で、図 1 (D) に示す回路図の場合、トランジスタ 101 がシングルゲートトランジスタとして動作するため、動特性が抑えられた動作が可能となる。したがって、図 1 (B) の第 2 の期間 P2 で示すように、出力端子 OUT の波形は、入力端子 IN の波形 (点線) に鈍った波形 (実線) とすることができる。

30

【0036】

図 1 (C) での動作と図 1 (D) での動作による違いは、図 2 (A)、(B) および図 2 (C)、(D) に示す回路図で説明することができる。図 2 (A) 乃至 (D) では、入力端子 IN、INB、出力端子 OUT に与える信号の電位のハイレベルを 'H'、ローレベルを 'L' として表している。また図 2 (A) 乃至 (D) では、ハイレベルまたはローレベルをトランジスタに印加することでゲートおよびバックゲートに蓄積される正電荷、負電荷を模式的に図示している。なお図 2 (A) 乃至 (D) において、配線 104 は V_{DD} とし、配線 105 は V_{SS} としている。

40

【0037】

図 2 (A)、(B) には、デュアルゲートトランジスタとして動作する際を模式的に表している。

【0038】

図 2 (A) では、入力端子 IN の電位をハイレベル、入力端子 INB の電位をローレベ

50

ルとした際のゲートおよびバックゲートに蓄積される正電荷、負電荷を模式的に図示している。トランジスタ101には、入力端子INの電位によって正電荷が充電される。トランジスタ101が導通状態となるため電流 I_{D1} が流れる。トランジスタ102には、入力端子INBの電位によって負電荷が充電される。トランジスタ102が非導通状態となる。出力端子OUTの電位は、ハイレベルとなる。

【0039】

図2(B)では、入力端子INの電位をローレベル、入力端子INBの電位をハイレベルとした際のゲートおよびバックゲートに蓄積される正電荷、負電荷を模式的に図示している。トランジスタ101には、入力端子INの電位によって負電荷が充電される。トランジスタ101は非導通状態となる。トランジスタ102には、入力端子INBの電位によって正電荷が充電される。トランジスタ102が導通状態となる。出力端子OUTの電位は、ローレベルとなる。

10

【0040】

図2(A)、(B)に示すようにデュアルゲートの動作では、トランジスタ101において、ゲートおよびバックゲートの双方に正電荷あるいは負電荷が充電されるため、チャネル形成領域に電界が印加されやすく、電流 I_{D1} を大きくすることができる。その結果、動特性が高められた動作を行うことができる。

【0041】

一方で図2(C)、(D)には、シングルゲートトランジスタとして動作する際を模式的に表している。

20

【0042】

図2(C)では、入力端子INの電位をハイレベル、入力端子INBの電位をローレベルとした際のゲートに蓄積される正電荷、負電荷を模式的に図示している。トランジスタ101には、入力端子INの電位によって正電荷が充電される。トランジスタ101が導通状態となるため電流 I_{D2} が流れる。トランジスタ102には、入力端子INBの電位によって負電荷が充電される。トランジスタ102が非導通状態となる。出力端子OUTの電位は、ハイレベルとなる。

【0043】

図2(D)では、入力端子INの電位をローレベル、入力端子INBの電位をハイレベルとした際のゲートに蓄積される正電荷、負電荷を模式的に図示している。トランジスタ101には、入力端子INの電位によって負電荷が充電される。トランジスタ101は非導通状態となる。トランジスタ102には、入力端子INBの電位によって正電荷が充電される。トランジスタ102が導通状態となる。出力端子OUTの電位は、ローレベルとなる。

30

【0044】

図2(C)、(D)に示すようにシングルゲートの動作では、トランジスタ101において、ゲート的一方に入力端子INからの正電荷あるいは負電荷が充電されるため、デュアルゲートの場合に比べ、チャネル形成領域に電界が印加されにくく、電流 I_{D2} を電流 I_{D1} よりも小さくすることができる。その結果、動特性が抑制された動作を行うことができる。

40

【0045】

以上説明した本発明の一態様の半導体装置では、デュアルゲートトランジスタとして動作する状態と、シングルゲートトランジスタとして動作する状態と、を切り替えることができる。そのため、動特性を高める必要のない表示を行う場合にはシングルゲートのトランジスタとして動作させ、動特性を高める必要のある表示を行う場合にはデュアルゲートのトランジスタとして動作させることができる。シングルゲートのトランジスタは、デュアルゲートのトランジスタに比べて、バックゲートの充放電に要する分の消費電力を削減することができる。

【0046】

なお動特性を高める必要のない表示を行う場合は、表示装置のフレーム周波数を等速(

50

60Hz)以下として動作させる場合等がある。また、動特性を高める必要のある表示を行う場合は、倍速駆動(120Hz)や、4倍速駆動(240Hz)等として動作させる場合等がある。スポーツの視聴、ホームページの閲覧等の表示を切り替える場合、フレーム周波数を切り替えることが消費電力の低下に有効である。このフレーム周波数の切り替えに応じて、本発明の一態様のようにバックゲートの充放電を切り替えることは消費電力のさらなる削減の上で有効である。

【0047】

図1(A)に示す半導体装置100は、多様な変形例をとることができる。図3(A)乃至(C)には、変形例の一例を図示する。

【0048】

図3(A)の半導体装置100Aは、入力端子INと、トランジスタ101のゲートと、の間にトランジスタ106を配置した変形例である。トランジスタ106のゲートには、配線107が接続される。配線107は、高電位に相当する定電位とすることが好ましい。図3(A)の構成とすることで、トランジスタ106のゲートに入力端子INの信号を与えることができるとともに、トランジスタ101のゲートの電位が出力端子OUTとの間の寄生容量等によって容量結合が生じて上昇した際、入力端子INの電位が上昇することを抑制することができる。

【0049】

また図3(B)の半導体装置100Bは、トランジスタ102をデュアルゲートとしたトランジスタ108とする変形例である。当該構成とすることで、トランジスタ108の動特性を高めることができる。

【0050】

図3(A)と図3(B)で説明した変形例を組み合わせることも可能である。この場合、図3(C)の半導体装置100Cのようになる。図3(C)では、図3(A)のトランジスタ106をデュアルゲートとしたトランジスタ109とし、トランジスタ102をデュアルゲートとしたトランジスタ108とする変形例である。当該構成とすることで、トランジスタ109、トランジスタ108の動特性を高めることができる。

【0051】

図4(A)では、図3(C)に示す半導体装置100Cを基に、切り替え回路103の具体的な回路構成の一例を説明する。

【0052】

切り替え回路103は、トランジスタ110およびトランジスタ111を有する。トランジスタ110およびトランジスタ111は、共にデュアルゲートトランジスタとして図示している。トランジスタ110は、ソースとドレインとの間の導通状態、すなわちトランジスタ101のバックゲートと入力端子INとの間の導通状態を制御する。トランジスタ111は、ソースとドレインとの間の導通状態、すなわちトランジスタ101のバックゲートと出力端子OUTとの間の導通状態を制御する。トランジスタ110は、制御信号によって導通状態が制御される。トランジスタ111は、制御信号の反転信号にあたる制御信号Bによって導通状態が制御される。なおトランジスタ110およびトランジスタ111は、共にnチャネル型のトランジスタとして説明する。

【0053】

図4(B)は、図4(A)に示す半導体装置100Cの切り替え回路103の動作を説明するためのタイミングチャートである。図4(B)には、入力端子INの波形、入力端子INBの波形、制御信号、制御信号Bの波形、および出力端子OUTの波形を示している。図4(B)では、図1(B)と同様に、第1の期間P1と、第2の期間P2に分けて説明することができる。

【0054】

図4(B)に示すように、制御信号の波形と制御信号Bの波形とは、反転した関係となる。第1の期間P1では、制御信号がHレベル、制御信号BがLレベルとする。第2の期間P2では、制御信号がLレベル、制御信号BがHレベルとする。

10

20

30

40

50

【 0 0 5 5 】

図 4 (B) に示すように制御信号 および制御信号 B を制御することで、切り替え回路 1 0 3 は接続の状態を切り替える。第 1 の期間 P 1 では、トランジスタ 1 0 1 のバックゲートと入力端子 I N とを接続することができる。つまりトランジスタ 1 0 1 をデュアルゲートトランジスタとして動作させることができる。また第 2 の期間 P 2 では、トランジスタ 1 0 1 のバックゲートと出力端子 O U T とを接続することができる。つまりトランジスタ 1 0 1 をシングルゲートトランジスタとして動作させることができる。したがってトランジスタ 1 0 1 の動特性を切り替えることができるため、図 4 (B) の第 2 の期間 P 2 で示すように、出力端子 O U T の波形は、入力端子 I N の波形 (点線) に鈍った波形 (実線) とすることができる。

10

【 0 0 5 6 】

図 4 (A) に示す切り替え回路 1 0 3 は、多様な変形例をとることができる。図 5 (A)、(B) には、変形例の一例を図示する。

【 0 0 5 7 】

図 5 (A) の半導体装置 1 0 0 C が有する切り替え回路 1 0 3 A は、トランジスタ 1 1 0 およびトランジスタ 1 1 1 をスイッチ 1 1 0 S W、スイッチ 1 1 1 S W とする変形例である。つまりトランジスタ 1 1 0 およびトランジスタ 1 1 1 は、交互に導通状態を取り得る素子に変形が可能である。

【 0 0 5 8 】

また図 5 (B) の半導体装置 1 0 0 C が有する切り替え回路 1 0 3 B は、トランジスタ 1 1 1 をシングルゲートのトランジスタ 1 1 1 S とする変形例である。つまりトランジスタ 1 1 0 およびトランジスタ 1 1 1 は、デュアルゲート、シングルゲートのいずれにも変形が可能である。

20

【 0 0 5 9 】

図 6 では、図 4 (A) に示す半導体装置 1 0 0 C を基にした、半導体装置 1 0 0 C の上面図の一例を説明する。図 6 では、導電層 1 2 1、導電層 1 2 2、半導体層 1 2 3、開口 1 2 4、および導電層 1 2 5 を順に形成して図示し、トランジスタや配線としている。なお導電層間の絶縁層等については、説明を容易にするため、省略している。

【 0 0 6 0 】

図 6 では、図 4 (A) に示すトランジスタ 1 0 1、トランジスタ 1 0 8、トランジスタ 1 0 9、トランジスタ 1 1 0、およびトランジスタ 1 1 1 を図示している。いずれのトランジスタもデュアルゲートのトランジスタである。また図 6 では、図 4 (A) に示す配線 1 0 4、配線 1 0 5、配線 1 0 7、入力端子 I N、入力端子 I N B、出力端子 O U T、制御信号、B を与える配線を図示している。

30

【 0 0 6 1 】

図 6 のトランジスタ 1 0 1 において、バックゲートに相当する導電層は、導電層 1 2 1 であり、ゲートに相当する導電層は、導電層 1 2 5 である。バックゲートに相当する導電層のほうが、ゲートに相当する導電層よりもチャンネル長方向に幅が大きい。当該構成とすることで、シングルゲートとデュアルゲート構造とを切り替えた際の電荷の充放電による効果を高めることができる。また、切り替え回路 1 0 3 を構成するトランジスタ 1 1 0 および 1 1 1 は、トランジスタ 1 0 1、1 0 8 と比べてトランジスタサイズが小さい構成とすることが好ましい。トランジスタ 1 1 0 および 1 1 1 はスイッチとして機能すればよいため、当該構成とすることで半導体装置 1 0 0 C のトランジスタが占める回路面積を小型化することができる。

40

【 0 0 6 2 】

なお図 6 では、バックゲートに相当する導電層を、ゲートに相当する導電層である導電層 1 2 5 の下層にある導電層 1 2 1 として説明したが、上下関係を逆にしてもよい。例えば、図 7 に示すように、バックゲートに相当する導電層は、導電層 1 2 5 とし、ゲートに相当する導電層は、導電層 1 2 1 としてもよい。当該構成とすることで、バックゲートに相当する導電層のほうが、ゲートに相当する導電層よりもチャンネル長方向に幅を小さくで

50

き、シングルゲートにした際の動特性の低下を抑制することができる。

【0063】

次いで図8乃至図11では、図4(A)に示す半導体装置100Cを基に、入力端子IN、入力端子INBに信号を与える回路200を図示して、半導体装置を表示装置の駆動回路に適用する場合の構成例について説明する。

【0064】

図8(A)に示す回路200は、入力端子IN、入力端子INBに接続される。半導体装置100Cは、入力端子IN、入力端子INBに与える信号を増幅して出力するバッファとして機能することができる。

【0065】

なおバッファとして機能する半導体装置100Cは、回路200に対して一つに限らない。図8(B)に示すように複数設けてもよい。この場合、出力端子OUTは、出力端子SROUTと、出力端子OUTとし、接続される回路に応じて分けて設けることが好ましい。このような構成とすることによって、接続される回路の負荷に応じてバッファを構成するトランジスタのサイズを変更できるため、サイズの縮小あるいは負荷に見合ったサイズの設計を行うことができる。

【0066】

次いで図8(A)、(B)で説明する回路200の具体例について、説明する。入力端子IN、入力端子INBに与える信号のタイミングを制御する回路200と、バッファとして機能する半導体装置100Cとを組み合わせることで、シフトレジスタの一段を構成する回路として機能させることができる。

【0067】

図9(A)には、 $n+2$ 段のパルスを出力できるシフトレジスタの回路構成の一例を示す。回路SRおよび回路SR_{DU}Mは、回路200と半導体装置100Cとを組み合わせた回路に相当する。図9(A)のシフトレジスタは、外部よりスタートパルス、クロック信号CLK1乃至CLK4、パルス幅制御信号PWC1乃至PWC4、リセット信号RES、制御信号、Bによって、出力端子OUT₁乃至OUT _{$n+2$} (n は自然数)にパルスを出力することができる。なお図示では省略したが、リセット信号RES、制御信号、Bは、別々の配線に与えられる信号である。

【0068】

回路SRには、図9(B)に示す各信号が与えられる。回路SR_{DU}Mには、図9(C)に示す各信号が与えられる。回路SRおよび回路SR_{DU}Mにおいて与えられる、クロック信号CLK1乃至CLK4、パルス幅制御信号PWC1乃至PWC4は段ごとに異なる。なおLINはシフトレジスタのシフト方向の上段側から与えられる信号である。またRINは、シフトレジスタのシフト方向の下段側から与えられる信号である。またSROUTは、次段のシフトレジスタに与えられる信号である。OUTは、負荷となる配線に与えられる信号である。

【0069】

回路SRの回路構成の一例を図10(A)に示す。図10(A)に示す回路200は、トランジスタ201乃至209を有する。トランジスタ201乃至209は、デュアルゲートトランジスタとして図示したが、シングルゲートトランジスタでよい。同様に、回路SR_{DU}Mの回路構成の一例を図10(B)に示す。

【0070】

また図11には、パルス幅制御信号PWC1乃至PWC4、クロック信号CLK1乃至CLK4、制御信号、B、スタートパルスSP、および出力端子OUT₁乃至OUT _{$n+2$} の波形を表すタイミングチャートを示す。図11に示すタイミングチャートは、制御信号、B、の波形からもわかるように、前半の期間が図1(B)で説明した第1の期間P1に相当し、後半の期間が図1(B)で説明した第2の期間P2に相当する。

【0071】

第1の期間P1では、パルス幅制御信号PWC1乃至PWC4、クロック信号CLK1

10

20

30

40

50

乃至CLK 4の周波数が大きく、シフトレジスタのバッファでは高い動特性が要求される。したがってバッファ回路では、デュアルゲートトランジスタとしてトランジスタが機能するように制御信号、Bが与えられる。一方、第2の期間P2では、パルス幅制御信号PWC1乃至PWC4、クロック信号CLK1乃至CLK4の周波数が小さく、シフトレジスタのバッファでは高い動特性が要求されず、能力が過剰である。したがってバッファ回路では、シングルゲートトランジスタとしてトランジスタが機能するように制御信号、Bが与えられる。

【0072】

このようにフレーム周波数の変化に限らず、クロック信号等の周波数に応じて、バッファを構成するトランジスタのデュアルゲートとシングルゲートの機能を切り替えることで、バックゲートを充放電する分の消費電力を削減することができる。

10

【0073】

(実施の形態2)

本実施の形態では、本発明の一態様に係る半導体装置を適用可能な、表示装置について説明する。

【0074】

図12(A)に例示する表示装置は、回路300及び画素部130を有する。画素部130には、N本(Nは3以上の自然数)の配線GL(GL[1]乃至GL[N]とも示す)及びM(Mは自然数)本の配線SL(配線SL[1]乃至SL[M]とも示す)が設けられる。そして、N本の配線GL及びM本の配線SLに対応して画素131が設けられる。回路300は、ゲートドライバ(ゲート線駆動回路、ゲート信号線駆動回路、走査線駆動回路ともいう)としての機能を有する。N本の配線GLは、ゲート線(ゲート信号線、走査線ともいう)としての機能を有する。M本の配線SLは、ビデオ信号を伝達する機能を有する。つまり、M本の配線SLは、ソース線(ソース信号線、信号線ともいう)としての機能を有する。また、M本の配線SLは、ソースドライバ(ソース線駆動回路、ソース信号線駆動回路又は信号線駆動回路ともいう)としての機能を有する回路と接続される。

20

【0075】

なお、回路300としては、実施の形態1において説明した図9のシフトレジスタを用いることが可能である。その場合、N本の配線GLは、出力端子OUT__1乃至OUT__nに相当する。また、回路300が有するN個の回路301(回路301[1]乃至301[N]とも示す)としては、実施の形態1において説明した回路SRおよび回路SR_{UM}を用いることが可能である。

30

【0076】

画素131の選択又は非選択は配線GLの電位に基づいて制御される。つまり、画素131の選択又は非選択は回路300によって制御される。画素131が選択されると、ビデオ信号が配線SLから画素131に書き込まれる。そして、ビデオ信号が画素131に保持されるとともに、画素131がビデオ信号に応じた表示を行う。その後、画素131が非選択になると、画素131は保持したビデオ信号に応じた表示を続ける。

40

【0077】

次に、画素131の具体的な構成例について説明する。

【0078】

図12(B)に例示する画素131は、トランジスタ132、液晶素子133及び容量素子134を有する。トランジスタ132は、第1の端子が配線SLと接続され、第2の端子が液晶素子133の第1の電極(画素電極ともいう)及び容量素子134の第1の電極と接続され、ゲートが配線GLと接続される。液晶素子133の第2の電極(共通電極ともいう)は、複数の画素131の全て又は2つ以上において共通である。つまり、第1の画素131の液晶素子133の第2の電極となる領域を有する導電体は、第2の画素131の液晶素子133の第2の電極となる領域を有する。容量素子134の第2の電極は、容量線としての機能を有する配線と接続される。容量素子134の第2の電極は、複

50

数の画素 1 3 1 の全て又は 2 つ以上において同じ配線と接続される。ただし、容量素子 1 3 4 の第 2 の電極は、液晶素子 1 3 3 の第 2 の電極と接続されてもよい。トランジスタ 1 3 2 は、配線 G L の電位によってオン又はオフが制御される。トランジスタ 1 3 2 がオンになると、配線 S L のビデオ信号が画素 1 3 1 に入力される。液晶素子 1 3 3 は、液晶材料を有する。液晶材料の配向は、液晶素子 1 3 3 の第 1 の電極と液晶素子 1 3 3 の第 2 の電極との電位差によって制御される。容量素子 1 3 4 は、ビデオ信号に応じた電荷を蓄積する機能を有する。つまり、容量素子 1 3 4 は、液晶素子 1 3 3 の第 1 の電極の電位をビデオ信号に応じた値に維持する機能を有する。

【 0 0 7 9 】

図 1 2 (C) に例示する画素 1 3 1 は、トランジスタ 1 3 5、トランジスタ 1 3 6、E L 素子 1 3 7 を有する。トランジスタ 1 3 5 は、第 1 の端子が配線 S L と接続され、第 2 の端子がトランジスタ 1 3 6 のゲートと接続され、ゲートが配線 G L と接続される。トランジスタ 1 3 6 は、第 1 の端子が E L 素子 1 3 7 に流れる電流を供給する機能を有する配線と接続され、第 2 の端子が E L 素子 1 3 7 の第 1 の電極（画素電極ともいう）と接続される。E L 素子 1 3 7 の第 2 の電極（共通電極ともいう）は、複数の画素 1 3 1 の全て又は 2 つ以上において共通である。つまり、第 1 の画素 1 3 1 の E L 素子 1 3 7 の第 2 の電極となる領域を有する導電体は、第 2 の画素 1 3 1 の E L 素子 1 3 7 の第 2 の電極となる領域を有する。トランジスタ 1 3 5 は、配線 G L の電位によってオン又はオフが制御される。トランジスタ 1 3 5 がオンになると、配線 S L のビデオ信号が画素 1 3 1 に入力される。トランジスタ 1 3 6 は、E L 素子 1 3 7 に電流を供給する機能を有する。トランジスタ 1 3 6 が E L 素子 1 3 7 に供給する電流は、ビデオ信号に応じた値になる。E L 素子 1 3 7 は、トランジスタ 1 3 6 から供給される電流に応じて発光する機能を有する。

【 0 0 8 0 】

画素 1 3 1 の構成は、図 1 2 (B) 及び図 1 2 (C) に限定されない。画素 1 3 1 は、ゲートが配線 G L と接続され、第 1 の端子が配線 S L と接続されるトランジスタと、当該トランジスタを介して入力されるビデオ信号に基づいて表示を行う表示素子と、を有していればよい。或いは、画素 1 3 1 は、ゲートが配線 G L と接続され、第 1 の端子が配線 S L と接続されるトランジスタと、当該トランジスタを介して入力されるビデオ信号に基づいた電位又は電流が供給される画素電極と、を有していればよい。或いは、画素 1 3 1 は、ゲートが配線 G L と接続され、第 1 の端子が配線 S L と接続されるトランジスタと、当該トランジスタを介して入力されるビデオ信号に基づいた電流を表示素子又は画素電極に供給するトランジスタと、を有していればよい。また画素が有するトランジスタは、シングルゲートであってもよいし、デュアルゲートであってもよい。

【 0 0 8 1 】

（実施の形態 3）

本実施の形態では、上記実施の形態 1 で説明した各半導体装置が有するトランジスタに適用可能なトランジスタの構成例について、図面を参照して説明する。

【 0 0 8 2 】

< トランジスタの構成例 >

図 1 3 (A) に、以下で例示するトランジスタ 6 0 0 の上面概略図を示す。また図 1 3 (B) に図 1 3 (A) 中に示す切断線 A - B におけるトランジスタ 6 0 0 の断面概略図を示す。

【 0 0 8 3 】

トランジスタ 6 0 0 は、基板 6 0 1 上に設けられるゲート 6 0 2 と、基板 6 0 1 及びゲート 6 0 2 上に設けられる絶縁層 6 0 3 と、絶縁層 6 0 3 上にゲート 6 0 2 と重なるように設けられる酸化物半導体層 6 0 4 と、酸化物半導体層 6 0 4 の上面に接する一対の電極 6 0 5 a、6 0 5 b とを有する。また、絶縁層 6 0 3、酸化物半導体層 6 0 4、一対の電極 6 0 5 a、6 0 5 b を覆う絶縁層 6 0 6 と、絶縁層 6 0 6 上に絶縁層 6 0 7 が設けられている。また、絶縁層 6 0 7 上にバックゲート 6 0 8 が設けられている。

【 0 0 8 4 】

基板 601 の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有する材料を用いる。例えば、ガラス基板、セラミック基板、石英基板、サファイヤ基板、YSZ（イットリア安定化ジルコニア）基板等を、基板 601 として用いてもよい。また、シリコンや炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムを材料とした化合物半導体基板、SOI 基板等を適用することも可能である。また、これらの基板上に半導体素子が設けられたものを、基板 601 として用いてもよい。

【0085】

また、基板 601 として、プラスチックなどの可撓性基板を用い、該可撓性基板上に直接、トランジスタ 600 を形成してもよい。または、基板 601 とトランジスタ 600 の間に剥離層を設けてもよい。剥離層は、その上層にトランジスタの一部あるいは全部を形成した後、基板 601 より分離し、他の基板に転載するのに用いることができる。その結果、トランジスタ 600 は耐熱性の劣る基板や可撓性の基板にも転載できる。

【0086】

ゲート 602 は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属を用いてもよい。また、ゲート 602 は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数の金属を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

【0087】

また、ゲート 602、バックゲート 608 は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属の積層構造とすることもできる。

【0088】

また、ゲート 602 と絶縁層 603 との間に、In-Ga-Zn 系酸窒化物半導体膜、In-Sn 系酸窒化物半導体膜、In-Ga 系酸窒化物半導体膜、In-Zn 系酸窒化物半導体膜、Sn 系酸窒化物半導体膜、In 系酸窒化物半導体膜、金属窒化膜（InN、ZnN 等）等を設けてもよい。これらの材料は 5 eV 以上、好ましくは 5.5 eV 以上の仕事関数であり、トランジスタのしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。例えば、In-Ga-Zn 系酸窒化物半導体膜を用いる場合、少なくとも酸化物半導体層 604 より高い窒素濃度、具体的には 7 原子% 以上の In-Ga-Zn 系酸窒化物半導体膜を用いる。

【0089】

絶縁層 603 は、ゲート絶縁膜として機能する。酸化物半導体層 604 の下面と接する絶縁層 603 は、酸化物絶縁膜であることが好ましい。

【0090】

絶縁層 603 は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたは Ga-Zn 系金属酸化物などを用いればよく、積層または単層で設ける。

【0091】

10

20

30

40

50

また、絶縁層 603 として、ハフニウムシリケート (HfSiO_x)、窒素が添加されたハフニウムシリケート ($\text{HfSi}_x\text{O}_y\text{N}_z$)、窒素が添加されたハフニウムアルミネート ($\text{HfAl}_x\text{O}_y\text{N}_z$)、酸化ハフニウム、酸化イットリウムなどの high-k 材料を用いることでトランジスタのゲートリークを低減できる。

【0092】

一对の電極 605a 及び 605b は、トランジスタのソース電極またはドレイン電極として機能する。

【0093】

一对の電極 605a、605b は、導電材料として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を単層構造または積層構造として用いることができる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【0094】

絶縁層 606 は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いることが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、加熱により一部の酸素が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、昇温脱離ガス分光法 (TDS: Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算した際の酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物絶縁膜である。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 500 以下の範囲が好ましい。

【0095】

絶縁層 606 としては、酸化シリコン、酸化窒化シリコン等を用いることができる。

【0096】

なお、絶縁層 606 は、後に形成する絶縁層 607 を形成する際の、酸化物半導体層 604 へのダメージ緩和膜としても機能する。

【0097】

また、絶縁層 606 と酸化物半導体層 604 の間に、酸素を透過する酸化物膜を設けてもよい。

【0098】

酸素を透過する酸化物膜としては、酸化シリコン、酸化窒化シリコン等を用いることができる。なお、本明細書中において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多い膜を指し、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多い膜を指す。

【0099】

絶縁層 607 は、酸素、水素、水等のブロッキング効果を有する絶縁膜を用いることができる。絶縁層 606 上に絶縁層 607 を設けることで、酸化物半導体層 604 からの酸素の外部への拡散と、外部から酸化物半導体層 604 への水素、水等の侵入を防ぐことができる。酸素、水素、水等のブロッキング効果を有する絶縁膜としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

【 0 1 0 0 】

<トランジスタの作製方法例>

続いて、図 1 3 に例示するトランジスタ 6 0 0 の作製方法の一例について説明する。

【 0 1 0 1 】

まず、図 1 4 (A) に示すように、基板 6 0 1 上にゲート 6 0 2 を形成し、ゲート 6 0 2 上に絶縁層 6 0 3 を形成する。

【 0 1 0 2 】

ここでは、基板 6 0 1 としてガラス基板を用いる。

【 0 1 0 3 】

ゲート 6 0 2 の形成方法を以下に示す。はじめに、スパッタリング法、C V D 法、蒸着法等により導電膜を形成し、導電膜上に第 1 のフォトリソグラフィ工程によりレジストマスクを形成する。次に、該レジストマスクを用いて導電膜の一部をエッチングして、ゲート 6 0 2 を形成する。その後、レジストマスクを除去する。

10

【 0 1 0 4 】

なお、ゲート 6 0 2 は、上記形成方法の代わりに、電解メッキ法、印刷法、インクジェット法等で形成してもよい。

【 0 1 0 5 】

絶縁層 6 0 3 は、スパッタリング法、P E C V D 法、蒸着法等で形成する。

【 0 1 0 6 】

絶縁層 6 0 3 として酸化シリコン膜、酸化窒化シリコン膜、または窒化酸化シリコン膜を形成する場合、原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

20

【 0 1 0 7 】

また、絶縁層 6 0 3 として窒化シリコン膜を形成する場合、2 段階の形成方法を用いることが好ましい。はじめに、シラン、窒素、及びアンモニアの混合ガスを原料ガスとして用いたプラズマ C V D 法により、欠陥の少ない第 1 の窒化シリコン膜を形成する。次に、原料ガスを、シラン及び窒素の混合ガスに切り替えて、水素濃度が少なく、且つ水素をブロッキングすることが可能な第 2 の窒化シリコン膜を成膜する。このような形成方法により、絶縁層 6 0 3 として、欠陥が少なく、且つ水素ブロッキング性を有する窒化シリコン膜を形成することができる。

30

【 0 1 0 8 】

また、絶縁層 6 0 3 として酸化ガリウム膜を形成する場合、M O C V D (M e t a l O r g a n i c C h e m i c a l V a p o r D e p o s i t i o n) 法を用いて形成することができる。

【 0 1 0 9 】

次に、図 1 4 (B) に示すように、絶縁層 6 0 3 上に酸化物半導体層 6 0 4 を形成する。

【 0 1 1 0 】

酸化物半導体層 6 0 4 の形成方法を以下に示す。はじめに、酸化物半導体膜を形成する。続いて、酸化物半導体膜上に第 2 のフォトリソグラフィ工程によりレジストマスクを形成する。次に、該レジストマスクを用いて酸化物半導体膜の一部をエッチングして、酸化物半導体層 6 0 4 を形成する。その後、レジストマスクを除去する。

40

【 0 1 1 1 】

この後、加熱処理を行ってもよい。加熱処理を行う場合には、酸素を含む雰囲気下で行うことが好ましい。また、上記加熱処理の温度としては、例えば、1 5 0 以上 6 0 0 以下、好ましくは 2 0 0 以上 5 0 0 以下とすればよい。

【 0 1 1 2 】

50

次に、図 1 4 (C) に示すように、一対の電極 6 0 5 a、6 0 5 b を形成する。

【 0 1 1 3 】

一対の電極 6 0 5 a、6 0 5 b の形成方法を以下に示す。はじめに、スパッタリング法、P E C V D 法、蒸着法等で導電膜を形成する。次に、該導電膜上に第 3 のフォトリソグラフィ工程によりレジストマスクを形成する。次に、該レジストマスクを用いて導電膜の一部をエッチングして、一対の電極 6 0 5 a、6 0 5 b を形成する。その後、レジストマスクを除去する。

【 0 1 1 4 】

なお、図 1 4 (C) に示すように、導電膜のエッチングの際に酸化物半導体層 6 0 4 の上部の一部がエッチングされ、薄膜化することがある。そのため、酸化物半導体層 6 0 4 の形成時、酸化物半導体膜の厚さを予め厚く設定しておくことが好ましい。

10

【 0 1 1 5 】

次に、図 1 4 (D) に示すように、酸化物半導体層 6 0 4 及び一対の電極 6 0 5 a、6 0 5 b 上に、絶縁層 6 0 6 を形成し、続いて絶縁層 6 0 6 上に絶縁層 6 0 7 を形成し、続いて絶縁層 6 0 7 上にバックゲート 6 0 8 を形成する。

【 0 1 1 6 】

絶縁層 6 0 6 として酸化シリコン膜または酸化窒化シリコン膜を形成する場合、原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

20

【 0 1 1 7 】

例えば、プラズマ C V D 装置の真空排気された処理室内に載置された基板を 1 8 0 以上 2 6 0 以下、さらに好ましくは 2 0 0 以上 2 4 0 以下に保持し、処理室に原料ガスを導入して処理室内における圧力を 1 0 0 P a 以上 2 5 0 P a 以下、さらに好ましくは 1 0 0 P a 以上 2 0 0 P a 以下とし、処理室内に設けられる電極に 0 . 1 7 W / c m ² 以上 0 . 5 W / c m ² 以下、さらに好ましくは 0 . 2 5 W / c m ² 以上 0 . 3 5 W / c m ² 以下の高周波電力を供給する条件により、酸化シリコン膜または酸化窒化シリコン膜を形成する。

【 0 1 1 8 】

成膜条件として、上記圧力の処理室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、原料ガスの酸化が進むため、酸化物絶縁膜中における酸素含有量が化学量論比よりも多くなる。しかしながら、基板温度が、上記温度であると、シリコンと酸素の結合力が弱いため、加熱により酸素の一部が脱離する。この結果、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化物絶縁膜を形成することができる。

30

【 0 1 1 9 】

また、酸化物半導体層 6 0 4 と絶縁層 6 0 6 の間に酸化物絶縁膜を設ける場合には、絶縁層 6 0 6 の形成工程において、該酸化物絶縁膜が酸化物半導体層 6 0 4 の保護膜となる。この結果、酸化物半導体層 6 0 4 へのダメージを低減しつつ、パワー密度の高い高周波電力を用いて絶縁層 6 0 6 を形成することができる。

40

【 0 1 2 0 】

例えば、P E C V D 装置の真空排気された処理室内に載置された基板を 1 8 0 以上 4 0 0 以下、さらに好ましくは 2 0 0 以上 3 7 0 以下に保持し、処理室に原料ガスを導入して処理室内における圧力を 2 0 P a 以上 2 5 0 P a 以下、さらに好ましくは 1 0 0 P a 以上 2 5 0 P a 以下とし、処理室内に設けられる電極に高周波電力を供給する条件により、酸化物絶縁膜として酸化シリコン膜または酸化窒化シリコン膜を形成することができる。また、処理室の圧力を 1 0 0 P a 以上 2 5 0 P a 以下とすることで、該酸化物絶縁膜を成膜する際に、酸化物半導体層 6 0 4 へのダメージを低減することが可能である。

【 0 1 2 1 】

酸化物絶縁膜の原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いる

50

ことが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

【0122】

絶縁層607は、スパッタリング法、PECVD法等で形成することができる。

【0123】

絶縁層607として窒化シリコン膜、または窒化酸化シリコン膜を形成する場合、原料ガスとしては、シリコンを含む堆積性気体、酸化性気体、及び窒素を含む気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。窒素を含む気体としては、窒素、アンモニア等がある。

10

【0124】

バックゲート608の形成方法を以下に示す。はじめに、スパッタリング法、CVD法、蒸着法等により導電膜を形成し、導電膜上に第4のフォトマスクを用いてフォトリソグラフィ工程によりレジストマスクを形成する。次に、該レジストマスクを用いて導電膜の一部をエッチングして、バックゲート608を形成する。その後、レジストマスクを除去する。

【0125】

なお、バックゲート608は、上記形成方法の代わりに、電解メッキ法、印刷法、インクジェット法等で形成してもよい。

20

【0126】

以上の工程により、トランジスタ600を形成することができる。

【0127】

<トランジスタの変形例>

以下では、トランジスタ600と一部が異なるトランジスタの構成例について説明する。

【0128】

図15(A)に、以下で例示するトランジスタ610の断面概略図を示す。トランジスタ610は、酸化物半導体層の構成が異なる点で、トランジスタ600と相違している。

【0129】

トランジスタ610が有する酸化物半導体層614は、酸化物半導体層614aと酸化物半導体層614bとが積層されて構成される。

30

【0130】

なお、酸化物半導体層614aと酸化物半導体層614bの境界は不明瞭である場合があるため、図15(A)等の図中には、これらの境界を破線で示している。

【0131】

酸化物半導体層614aは、代表的にはIn-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物(MはAl、Ti、Ga、Y、Zr、La、Ce、Nd、またはHf)を用いる。また、酸化物半導体層614aがIn-M-Zn酸化物であるとき、ZnおよびOを除いてのInおよびMの原子数比率は、好ましくは、Inが50atomic%未満、Mが50atomic%以上、さらに好ましくは、Inが25atomic%未満、Mが75atomic%以上とする。また例えば、酸化物半導体層614aは、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である材料を用いる。

40

【0132】

酸化物半導体層614bはIn若しくはGaを含み、代表的には、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物(MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHf)であり、且つ酸化物半導体層614aよりも伝導帯の下端のエネルギーが真空準位に近く、代表的には、酸化物半導体層614bの伝導帯の下端のエネルギーと、酸化物半導体層614aの伝導帯の下端のエネルギーとの差が、0.05eV以上

50

、0.07 eV以上、0.1 eV以上、または0.15 eV以上、且つ2 eV以下、1 eV以下、0.5 eV以下、または0.4 eV以下とすることが好ましい。

【0133】

また、酸化物半導体層614bがIn-M-Zn酸化物であるとき、Zn及びOを除いてのInとMの原子数比率は、好ましくは、Inが25 atomic %以上、Mが75 atomic %未満、さらに好ましくは、Inが34 atomic %以上、Mが66 atomic %未満とする。

【0134】

例えば、酸化物半導体層614aとしてIn:Ga:Zn=1:1:1、In:Ga:Zn=1:1:1.2、またはIn:Ga:Zn=3:1:2の原子数比のIn-Ga-Zn酸化物を用いることができる。また、酸化物半導体層614bとしてIn:Ga:Zn=1:3:2、1:6:4、または1:9:6の原子数比のIn-Ga-Zn酸化物を用いることができる。なお、酸化物半導体層614a、及び酸化物半導体層614bの原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

【0135】

上層に設けられる酸化物半導体層614bに、スタビライザーとして機能するGaの含有量の多い酸化物を用いることにより、酸化物半導体層614a、及び酸化物半導体層614bからの酸素の放出を抑制することができる。

【0136】

なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、閾値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、酸化物半導体層614a、酸化物半導体層614bのキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0137】

なお、上記では酸化物半導体層614として、2つの酸化物半導体層が積層された構成を例示したが、3つ以上の酸化物半導体層を積層する構成としてもよい。

【0138】

図15(B)に、以下で例示するトランジスタ620の断面概略図を示す。トランジスタ620は、酸化物半導体層の構成が異なる点で、トランジスタ600及びトランジスタ610と相違している。

【0139】

トランジスタ620が有する酸化物半導体層624は、酸化物半導体層624a、酸化物半導体層624b、酸化物半導体層624cが順に積層されて構成される。

【0140】

酸化物半導体層624a及び酸化物半導体層624bは、絶縁層603上に積層して設けられる。また酸化物半導体層624cは、酸化物半導体層624bの上面、並びに一对の電極605a、605bの上面及び側面に接して設けられる。

【0141】

例えば、酸化物半導体層624bとして、上記<トランジスタの変形例>で例示した酸化物半導体層614aと同様の構成を用いることができる。また例えば、酸化物半導体層624a、624cとして、上記<トランジスタの変形例>で例示した酸化物半導体層614bと同様の構成を用いることができる。

【0142】

例えば、酸化物半導体層624bの下層に設けられる酸化物半導体層624a、及び上層に設けられる酸化物半導体層624cに、スタビライザーとして機能するGaの含有量の多い酸化物を用いることにより、酸化物半導体層624a、酸化物半導体層624b、及び酸化物半導体層624cからの酸素の放出を抑制することができる。

【0143】

また、例えば酸化物半導体層624bに主としてチャネルが形成される場合に、酸化物

10

20

30

40

50

半導体層 6 2 4 b に I n の含有量の多い酸化物を用い、酸化物半導体層 6 2 4 b と接して一対の電極 6 0 5 a、6 0 5 b を設けることにより、トランジスタ 6 2 0 のオン電流を増大させることができる。

【 0 1 4 4 】

< トランジスタの他の構成例 >

以下では、酸化物半導体膜を適用可能な他の構成例について説明する。

【 0 1 4 5 】

なお、以下では、上記と同様の構成、または同様の機能を有する構成要素においては、同一の符号を付し、重複する説明は省略する。

【 0 1 4 6 】

図 1 6 (A) に、以下で例示するトランジスタ 6 5 0 の断面概略図を示す。

【 0 1 4 7 】

トランジスタ 6 5 0 は、基板 6 0 1 上に設けられるバックゲート 6 0 8 と、絶縁層 6 5 1 上に設けられる酸化物半導体層 6 0 4 と、酸化物半導体層 6 0 4 の上面に接する一対の電極 6 0 5 a、6 0 5 b と、酸化物半導体層 6 0 4、一対の電極 6 0 5 a、6 0 5 b 上に設けられる絶縁層 6 0 3 と、絶縁層 6 0 3 上に酸化物半導体層 6 0 4 と重なるように設けられるゲート 6 0 2 とを有する。また、絶縁層 6 0 3 及びゲート 6 0 2 を覆って絶縁層 6 5 2 が設けられている。

【 0 1 4 8 】

絶縁層 6 5 1 は、基板 6 0 1 から酸化物半導体層 6 0 4 への不純物の拡散を抑制する機能を有する。例えば、上記絶縁層 6 0 7 と同様の構成を用いることができる。なお、絶縁層 6 5 1 は、不要であれば設けなくてもよい。

【 0 1 4 9 】

絶縁層 6 5 2 には、上記絶縁層 6 0 7 と同様、酸素、水素、水等のブロッキング効果を有する絶縁膜を適用することができる。なお、絶縁層 6 0 7 は不要であれば設けなくてもよい。

【 0 1 5 0 】

以下では、トランジスタ 6 5 0 と一部が異なるトランジスタの構成例について説明する。

【 0 1 5 1 】

図 1 6 (B) に、以下で例示するトランジスタ 6 6 0 の断面概略図を示す。トランジスタ 6 6 0 は、酸化物半導体層の構成が異なる点で、トランジスタ 6 5 0 と相違している。

【 0 1 5 2 】

トランジスタ 6 6 0 が有する酸化物半導体層 6 6 4 は、酸化物半導体層 6 6 4 a、酸化物半導体層 6 6 4 b、及び酸化物半導体層 6 6 4 c が順に積層されて構成されている。

【 0 1 5 3 】

酸化物半導体層 6 6 4 a、酸化物半導体層 6 6 4 b、酸化物半導体層 6 6 4 c のうち、いずれか一、またはいずれか二、または全部に、先に説明した酸化物半導体膜を適用することができる。

【 0 1 5 4 】

例えば、酸化物半導体層 6 6 4 b として、上記< トランジスタの変形例 > で例示した酸化物半導体層 6 1 4 a と同様の構成を用いることができる。また例えば、酸化物半導体層 6 6 4 a、6 6 4 c として、上記< トランジスタの変形例 > で例示した酸化物半導体層 6 1 4 b と同様の構成を用いることができる。

【 0 1 5 5 】

また、酸化物半導体層 6 6 4 b の下層に設けられる酸化物半導体層 6 6 4 a、及び上層に設けられる酸化物半導体層 6 6 4 c に、スタビライザーとして機能する G a の含有量の多い酸化物を用いることにより、酸化物半導体層 6 6 4 a、酸化物半導体層 6 6 4 b、酸化物半導体層 6 6 4 c からの酸素の放出を抑制することができる。

【 0 1 5 6 】

10

20

30

40

50

以下では、トランジスタ 650 と一部が異なるトランジスタの構成例について説明する。

【0157】

図 16 (C) に、以下で例示するトランジスタ 670 の断面概略図を示す。トランジスタ 670 は、酸化物半導体層 604 に接する一対の電極 605 a、605 b の形状、及びゲート 602 の形状等で、トランジスタ 650 と相違している。

【0158】

トランジスタ 670 は、基板 601 上に設けられるバックゲート 608 と、絶縁層 651 上に設けられる酸化物半導体層 604 と、酸化物半導体層 604 上の絶縁層 603 と、絶縁層 603 上のゲート 602 と、絶縁層 651 及び酸化物半導体層 604 上の絶縁層 654 と、絶縁層 654 上の絶縁層 656 と、絶縁層 654、656 に設けられる開口部を介して酸化物半導体層 604 に電氣的に接続される一対の電極 605 a、605 b と、絶縁層 656 及び一対の電極 605 a、605 b 上の絶縁層 652 と、を有する。

【0159】

絶縁層 654 としては、例えば水素を含む絶縁膜で形成される。該水素を含む絶縁膜としては、窒化シリコン膜等が挙げられる。絶縁層 654 に含まれる水素は、酸化物半導体層 604 中の酸素欠損と結合することで、酸化物半導体層 604 中でキャリアとなる。したがって、図 16 (C) に示す構成においては、酸化物半導体層 604 と絶縁層 654 が接する領域を n 型領域 604 b 及び n 型領域 604 c として表している。なお、n 型領域 604 b と n 型領域 604 c に挟まれる領域は、チャネル領域 604 a となる。

【0160】

酸化物半導体層 604 中に n 型領域 604 b、604 c を設けることで、一対の電極 605 a、605 b との接触抵抗を低減させることができる。なお、n 型領域 604 b、604 c としては、ゲート 602 の形成時、ゲート 602 を覆う絶縁層 654 を用いて自己整合的に形成することができる。図 16 (C) に示すトランジスタ 670 は、所謂セルフアライン型のトップゲート型のトランジスタである。セルフアライン型のトップゲート型のトランジスタ構造とすることで、ゲート 602 と、ソース電極及びドレイン電極として機能する一対の電極 605 a、605 b と、の重なりが生じないため、電極間に生じる寄生容量を低減することができる。

【0161】

また、トランジスタ 670 が有する絶縁層 656 としては、例えば、酸化窒化シリコン膜等により形成することができる。

【0162】

(実施の形態 4)

本実施の形態では、チャネル形成領域に酸化物半導体を有するトランジスタ (OS トランジスタ) について説明する。OS トランジスタは、上記実施の形態で説明した半導体装置が有するトランジスタに適用することができる。

【0163】

< OS トランジスタの特性 >

OS トランジスタは、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性または実質的に真性にすることでオフ電流を低くすることができる。ここで、実質的に真性とは、酸化物半導体中のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、 $1 \times 10^{15} / \text{cm}^3$ 未満であること、あるいは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。

【0164】

真性または実質的に真性にした酸化物半導体を用いたトランジスタは、キャリア密度が低いと、閾値電圧がマイナスとなる電気特性になることが少ない。また、当該酸化物半導体を用いたトランジスタは、酸化物半導体のキャリアトラップが少ないため、電気特性

の変動が小さく、信頼性の高いトランジスタとなる。また、当該酸化物半導体を用いたトランジスタは、オフ電流を非常に低くすることが可能となる。

【0165】

なおオフ電流を低くしたOSトランジスタでは、室温（25 程度）にてチャネル幅 $1\mu\text{m}$ あたりのオフ電流が $1 \times 10^{-18}\text{A}$ 以下、 $1 \times 10^{-21}\text{A}$ 以下、あるいは $1 \times 10^{-24}\text{A}$ 以下、又は85 にて $1 \times 10^{-15}\text{A}$ 以下、 $1 \times 10^{-18}\text{A}$ 以下、あるいは $1 \times 10^{-21}\text{A}$ 以下とすることができる。

【0166】

<オフ電流>

本明細書において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} が閾値電圧 V_{th} よりも低い状態、pチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} が閾値電圧 V_{th} よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧 V_{gs} が閾値電圧 V_{th} よりも低いときのドレイン電流を言う場合がある。

【0167】

トランジスタのオフ電流は、 V_{gs} に依存する場合がある。従って、トランジスタのオフ電流が I 以下である、とは、トランジスタのオフ電流が I 以下となる V_{gs} の値が存在することを言う場合がある。トランジスタのオフ電流は、所定の V_{gs} におけるオフ状態、所定の範囲内の V_{gs} におけるオフ状態、または、十分に低減されたオフ電流が得られる V_{gs} におけるオフ状態、等におけるオフ電流を指す場合がある。

【0168】

一例として、閾値電圧 V_{th} が 0.5V であり、 V_{gs} が 0.5V におけるドレイン電流が $1 \times 10^{-9}\text{A}$ であり、 V_{gs} が 0.1V におけるドレイン電流が $1 \times 10^{-13}\text{A}$ であり、 V_{gs} が -0.5V におけるドレイン電流が $1 \times 10^{-19}\text{A}$ であり、 V_{gs} が -0.8V におけるドレイン電流が $1 \times 10^{-22}\text{A}$ であるようなnチャネル型トランジスタを想定する。当該トランジスタのドレイン電流は、 V_{gs} が -0.5V において、または、 V_{gs} が -0.5V 乃至 -0.8V の範囲において、 $1 \times 10^{-19}\text{A}$ 以下であるから、当該トランジスタのオフ電流は $1 \times 10^{-19}\text{A}$ 以下である、と言う場合がある。当該トランジスタのドレイン電流が $1 \times 10^{-22}\text{A}$ 以下となる V_{gs} が存在するため、当該トランジスタのオフ電流は $1 \times 10^{-22}\text{A}$ 以下である、と言う場合がある。

【0169】

本明細書では、チャネル幅 W を有するトランジスタのオフ電流を、チャネル幅 W あたりを流れる電流値で表す場合がある。また、所定のチャネル幅（例えば $1\mu\text{m}$ ）あたりを流れる電流値で表す場合がある。後者の場合、オフ電流の単位は、電流 / 長さの次元を持つ単位（例えば、 $\text{A} / \mu\text{m}$ ）で表される場合がある。

【0170】

トランジスタのオフ電流は、温度に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、室温、60、85、95、または125 におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、5 乃至35 のいずれか一の温度）におけるオフ電流、を表す場合がある。トランジスタのオフ電流が I 以下である、とは、室温、60、85、95、125、当該トランジスタが含まれる半導体装置の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、5 乃至35 のいずれか一の温度）、におけるトランジスタのオフ電流が I 以下となる V_{gs} の値が存在することを指す場合がある。

【0171】

トランジスタのオフ電流は、ドレインとソースの間の電圧 V_{ds} に依存する場合がある

。本明細書において、オフ電流は、特に記載がない場合、 V_{ds} が0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、または20Vにおけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される V_{ds} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} におけるオフ電流、を表す場合がある。トランジスタのオフ電流がI以下である、とは、 V_{ds} が0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、20V、当該トランジスタが含まれる半導体装置の信頼性が保証される V_{ds} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} 、におけるトランジスタのオフ電流がI以下となる V_{gs} の値が存在することを指す場合がある。

10

【0172】

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソースを流れる電流を言う場合もある。

【0173】

本明細書では、オフ電流と同じ意味で、リーク電流と記載する場合がある。

【0174】

本明細書において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

【0175】

< 酸化物半導体の組成 >

20

なおOストランジスタの半導体層に用いる酸化物半導体としては、少なくともインジウム(In)又は亜鉛(Zn)を含むことが好ましい。特にIn及びZnを含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ジルコニウム(Zr)、ハフニウム(Hf)及びアルミニウム(Al)の少なくともいずれかを有すればよい。

【0176】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種又は複数種を有してもよい。

30

【0177】

トランジスタの半導体層に用いる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等がある。

40

【0178】

例えば、In:Ga:Zn=1:1:1、In:Ga:Zn=3:1:2、あるいはIn:Ga:Zn=2:1:3の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の

50

酸化物を用いるとよい。特に、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ あるいはその近傍の原子数比の $\text{In} - \text{Ga} - \text{Zn}$ 系酸化物を用いるとよい。 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ あるいはその近傍の原子数比の $\text{In} - \text{Ga} - \text{Zn}$ 系酸化物を得るためには、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 4.1$ のターゲットを用いて酸化物半導体を成膜する。

【0179】

<酸化物半導体中の不純物>

半導体層を構成する酸化物半導体膜に水素が含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理（脱水素化処理）を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

10

【0180】

なお、酸化物半導体膜への脱水化処理（脱水素化処理）によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、酸化物半導体膜への脱水化処理（脱水素化処理）によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。

【0181】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素又は水分が除去され、加酸素化処理により酸素欠損を補填することによって、 i 型（真性）化又は i 型に限りなく近く実質的に i 型（真性）である酸化物半導体膜とすることができる。

20

【0182】

<酸化物半導体の構造>

酸化物半導体の構造について説明する。

【0183】

なお本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

30

【0184】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0185】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに分けられる。または、酸化物半導体は、例えば、結晶性酸化物半導体と非晶質酸化物半導体とに分けられる。

【0186】

なお、非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。また、結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体などがある。

40

【0187】

まずは、CAAC-OS膜について説明する。

【0188】

CAAC-OS膜は、 c 軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0189】

透過型電子顕微鏡 (TEM: Transmission Electron Microscopy)

50

oscope)によって、CAAC-OS膜の明視野像および回折パターンの複合解析像(高分解能TEM像ともいう。)を観察することで複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0190】

試料面と略平行な方向から、CAAC-OS膜の断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

10

【0191】

一方、試料面と略垂直な方向から、CAAC-OS膜の平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0192】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2 θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

20

【0193】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2 θ が31°近傍のピークの他に、2 θ が36°近傍にもピークが現れる場合がある。2 θ が36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2 θ が31°近傍にピークを示し、2 θ が36°近傍にピークを示さないことが好ましい。

【0194】

CAAC-OS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

30

【0195】

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

40

【0196】

不純物濃度が低く、欠陥準位密度が低い(酸素欠損の少ない)ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、閾値電圧がマイナスとなる電気特性(ノーマリーオンともいう。)になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高

50

く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

【0197】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0198】

次に、微結晶酸化物半導体膜について説明する。

【0199】

微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

10

【0200】

nc-OS膜は、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

20

30

【0201】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

【0202】

次に、非晶質酸化物半導体膜について説明する。

【0203】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

40

【0204】

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。

【0205】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

50

【0206】

なお、酸化物半導体膜は、nc-OS膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体(a-like OS: amorphous-like Oxide Semiconductor)膜と呼ぶ。

【0207】

a-like OS膜は、高分解能TEM像において鬆(ポイドともいう。)が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質なnc-OS膜であれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

10

【0208】

なお、a-like OS膜およびnc-OS膜の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、 InGaZnO_4 の結晶は層状構造を有し、In-O層の間に、Ga-Zn-O層を2層有する。 InGaZnO_4 の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29 nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28 nm以上0.30 nm以下である箇所においては、それぞれの格子縞が InGaZnO_4 の結晶のa-b面に対応する。

20

【0209】

また、酸化物半導体膜は、構造ごとに密度が異なる場合がある。例えば、ある酸化物半導体膜の組成がわかれば、該組成と同じ組成における単結晶の密度と比較することにより、その酸化物半導体膜の構造を推定することができる。例えば、単結晶の密度に対し、a-like OS膜の密度は78.6%以上92.3%未満となる。また、例えば、単結晶の密度に対し、nc-OS膜の密度およびCAAC-OS膜の密度は92.3%以上100%未満となる。なお、単結晶の密度に対し密度が78%未満となる酸化物半導体膜は、成膜すること自体が困難である。

30

【0210】

上記について、具体例を用いて説明する。例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比]を満たす酸化物半導体膜において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比]を満たす酸化物半導体膜において、a-like OS膜の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比]を満たす酸化物半導体膜において、nc-OS膜の密度およびCAAC-OS膜の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

【0211】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成の単結晶に相当する密度を算出することができる。所望の組成の単結晶の密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて算出すればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせることで算出することが好ましい。

40

【0212】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、a-like OS膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0213】

以上説明したようにOSTランジスタは、極めて優れたオフ電流特性を実現できる。

50

【0214】

(実施の形態5)

<CAC-OSの構成>

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC(Cloud Aligned Complementary)-OSの構成について説明する。

【0215】

本明細書等において、金属酸化物(metal oxide)とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体(透明酸化物導電体を含む)、酸化物半導体(Oxide Semiconductorまたは単にOSともいう)などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OSFETと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

10

【0216】

本明細書において、金属酸化物が、導電体の機能を有する領域と、誘電体の機能を有する領域とが混合し、金属酸化物全体では半導体として機能する場合、CAC(Cloud Aligned Complementary)-OS(Oxide Semiconductor)、またはCAC-metal oxideと定義する。

【0217】

つまり、CAC-OSとは、例えば、酸化物半導体を構成する元素が、0.5nm以上10nm以下、好ましくは、0.5nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の元素が偏在し、該元素を有する領域が、0.5nm以上10nm以下、好ましくは、0.5nm以上3nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

20

【0218】

特定の元素が偏在した領域は、該元素が有する性質により、物理特性が決定する。例えば、金属酸化物を構成する元素の中でも比較的、絶縁体となる傾向がある元素が偏在した領域は、誘電体領域となる。一方、金属酸化物を構成する元素の中でも比較的、導体となる傾向がある元素が偏在した領域は、導電体領域となる。また、導電体領域、および誘電体領域がモザイク状に混合することで、材料としては、半導体として機能する。

30

【0219】

つまり、本発明の一態様における金属酸化物は、物理特性が異なる材料が混合した、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)の一種である。

【0220】

なお、酸化物半導体は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、元素M(Mは、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種)が含まれていてもよい。

40

【0221】

例えば、In-Ga-Zn酸化物におけるCAC-OS(CAC-OSの中でもIn-Ga-Zn酸化物を、特にCAC-IGZOと呼称してもよい。)とは、インジウム酸化物(以下、 InO_{x1} ($x1$ は0よりも大きい実数)とする。)、またはインジウム亜鉛酸化物(以下、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ ($x2$ 、 $y2$ 、および $z2$ は0よりも大きい実数)とする。)と、ガリウム酸化物(以下、 GaO_{x3} ($x3$ は0よりも大きい実数)とする。)、またはガリウム亜鉛酸化物(以下、 $\text{Ga}_{x4}\text{Zn}_{y4}\text{O}_{z4}$ ($x4$ 、 $y4$ 、および $z4$ は0よりも大きい実数)とする。))などと、に材料が分離することでモザイク状と

50

なり、モザイク状の InO_{x_1} 、または $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ が、膜中に均一に分布した構成（以下、クラウド状ともいう。）である。

【0222】

つまり、CAC-OSは、 GaO_{x_3} が主成分である領域と、 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 、または InO_{x_1} が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第1の領域の元素Mに対するInの原子数比が、第2の領域の元素Mに対するInの原子数比よりも大きいことを、第1の領域は、第2の領域と比較して、Inの濃度が高いとする。

【0223】

なお、IGZOは通称であり、In、Ga、Zn、およびOによる1つの化合物をいう場合がある。代表例として、 $\text{InGaO}_3(\text{ZnO})_{m_1}$ (m_1 は自然数)、または $\text{In}_{(1+x_0)}\text{Ga}_{(1-x_0)}\text{O}_3(\text{ZnO})_{m_0}$ ($-1 \leq x_0 \leq 1$ 、 m_0 は任意数) で表される結晶性の化合物が挙げられる。

10

【0224】

上記結晶性の化合物は、単結晶構造、多結晶構造、またはCAC構造を有する。なお、CAC構造とは、複数のIGZOのナノ結晶がc軸配向を有し、かつa-b面においては配向せずに連結した結晶構造である。

【0225】

一方、CAC-OSは、酸化物半導体の材料構成に関する。CAC-OSとは、In、Ga、Zn、およびOを含む材料構成において、一部にGaを主成分とするナノ粒子状領域が観察され、一部にInを主成分とするナノ粒子状領域が観察され、それぞれモザイク状にランダムに分散している構成をいう。従って、CAC-OSにおいて、結晶構造は副次的な要素である。

20

【0226】

なお、CAC-OSは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Inを主成分とする膜と、Gaを主成分とする膜との2層からなる構造は、含まない。

【0227】

なお、 GaO_{x_3} が主成分である領域と、 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 、または InO_{x_1} が主成分である領域とは、明確な境界が観察できない場合がある。

30

【0228】

なお、ガリウムの代わりに、アルミニウム、シリコン、ホウ素、イットリウム、銅、バナジウム、ペリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、CAC-OSは、一部に該元素を主成分とするナノ粒子状領域が観察され、一部にInを主成分とするナノ粒子状領域が観察され、それぞれモザイク状にランダムに分散している構成をいう。

【0229】

<CAC-OSの解析>

続いて、各種測定方法を用い、基板上に成膜した酸化物半導体について測定を行った結果について説明する。

40

【0230】

試料の構成と作製方法

以下では、本発明の一態様に係る9個の試料について説明する。各試料は、それぞれ、酸化物半導体を成膜する際の基板温度、および酸素ガス流量比を異なる条件で作製する。なお、試料は、基板と、基板上的酸化物半導体と、を有する構造である。

【0231】

各試料の作製方法について、説明する。

【0232】

まず、基板として、ガラス基板を用いる。続いて、スパッタリング装置を用いて、ガラ

50

ス基板の上に酸化物半導体として、厚さ100nmのIn-Ga-Zn酸化物を形成する。成膜条件は、チャンバー内の圧力を0.6Paとし、ターゲットには、酸化物ターゲット(In:Ga:Zn=4:2:4.1[原子数比])を用いる。また、スパッタリング装置内に設置された酸化物ターゲットに2500WのAC電力を供給する。

【0233】

なお、酸化物を成膜する際の条件として、基板温度を、意図的に加熱しない温度(以下、室温またはR.T.ともいう。)、130、または170とした。また、Arと酸素の混合ガスに対する酸素ガスの流量比(以下、酸素ガス流量比ともいう。)を、10%、30%、または100%とすることで、9個の試料を作製する。

【0234】

X線回折による解析

本項目では、9個の試料に対し、X線回折(XRD:X-ray diffraction)測定を行った結果について説明する。なお、XRD装置として、Bruker社製D8 ADVANCEを用いた。また、条件は、Out-of-plane法による 2θ スキャンにて、走査範囲を15deg.乃至50deg.、ステップ幅を0.02deg.、走査速度を3.0deg./分とした。

【0235】

図22にOut-of-plane法を用いてXRDスペクトルを測定した結果を示す。なお、図22において、上段には成膜時の基板温度条件が170の試料における測定結果、中段には成膜時の基板温度条件が130の試料における測定結果、下段には成膜時の基板温度条件がR.T.の試料における測定結果を示す。また、左側の列には酸素ガス流量比の条件が10%の試料における測定結果、中央の列には酸素ガス流量比の条件が30%の試料における測定結果、右側の列には酸素ガス流量比の条件が100%の試料における測定結果、を示す。

【0236】

図22に示すXRDスペクトルは、成膜時の基板温度を高くする、または、成膜時の酸素ガス流量比の割合を大きくすることで、 $2\theta = 31^\circ$ 付近のピーク強度が高くなる。なお、 $2\theta = 31^\circ$ 付近のピークは、被形成面または上面に略垂直方向に対してc軸に配向した結晶性IGZO化合物(CAAC(c-axis aligned crystalline)-IGZOともいう。)であることに由来することが分かっている。

【0237】

また、図22に示すXRDスペクトルは、成膜時の基板温度が低い、または、酸素ガス流量比が小さいほど、明確なピークが現れなかった。従って、成膜時の基板温度が低い、または、酸素ガス流量比が小さい試料は、測定領域のa-b面方向、およびc軸方向の配向は見られないことが分かる。

【0238】

電子顕微鏡による解析

本項目では、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料を、HAADF(High-Angle Annular Dark Field)-STEM(Scanning Transmission Electron Microscope)によって観察、および解析した結果について説明する(以下、HAADF-STEMによって取得した像は、TEM像ともいう。)

【0239】

HAADF-STEMによって取得した平面像(以下、平面TEM像ともいう。)、および断面像(以下、断面TEM像ともいう。)の画像解析を行った結果について説明する。なお、TEM像は、球面収差補正機能を用いて観察した。なお、HAADF-STEM像の撮影には、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fを用いて、加速電圧200kV、ビーム径約0.1nmの電子線を照射して行った。

【0240】

図23(A)は、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した

10

20

30

40

50

試料の平面TEM像である。図23(B)は、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料の断面TEM像である。

【0241】

電子線回折パターンの解析

本項目では、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料に、プローブ径が1nmの電子線(ナノビーム電子線ともいう。)を照射することで、電子線回折パターンを取得した結果について説明する。

【0242】

図23(A)に示す、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料の平面TEM像において、黒点a1、黒点a2、黒点a3、黒点a4、および黒点a5で示す電子線回折パターンを観察する。なお、電子線回折パターンの観察は、電子線を照射しながら0秒の位置から35秒の位置まで一定の速度で移動させながら行う。黒点a1の結果を図23(C)、黒点a2の結果を図23(D)、黒点a3の結果を図23(E)、黒点a4の結果を図23(F)、および黒点a5の結果を図23(G)に示す。

10

【0243】

図23(C)、図23(D)、図23(E)、図23(F)、および図23(G)より、円を描くように(リング状に)輝度の高い領域が観測できる。また、リング状の領域に複数のスポットが観測できる。

【0244】

また、図23(B)に示す、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料の断面TEM像において、黒点b1、黒点b2、黒点b3、黒点b4、および黒点b5で示す電子線回折パターンを観察する。黒点b1の結果を図23(H)、黒点b2の結果を図23(I)、黒点b3の結果を図23(J)、黒点b4の結果を図23(K)、および黒点b5の結果を図23(L)に示す。

20

【0245】

図23(H)、図23(I)、図23(J)、図23(K)、および図23(L)より、リング状に輝度の高い領域が観測できる。また、リング状の領域に複数のスポットが観測できる。

【0246】

ここで、例えば、 InGaZnO_4 の結晶を有するCAAC-OSに対し、試料面に平行にプローブ径が300nmの電子線を入射させると、 InGaZnO_4 の結晶の(009)面に起因するスポットが含まれる回折パターンが見られる。つまり、CAAC-OSは、c軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させると、リング状の回折パターンが確認される。つまり、CAAC-OSは、a軸およびb軸は配向性を有さないことがわかる。

30

【0247】

また、微結晶を有する酸化物半導体(nano crystalline oxide semiconductor。以下、nc-OSという。)に対し、大きいプローブ径(例えば50nm以上)の電子線を用いる電子線回折を行うと、ハローパターンのような回折パターンが観測される。また、nc-OSに対し、小さいプローブ径の電子線(例えば50nm未満)を用いるナノビーム電子線回折を行うと、輝点(スポット)が観測される。また、nc-OSに対しナノビーム電子線回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。さらに、リング状の領域に複数の輝点が観測される場合がある。

40

【0248】

成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料の電子線回折パターンは、リング状に輝度の高い領域と、該リング領域に複数の輝点を有する。従って、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料は、電子線回折パターンが、nc-OSになり、平面方向、および断面方向において、配向性は有さな

50

い。

【0249】

以上より、成膜時の基板温度が低い、または、酸素ガス流量比が小さい酸化物半導体は、アモルファス構造の酸化物半導体膜とも、単結晶構造の酸化物半導体膜とも明確に異なる性質を有すると推定できる。

【0250】

元素分析

本項目では、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用い、EDXマッピングを取得し、評価することによって、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料の元素分析を行った結果について説明する。なお、EDX測定には、元素分析装置として日本電子株式会社製エネルギー分散型X線分析装置JED-2300Tを用いる。なお、試料から放出されたX線の検出にはSiドリフト検出器を用いる。

【0251】

EDX測定では、試料の分析対象領域の各点に電子線照射を行い、これにより発生する試料の特性X線のエネルギーと発生回数を測定し、各点に対応するEDXスペクトルを得る。本実施の形態では、各点のEDXスペクトルのピークを、In原子のL殻への電子遷移、Ga原子のK殻への電子遷移、Zn原子のK殻への電子遷移及びO原子のK殻への電子遷移に帰属させ、各点におけるそれぞれの原子の比率を算出する。これを試料の分析対象領域について行うことにより、各原子の比率の分布が示されたEDXマッピングを得ることができる。

【0252】

図24には、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料の断面におけるEDXマッピングを示す。図24(A)は、Ga原子のEDXマッピング(全原子に対するGa原子の比率は1.18乃至18.64[atomic%]の範囲とする。)である。図24(B)は、In原子のEDXマッピング(全原子に対するIn原子の比率は9.28乃至33.74[atomic%]の範囲とする。)である。図24(C)は、Zn原子のEDXマッピング(全原子に対するZn原子の比率は6.69乃至24.99[atomic%]の範囲とする。)である。また、図24(A)、図24(B)、および図24(C)は、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料の断面において、同範囲の領域を示している。なお、EDXマッピングは、範囲における、測定元素が多いほど明るくなり、測定元素が少ないほど暗くなるように、明暗で元素の割合を示している。また、図24に示すEDXマッピングの倍率は720万倍である。

【0253】

図24(A)、図24(B)、および図24(C)に示すEDXマッピングでは、画像に相対的な明暗の分布が見られ、成膜時の基板温度R.T.、および酸素ガス流量比10%で作製した試料において、各原子が分布を持って存在している様子が確認できる。ここで、図24(A)、図24(B)、および図24(C)に示す実線で囲む範囲と破線で囲む範囲に注目する。

【0254】

図24(A)では、実線で囲む範囲は、相対的に暗い領域を多く含み、破線で囲む範囲は、相対的に明るい領域を多く含む。また、図24(B)では実線で囲む範囲は、相対的に明るい領域を多く含み、破線で囲む範囲は、相対的に暗い領域を多く含む。

【0255】

つまり、実線で囲む範囲はIn原子が相対的に多い領域であり、破線で囲む範囲はIn原子が相対的に少ない領域である。ここで、図24(C)では、実線で囲む範囲において、右側は相対的に明るい領域であり、左側は相対的に暗い領域である。従って、実線で囲む範囲は、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、または InO_{x1} などが主成分である領域である。

【0256】

また、実線で囲む範囲はGa原子が相対的に少ない領域であり、破線で囲む範囲はGa原子が相対的に多い領域である。図24(C)では、破線で囲む範囲において、左上の領域は、相対的に明るい領域であり、右下側の領域は、相対的に暗い領域である。従って、破線で囲む範囲は、 GaO_{x3} 、または $Ga_{x4}Zn_{y4}O_{z4}$ などが主成分である領域である。

【0257】

また、図24(A)、図24(B)、および図24(C)より、In原子の分布は、Ga原子よりも、比較的、均一に分布しており、 InO_{x1} が主成分である領域は、 $In_{x2}Zn_{y2}O_{z2}$ が主成分となる領域を介して、互いに繋がって形成されているように見える。このように、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域は、クラウド状に広がって形成されている。

10

【0258】

このように、 GaO_{x3} などが主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域とが、偏在し、混合している構造を有するIn-Ga-Zn酸化物を、CAC-OSと呼称することができる。

【0259】

また、CAC-OSにおける結晶構造は、nc構造を有する。CAC-OSが有するnc構造は、電子線回折像において、単結晶、多結晶、またはCAA構造を含むIGZOに起因する輝点(スポット)以外にも、数か所以上の輝点(スポット)を有する。または、数か所以上の輝点(スポット)に加え、リング状に輝度の高い領域が現れるとして結晶構造が定義される。

20

【0260】

また、図24(A)、図24(B)、および図24(C)より、 GaO_{x3} などが主成分である領域、及び $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域のサイズは、0.5nm以上10nm以下、または1nm以上3nm以下で観察される。なお、好ましくは、EDXマッピングにおいて、各元素が主成分である領域の径は、1nm以上2nm以下とする。

【0261】

以上より、CAC-OSは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-OSは、 GaO_{x3} などが主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

30

【0262】

ここで、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域は、 GaO_{x3} などが主成分である領域と比較して、導電性が高い領域である。つまり、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。従って、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度(μ)が実現できる。

【0263】

一方、 GaO_{x3} などが主成分である領域は、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域と比較して、絶縁性が高い領域である。つまり、 GaO_{x3} などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。

40

【0264】

従って、CAC-OSを半導体素子に用いた場合、 GaO_{x3} などに起因する絶縁性と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} に起因する導電性とが、相補的に作用することにより、高いオン電流(I_{on})、および高い電界効果移動度(μ)を実現することができる。

【0265】

50

また、C A C - O Sを用いた半導体素子は、信頼性が高い。従って、C A C - O Sは、ディスプレイをはじめとするさまざまな半導体装置に最適である。

【 0 2 6 6 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【 0 2 6 7 】

(実施の形態 6)

本実施の形態においては、上記実施の形態で説明した半導体装置を適用した表示装置を有する表示モジュールについて説明する。半導体装置は、一例として、ゲートドライバ回路部、あるいはソースドライバ回路部、あるいは画素部の一部に適用可能である。表示モジュールの一例について、図 1 7 及び図 1 8 を用いて以下説明を行う。

【 0 2 6 8 】

< 表示モジュールの上面図 >

図 1 7 は、表示モジュールの一例を示す上面図である。図 1 7 に示す表示モジュール 7 0 0 は、第 1 の基板 7 0 1 上に設けられた画素部 7 0 2 と、第 1 の基板 7 0 1 に設けられたソースドライバ回路部 7 0 4 及びゲートドライバ回路部 7 0 6 と、画素部 7 0 2、ソースドライバ回路部 7 0 4、及びゲートドライバ回路部 7 0 6 を囲むように配置されるシール材 7 1 2 と、第 1 の基板 7 0 1 に対向するように設けられる第 2 の基板 7 0 5 と、を有する。なお、第 1 の基板 7 0 1 と第 2 の基板 7 0 5 は、シール材 7 1 2 によって封止されている。すなわち、画素部 7 0 2、ソースドライバ回路部 7 0 4、及びゲートドライバ回路部 7 0 6 は、第 1 の基板 7 0 1 とシール材 7 1 2 と第 2 の基板 7 0 5 によって封止されている。なお、図 1 7 には図示しないが、第 1 の基板 7 0 1 と第 2 の基板 7 0 5 の間には表示素子が設けられる。

【 0 2 6 9 】

また、表示モジュール 7 0 0 は、第 1 の基板 7 0 1 上のシール材 7 1 2 によって囲まれている領域とは異なる領域に、画素部 7 0 2、ソースドライバ回路部 7 0 4、及びゲートドライバ回路部 7 0 6 とそれぞれ電氣的に接続される F P C 端子部 7 0 8 (F P C : F l e x i b l e p r i n t e d c i r c u i t) が設けられる。また、F P C 端子部 7 0 8 には、F P C 7 1 6 が接続され、F P C 7 1 6 によって画素部 7 0 2、ソースドライバ回路部 7 0 4、及びゲートドライバ回路部 7 0 6 に各種信号等が供給される。また、画素部 7 0 2、ソースドライバ回路部 7 0 4、ゲートドライバ回路部 7 0 6、及び F P C 端子部 7 0 8 には、信号線 7 1 0 が各々接続されている。F P C 7 1 6 により供給される各種信号等は、信号線 7 1 0 を介して、画素部 7 0 2、ソースドライバ回路部 7 0 4、ゲートドライバ回路部 7 0 6、及び F P C 端子部 7 0 8 に与えられる。

【 0 2 7 0 】

また、表示モジュール 7 0 0 にゲートドライバ回路部 7 0 6 を複数設けてもよい。また、表示モジュール 7 0 0 としては、ソースドライバ回路部 7 0 4、及びゲートドライバ回路部 7 0 6 を画素部 7 0 2 と同じ第 1 の基板 7 0 1 に形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ回路部 7 0 6 のみを第 1 の基板 7 0 1 に形成しても良い、またはソースドライバ回路部 7 0 4 のみを第 1 の基板 7 0 1 に形成しても良い。この場合、ソースドライバ回路またはゲートドライバ回路等が形成された基板 (例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板) を、第 1 の基板 7 0 1 に実装する構成としても良い。なお、別途形成した駆動回路基板の接続方法は、特に限定されるものではなく、C O G (C h i p O n G l a s s) 方法、ワイヤボンディング方法などを用いることができる。

【 0 2 7 1 】

また、表示モジュール 7 0 0 が有する画素部 7 0 2、ソースドライバ回路部 7 0 4 及びゲートドライバ回路部 7 0 6 は、複数のトランジスタを有している。該複数のトランジスタとしては、先の実施の形態で説明したトランジスタを適用することができる。

【 0 2 7 2 】

また、表示モジュール700は、様々な素子を有することが出来る。該素子は、例えば、液晶素子、EL（エレクトロルミネッセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイパネル（PDP）、MEMS（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子、デジタルマイクロミラーデバイス（DMD）、DMS（デジタル・マイクロ・シャッター）、IMOD（インターフェロメトリック・モジュレーション）素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェットティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）又はSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インク又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。なお、本実施の形態においては、表示素子として液晶素子を用いる構成について、以下説明を行う。

【0273】

なお、表示モジュール700における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB（Rは赤、Gは緑、Bは青を表す）の三色に限定されない。例えば、Rの画素とGの画素とBの画素とW（白）の画素の四画素から構成されてもよい。または、ペンタイル配列のように、RGBのうちの2色分で一つの色要素を構成し、色要素によって、異なる2色を選択して構成してもよい。またはRGBに、イエロー、シアン、マゼンタ等を一色以上追加してもよい。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、開示する発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

【0274】

また、バックライト（有機EL素子、無機EL素子、LED、蛍光灯など）に白色光（W）を用いて表示装置をフルカラー表示させるために、着色層（カラーフィルタともいう。）を用いてもよい。着色層は、例えば、レッド（R）、グリーン（G）、ブルー（B）、イエロー（Y）などを適宜組み合わせ用いることができる。着色層を用いることで、着色層を用いない場合と比べて色の再現性を高くすることができる。このとき、着色層を有する領域と、着色層を有さない領域と、を配置することによって、着色層を有さない領域における白色光を直接表示に利用しても構わない。一部に着色層を有さない領域を配置することで、明るい表示の際に、着色層による輝度の低下を少なくでき、消費電力を2割から3割程度低減できる場合がある。ただし、有機EL素子や無機EL素子などの自発光素子を用いてフルカラー表示する場合、R、G、B、Y、ホワイト（W）を、それぞれの発光色を有する素子から発光させても構わない。自発光素子を用いることで、着色層を用いた場合よりも、さらに消費電力を低減できる場合がある。なお、本実施の形態においては、バックライト等を設けない構成、所謂反射型の液晶表示モジュールについて、以下説明を行う。

【 0 2 7 5 】

< 表示モジュールの断面図 >

図 1 7 に示す一点鎖線 Q - R における断面図を図 1 8 に示す。図 1 8 に示す表示モジュールの詳細について、以下説明を行う。

【 0 2 7 6 】

図 1 8 に示す表示モジュール 7 0 0 は、引き回し配線部 7 1 1 と、画素部 7 0 2 と、ソースドライバ回路部 7 0 4 と、F P C 端子部 7 0 8 と、を有する。また、引き回し配線部 7 1 1 は、信号線 7 1 0 を有する。また、画素部 7 0 2 は、トランジスタ 7 5 0 及び容量素子 7 9 0 を有する。また、ソースドライバ回路部 7 0 4 は、トランジスタ 7 5 2 を有する。

10

【 0 2 7 7 】

トランジスタ 7 5 0 及びトランジスタ 7 5 2 は、先に示すトランジスタを用いることができる。

【 0 2 7 8 】

本実施の形態で用いるトランジスタは、高純度化し、酸素欠損の形成を抑制した酸化半導体膜を有する。該トランジスタは、オフ状態における電流値（オフ電流値）を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

【 0 2 7 9 】

また、本実施の形態で用いるトランジスタは、比較的高い電界効果移動度を得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを表示装置に用いることで、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバトランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウェハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。また、画素部においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供することができる。

20

【 0 2 8 0 】

容量素子 7 9 0 は、一对の電極間に誘電体を有する構造である。より詳しくは、容量素子 7 9 0 の一方の電極としては、トランジスタ 7 5 0 のゲートとして機能する導電膜と同一工程で形成された導電膜を用い、容量素子 7 9 0 の他方の電極としては、トランジスタ 7 5 0 のソース電極及びドレイン電極として機能する導電膜を用いる。また、一对の電極間に挟持される誘電体としては、トランジスタ 7 5 0 のゲート絶縁膜として機能する絶縁膜を用いる。

30

【 0 2 8 1 】

また、図 1 8 において、トランジスタ 7 5 0、トランジスタ 7 5 2、及び容量素子 7 9 0 上に、絶縁膜 7 6 4、7 6 8 及び平坦化絶縁膜 7 7 0 が設けられている。

【 0 2 8 2 】

絶縁膜 7 6 4 としては、例えば、P E C V D 装置を用いて、酸化シリコン膜、酸化窒化シリコン膜等を形成すればよい。また、絶縁膜 7 6 8 としては、例えば、P E C V D 装置を用いて、窒化シリコン膜等を形成すればよい。また、平坦化絶縁膜 7 7 0 としては、ポリイミド樹脂、アクリル樹脂、ポリイミドアミド樹脂、ベンゾシクロブテン樹脂、ポリアミド樹脂、エポキシ樹脂等の耐熱性を有する有機材料を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜 7 7 0 を形成してもよい。また、平坦化絶縁膜 7 7 0 を設けない構成としてもよい。

40

【 0 2 8 3 】

また、信号線 7 1 0 は、トランジスタ 7 5 0、7 5 2 のソース電極及びドレイン電極として機能する導電膜と同じ工程で形成される。なお、信号線 7 1 0 は、トランジスタ 7 5 0、7 5 2 のソース電極及びドレイン電極と異なる工程で形成された導電膜、例えばゲートとして機能する導電膜と同じ工程で形成される導電膜としてもよい。信号線 7 1 0 とし

50

て、例えば、銅元素を含む材料を用いた場合、配線抵抗に起因する信号遅延等が少なく、大画面での表示が可能となる。

【0284】

また、FPC端子部708は、接続電極760、異方性導電膜780、及びFPC716を有する。なお、接続電極760は、トランジスタ750、752のソース電極及びドレイン電極として機能する導電膜と同じ工程で形成される。また、接続電極760は、FPC716が有する端子と異方性導電膜780を介して、電氣的に接続される。

【0285】

また、第1の基板701及び第2の基板705としては、例えばガラス基板を用いることができる。また、第1の基板701及び第2の基板705として、可撓性を有する基板を用いてもよい。該可撓性を有する基板としては、例えばプラスチック基板等が挙げられる。

10

【0286】

また、第1の基板701と第2の基板705の間には、構造体778が設けられる。構造体778は、絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、第1の基板701と第2の基板705の間の距離（セルギャップ）を制御するために設けられる。なお、構造体778として、球状のスペーサを用いても良い。また、本実施の形態においては、構造体778を第1の基板701側に設ける構成について例示したが、これに限定されない。例えば、第2の基板705側に構造体778を設ける構成、または第1の基板701及び第2の基板705双方に構造体778を設ける構成としてもよい。

20

【0287】

また、第2の基板705側には、ブラックマトリクスとして機能する遮光膜738と、カラーフィルタとして機能する着色膜736と、遮光膜738及び着色膜736に接する絶縁膜734が設けられる。

【0288】

図18に一例として示す表示モジュール700の断面図では、液晶素子775を有する。液晶素子775は、導電膜772、導電膜774、及び液晶層776を有する。液晶層776としては、誘電率の異方性が2以上3.8以下である液晶材料を用いる。導電膜774は、第2の基板705側に設けられ、対向電極としての機能を有する。図18に示す表示モジュール700は、導電膜772と導電膜774に印加される電圧によって、液晶層776の配向状態が変わることによって光の透過、非透過が制御され画像を表示することができる。

30

【0289】

また、導電膜772は、トランジスタ750が有するソース電極及びドレイン電極として機能する導電膜に接続される。導電膜772は、平坦化絶縁膜770上に形成され画素電極、すなわち表示素子の一方の電極として機能する。また、導電膜772は、反射電極としての機能を有する。図18に示す表示モジュール700は、外光を利用し導電膜772で光を反射して着色膜736を介して表示する、所謂反射型のカラー液晶表示装置である。

40

【0290】

導電膜772としては、可視光において透光性のある導電膜、または可視光において反射性のある導電膜を用いることができる。可視光において透光性のある導電膜としては、例えば、インジウム(In)、亜鉛(Zn)、錫(Sn)の中から選ばれた一種を含む材料を用いるとよい。可視光において反射性のある導電膜としては、例えば、アルミニウム、または銀を含む材料を用いるとよい。本実施の形態においては、導電膜772として、可視光において、反射性のある導電膜を用いる。

【0291】

また、導電膜772として、可視光において反射性のある導電膜を用いる場合、該導電膜を積層構造としてもよい。例えば、下層に膜厚100nmのアルミニウム膜を形成し、

50

上層に厚さ30nmの銀合金膜（例えば、銀、パラジウム、及び銅を含む合金膜）を形成する。上述の構造とすることで、以下の優れた効果を奏する。

【0292】

（1）下地膜と導電膜772との密着性を向上させることができる。（2）薬液によってアルミニウム膜と、銀合金膜とを一括してエッチングすることが可能である。（3）導電膜772の断面形状を良好な形状（例えば、テーパ形状）とすることができる。（3）の理由としては、アルミニウム膜は、銀合金膜よりも薬液によるエッチング速度が遅い、または上層の銀合金膜のエッチング後、下層のアルミニウム膜が露出した場合に、銀合金膜よりも卑な金属、別言するとイオン化傾向の高い金属であるアルミニウムから電子を引き抜くため、銀合金膜のエッチングが抑制され、下層のアルミニウム膜のエッチングの進行が速くなるためである。

10

【0293】

また、図18に示す表示モジュール700においては、画素部702の平坦化絶縁膜770の一部に凹凸が設けられている。該凹凸は、例えば、平坦化絶縁膜770を有機樹脂膜等で形成し、該有機樹脂膜の表面に凹凸を設けることで形成することができる。また、反射電極として機能する導電膜772は、上記凹凸に沿って形成される。したがって、外光が導電膜772に入射した場合において、導電膜772の表面で光を乱反射することが可能となり、視認性を向上させることができる。図18に示すように、反射型のカラー液晶表示装置とすることで、バックライトを用いずに表示することが可能となるため、消費電力を低減することができる。

20

【0294】

なお、図18に示す表示モジュール700は、反射型のカラー液晶表示モジュールについて例示したが、これに限定されない。例えば、導電膜772を可視光において、透光性のある導電膜を用いることで透過型のカラー液晶表示モジュールとしてもよい。透過型のカラー液晶表示モジュールの場合、平坦化絶縁膜770に設けられる凹凸については、設けない構成としてもよい。

【0295】

なお、図18において図示しないが、導電膜772、774の液晶層776と接する側に、それぞれ配向膜を設ける構成としてもよい。また、図18において図示しないが、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設けてもよい。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、透過型の表示モジュール、または半透過型の表示モジュールの場合、光源としてバックライト、サイドライトなどを設けてもよい。

30

【0296】

液晶素子としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0297】

また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために数重量%以上のカイラル剤を混合させた液晶組成物を液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性であるため配向処理が不要であり、且つ視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。

40

【0298】

また、表示素子として液晶素子を用いる場合、TN（Twisted Nematic

50

）モード、IPS（In - Plane - Switching）モード、FFS（Fringe Field Switching）モード、ASM（Axially Symmetric aligned Micro - cell）モード、OCB（Optical Compensated Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）モードなどを用いることができる。

【0299】

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向（VA）モードを採用した透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA（Multi - Domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）モード、ASVモードなどを用いることができる。

【0300】

（実施の形態7）

本実施の形態においては、先の実施の形態で説明した表示モジュールに、タッチセンサ（接触検出装置）を設けることで、入出力装置（タッチパネルともいう）として機能させることができる構成について、図19及び図20を用いて説明する。以下において、上記実施の形態と重複する部分については、説明を省略する場合がある。

【0301】

図19は、入出力装置の構成を説明する投影図である。

【0302】

図19（A）は、入出力装置800の投影図であり、図19（B）は入出力装置800が備える検知ユニット820Uの構成を説明する投影図である。

【0303】

図20は、図19（A）に示す入出力装置800のZ1 - Z2における断面図である。

【0304】

本実施の形態で説明する入出力装置800は、可視光を透過する窓部834を具備し且つマトリクス状に配設される複数の検知ユニット820U、行方向（図中に矢印Rxで示す）に配置される複数の検知ユニット820Uと電氣的に接続する走査線G1、列方向（図中に矢印Ryで示す）に配置される複数の検知ユニット820Uと電氣的に接続する信号線DLならびに、検知ユニット820U、走査線G1および信号線DLを支持する第1の基材836を備える入力装置850と、窓部834に重なり且つマトリクス状に配設される複数の画素802および画素802を支持する第2の基材810を備える表示モジュール801と、を有する（図19（A）乃至図19（C）参照）。

【0305】

検知ユニット820Uは、窓部834に重なる検知素子Caおよび検知素子Caと電氣的に接続される検知回路839を備える（図19（B）参照）。

【0306】

検知素子Caは、絶縁層823、絶縁層823（図19（B）には図示せず）を挟持する第1の電極821および第2の電極822を備える（図19（B）参照）。

【0307】

検知回路839は、選択信号を供給され且つ検知素子Caの容量の変化に基づいて検知信号DATAを供給する。

【0308】

走査線G1は、選択信号を供給することができ、信号線DLは、検知信号DATAを供給することができ、検知回路839は、複数の窓部834の間隙に重なるように配置される。

【0309】

また、本実施の形態で説明する入出力装置800は、検知ユニット820Uおよび検知

10

20

30

40

50

ユニット 8 2 0 U の窓部 8 3 4 と重なる画素 8 0 2 の間に、着色層を備える。

【 0 3 1 0 】

本実施の形態で説明する入出力装置 8 0 0 は、可視光を透過する窓部 8 3 4 を具備する検知ユニット 8 2 0 U を複数備える入力装置 8 5 0 と、窓部 8 3 4 に重なる画素 8 0 2 を複数備える表示モジュール 8 0 1 と、を有し、窓部 8 3 4 と画素 8 0 2 の間に着色層を含んで構成される。

【 0 3 1 1 】

これにより、入出力装置は容量の変化に基づく検知信号およびそれを供給する検知ユニットの位置情報を供給すること、ならびに検知ユニットの位置情報と関連付けられた画像情報を表示することができる。その結果、利便性または信頼性に優れた新規な入出力装置を提供することができる。

10

【 0 3 1 2 】

また、入出力装置 8 0 0 は、入力装置 8 5 0 が供給する信号を供給されるフレキシブル基板 F P C 1 または / および画像情報を含む信号を表示モジュール 8 0 1 に供給するフレキシブル基板 F P C 2 を備えていてもよい。

【 0 3 1 3 】

また、傷の発生を防いで入出力装置 8 0 0 を保護する、保護基材 8 3 7、保護層 8 3 7 p または / および入出力装置 8 0 0 が反射する外光の強度を弱める反射防止層 8 6 7 p を備えていてもよい。

【 0 3 1 4 】

20

また、入出力装置 8 0 0 は、表示モジュール 8 0 1 の走査線に選択信号を供給する走査線駆動回路 8 0 3 g、信号を供給する配線 8 1 1 およびフレキシブル基板 F P C 2 と電氣的に接続される端子 8 1 9 を有する。

【 0 3 1 5 】

以下に、入出力装置 8 0 0 を構成する個々の要素について説明する。なお、これらの構成は明確に分離できず、一つの構成が他の構成を兼ねる場合や他の構成の一部を含む場合がある。例えば、複数の窓部 8 3 4 に重なる位置に着色層を備える入力装置 8 5 0 は、入力装置 8 5 0 であるとともにカラーフィルタでもある。

【 0 3 1 6 】

入出力装置 8 0 0 は、入力装置 8 5 0 と、表示モジュール 8 0 1 と、を備える（図 1 9 (A) 参照）。

30

【 0 3 1 7 】

入力装置 8 5 0 は、複数の検知ユニット 8 2 0 U および検知ユニット 8 2 0 U を支持する第 1 の基材 8 3 6 を備える。例えば、4 0 行 1 5 列のマトリクス状に複数の検知ユニット 8 2 0 U を第 1 の基材 8 3 6 に配設する。

【 0 3 1 8 】

窓部 8 3 4 は可視光を透過する。

【 0 3 1 9 】

窓部 8 3 4 に重なる位置に所定の色の光を透過する着色層を備える。例えば、青色の光を透過する着色層 C F B、緑色の光を透過する着色層 C F G または赤色の光を透過する着色層 C F R を備える（図 1 9 (B) 参照）。

40

【 0 3 2 0 】

なお、青色、緑色または / および赤色に加えて、白色の光を透過する着色層または黄色の光を透過する着色層などさまざまな色の光を透過する着色層を備えることができる。

【 0 3 2 1 】

着色層に金属材料、顔料または染料等を用いることができる。

【 0 3 2 2 】

窓部 8 3 4 を囲むように遮光性の層 B M を備える。遮光性の層 B M は窓部 8 3 4 より光を透過しにくい。

【 0 3 2 3 】

50

カーボンブラック、金属酸化物、複数の金属酸化物の固溶体を含む複合酸化物等を遮光性の層ＢＭに用いることができる。

【０３２４】

遮光性の層ＢＭと重なる位置に走査線Ｇ１、信号線ＤＬ、配線ＶＰＩ、配線ＲＥＳおよび配線ＶＲＥＳならびに検知回路８３９を備える。

【０３２５】

なお、着色層および遮光性の層ＢＭを覆う透光性のオーバーコート層を備えることができる。

【０３２６】

検知素子Ｃａは、第１の電極８２１、第２の電極８２２および第１の電極８２１と第２の電極８２２の間に絶縁層８２３を有する（図２０参照）。

10

【０３２７】

第１の電極８２１は他の領域から分離されるように、例えば島状に形成される。特に、入出力装置８００の使用者に第１の電極８２１が識別されないように、第１の電極８２１と同一の工程で作製することができる層を第１の電極８２１に近接して配置する構成が好ましい。より好ましくは、第１の電極８２１および第１の電極８２１に近接して配置する層の間に配置する窓部８３４の数をできるだけ少なくするとよい。特に、当該間に窓部８３４を配置しない構成が好ましい。

【０３２８】

例えば、大気中に置かれた検知素子Ｃａの第１の電極８２１または第２の電極８２２に、大気と異なる誘電率を有するものが近づくと、検知素子Ｃａの容量が変化する。具体的には、指などのものが検知素子Ｃａに近づくと、検知素子Ｃａの容量が変化する。これにより、近接検知器に用いることができる。

20

【０３２９】

第１の電極８２１および第２の電極８２２は、導電性の材料を含む。

【０３３０】

例えば、無機導電性材料、有機導電性材料、金属または導電性セラミックスなどを第１の電極８２１および第２の電極８２２に用いることができる。

【０３３１】

具体的には、第１の電極８２１及び第２の電極８２２として、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステン、ニッケル、銀またはマンガンから選ばれた金属元素、上述した金属元素を成分とする合金または上述した金属元素を組み合わせた合金などを用いることができる。

30

【０３３２】

または、第１の電極８２１及び第２の電極８２２として、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛などの導電性酸化物を用いることができる。

【０３３３】

または、第１の電極８２１及び第２の電極８２２として、グラフェンまたはグラファイトを用いることができる。グラフェンを含む膜は、例えば膜状に形成された酸化グラフェンを含む膜を還元して形成することができる。還元する方法としては、熱を加える方法や還元剤を用いる方法等を挙げることができる。

40

【０３３４】

または、第１の電極８２１及び第２の電極８２２として、導電性高分子を用いることができる。

【０３３５】

検知回路８３９は例えばトランジスタＭ１乃至トランジスタＭ３を含む。また、検知回路８３９は電源電位および信号を供給する配線を含む。例えば、信号線ＤＬ、配線ＶＰＩ、配線ＣＳ、走査線Ｇ１、配線ＲＥＳ、および配線ＶＲＥＳなどを含む。

【０３３６】

50

なお、検知回路 8 3 9 を窓部 8 3 4 と重ならない領域に配置してもよい。

【 0 3 3 7 】

導電性を有する材料を配線（例えば、信号線 D L、配線 V P I、配線 C S、走査線 G 1、配線 R E S、および配線 V R E S など）に適用できる。例えば、無機導電性材料、有機導電性材料、金属または導電性セラミックスなどを配線に用いることができる。または、第 1 の電極 8 2 1 および第 2 の電極 8 2 2 に用いることができる材料と同一の材料を配線として適用してもよい。

【 0 3 3 8 】

また、アルミニウム、金、白金、銀、ニッケル、チタン、タングステン、クロム、モリブデン、鉄、コバルト、銅、又はパラジウム等の金属材料や、該金属材料を含む合金材料を走査線 G 1、信号線 D L、配線 V P I、配線 R E S および配線 V R E S に用いることができる。

10

【 0 3 3 9 】

また、第 1 の基材 8 3 6 に検知回路 8 3 9 を形成してもよい。または、他の基材に形成された検知回路 8 3 9 を第 1 の基材 8 3 6 に転置してもよい。

【 0 3 4 0 】

第 1 の基材 8 3 6 及び第 2 の基材 8 1 0 としては、ガラス基板、または可撓性の材料（例えば、樹脂、樹脂フィルムまたはプラスチックフィルム等）を用いることができる。

【 0 3 4 1 】

より具体的には、第 1 の基材 8 3 6 及び第 2 の基材 8 1 0 としては、無アルカリガラス、ソーダ石灰ガラス、カリガラス若しくはクリスタルガラス等を用いることができる。または、第 1 の基材 8 3 6 としては、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート若しくはアクリル樹脂等の樹脂フィルムまたは樹脂板を用いることができる。

20

【 0 3 4 2 】

保護基材 8 3 7 または / および保護層 8 3 7 p としては、例えば、ガラス、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート若しくはアクリル樹脂等の樹脂フィルム、樹脂板または積層体等を用いることができる。

【 0 3 4 3 】

保護層 8 3 7 p としては、例えば、ハードコート層またはセラミックコート層を用いることができる。具体的には、UV 硬化樹脂または酸化アルミニウムを含む層を第 2 の電極 8 2 2 に重なる位置に形成してもよい。

30

【 0 3 4 4 】

表示モジュール 8 0 1 は、マトリクス状に配置された複数の画素 8 0 2 を備える（図 19（C）参照）。

【 0 3 4 5 】

例えば、画素 8 0 2 は副画素 8 0 2 B、副画素 8 0 2 G および副画素 8 0 2 R を含み、それぞれの副画素は表示素子と表示素子を駆動する画素回路を備える。

【 0 3 4 6 】

なお、画素 8 0 2 の副画素 8 0 2 B は着色層 C F B と重なる位置に配置され、副画素 8 0 2 G は着色層 C F G と重なる位置に配置され、副画素 8 0 2 R は着色層 C F R と重なる位置に配置される。

40

【 0 3 4 7 】

着色層 C F R は液晶素子 8 8 0 と重なる位置にある。なお、液晶素子 8 8 0 は、一方の電極として反射電極 8 7 2 を有する（図 20 参照）。これにより、反射電極 8 7 2 で反射された外光の一部は着色層 C F R を透過して、図中に示す矢印の方向に射出される。反射電極 8 7 2 としては、先の実施の形態に示す反射電極として機能する導電膜 7 7 2 と同様の構成とすることができる。また、液晶素子 8 8 0 は、誘電率の異方性が 2 以上 3 . 8 以下である液晶層を有する。

【 0 3 4 8 】

50

また、着色層（例えば着色層 C F R）を囲むように遮光性の層 B M がある。

【0349】

走査線駆動回路 803g は、トランジスタ 803t および容量 803c を含む（図 20 参照）。

【0350】

検知ユニット 820U が供給する検知信号 D A T A を変換してフレキシブル基板 F P C 1 に供給することができるさまざまな回路を、変換器 C O N V に用いることができる（図 19（A）および図 20 参照）。

【0351】

例えば、トランジスタ M 4 を変換器 C O N V に用いることができる。

10

【0352】

表示モジュール 801 は、反射防止層 867p を画素に重なる位置に備える。反射防止層 867p として、例えば円偏光板を用いることができる。

【0353】

図 19（A）に示すように、表示モジュール 801 は、信号を供給することができる配線 811 を備え、端子 819 が配線 811 に設けられている。なお、画像信号および同期信号等の信号を供給することができるフレキシブル基板 F P C 2 が端子 819 に電氣的に接続されている。

【0354】

なお、フレキシブル基板 F P C 2 にはプリント配線基板（P W B）が取り付けられていても良い。

20

【0355】

表示モジュール 801 は、走査線、信号線および電源線等の配線を有する。様々な導電膜を配線に用いることができる。

【0356】

表示モジュール 801 が有する配線としては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステン、ニッケル、イットリウム、ジルコニウム、銀またはマンガンから選ばれた金属元素、上述した金属元素を成分とする合金または上述した金属元素を組み合わせた合金等を用いることができる。とくに、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンの中から選択される一以上の元素を含むと好ましい。特に、銅とマンガンの合金がウエットエッチング法を用いた微細加工に好適である。

30

【0357】

表示モジュール 801 が有する配線の具体的な構成としては、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等を用いることができる。または、アルミニウム膜上にチタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数組み合わせた合金膜、もしくは窒化膜を積層する積層構造を用いることができる。または、酸化インジウム、酸化錫または酸化亜鉛を含む透光性を有する導電材料を用いてもよい。

40

【0358】

（実施の形態 8）

本実施の形態では、上記実施の形態で説明した液晶表示装置を用いて作製される電子機器の具体例について、図 21 を用いて説明する。

【0359】

本発明を適用可能な電子機器の一例として、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音楽

50

再生装置、遊技機（パチンコ機、スロットマシン等）、ゲーム筐体が挙げられる。これらの電子機器の具体例を図21に示す。

【0360】

図21(A)は、表示部を有する携帯情報端末1400を示している。携帯情報端末1400は、筐体1401に表示部1402及び操作ボタン1403が組み込まれている。本発明の一態様の液晶表示装置は、表示部1402に用いることができる。

【0361】

図21(B)は、携帯電話機1410を示している。携帯電話機1410は、筐体1411に表示部1412、操作ボタン1413、スピーカー1414、及びマイク1415が組み込まれている。本発明の一態様の液晶表示装置は、表示部1412に用いることができる。

10

【0362】

図21(C)は、音楽再生装置1420を示している。音楽再生装置1420は、筐体1421に表示部1422、操作ボタン1423、アンテナ1424が組み込まれている。またアンテナ1424からは、無線信号により情報を送受信することができる。本発明の一態様の液晶表示装置は、表示部1422に用いることができる。

【0363】

表示部1402、表示部1412及び表示部1422は、タッチ入力機能を有しており、表示部1402、表示部1412及び表示部1422に表示された表示ボタン（図示せず）を指などで触れることで、画面操作や、情報を入力することができる。

20

【0364】

先の実施の形態に示した液晶表示装置を表示部1402、表示部1412及び表示部1422に用いることで、表示品位の向上が図られた表示部1402、表示部1412及び表示部1422とすることができる。

【0365】

（本明細書等の記載に関する付記）

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

【0366】

<実施の形態で述べた本発明の一態様に関する付記>

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互い構成例を適宜組み合わせることが可能である。

30

【0367】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び/又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【0368】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

40

【0369】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び/又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【0370】

<図面を説明する記載に関する付記>

本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。構成同士的位置関係は、各構成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書で説明し

50

た記載に限定されず、状況に応じて適切に言い換えることができる。

【0371】

また、「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層 A 上の電極 B」の表現であれば、絶縁層 A の上に電極 B が直接接して形成されている必要はなく、絶縁層 A と電極 B との間に他の構成要素を含むものを除外しない。

【0372】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されない。

10

【0373】

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0374】

また、図面において、上面図（平面図、レイアウト図ともいう）や斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

20

【0375】

< 言い換え可能な記載に関する付記 >

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソース又はドレインの一方」（又は第 1 電極、又は第 1 端子）と表記し、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第 2 電極、又は第 2 端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

30

【0376】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0377】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも 0 V を意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

40

【0378】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0379】

< 語句の定義に関する付記 >

以下では、上記実施の形態中で言及しなかった語句の定義について説明する。

【0380】

50

<< スイッチについて >>

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

【0381】

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

【0382】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。

10

【0383】

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソースとドレインが電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソースとドレインが電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

20

【0384】

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0385】

<< チャネル長について >>

本明細書等において、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャネルが形成される領域における、ソースとドレインとの間の距離をいう。

30

【0386】

なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0387】

<< チャネル幅について >>

本明細書等において、チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

40

【0388】

なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル幅は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0389】

なお、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、実効的なチャネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャネル幅（以下、見かけ上のチャネル幅と呼ぶ。）と、が異なる場合がある。例えば

50

、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

【0390】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

10

【0391】

そこで、本明細書では、トランジスタの上面図において、半導体とゲートとが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

20

【0392】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0393】

<<画素について>>

本明細書等において、画素とは、例えば、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R（赤）G（緑）B（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。

30

【0394】

なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）や、RGBに、イエロー、シアン、マゼンタを追加したものなどがある。

【0395】

<<接続について>>

本明細書等において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的な作用を有する対象物が存在するとき、AとBとの電気信号の授受を可能とするものをいう。

40

【0396】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

50

【0397】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

10

【0398】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1の端子など）とトランジスタのドレイン（又は第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース（又は第1の端子など）からトランジスタのドレイン（又は第2の端子など）への電氣的パスであり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン（又は第2の端子など）からトランジスタのソース（又は第1の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

20

30

40

【0399】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【符号の説明】

【0400】

CLK1 クロック信号
CLK2 クロック信号
CLK3 クロック信号

50

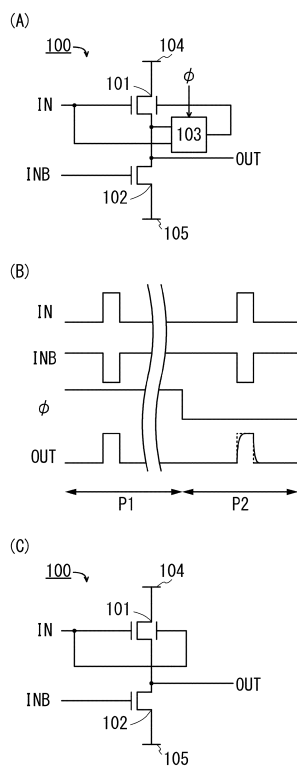
C L K 4	クロック信号	
G 1	走査線	
I D 1	電流	
I D 2	電流	
M 1	トランジスタ	
M 2	トランジスタ	
M 3	トランジスタ	
M 4	トランジスタ	
O U T _ n	出力端子	
O U T _ 1	出力端子	10
P 1	期間	
P 2	期間	
P W C 1	パルス幅制御信号	
P W C 2	パルス幅制御信号	
P W C 3	パルス幅制御信号	
P W C 4	パルス幅制御信号	
1 0 0	半導体装置	
1 0 0 A	半導体装置	
1 0 0 B	半導体装置	
1 0 0 C	半導体装置	20
1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 3	切り替え回路	
1 0 3 A	切り替え回路	
1 0 3 B	切り替え回路	
1 0 4	配線	
1 0 5	配線	
1 0 6	トランジスタ	
1 0 7	配線	
1 0 8	トランジスタ	30
1 0 9	トランジスタ	
1 1 0	トランジスタ	
1 1 1	トランジスタ	
1 1 1 S	トランジスタ	
1 2 1	導電層	
1 2 2	導電層	
1 2 3	半導体層	
1 2 4	開口	
1 2 5	導電層	
1 3 0	画素部	40
1 3 1	画素	
1 3 2	トランジスタ	
1 3 3	液晶素子	
1 3 4	容量素子	
1 3 5	トランジスタ	
1 3 6	トランジスタ	
1 3 7	E L 素子	
2 0 0	回路	
2 0 1	トランジスタ	
2 0 9	トランジスタ	50

3 0 0	回路	
3 0 1	回路	
6 0 0	トランジスタ	
6 0 1	基板	
6 0 2	ゲート	
6 0 3	絶縁層	
6 0 4	酸化物半導体層	
6 0 4 a	チャネル領域	
6 0 4 b	n型領域	
6 0 4 c	n型領域	10
6 0 5 a	電極	
6 0 5 b	電極	
6 0 6	絶縁層	
6 0 7	絶縁層	
6 0 8	バックゲート	
6 1 0	トランジスタ	
6 1 4	酸化物半導体層	
6 1 4 a	酸化物半導体層	
6 1 4 b	酸化物半導体層	
6 2 0	トランジスタ	20
6 2 4	酸化物半導体層	
6 2 4 a	酸化物半導体層	
6 2 4 b	酸化物半導体層	
6 2 4 c	酸化物半導体層	
6 5 0	トランジスタ	
6 5 1	絶縁層	
6 5 2	絶縁層	
6 5 4	絶縁層	
6 5 6	絶縁層	
6 6 0	トランジスタ	30
6 6 4	酸化物半導体層	
6 6 4 a	酸化物半導体層	
6 6 4 b	酸化物半導体層	
6 6 4 c	酸化物半導体層	
6 7 0	トランジスタ	
7 0 0	表示モジュール	
7 0 1	基板	
7 0 2	画素部	
7 0 4	ソースドライバ回路部	
7 0 5	基板	40
7 0 6	ゲートドライバ回路部	
7 0 8	F P C 端子部	
7 1 0	信号線	
7 1 1	配線部	
7 1 2	シール材	
7 1 6	F P C	
7 3 4	絶縁膜	
7 3 6	着色膜	
7 3 8	遮光膜	
7 5 0	トランジスタ	50

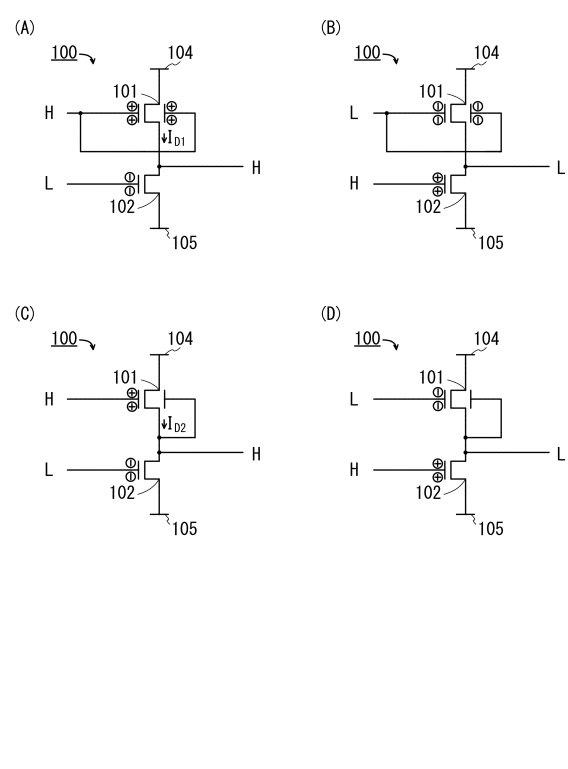
7 5 2	トランジスタ	
7 6 0	接続電極	
7 6 4	絶縁膜	
7 6 8	絶縁膜	
7 7 0	平坦化絶縁膜	
7 7 2	導電膜	
7 7 4	導電膜	
7 7 5	液晶素子	
7 7 6	液晶層	
7 7 8	構造体	10
7 8 0	異方性導電膜	
7 9 0	容量素子	
8 0 0	入出力装置	
8 0 1	表示モジュール	
8 0 2	画素	
8 0 2 B	副画素	
8 0 2 G	副画素	
8 0 2 R	副画素	
8 0 3 c	容量	
8 0 3 g	走査線駆動回路	20
8 0 3 t	トランジスタ	
8 1 0	基材	
8 1 1	配線	
8 1 9	端子	
8 2 0 U	検知ユニット	
8 2 1	電極	
8 2 2	電極	
8 2 3	絶縁層	
8 3 4	窓部	
8 3 6	基材	30
8 3 7	保護基材	
8 3 7 p	保護層	
8 3 9	検知回路	
8 5 0	入力装置	
8 6 7 p	反射防止層	
8 7 2	反射電極	
8 8 0	液晶素子	
1 4 0 0	携帯情報端末	
1 4 0 1	筐体	
1 4 0 2	表示部	40
1 4 0 3	操作ボタン	
1 4 1 0	携帯電話機	
1 4 1 1	筐体	
1 4 1 2	表示部	
1 4 1 3	操作ボタン	
1 4 1 4	スピーカー	
1 4 1 5	マイク	
1 4 2 0	音楽再生装置	
1 4 2 1	筐体	
1 4 2 2	表示部	50

1 4 2 3 操作ボタン
 1 4 2 4 アンテナ

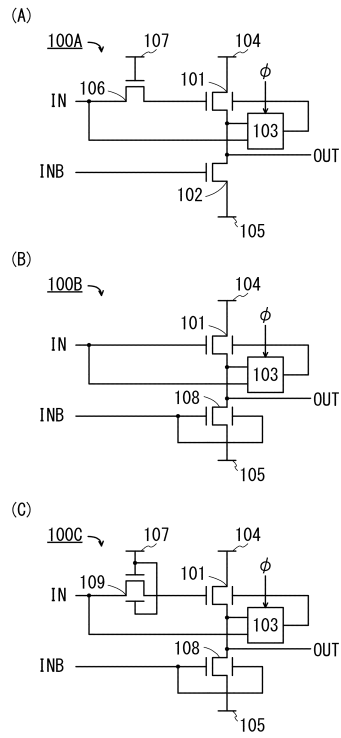
【図 1】



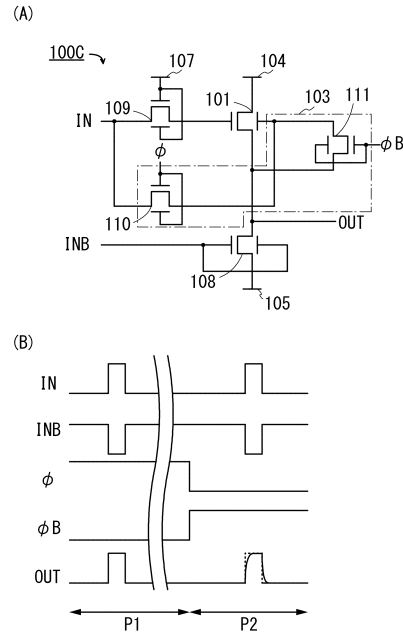
【図 2】



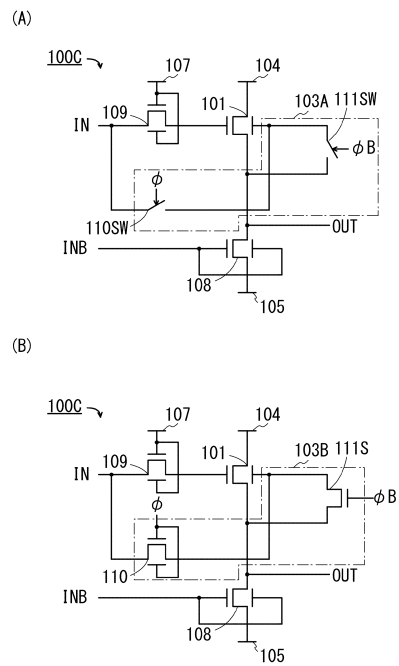
【図 3】



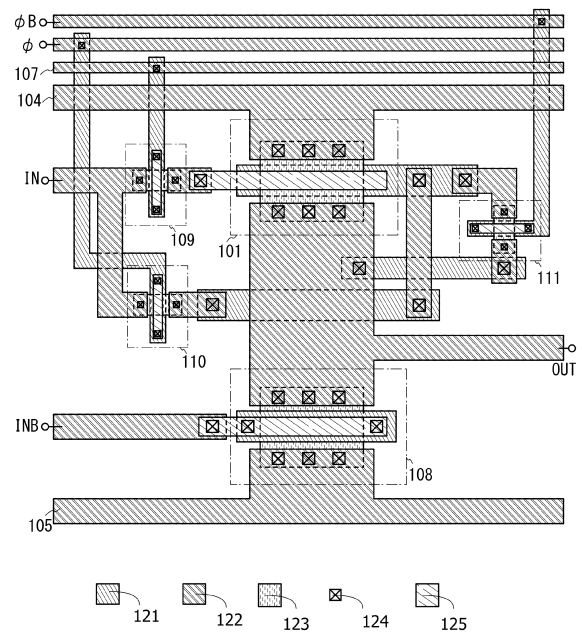
【図 4】



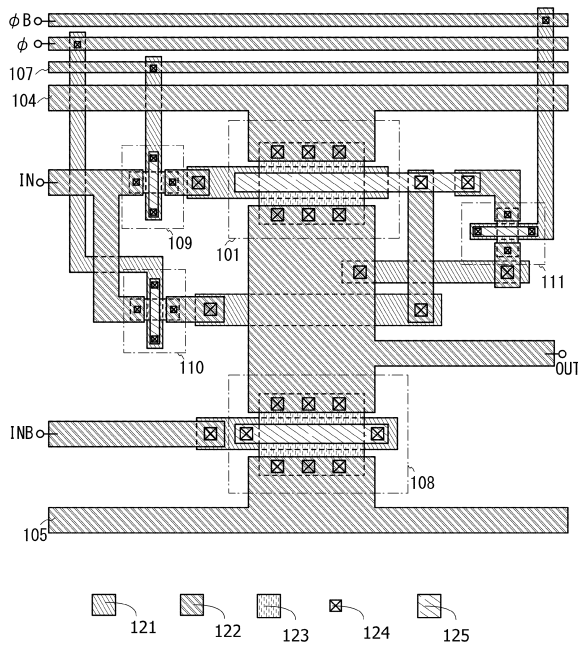
【図 5】



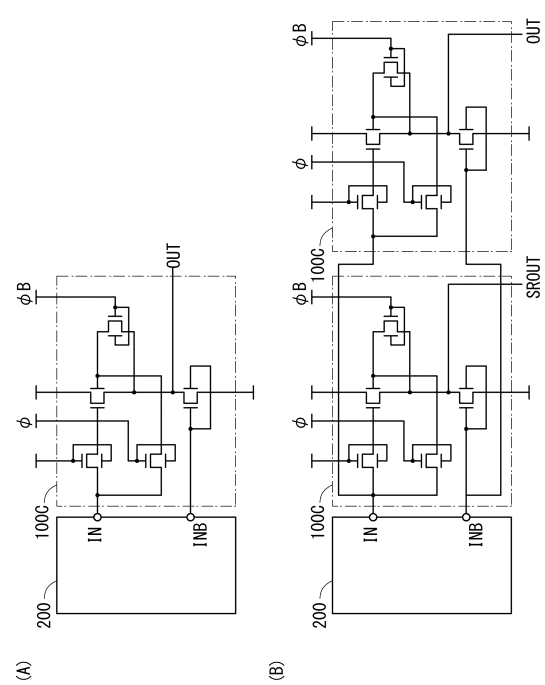
【図 6】



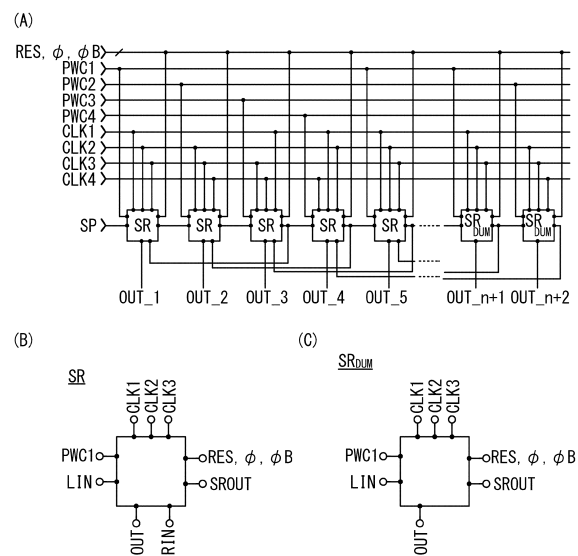
【図 7】



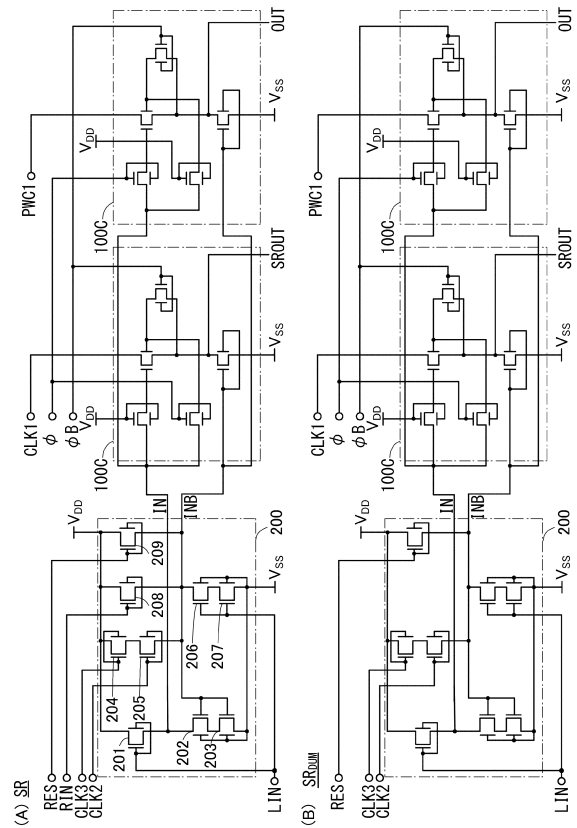
【図 8】



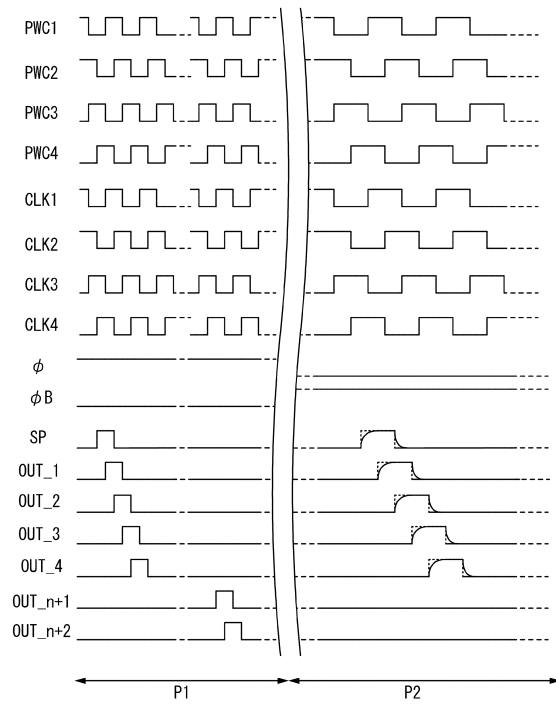
【図 9】



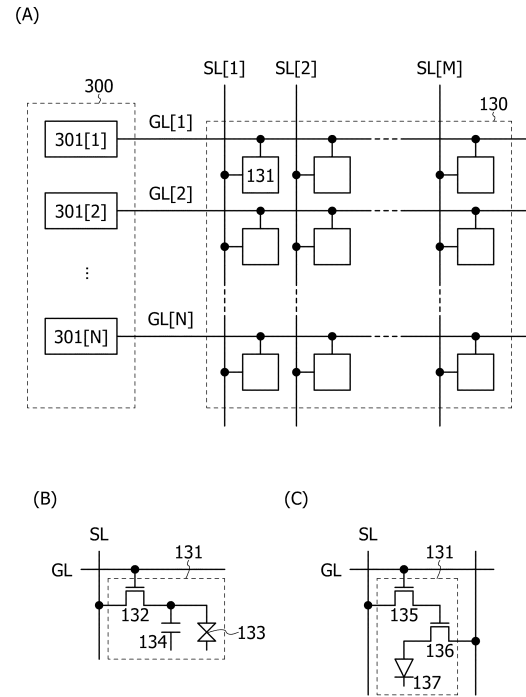
【図 10】



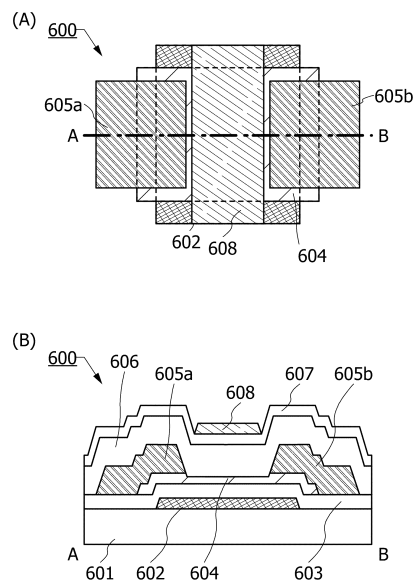
【図 1 1】



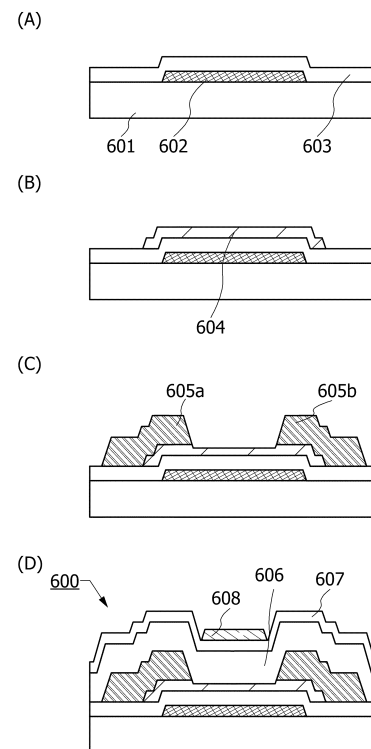
【図 1 2】



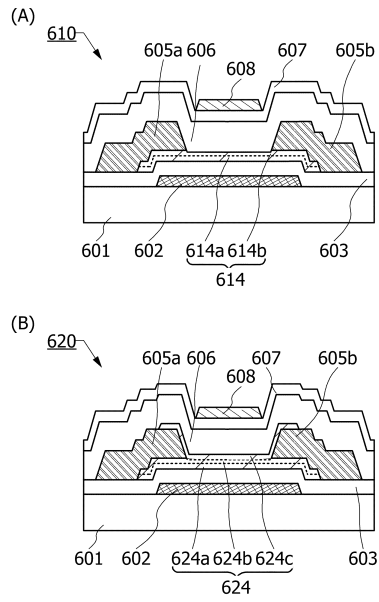
【図 1 3】



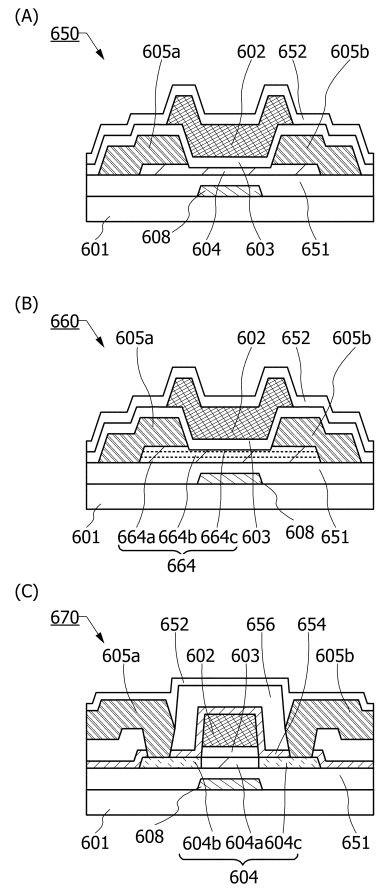
【図 1 4】



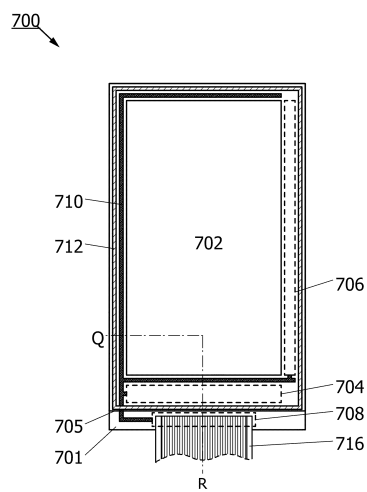
【図 15】



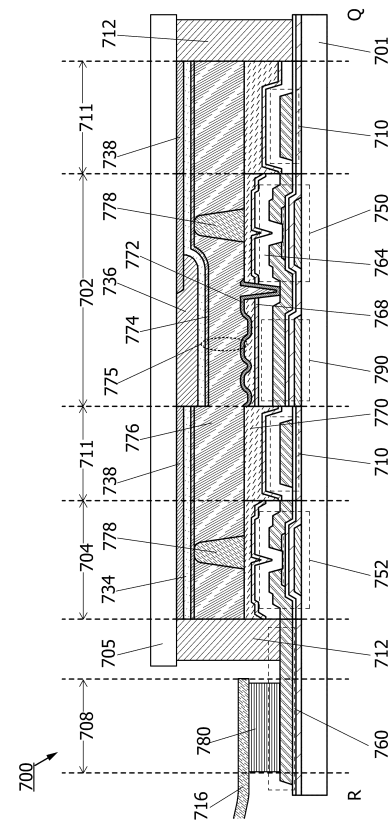
【図 16】



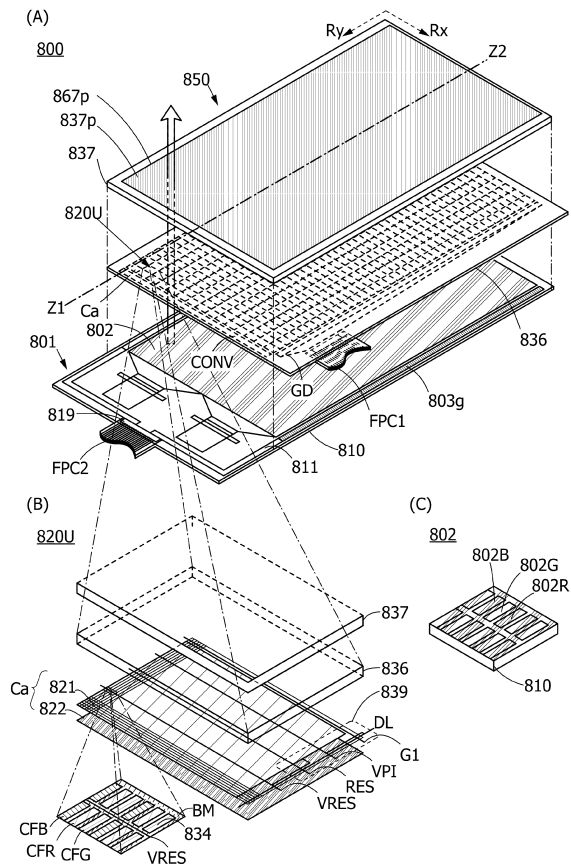
【図 17】



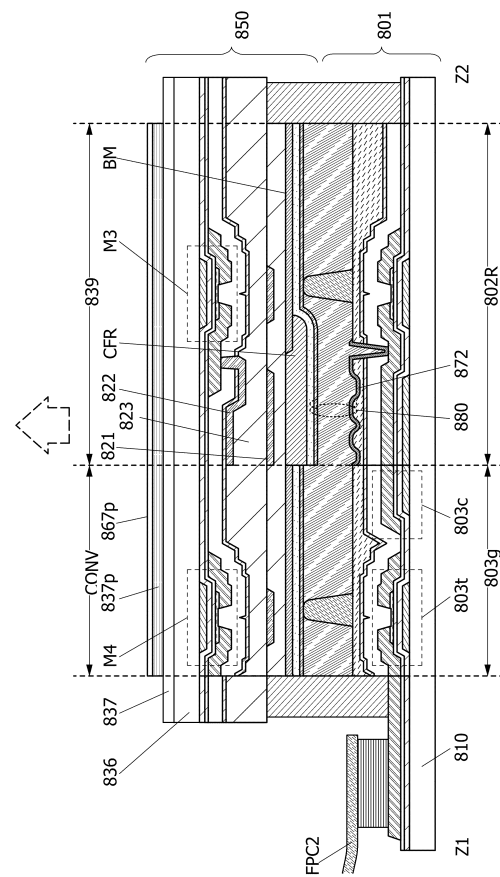
【図 18】



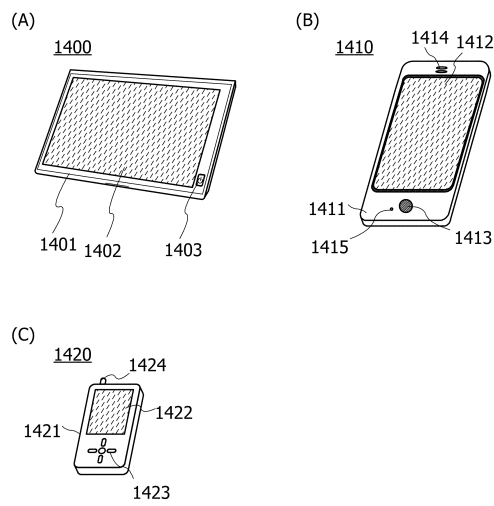
【 図 1 9 】



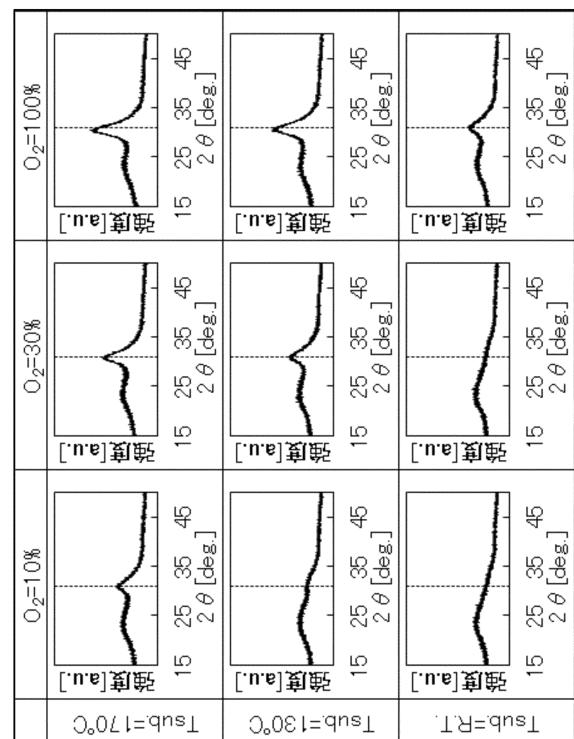
【 図 2 0 】



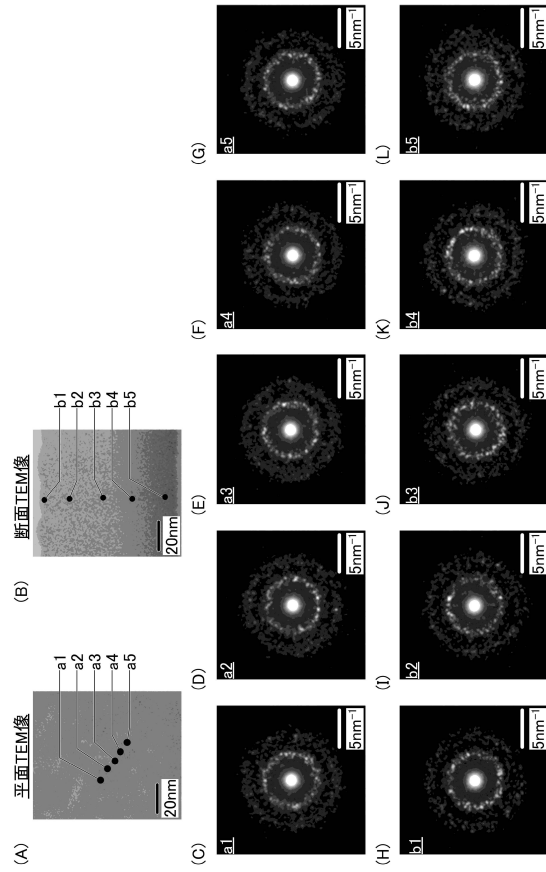
【 図 2 1 】



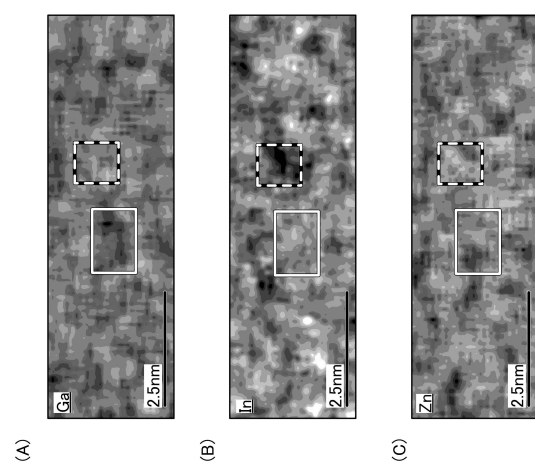
【 図 2 2 】



【図 2 3】



【図 2 4】



フロントページの続き

(51)Int.Cl.		F I		
G 0 2 F	1/1368	(2006.01)	G 0 9 G	3/30 J
H 0 1 L	51/50	(2006.01)	G 0 9 G	3/20 6 9 1 D
H 0 5 B	33/14	(2006.01)	G 0 2 F	1/1368
H 0 3 K	19/0948	(2006.01)	H 0 5 B	33/14 A
H 0 1 L	29/786	(2006.01)	H 0 5 B	33/14 Z
H 0 3 K	17/687	(2006.01)	H 0 3 K	19/0948
			H 0 1 L	29/78 6 1 7 N
			H 0 3 K	17/687 A

(56)参考文献 特開2010-200083(JP,A)
 特開2015-004978(JP,A)
 特開平9-238066(JP,A)
 特表2009-540771(JP,A)
 米国特許第6529536(US,B1)

(58)調査した分野(Int.Cl., DB名)

H 0 3 K 1 9 / 0 0 3
 H 0 3 K 1 9 / 0 9 4 8
 H 0 3 K 1 7 / 6 8 7
 H 0 1 L 2 9 / 7 8 6
 H 0 1 L 5 1 / 5 0
 H 0 5 B 3 3 / 1 4
 G 0 2 F 1 / 1 3 6 8
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 3 0
 G 0 9 G 3 / 3 2 3 3
 G 0 9 G 3 / 3 6