

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5766499号  
(P5766499)

(45) 発行日 平成27年8月19日(2015.8.19)

(24) 登録日 平成27年6月26日(2015.6.26)

(51) Int.Cl.	F 1
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 6 2 2 E
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 6 1 2 T
	G09G 3/20 6 2 1 A
	G09G 3/20 6 1 1 C
請求項の数 15 (全 26 頁) 最終頁に続く	

(21) 出願番号	特願2011-103164 (P2011-103164)	(73) 特許権者	502356528
(22) 出願日	平成23年5月2日(2011.5.2)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2012-234071 (P2012-234071A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成24年11月29日(2012.11.29)	(74) 代理人	110000154
審査請求日	平成26年5月2日(2014.5.2)		特許業務法人はるか国際特許事務所
		(72) 発明者	宮本 素明
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	落合 孝洋
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		審査官	中村 直行
最終頁に続く			

(54) 【発明の名称】 ゲート信号線駆動回路及び表示装置

(57) 【特許請求の範囲】

【請求項1】

画面表示時において、信号ハイ期間にハイ電圧を、前記信号ハイ期間以外の期間である信号ロー期間にロー電圧を、ゲート信号線に印加する、シフトレジスタ基本回路を、備える、ゲート信号線駆動回路であって、

前記シフトレジスタ基本回路は、

画面表示時には前記信号ハイ期間にハイ電圧となる所定の周期のクロック信号が入力されるクロック電圧線が入力側に接続されるとともに、前記信号ハイ期間に応じてオンされ、前記信号オフ期間に応じてオフされ、オン状態において前記ゲート信号線に前記クロック信号線の電圧を印加する、ゲート線ハイ電圧印加回路と、

画面表示時にはロー電圧となる第1基準電圧線が入力側に接続されるとともに、前記信号ロー期間に応じてオンされ、前記信号ハイ期間に応じてオフされ、オン状態において前記ゲート信号線に前記第1基準電圧線の電圧を印加する、ゲート線ロー電圧印加回路と、を、備え、

前記シフトレジスタ基本回路は、

画面非表示の所定の期間に、前記ゲート線ロー電圧印加回路がオフ状態となる、ことを特徴とする、ゲート信号線駆動回路。

【請求項2】

画面非表示の所定の期間に、前記第1基準電圧線がハイ電圧となる、ことを特徴とする、請求項1に記載のゲート信号線駆動回路。

## 【請求項 3】

前記シフトレジスタ基本回路は、

画面表示時には前記ゲート線ハイ電圧印加回路をオフするためのオフ電圧となる第2基準電圧線が入力側に接続されるとともに、前記信号ロー期間に応じてオンされ、前記信号ハイ期間に応じてオフされ、オン状態において前記ゲート線ハイ電圧印加回路のスイッチに前記第2基準電圧線の電圧を印加する、ハイ電圧印加オフ制御回路、をさらに備え、

前記シフトレジスタ基本回路は、

画面非表示の前記所定の期間に、前記ハイ電圧印加オフ制御回路がオフ状態となる、ことを特徴とする、請求項1に記載のゲート信号線駆動回路。

## 【請求項 4】

前記第2基準電圧線は、前記第1基準電圧線と接続されており、前記ゲート線ハイ電圧印加回路をオフするためのオフ電圧は前記第1基準電圧線のロー電圧と等しい、

ことを特徴とする、請求項3に記載のゲート信号線駆動回路。

## 【請求項 5】

前記シフトレジスタ基本回路は、

画面非表示の前記所定の期間に、オン状態となって、前記ゲート信号線にハイ電圧を印加する、画面非表示時ゲート線ハイ電圧印加回路、をさらに備える、

請求項1に記載のゲート信号線駆動回路。

## 【請求項 6】

前記シフトレジスタ基本回路は、

画面表示時には前記所定の周期であって前記クロック信号とは異なる位相のクロック信号が入力される他のクロック電圧線が入力側に接続され、前記異なる位相のクロック信号がハイ電圧であるときオン状態となり該異なる位相のクロック信号の電圧を出力側に印加するオン印加スイッチング素子を備える、ロー電圧印加オン制御回路と、

前記オン印加スイッチング素子の出力側と、前記ゲート線ロー電圧印加回路のスイッチと、の間に設けられ、画面表示時にはオン状態となり電氣的に接続し、画面非表示の前記所定の期間にはオフ状態となって電氣的に絶縁する、画面非表示オフ制御スイッチング素子と、をさらに備え、

前記異なる位相のクロック信号のハイ電圧が、前記ゲート線ロー電圧印加回路のスイッチに印加されることにより、前記ゲート線ロー電圧印加回路はオン状態に維持される、

ことを特徴とする、請求項1に記載のゲート信号線駆動回路。

## 【請求項 7】

前記シフトレジスタ基本回路は、

画面表示時には前記所定の周期であって前記クロック信号とは異なる位相のクロック信号が入力される他のクロック電圧線が入力側に接続され、前記異なる位相のクロック信号がハイ電圧であるときオン状態となり該異なる位相のクロック信号の電圧を出力側に印加するオン印加スイッチング素子を備える、ロー電圧印加オン制御回路と、

前記オン印加スイッチング素子の出力側と、前記ゲート線ロー電圧印加回路のスイッチ及び前記ハイ電圧印加オフ制御回路のスイッチと、の間に設けられ、画面表示時にはオン状態となり電氣的に接続し、画面非表示の前記所定の期間にはオフ状態となって電氣的に絶縁する、画面非表示オフ制御スイッチング素子と、をさらに備え、

前記異なる位相のクロック信号のハイ電圧が、前記ゲート線ロー電圧印加回路のスイッチ及び前記ハイ電圧印加オフ制御回路のスイッチに印加されることにより、前記ゲート線ロー電圧印加回路及び前記ハイ電圧印加オフ制御回路はオン状態に維持される、

ことを特徴とする、請求項3に記載のゲート信号線駆動回路。

## 【請求項 8】

前記シフトレジスタ基本回路は、

画面非表示の前記所定の期間に、オン状態となって、前記ゲート線ロー電圧印加回路をオフするためのオフ電圧を前記ゲート線ロー電圧印加回路のスイッチに印加する、画面非表示時スイッチオフ電圧印加回路、をさらに備える、

10

20

30

40

50

請求項 6 に記載のゲート信号線駆動回路。

【請求項 9】

前記シフトレジスタ基本回路は、

画面非表示の前記所定の期間に、オン状態となって、前記ゲート線ロー電圧印加回路及び前記ハイ電圧印加オフ制御回路それぞれをオフするためのオフ電圧を前記ゲート線ロー電圧印加回路のスイッチ及び前記ハイ電圧印加オフ制御回路のスイッチに印加する、画面非表示時スイッチオフ電圧印加回路、をさらに備える、

請求項 7 に記載のゲート信号線駆動回路。

【請求項 10】

画面非表示の前記所定の期間に、前記他のクロック電圧線がハイ電圧で維持される、  
ことを特徴とする、請求項 8 又は請求項 9 に記載のゲート信号線駆動回路。 10

【請求項 11】

画面表示時において、他の信号ハイ期間にハイ電圧を、前記他の信号ハイ期間以外の期間である他の信号ロー期間にロー電圧を、画面非表示の前記所定の期間に、ハイ電圧を、他のゲート信号線に印加する、他のシフトレジスタ基本回路を、さらに備え、

前記シフトレジスタ基本回路は、

前記他のゲート信号線がスイッチに接続され、前記他のゲート信号線にハイ電圧が印加されるとオン状態となり、画面非表示時の前記所定の期間において、前記ゲート線ハイ電圧印加回路をオンするためのオン電圧を前記ゲート線ハイ電圧印加回路のスイッチに印加する、画面非表示ハイ電圧印加オン制御回路を、さらに備える、 20

ことを特徴とする、請求項 3 に記載のゲート信号線駆動回路。

【請求項 12】

画面非表示の前記所定の期間に、前記クロック電圧線がハイ電圧で維持される、  
ことを特徴とする、請求項 11 に記載のゲート信号線駆動回路。

【請求項 13】

請求項 5 又は請求項 12 に記載のゲート信号線駆動回路と、

前記ゲート信号線に接続される画素回路と、を備え、

前記画素回路は、前記ゲート信号線のハイ電圧によりオン状態となり、入力側が接続されている映像信号線の電圧を、出力側に供給する、画素スイッチング素子を備えている、  
ことを特徴とする、表示装置。 30

【請求項 14】

前記画素回路の表示側と反対側に、光源をさらに備え、

画面非表示の前記所定の期間は、起動中であって前記光源が点灯していない期間に含まれる、

ことを特徴とする、請求項 13 に記載の表示装置。

【請求項 15】

請求項 1 乃至請求項 12 のいずれかに記載のゲート信号線駆動回路、を備える、表示装置。

【発明の詳細な説明】

【技術分野】 40

【0001】

本発明は、ゲート信号線駆動回路及びそれを用いた表示装置に関する。特に、ゲート信号線駆動回路におけるノイズの抑制に関する。

【背景技術】

【0002】

従来より、例えば、液晶表示装置において、ゲート信号線を走査するゲート信号線駆動回路に備えられたシフトレジスタ回路が、表示画面の表示領域に配置される薄膜トランジスタ (Thin Film Transistor: 以下、TFT と記す) と同一基板上に形成される方式、すなわち、シフトレジスタ内蔵方式が採用される場合がある。従来技術に係るシフトレジスタ回路として、特許文献 1 及び特許文献 2 に記載されている。 50

## 【 0 0 0 3 】

ゲート信号線駆動回路に備えられる複数のシフトレジスタ基本回路それぞれは、通常の画面表示時において、1フレーム期間のうち、そのシフトレジスタ基本回路に接続されるゲート信号線に対応するゲート走査期間（以下、信号ハイ期間と記す）にのみ、ハイ電圧がゲート信号 $G_n$ としてゲート信号線に印加され、それ以外の期間（以下、信号ロー期間と記す）は、ロー電圧がゲート信号 $G_n$ としてゲート信号線に印加される。

## 【 0 0 0 4 】

図11は、従来技術に係るシフトレジスタ基本回路の構成を、簡単に示した模式図である。シフトレジスタ基本回路に、信号ロー期間に応じてゲート信号線にロー電圧を印加するゲート線ロー電圧印加回路SWAと、信号ハイ期間に応じてゲート信号線にハイ電圧を印加するゲート線ハイ電圧印加回路SWGとが、備えられている。

10

## 【 0 0 0 5 】

ゲート線ハイ電圧印加回路SWGの入力側に、所定の周期のクロック信号 $V_n$ が入力される。信号ハイ期間に、対応するゲート信号線にハイ電圧が印加されるよう、信号ハイ期間に応じて、ゲート線ハイ電圧印加回路SWGはオンされ、クロック信号 $V_n$ の電圧がゲート信号線に印加される。ここで、クロック信号 $V_n$ は、所定の周期でハイ電圧となるクロック信号であり、信号ハイ期間にハイ電圧となっている。また、信号ロー期間に応じて、ゲート線ハイ電圧印加回路SWGはオフされ、クロック信号 $V_n$ の電圧を遮断し、ゲート信号線にクロック信号 $V_n$ の電圧は印加されない。ゲート線ハイ電圧印加回路SWGのスイッチに印加される電圧をノードN1とする。ゲート線ハイ電圧印加回路SWGがオン状態にある間、ノードN1はオン電圧となっており、ゲート線ハイ電圧印加回路SWGのスイッチにはオン電圧が印加される。また、ゲート線ハイ電圧印加回路SWGがオフ状態にある間、ノードN1はオフ電圧となっており、ゲート線ハイ電圧印加回路SWGのスイッチにはオフ電圧が印加される。

20

## 【 0 0 0 6 】

ゲート線ロー電圧印加回路SWAの入力側には、ロー電圧となるロー電圧線 $V_{GL}$ が接続されている。信号ロー期間にゲート信号線にロー電圧が安定して印加されるよう、信号ロー期間に応じて、ゲート線ロー電圧印加回路SWAはオンされ、ロー電圧線 $V_{GL}$ のロー電圧がゲート信号線に印加される。また、信号ハイ期間に応じて、ゲート線ロー電圧印加回路SWAはオフされる。ゲート線ロー電圧印加回路SWAのスイッチに印加される電圧をノードN2とする。ゲート線ロー電圧印加回路SWAがオン状態にある間、ノードN2はオン電圧となっており、ゲート線ロー電圧印加回路SWAのスイッチにはオン電圧が印加される。また、ゲート線ロー電圧印加回路SWAがオフ状態にある間、ノードN2はオフ電圧となっており、ゲート線ロー電圧印加回路SWAのスイッチにはオフ電圧が印加される。

30

## 【 0 0 0 7 】

図12は、従来技術に係るシフトレジスタ基本回路の回路図である。図12に示す各トランジスタは、NMOSトランジスタであり、各トランジスタのオン電圧はハイ電圧であり、オフ電圧はロー電圧である。図12に示す通り、トランジスタT5及び昇圧容量C1が、ゲート線ハイ電圧印加回路SWGである。信号ハイ期間に応じて、ノードN1はハイ電圧となり、入力端子IN1より入力されるクロック信号 $V_n$ の電圧が、出力端子OUTに接続されるゲート信号線に印加され、ゲート信号 $G_n$ として出力される。

40

## 【 0 0 0 8 】

また、図12に示す通り、トランジスタT6が、ゲート線ロー電圧印加回路SWAに相当している。信号ロー期間に応じて、ノードN2はハイ電圧に維持され、ロー電圧線 $V_{GL}$ のロー電圧が、出力端子OUTに接続されるゲート信号線に印加され、ロー電圧がゲート信号 $G_n$ として出力される。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 9 】

50

【特許文献1】特開2007-95190号公報

【特許文献2】特開2008-122939号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

通常の画面表示時において、1フレーム期間のうち、信号ロー期間はほとんどの期間を占めているため、ゲート線ロー電圧印加回路SWAは、長時間にわたって、オンされた状態に保たれる。この間、ゲート線ロー電圧印加回路SWAのスイッチには、長時間にわたって、ハイ電圧が印加されることとなる。一般に、スイッチング素子のスイッチに長時間にわたって(DC電圧として)オン電圧が印加されると、スイッチング素子の閾値電圧 $V_{TH}$ が正側にシフトして、スイッチング素子の特性が劣化する。ゲート線ロー電圧印加回路SWAの閾値電圧 $V_{TH}$ が正側にシフトすることにより、信号ロー期間に応じて、ゲート線ロー電圧印加回路SWAが安定的にロー電圧線 $V_{GL}$ のロー電圧を、出力端子OUTに接続されるゲート信号線に印加することが出来ず、ゲート信号 $G_n$ にノイズが生じ、特性が劣化する。

10

【0011】

本発明は、このような課題を鑑みて、長時間にわたってオン電圧が印加されているスイッチング素子の特性劣化を抑制し、ゲート信号線駆動回路としての性能の低下が抑制されるゲート信号線駆動回路、及び、それを用いた表示装置の提供にある。

【課題を解決するための手段】

20

【0012】

(1)上記課題を解決するために、本発明に係るゲート信号線駆動回路は、画面表示時において、信号ハイ期間にハイ電圧を、前記信号ハイ期間以外の期間である信号ロー期間にロー電圧を、ゲート信号線に印加する、シフトレジスタ基本回路を、備える、ゲート信号線駆動回路であって、前記シフトレジスタ基本回路は、画面表示時には前記信号ハイ期間にハイ電圧となる所定の周期のクロック信号が入力されるクロック電圧線が入力側に接続されるとともに、前記信号ハイ期間に応じてスイッチにオン電圧が印加され、前記信号オフ期間に応じて該スイッチにオフ電圧が印加され、オン状態において前記ゲート信号線に前記クロック信号線の電圧を印加する、ゲート線ハイ電圧印加回路と、画面表示時にはロー電圧となる第1基準電圧線が入力側に接続されるとともに、前記信号ロー期間に応じてスイッチにオン電圧が印加され、前記信号ハイ期間に応じて該スイッチにオフ電圧が印加され、オン状態において前記ゲート信号線に前記第1基準電圧線の電圧を印加する、ゲート線ロー電圧印加回路と、を、備え、前記シフトレジスタ基本回路は、画面非表示の所定の期間に、前記ゲート線ロー電圧印加回路のスイッチにオフ電圧が印加される、ことを特徴とする。

30

【0013】

(2)上記(1)に記載のゲート信号線駆動回路であって、画面非表示の所定の期間に、前記第1基準電圧線がハイ電圧となってもよい。

【0014】

(3)上記(1)又は(2)に記載のゲート信号線駆動回路であって、前記シフトレジスタ基本回路は、画面表示時にはオフ電圧となる第2基準電圧線が入力側に接続されるとともに、前記信号ロー期間に応じてスイッチにオン電圧が印加され、前記信号ハイ期間に応じて該スイッチにオフ電圧が印加され、オン状態において前記ゲート線ハイ電圧印加回路のスイッチに前記第2基準電圧線の電圧を印加する、ハイ電圧印加オフ制御回路、をさらに備え、前記シフトレジスタ基本回路は、画面非表示の前記所定の期間に、前記ハイ電圧印加オフ制御回路のスイッチにオフ電圧が印加されてもよい。

40

【0015】

(4)上記(3)に記載のゲート信号線駆動回路であって、画面非表示の所定の期間に、前記第2基準電圧線がオン電圧となってもよい。

【0016】

50

(5) 上記(3)又は(4)に記載のゲート信号線駆動回路であって、前記第2基準電圧線は、前記第1基準電圧線と接続されており、前記第2基準電圧線のオフ電圧は前記第1基準電圧線のロー電圧と等しく、前記第2基準電圧線のオン電圧は前記第1基準電圧線のハイ電圧と等しくてもよい。

【0017】

(6) 上記(1)乃至(5)のいずれかに記載のゲート信号線駆動回路であって、前記シフトレジスタ基本回路は、画面非表示の前記所定の期間に、オン状態となって、前記ゲート信号線にハイ電圧を印加する、画面非表示時ゲート線ハイ電圧印加回路、をさらに備えていてもよい。

【0018】

(7) 上記(1)又は(2)に記載のゲート信号線駆動回路であって、前記シフトレジスタ基本回路は、画面表示時には前記所定の周期であって前記クロック信号とは異なる位相のクロック信号が入力される他のクロック電圧線が入力側に接続され、前記異なる位相のクロック信号がハイ電圧であるときオン状態となり該異なる位相のクロック信号の電圧を出力側に印加するオン印加スイッチング素子を備える、ロー電圧印加オン制御回路と、前記オン印加スイッチング素子の出力側と、前記ゲート線ロー電圧印加回路のスイッチと、の間に設けられ、画面表示時にはオン状態となり電氣的に接続し、画面非表示の前記所定の期間にはオフ状態となって電氣的に絶縁する、画面非表示オフ制御スイッチング素子と、をさらに備え、前記ゲート線ロー電圧印加回路のスイッチに印加されるオン電圧は、前記異なる位相のクロック信号のハイ電圧に等しくてもよい。

【0019】

(8) 上記(3)乃至(5)のいずれかに記載のゲート信号線駆動回路であって、前記シフトレジスタ基本回路は、画面表示時には前記所定の周期であって前記クロック信号とは異なる位相のクロック信号が入力される他のクロック電圧線が入力側に接続され、前記異なる位相のクロック信号がハイ電圧であるときオン状態となり該異なる位相のクロック信号の電圧を出力側に印加するオン印加スイッチング素子を備える、ロー電圧印加オン制御回路と、前記オン印加スイッチング素子の出力側と、前記ゲート線ロー電圧印加回路のスイッチ及び前記ハイ電圧印加オフ制御回路のスイッチと、の間に設けられ、画面表示時にはオン状態となり電氣的に接続し、画面非表示の前記所定の期間にはオフ状態となって電氣的に絶縁する、画面非表示オフ制御スイッチング素子と、をさらに備え、前記ゲート線ロー電圧印加回路のスイッチと前記ハイ電圧印加オフ制御回路のスイッチは電氣的に接続されているとともに、前記ゲート線ロー電圧印加回路のスイッチに印加されるオン電圧及び前記ハイ電圧印加オフ制御回路のスイッチに印加されるオン電圧は、前記異なる位相のクロック信号のハイ電圧とともに等しくてもよい。

【0020】

(9) 上記(7)に記載のゲート信号線駆動回路であって、前記シフトレジスタ基本回路は、画面非表示の前記所定の期間に、オン状態となって、前記ゲート線ロー電圧印加回路のスイッチにオフ電圧を印加する、画面非表示時スイッチオフ電圧印加回路、をさらに備えていてもよい。

【0021】

(10) 上記(8)に記載のゲート信号線駆動回路であって、前記シフトレジスタ基本回路は、画面非表示の前記所定の期間に、オン状態となって、前記ゲート線ロー電圧印加回路のスイッチ及び前記ハイ電圧印加オフ制御回路のスイッチとともにオフ電圧を印加する、画面非表示時スイッチオフ電圧印加回路、をさらに備えていてもよい。

【0022】

(11) 上記(9)又は(10)に記載のゲート信号線駆動回路であって、画面非表示の前記所定の期間に、前記他のクロック電圧線がハイ電圧で維持されてもよい。

【0023】

(12) 上記(3)乃至(5)のいずれかに記載のゲート信号線駆動回路であって、画面表示時において、他の信号ハイ期間にハイ電圧を、前記他の信号ハイ期間以外の期間で

10

20

30

40

50

ある他の信号ロー期間にロー電圧を、画面非表示の前記所定の期間に、ハイ電圧を、他のゲート信号線に印加する、他のシフトレジスタ基本回路を、さらに備え、前記シフトレジスタ基本回路は、前記他のゲート信号線がスイッチに接続され、前記他のゲート信号線にハイ電圧が印加されるとオン状態となり、画面非表示時の前記所定の期間において、前記ゲート線ハイ電圧印加回路のスイッチにオン電圧を印加する、画面非表示ハイ電圧印加オン制御回路を、さらに備えていてもよい。

【0024】

(13) 上記(12)に記載のゲート信号線駆動回路であって、画面非表示の前記所定の期間に、前記クロック電圧線がハイ電圧で維持されてもよい。

【0025】

(14) 本発明に係る表示装置は、上記(6)又は(13)に記載のゲート信号線駆動回路と、前記ゲート信号線に接続される画素回路と、を備える表示装置であって、前記画素回路は、前記ゲート信号線のハイ電圧によりオン状態となり、入力側が接続されている映像信号線の電圧を、出力側に供給する、画素スイッチング素子を備えていてもよい。

【0026】

(15) 上記(14)に記載の表示装置であって、前記画素回路の表示側と反対側に、光源をさらに備え、画面非表示の前記所定の期間は、起動中であって前記光源が点灯していない期間に含まれていてもよい。

【0027】

(16) 本発明に係る表示装置は、上記(1)乃至(13)のいずれかに記載のゲート信号線駆動回路、を備える、表示装置であってよい。

【発明の効果】

【0028】

本発明により、長時間にわたってオン電圧が印加されているスイッチング素子の特性劣化が抑制され、ゲート信号線駆動回路としての性能の低下が抑制されるゲート信号線駆動回路、及び、それを用いた表示装置が提供される。

【図面の簡単な説明】

【0029】

【図1】本発明の第1の実施形態に係る液晶表示装置の全体斜視図である。

【図2】本発明の第1の実施形態に係るTFT基板の等価回路の概念図である。

【図3】本発明の第1の実施形態に係るシフトレジスタ回路のブロック図である。

【図4】本発明の第1の実施形態に係るシフトレジスタ回路のn番目のシフトレジスタ基本回路の回路図である。

【図5】本発明の第1の実施形態に係るn番目のシフトレジスタ基本回路の駆動方法を示す図である。

【図6】本発明の第2の実施形態に係るシフトレジスタ回路のn番目のシフトレジスタ基本回路の回路図である。

【図7】本発明の第3の実施形態に係るシフトレジスタ回路のn番目のシフトレジスタ基本回路の回路図である。

【図8】本発明の第4の実施形態に係るシフトレジスタ回路のn番目のシフトレジスタ基本回路の回路図である。

【図9】本発明の第4の実施形態に係るn番目のシフトレジスタ基本回路の駆動方法を示す図である。

【図10】本発明の他の実施形態に係る液晶表示装置に備えられるTFT基板の等価回路の概念図である。

【図11】従来技術に係るシフトレジスタ基本回路の構成を、簡単に示した模式図である。

。

【図12】従来技術に係るシフトレジスタ基本回路の回路図である。

【発明を実施するための形態】

【0030】

10

20

30

40

50

## [ 第 1 の実施形態 ]

本発明の第 1 の実施形態に係る表示装置は、たとえば、IPS (In-Plane Switching) 方式の液晶表示装置である。図 1 は、当該実施形態に係る液晶表示装置の全体斜視図である。TFT 基板 102 と、当該 TFT 基板 102 に対向しカラーフィルタが設けられるフィルタ基板 101 と、当該両基板に挟まれる領域に封入される液晶材料と、TFT 基板 102 のフィルタ基板 101 側と反対側に接して位置するバックライト 103 と、を含んで構成されている。なお、後述する通り、TFT 基板 102 には、ゲート信号線 105、映像信号線 107、画素電極 110、コモン電極 111、及び、TFT 109 などが配置される (図 2 参照)。

## 【 0031 】

図 2 は、TFT 基板 102 の等価回路の概念図である。図 2 において、TFT 基板 102 には、ゲート信号線駆動回路 104 に接続された多数のゲート信号線 105 が、互いに等間隔をおいて図中横方向に延びている。

## 【 0032 】

ゲート信号線駆動回路 104 に、シフトレジスタ制御回路 114 と、シフトレジスタ回路 112 が備えられており、シフトレジスタ制御回路 114 は、シフトレジスタ回路 112 に対して、後述する制御信号 115 を出力している。

## 【 0033 】

シフトレジスタ回路 112 に、複数のゲート信号線 105 それぞれに対応して、後述するシフトレジスタ基本回路 113 (図示せず) が複数備えられている。例えば、ゲート信号線 105 が 800 本存在しているとき、同じく、シフトレジスタ基本回路 113 が 800 個、シフトレジスタ回路 112 に備えられている。シフトレジスタ制御回路 114 から入力される制御信号 115 により、各シフトレジスタ基本回路 113 は、通常の画面表示時において、1 フレーム期間のうち、対応するゲート走査期間 (信号ハイ期間) にハイ電圧を、それ以外の期間 (信号ロー期間) にロー電圧を、対応するゲート信号線 105 に、それぞれ印加している。

## 【 0034 】

また、データ駆動回路 106 に接続される多数の映像信号線 107 が互いに等間隔をおいて図中縦方向に延びている。そして、これらゲート信号線 105 及び映像信号線 107 により碁盤状に並ぶ複数の画素領域がそれぞれ区画され、各画素領域に画素回路が形成されている。また、各ゲート信号線 105 と平行にコモン信号線 108 が図中横方向に延びている。

## 【 0035 】

各画素回路の隅には、TFT 109 が形成されており、映像信号線 107 と画素電極 110 に接続されている。また、TFT 109 のゲートは、ゲート信号線 105 と接続されている。各画素回路には、画素電極 110 に対向してコモン電極 111 が形成されている。

## 【 0036 】

なお、図 2 には、シフトレジスタ制御回路 114 とデータ駆動回路 106 は、別個の回路として示されているが、シフトレジスタ制御回路 114 及びデータ駆動回路 106 は、ワンチップに集積されたコントローラドライバ IC であってもよい。

## 【 0037 】

以上の回路構成において、各画素回路のコモン電極 111 にコモン信号線 108 を介して基準電圧が印加される。また、ゲート信号線 105 により TFT 109 のゲートにハイ電圧となるゲート電圧が選択的に印加されることにより、TFT 109 を流れる電流が制御される。ゲートにハイ電圧となるゲート電圧が印加された TFT 109 を通じて、映像信号線 107 に供給された映像信号の電圧が選択的に、画素電極 110 に印加される。これにより、画素電極 110 とコモン電極 111 との間に電位差が生じ、液晶分子の配向などを制御し、それにより、バックライト 103 からの光を遮蔽の度合を制御し、画像を表示することとなる。

10

20

30

40

50



## 【 0 0 3 8 】

図2では、簡単な説明のために、シフトレジスタ回路112は、図2の左片側にのみ図示されているが、実際には、シフトレジスタ回路112のシフトレジスタ基本回路113は、表示領域の左右両側に配置され、例えば、ゲート信号線105が800本あるとすると、両側にそれぞれ複数配置されたシフトレジスタ基本回路113によって、例えば、右側のシフトレジスタ基本回路113は奇数番目のゲート信号線105に、左側のシフトレジスタ基本回路113は偶数番目のゲート信号線105に、それぞれゲート信号を出力している。

## 【 0 0 3 9 】

図3は、シフトレジスタ回路112のブロック図である。シフトレジスタ回路112に備えられる複数のシフトレジスタ基本回路113のうち、奇数番目のシフトレジスタ基本回路113が図3の右側に、偶数番目のシフトレジスタ基本回路113が図3の左側に配置され、それぞれのシフトレジスタ基本回路113は、図3の中央に位置する表示領域120に、ゲート信号を出力している。図3には、 $n$ 番目のシフトレジスタ基本回路が、シフトレジスタ基本回路113  $n$ として記されている。シフトレジスタ制御回路114がシフトレジスタ回路112へ出力する制御信号115が、図3の右側に位置する奇数番目のシフトレジスタ基本回路113と、図3の左側に位置する偶数番目のシフトレジスタ基本回路113とに、それぞれ入力される。

## 【 0 0 4 0 】

奇数番目のシフトレジスタ基本回路113に、4本のクロック信号線が接続されている。該4本のクロック信号線には、通常の画面表示時において、所定の周期 $T$ であって4相の互いに位相の異なるクロック信号 $V_n, V_{n+2}, V_{n+4}, V_{n+6}$ がそれぞれ入力され、画面非表示の所定の期間において、ハイ電圧が印加される。偶数番目のシフトレジスタ基本回路113に、該4本のクロック信号線とは別の4本のクロック信号線が接続されている。該別の4本のクロック信号線には、通常の画面表示時において、所定の周期 $T$ であって4相の互いに位相の異なるクロック信号 $V_{n+1}, V_{n+3}, V_{n+5}, V_{n+7}$ がそれぞれ入力され、画面非表示の所定の期間において、ハイ電圧が印加される。

## 【 0 0 4 1 】

さらに、奇数番目及び偶数番目のシフトレジスタ基本回路113に、ともに、可変ハイ電圧線 $V_{GPH}$ と、可変ロー電圧線 $V_{GPL}$ とが接続されている。可変ハイ電圧線 $V_{GPH}$ には、通常の画面表示時には、ハイ電圧が印加され、画面非表示の所定の期間において、ロー電圧が印加される。同様に、可変ロー電圧線 $V_{GPL}$ には、通常の画面表示時には、ロー電圧が印加され、画面非表示の所定の期間において、ハイ電圧が印加される。

## 【 0 0 4 2 】

ここで、一般に、 $m$ 相のクロック信号について説明する。 $m$ 相のクロック信号は、ともに、所定の周期 $T$ で、互いに位相が異なるクロック信号である。クロック信号の周期を $T$ として、 $m$ 相のクロック信号の場合、1周期 $T$ は、 $T/m$ の期間に細分化することが出来る。 $T/m$ の期間を1クロックと呼ぶこととすると、1周期 $T$ は、 $m$ クロックからなっている。

## 【 0 0 4 3 】

4相のクロック信号 $V_n, V_{n+2}, V_{n+4}, V_{n+6}$ と、クロック信号 $V_{n+1}, V_{n+3}, V_{n+5}, V_{n+7}$ とは、ともに、1クロックが、1つの画素回路に画像データの書き込み期間である水平期間( $H$ )の2倍の期間( $2H$ )に相当しており、4相のクロック信号 $V_n, V_{n+2}, V_{n+4}, V_{n+6}$ の位相は、4相のクロック信号 $V_{n+1}, V_{n+3}, V_{n+5}, V_{n+7}$ の位相と、それぞれ、半クロックに対応する位相(1水平期間( $1H$ )に対応する位相)の差がある。

## 【 0 0 4 4 】

図3に示すシフトレジスタ基本回路113それぞれに、1番目のシフトレジスタ基本回路113  $1$ に示される通り、4個の入力端子 $IN1, IN2, IN3, IN4$ と、1個の出力端子 $OUT$ が備えられている。

10

20

30

40

50

## 【 0 0 4 5 】

n 番目のシフトレジスタ基本回路 1 1 3 n の入力端子 I N 1 , I N 2 について説明する。n 番目のシフトレジスタ基本回路 1 1 3 n において、通常の画面表示時において、クロック信号  $V_n$  ,  $V_{n+4}$  が入力される 2 本のクロック信号線が、それぞれ、入力端子 I N 1 , I N 2 に接続されている。ここで、n 番目のシフトレジスタ基本回路 1 1 3 - n の n の値を変化させると、それに伴い、それに伴い、入力されるクロック信号  $V_n$  ,  $V_{n+4}$  の n の値も変化するが、 $V_{n+8} = V_n = V_{n-8}$  などの関係式を用いることで、接続されるクロック信号が表される。

## 【 0 0 4 6 】

n 番目のシフトレジスタ基本回路 1 1 3 n の出力端子 O U T から対応するゲート信号線 1 0 5 へ出力されるゲート信号をゲート信号  $G_n$  と定義する。すなわち、n 番目のシフトレジスタ基本回路 1 1 3 - n は、出力端子 O U T に接続されるゲート信号線 1 0 5 にゲート信号  $G_n$  を出力している。n 番目のシフトレジスタ基本回路 1 1 3 n の入力端子 I N 3 に、n - 2 番目のシフトレジスタ基本回路 1 1 3 ( n - 2 ) の出力端子 O U T に接続されるゲート信号線 1 0 5 が接続されており、n 番目のシフトレジスタ基本回路 1 1 3 n の入力端子 I N 3 にゲート信号  $G_{n-2}$  が入力される。同様に、n 番目のシフトレジスタ基本回路 1 1 3 n の入力端子 I N 4 に、n + 4 番目のシフトレジスタ基本回路 1 1 3 ( n + 4 ) のゲート信号  $G_{n+4}$  が、入力される。なお、1 番目のシフトレジスタ基本回路 1 1 3 1 及び 2 番目のシフトレジスタ基本回路 1 1 3 2 の入力端子 I N 3 には、対応するゲート信号がないため、補助信号  $V_{ST1}$  ,  $V_{ST2}$  が、それぞれ、入力される。ここで、補助信号  $V_{ST1}$  ,  $V_{ST2}$  は、1 フレーム期間の始まりに応じて、ハイ電圧となる信号である。

## 【 0 0 4 7 】

また、シフトレジスタ回路 1 1 2 に、さらに、複数のダミー回路が備えられている。7 9 7 番目のシフトレジスタ基本回路 1 1 3 - 7 9 7、7 9 8 番目のシフトレジスタ基本回路 1 1 3 - 7 9 8、7 9 9 番目のシフトレジスタ基本回路 1 1 3 7 9 9 及び 8 0 0 番目のシフトレジスタ基本回路 1 1 3 8 0 0 の入力端子 I N 4 には、8 0 1 番目のダミー回路のゲート信号  $G_{801}$ 、8 0 2 番目のダミー回路のゲート信号  $G_{802}$ 、8 0 3 番目のダミー回路のゲート信号  $G_{803}$ 、及び 8 0 4 番目のダミー回路のゲート信号  $G_{804}$  が、それぞれ入力され、8 0 1 番目及び 8 0 3 番目のダミー回路の入力端子 I N 4 には補助信号  $V_{ST1}$  が、8 0 2 番目及び 8 0 4 番目のダミー回路の入力端子 I N 4 には補助信号  $V_{ST2}$  が、それぞれ、入力される。

## 【 0 0 4 8 】

図 4 は、当該実施形態に係るシフトレジスタ回路 1 1 2 の n 番目のシフトレジスタ基本回路 1 1 3 n の回路図である。図に示すトランジスタは、すべて N M O S トランジスタであり、各トランジスタのオン電圧はハイ電圧であり、オフ電圧はロー電圧である。よって、通常の画面表示時においてオフ電圧となる第 2 基準電圧線は、通常の画面表示時においてロー電圧となる第 1 基準電圧線と、接続されており、図には、第 1 基準電圧線及び第 2 基準電圧線は、可変ロー電圧線  $V_{GPL}$  として示されている。

## 【 0 0 4 9 】

図 4 に示す通り、トランジスタ T 5 及び昇圧容量 C 1 が、ゲート線ハイ電圧印加回路 S W G に相当し、ゲート線ハイ電圧印加回路 S W G のスイッチであるトランジスタ T 5 のゲートに接続される電圧がノード N 1 である。トランジスタ T 5 の入力側に、入力端子 I N 1 が接続され、通常の画面表示時においてクロック信号  $V_n$  が入力されるクロック信号線が、入力端子 I N 1 に接続される。トランジスタ T 5 の出力側に、出力端子 O U T が接続されている。ノード N 1 にオン電圧 ( ハイ電圧 ) が印加されると、トランジスタ T 5 はオンされ、トランジスタ T 5 がオン状態となっている間、トランジスタ T 5 は、入力端子 I N 1 に接続されるクロック信号線の電圧を出力端子 O U T に印加する。

## 【 0 0 5 0 】

トランジスタ T 6 が、ゲート線ロー電圧印加回路 S W A に相当し、ゲート線ロー電圧印

10

20

30

40

50

加回路SWAのスイッチであるトランジスタT6のゲートに接続される電圧は、ノードN2である。トランジスタT6の入力側に、通常の画面表示時においてロー電圧となる第1基準電圧線が接続されるが、前述の通り、ここで、第1基準電圧線は可変ロー電圧線 $V_{G_{PL}}$ である。また、トランジスタT6の出力側に、出力端子OUTが接続されている。ノードN2にオン電圧（ハイ電圧）が印加されると、トランジスタT6はオンされ、トランジスタT6がオン状態となっている間、トランジスタT6は、出力端子OUTに第1基準電圧線（可変ロー電圧線 $V_{G_{PL}}$ ）の電圧を印加する。

【0051】

トランジスタT2が、ハイ電圧印加オフ制御回路SWBに相当し、ハイ電圧印加オフ制御回路SWBのスイッチであるトランジスタT2のゲートに接続される電圧は、トランジスタT6のゲートに接続される電圧と同様に、ノードN2である。トランジスタT2の入力側に、通常の画面表示時においてオフ電圧となる第2基準電圧線が接続されるが、前述の通り、ここで、第2基準電圧線は可変ロー電圧線 $V_{G_{PL}}$ である。トランジスタT2の出力側に、ノードN1が接続される。ノードN2にオン電圧（ハイ電圧）が印加されると、トランジスタT2はオンされ、トランジスタT2がオン状態となっている間、トランジスタT2は、ノードN1に第2基準電圧線（可変ロー電圧線 $V_{G_{PL}}$ ）の電圧を印加する。

10

【0052】

トランジスタT14が、画面非表示時ゲート線ハイ電圧印加回路SWHに相当し、トランジスタT14のゲートと入力側はダイオード接続されており、トランジスタT14のゲート及び入力側に、可変ロー電圧線 $V_{G_{PL}}$ が接続され、トランジスタT14の出力側に、出力端子OUTが接続される。通常の画面表示時において、トランジスタT14のゲート及び入力側が可変ロー電圧線 $V_{G_{PL}}$ のロー電圧に維持されるので、トランジスタT14はオフ状態となっている。また、画面非表示の所定の期間において、可変ロー電圧線 $V_{G_{PL}}$ はハイ電圧となっており、トランジスタT14のゲート及び入力側がハイ電圧に維持されるので、トランジスタT14はオン状態となる。オン状態となっている間、トランジスタT14は、可変ロー電圧線 $V_{G_{PL}}$ のハイ電圧を、出力端子OUTに印加する。

20

【0053】

トランジスタT3及び保持容量C3が、ロー電圧印加オン制御回路に相当し、トランジスタT3は、ロー電圧印加オン制御回路が備えるオン印加スイッチング素子に相当する。トランジスタT3のゲートと入力側はダイオード接続されており、トランジスタT3のゲート及び入力側に、入力端子IN2が接続され、通常の画面表示時においてクロック信号 $V_{n+4}$ が入力される他のクロック信号線が入力端子IN2に接続される。トランジスタT3の出力側に接続される電圧がノードN3である。クロック信号 $V_{n+4}$ がハイ電圧であるとき、トランジスタT3はオンされ、トランジスタT3がオン状態になっている間、トランジスタT3は、クロック信号 $V_{n+4}$ が入力される他のクロック信号線の電圧をノードN3に印加する。保持容量C3は、トランジスタT3の出力側（ノードN3）と可変ロー電圧線 $V_{G_{PL}}$ との間に配置されている。なお、ここでは、保持容量C3は、トランジスタT3に隣接して配置されているが、それに限定されることはなく、ノードN3又はノードN2と可変ロー電圧線 $V_{G_{PL}}$ との間に設けられれば、いずれに配置されてもよい。

30

40

【0054】

トランジスタT12が、画面非表示オフ制御スイッチング素子SWSに相当し、トランジスタT12は、トランジスタT3の出力側（ノードN3）とトランジスタT6のゲート（ノードN2）との間に設けられており、画面非表示オフ制御スイッチング素子SWSのスイッチであるトランジスタT12のゲートに、可変ハイ電圧線 $V_{G_{PH}}$ が接続されている。通常の画面表示時において、可変ハイ電圧線 $V_{G_{PH}}$ はハイ電圧に維持され、トランジスタT12のゲートにオン電圧（ハイ電圧）が印加されて、トランジスタT12はオンされ、トランジスタT12がオン状態となっている間、ノードN2とノードN3を電氣的に接続する。よって、トランジスタT6のゲートに印加されるオン電圧は、クロック信号

50

$V_{n+4}$  のハイ電圧となっている。また、画面非表示の所定の期間には、可変ハイ電圧線  $V_{GPH}$  はロー電圧に維持され、トランジスタ  $T_{12}$  のゲートにオフ電圧（ロー電圧）が印加されて、トランジスタ  $T_{12}$  がオフ状態となっており、トランジスタ  $T_{12}$  は、ノード  $N_2$  とノード  $N_3$  を電氣的に絶縁する。

【0055】

トランジスタ  $T_{13}$  が、画面非表示スイッチオフ電圧印加回路  $SWC$  に相当し、画面非表示スイッチオフ電圧印加回路  $SWC$  のスイッチであるトランジスタ  $T_{13}$  のゲートに可変ロー電圧線  $V_{GPL}$  が、入力側に可変ハイ電圧線  $V_{GPH}$  が、出力側にノード  $N_2$  が、それぞれ接続されている。通常の画面表示時において、トランジスタ  $T_{13}$  のゲートに、可変ロー電圧線  $V_{GPL}$  のロー電圧が印加され、トランジスタ  $T_{13}$  はオフ状態となっ  
10  
ている。画面非表示の所定の期間において、トランジスタ  $T_{13}$  のゲートに、可変ロー電圧線  $V_{GPL}$  のハイ電圧が印加され、トランジスタ  $T_{13}$  はオン状態となっており、トランジスタ  $T_{13}$  は、可変ハイ電圧線  $V_{GPH}$  のロー電圧をノード  $N_2$  に印加する。

【0056】

当該実施形態に係る  $n$  番目のシフトレジスタ基本回路  $113$   $n$  は、さらに、トランジスタ  $T_1$ 、 $T_4$ 、 $T_7$ 、 $T_9$  を備えている。トランジスタ  $T_1$  のゲートと入力側はダイオード接続され、トランジスタ  $T_1$  のゲート及び入力側に入力端子  $IN_3$  が接続され、入力端子  $IN_3$  にゲート信号  $G_{n-2}$  が入力される。トランジスタ  $T_1$  の出力側にノード  $N_1$  が接続されている。トランジスタ  $T_4$  のゲートにノード  $N_1$  が、入力側に可変ロー電圧線  $V_{GPL}$  が、出力側にノード  $N_3$  が、それぞれ接続されている。トランジスタ  $T_7$  のゲ  
20  
ートに入力端子  $IN_3$  が、入力側に可変ロー電圧線  $V_{GPL}$  が、出力側にノード  $N_3$  が接続されている。トランジスタ  $T_9$  のゲートに入力端子  $IN_4$  が接続され、入力端子  $IN_4$  にゲート信号  $G_{n+4}$  が入力される。トランジスタ  $T_9$  の入力側に可変ロー電圧線  $V_{GPL}$  が、出力側にノード  $N_1$  が、それぞれ接続される。

【0057】

図5は、当該実施形態に係る  $n$  番目のシフトレジスタ基本回路  $113$   $n$  の駆動方法を示す図であり、ノード  $N_1$ 、 $N_2$ 、 $N_3$  の時間的な変化が、4相のクロック信号がそれぞれ入力される4本のクロック信号線の電圧と、可変ハイ電圧線  $V_{GPH}$  及び可変ロー電圧線  $V_{GPL}$  の電圧とともに示されている。なお、図には、ハイ電圧が  $H$  と、ロー電圧が  $L$  と  
30  
して、示されている。クロック信号  $V_n$  は、 $n$  番目のシフトレジスタ基本回路  $113-n$  が出力するゲート信号  $G_n$  がハイ電圧となる信号ハイ期間に、ハイ電圧となっている。

【0058】

さらに、図5には、通常の画面表示時が期間  $T_A$  として、画面非表示の所定の期間が期間  $T_B$  として示されている。ここで、画面非表示の所定の期間とは、例えば、当該実施形態に係る液晶表示装置の起動前であって電源が供給されている期間の少なくとも一部の期間であったり、当該実施形態に係る液晶表示装置に備えられるバックライト  $103$  が  $LED$  などである場合に、当該実施形態に係る液晶装置の起動中であって、バックライト  $103$  が消えていて画面非表示の状態となっている期間、たとえば、 $Deep\ Stand\ by$  時の少なくとも一部の期間である。すなわち、画面非表示の所定の期間は起動中であ  
40  
って光源が点灯していない期間に含まれる。

【0059】

以下、図5に示す時間変化とともに、シフトレジスタ基本回路  $113$  の駆動方法について説明する。まず、通常の画面表示時である期間  $T_A$  における駆動方法について説明する。期間  $T_A$  において、信号ロー期間に応じて、ノード  $N_1$  はロー電圧に、ノード  $N_2$  及びノード  $N_3$  はハイ電圧に維持されている。図に矢印で示す期間（クロック）をそれぞれ、 $P_1$ 、 $P_2$ 、 $P_3$ 、 $P_4$ 、 $P_5$  とする。前述の通り、期間  $T_A$  において、可変ハイ電圧線  $V_{GPH}$  はハイ電圧で維持され、トランジスタ  $T_{12}$  はオン状態となっており、ノード  $N_2$  とノード  $N_3$  は電氣的に接続されている。それゆえ、期間  $T_A$  において、ノード  $N_2$  とノード  $N_3$  はともに同じ時間変化をする。

【0060】

10

20

30

40

50

前述の通り、信号ロー期間に応じてノードN2がハイ電圧に維持されるので、トランジスタT6のゲート及びトランジスタT2のゲートそれぞれに、ノードN2のハイ電圧が印加され、トランジスタT6及びトランジスタT2はオン状態となっており、トランジスタT6は出力端子OUTに、トランジスタT2はノードN1に、可変ロー電圧線 $V_{GPL}$ のロー電圧をそれぞれ印加している。また、トランジスタT5のゲートに、ノードN1のロー電圧が印加され、トランジスタT5はオフ状態となっている。

【0061】

図5に示す期間P1の始まりに、 $n-2$ 番目のシフトレジスタ基本回路113 ( $n-2$ )のゲート信号 $G_{n-2}$ がロー電圧からハイ電圧に変化し、トランジスタT1, T7がオンされる。オン状態となっているトランジスタT7はノードN3に可変ロー電圧線 $V_{GPL}$ のロー電圧を印加し、ノードN3がハイ電圧からロー電圧に変化する。オン状態となっているトランジスタT12を介してノードN3と電氣的に接続されているノードN2も同様に、ハイ電圧からロー電圧に変化する。また、オン状態となっているトランジスタT1は、ノードN1にゲート信号 $G_{n-2}$ のハイ電圧を印加し、ノードN1はロー電圧からハイ電圧に変化する。よって、図5に示す通り、期間P1に、ノードN1はハイ電圧に、ノードN2及びノードN3はロー電圧に、変化している。

【0062】

ノードN2がロー電圧に変化するタイミングに応じて、トランジスタT2, T6はそれぞれオフされる。トランジスタT6がオフされることにより、出力端子OUTは、可変ロー電圧線 $V_{GPL}$ と電氣的に絶縁される。トランジスタT2がオフされることにより、ノードN1は、可変ロー電圧線 $V_{GPL}$ と電氣的に絶縁される。ノードN1がハイ電圧に変化するタイミングに応じて、トランジスタT4, T5はオンされる。トランジスタT5がオン状態となっている間、入力端子IN1に入力されるクロック信号 $V_n$ が、出力端子OUTより出力される。オン状態となっているトランジスタT4はノードN3に可変ロー電圧線 $V_{GPL}$ のロー電圧を印加し、ノードN2及びノードN3は、ロー電圧に維持される。

【0063】

図5に示す期間P2の始まりに、 $n-2$ 番目のシフトレジスタ基本回路113 ( $n-2$ )のゲート信号 $G_{n-2}$ がハイ電圧からロー電圧へ変化し、トランジスタT1, T7はオフされる。トランジスタT1がオフされた後も、ノードN1はハイ電圧で維持され、トランジスタT5はオン状態で維持される。期間P2において、クロック信号 $V_n$ はハイ電圧となっているので、信号ハイ期間である期間P2に、トランジスタT5はクロック信号 $V_n$ のハイ電圧を出力端子OUTに印加し、ハイ電圧となるゲート信号 $G_n$ が出力端子OUTより対応するゲート信号線105へ出力される。

【0064】

トランジスタT7がオフされた後も、ノードN1はハイ電圧に維持されており、トランジスタT4はオン状態で維持され、ノードN2及びノードN3はロー電圧に維持される。

【0065】

ここで、実際には、トランジスタT1に、閾値電圧 $V_{TH}$ が存在するために、期間P1において、ノードN1の電圧は、ゲート信号 $G_{n-2}$ のハイ電圧から、トランジスタT1の閾値電圧 $V_{TH}$ を減じた電圧となってしまふ。この電圧では、信号ハイ期間である期間P2において、トランジスタT5を十分にオンすることが出来ない場合もあり得るので、ゲート線ハイ電圧印加回路SWGには、昇圧容量C1がトランジスタT5のゲートと出力側の間に設けられており、昇圧容量C1はトランジスタT5と並列に接続されている。期間P2になると、ゲート信号 $G_{n-2}$ がロー電圧に変化し、トランジスタT1がオフされるが、ノードN1はハイ電圧に維持され、トランジスタT5はオン状態に維持される。期間P2には、トランジスタT5の出力側に、入力端子IN1に入力されるクロック信号 $V_n$ のハイ電圧が印加され、昇圧容量C1の容量カップリングにより、ノードN1は更に高電圧に昇圧される。これは、ブートストラップ電圧と呼ばれている。期間P2において、図5に示す通り、ノードN1は、ハイ電圧より高いブートストラップ電圧となっている。

10

20

30

40

50

## 【 0 0 6 6 】

図5に示す期間P3の始まりに、クロック信号 $V_n$ はハイ電圧からロー電圧に変化するが、昇圧容量 $C_1$ により、ノードN1はハイ電圧に維持され、トランジスタT4, T5はともに、オン状態で維持される。よって、期間P3において、クロック信号 $V_n$ はロー電圧となっているので、期間P2に、オン状態となっているトランジスタT5はクロック信号 $V_n$ のロー電圧を出力端子OUTに印加し、ロー電圧となるゲート信号 $G_n$ が出力端子OUTより対応するゲート信号線105へ出力される。また、オン状態となっているトランジスタT4により、ノードN2及びノードN3はロー電圧に維持され、トランジスタT2, T6はともに、オフ状態で維持される。

## 【 0 0 6 7 】

期間P4の始まりに、 $n+4$ 番目のシフトレジスタ基本回路113 ( $n+4$ )のゲート信号 $G_{n+4}$ がハイ電圧からロー電圧へ変化し、トランジスタT9はオンされ、可変ロー電圧線 $V_{GPL}$ のロー電圧がノードN1に印加され、ノードN1はハイ電圧からロー電圧に変化する。ノードN1がロー電圧に変化するタイミングに応じて、トランジスタT4, T5はそれぞれオフされる。

## 【 0 0 6 8 】

期間P4の始まりに、クロック信号 $V_{n+4}$ がロー電圧からハイ電圧へ変化し、トランジスタT3はオンされ、オン状態となっているトランジスタT3はクロック信号 $V_{n+4}$ のハイ電圧をノードN3に印加し、ノードN2及びノードN3はロー電圧からハイ電圧に変化する。ノードN2及びノードN3がハイ電圧に変化するタイミングに応じて、トランジスタT2, T6はそれぞれオンされ、保持容量 $C_3$ がハイ電圧に充電される。

## 【 0 0 6 9 】

期間P1, P2, P3において、ノードN1はハイ電圧に、ノードN2及びノードN3はロー電圧に維持されているが、期間P4に、ノードN1はロー電圧に、ノードN2はハイ電圧に、それぞれ変化する。

## 【 0 0 7 0 】

その後、期間P5の始まりに、クロック信号 $V_{n+4}$ がハイ電圧からロー電圧に変化し、トランジスタT3がオフされる。トランジスタT3がオフされた後も、保持容量 $C_3$ によりノードN2及びノードN3の電圧はハイ電圧で維持される。さらに、クロック信号 $V_{n+4}$ は周期的にハイ電圧となり、保持容量 $C_3$ を周期的に充電し続けるので、ノードN2及びノードN3の電圧は安定的にハイ電圧に維持されることとなる。よって、期間P5以降も、ノードN1はロー電圧に、ノードN2はハイ電圧に、それぞれ維持される。

## 【 0 0 7 1 】

以上、通常画面表示時である期間 $T_A$ における駆動方法について説明した。次に、画面非表示の所定の期間である期間 $T_B$ における駆動方法について説明する。図5に示す通り、通常画面表示時に4相のクロック信号がそれぞれ入力される4本のクロック信号線の電圧を期間 $T_B$ においてすべてハイ電圧とする。また、前述の通り、期間 $T_B$ において、可変ハイ電圧線 $V_{GPH}$ はロー電圧となり、可変ロー電圧線 $V_{GPL}$ はハイ電圧となる。

## 【 0 0 7 2 】

期間 $T_B$ の始まりに、可変ハイ電圧線 $V_{GPH}$ がハイ電圧からロー電圧に変化し、可変ロー電圧線 $V_{GPL}$ がロー電圧からハイ電圧に変化する。トランジスタT12のゲートに、可変ハイ電圧線 $V_{GPH}$ のロー電圧が印加され、トランジスタT12はオフされ、ノードN2はノードN3と電氣的に絶縁される。また、トランジスタT13のゲートに、可変ロー電圧線 $V_{GPL}$ のハイ電圧が印加され、トランジスタT13はオンされ、オン状態となっているトランジスタT13は、可変ハイ電圧線 $V_{GPH}$ のロー電圧をノードN2に印加し、ノードN2がハイ電圧からロー電圧に変化する。ノードN2がロー電圧に変化するタイミングに応じて、トランジスタT2, T6はそれぞれオフされる。

## 【 0 0 7 3 】

可変ロー電圧線 $V_{GPL}$ がロー電圧からハイ電圧に変化することにより、トランジスタ

10

20

30

40

50

T14はオンされ、オン状態となっているトランジスタT14は、出力端子OUTに可変ロー電圧線 $V_{GPL}$ のハイ電圧を印加する。よって、出力端子OUTより出力されるゲート信号 $G_n$ がロー電圧からハイ電圧に変化する。すなわち、出力端子OUTに接続されるゲート信号線105の電圧がロー電圧からハイ電圧に変化する。 $n-2$ 番目のシフトレジスタ基本回路113-( $n-2$ )や $n+4$ 番目のシフトレジスタ基本回路113-( $n+4$ )においても同様のことが生じているので、入力端子IN3に接続されているゲート信号線105(ゲート信号 $G_{n-2}$ )及び入力端子IN4に接続されているゲート信号線105(ゲート信号 $G_{n+4}$ )が、ロー電圧からハイ電圧に変化する。よって、トランジスタT1はオンされ、オン状態となっているトランジスタT1はノードN1にゲート信号線105のハイ電圧を印加する。また、トランジスタT7はオンされ、オン状態となっ

10

#### 【0074】

なお、ここで、 $n-2$ 番目のシフトレジスタ基本回路113-( $n-2$ )若しくは $n+4$ 番目のシフトレジスタ基本回路113-( $n+4$ )のいずれか(又は両方)が、他のゲート信号線にゲート信号を出力する他のシフトレジスタ基本回路に該当する。 $n-2$ 番目のシフトレジスタ基本回路113-( $n-2$ )の出力端子OUTに接続されるゲート信号線105は、 $n$ 番目のシフトレジスタ基本回路113- $n$ の出力端子OUTに接続されるゲート信号線105とは異なる他のゲート信号線であり、通常の画面表示時におけるゲート信号 $G_{n-2}$ の信号ハイ期間は、ゲート信号 $G_n$ の信号ハイ期間とは異なる他の信号ハイ期間である。ゲート信号 $G_{n-2}$ の信号ロー期間は、ゲート信号 $G_n$ の信号ロー期間と重なりはあるが異なっており、他の信号ロー期間である。 $n+4$ 番目のシフトレジスタ基本回路113-( $n+4$ )についても同様である。 $n$ 番目のシフトレジスタ基本回路113- $n$ のトランジスタT1及びトランジスタT9は、ともに、他のゲート信号線がゲート(スイッチ)に接続され、画面非表示の所定の期間において、ノードN1にオン電圧(ハイ電圧)を印加しており、トランジスタT1若しくはトランジスタT9のいずれか(又は

20

30

#### 【0075】

また、期間 $T_B$ の始まりに、4本のクロック信号線はともにロー電圧からハイ電圧に変化しており、オン状態となっているT5が出力端子OUTに、対応するクロック信号線のハイ電圧を印加し、出力端子OUTに接続されるゲート信号線105がより安定的に、ハイ電圧で維持される。また、オン状態となっているT3がノードN3に対応するクロック信号線のハイ電圧をノードN3に印加する。

#### 【0076】

当該実施形態に係るゲート信号線駆動回路の特徴は、画面非表示スイッチオフ電圧印加回路SWCであるトランジスタT13が、画面非表示の所定の期間に、ノードN2をロー電圧とすることにより、ゲート線ロー電圧印加回路SWAであるトランジスタT6をオフする点にある。通常の画面表示時には、1フレーム期間のうち長期間にわたって、トランジスタT6のゲートにハイ電圧が印加され、トランジスタT6の閾値電圧 $V_{TH}$ が正側にシフトして、トランジスタT6の素子特性が劣化するところ、画面非表示の所定の期間に、トランジスタT6がオフ状態に維持されることにより、トランジスタT6の閾値電圧 $V_{TH}$ が逆側(負側)にシフトし閾値電圧 $V_{TH}$ の絶対値が低下することにより、次の画面表示時において、トランジスタT6の素子特性が向上する。さらに、トランジスタT6の入力側に接続される第1基準電圧線(可変ロー電圧線 $V_{GPL}$ )の電圧が画面非表示の所定の期間にハイ電圧とすることにより、トランジスタT6の閾値電圧 $V_{TH}$ の逆側(負側)へのシフトがさらに高まり、トランジスタT6の素子特性がさらに向上する。

40

50

## 【 0 0 7 7 】

画面非表示時ゲート線ハイ電圧印加回路 S W H であるトランジスタ T 1 4 が、画面非表示の所定の期間に、出力端子 O U T 及び接続されるゲート信号線 1 0 5 の電圧をハイ電圧としている。これにより、トランジスタ T 6 の出力側の電圧がハイ電圧となるので、トランジスタ T 6 の閾値電圧  $V_{T H}$  の逆側（負側）へのシフトがさらに高まり、トランジスタ T 6 の素子特性がさらに向上する。

## 【 0 0 7 8 】

トランジスタ T 6 と同様に、通常の画面表示時には、1 フレーム期間のうち、長期間にわたって、トランジスタ T 2 のゲートにハイ電圧が印加され、トランジスタ T 2 の閾値電圧  $V_{T H}$  が正側にシフトしている。画面非表示の所定の期間に、トランジスタ T 2 がオフ状態に維持されることにより、トランジスタ T 2 の閾値電圧  $V_{T H}$  の絶対値が低下することにより、次の画面表示時において、トランジスタ T 2 の特性が向上する。さらに、トランジスタ T 6 と同様に、トランジスタ T 2 の入力側に接続される第 2 基準電圧線（可変ロー電圧線  $V_{G P L}$ ）の電圧がオン電圧（ハイ電圧）となるので、トランジスタ T 2 の閾値電圧  $V_{T H}$  の逆側（負側）へのシフトがさらに高まり、トランジスタ T 2 の素子特性がさらに向上する。

## 【 0 0 7 9 】

画面非表示ハイ電圧印加オン制御回路に相当するトランジスタ T 1 , T 9 は、画面非表示の所定の期間に、それぞれ接続されるゲート信号線 1 0 5 がハイ電圧となることにより、オンされ、オン状態となっているトランジスタ T 1 , T 9 が、ノード N 1 の電圧をハイ電圧としている。ノード N 1 がハイ電圧となることにより、トランジスタ T 2 の出力側の電圧がハイ電圧となるので、トランジスタ T 2 の閾値電圧  $V_{T H}$  の逆側（負側）へのシフトがさらに高まり、トランジスタ T 2 の素子特性がさらに向上する。

## 【 0 0 8 0 】

以上のことにより、画面非表示の所定の期間の次に画面表示を行う際に、1 フレーム期間のうち、信号ロー期間において、トランジスタ T 6 が安定的に出力端子 O U T にロー電圧を印加し、トランジスタ T 2 が安定的にトランジスタ T 5 をオフ状態とすることにより、ゲート信号  $G_n$  のノイズが抑制され、表示装置が表示する画面表示の品質がさらに向上する。

## 【 0 0 8 1 】

シフトレジスタ基本回路 1 1 3 において、通常の画面表示時には、1 フレーム期間のうち、長期間にわたって 2 個のトランジスタの素子特性の劣化を抑制することが出来るので、素子の長寿命化が実現され、それにより、シフトレジスタ駆動回路、及びそれを用いた表示装置の長寿命化が実現される。また、例えば、ゲート線ロー電圧印加回路 S W A やハイ電圧印加オフ制御回路 S W B それぞれに、スイッチング素子を複数設けて、各スイッチング素子にハイ電圧が印加される期間を低減させることにより、スイッチング素子の特性劣化を抑制することが出来るが、その場合、シフトレジスタ基本回路の回路規模が大きくなってしまふところ、当該実施形態に係るシフトレジスタ基本回路 1 1 3 では、スイッチング素子を数個（トランジスタ T 1 2 , T 1 3 , T 1 4）追加するだけで実現出来ており、回路規模の増大を抑制しつつ、シフトレジスタ基本回路 1 1 3 の特性を向上することが出来る。回路規模の増大が抑制されることにより、表示領域 1 2 0 の周りにあって、ゲート信号線駆動回路が配置される額縁領域の面積を狭くしたり、高精細化の要求にも対応することが出来る。

## 【 0 0 8 2 】

以上、当該実施形態に係るゲート信号線駆動回路の特性向上について説明したが、当該実施形態に係る表示装置は、さらに以下の効果を奏している。通常の画面表示時において、図 2 に示す通り、画素回路の T F T 1 0 9 のゲートには、接続されるゲート信号線 1 0 5 に入力されるゲート信号  $G_n$  がハイ電圧となる期間（信号ハイ期間）にハイ電圧が印加され、それ以外の期間（信号ロー期間）にロー電圧が印加される。1 フレーム期間のうち、信号ロー期間は長期間にわたるため、T F T 1 0 9 に接続される画素電極 1 1 0 が高い

10

20

30

40

50



電圧に維持される場合や、TFT109に接続される映像信号線107の電圧が高い電圧となっている場合に、TFT109の閾値電圧 $V_{TH}$ が負側にシフトしてしまう。閾値電圧 $V_{TH}$ の負側シフトが大きくなると、通常の画面表示時の信号ロー期間におけるTFT109のオフ電流が増加することとなり、映像信号線107の電圧がTFT109を介して画素電極110に印加され、画面表示に異常が発生してしまう。例えば、1フレーム(画面)のうち一部の領域のみを画面表示(ウィンドウ表示)している場合、ある画素回路の画素電極110には、暗表示となる表示制御電圧が維持されているにもかかわらず、当該TFT109が接続される映像信号線107に明表示となる他の画素回路の表示制御電圧が印加されると、当該TFT109が接続される画素電極110にこの表示制御電圧が付加され、縦スミアが発生する。当該実施形態に係るシフトレジスタ基本回路113を用いることにより、画面非表示の所定の期間に、ゲート信号線105の電圧がハイ電圧となり、TFT109のゲートにハイ電圧が印加されるため、TFT109の閾値電圧 $V_{TH}$ が逆側(正側)にシフトし閾値電圧 $V_{TH}$ の絶対値が低下することにより、次の画面表示時において、TFT109におけるオフ電流が抑制され、画面表示の異常が抑制される。すなわち、画面表示品質がさらに向上する。

10

## 【0083】

また、スイッチング素子における閾値電圧 $V_{TH}$ は、薄膜トランジスタ(TFT)、特に、薄膜に用いられる半導体がアモルファス(非晶質)シリコンである薄膜トランジスタ(TFT)でより問題となるので、ゲート信号線駆動回路のゲート線ロー電圧印加回路SWAやハイ電圧印加オフ制御回路SWBに、アモルファスシリコンを用いた薄膜トランジスタからなるスイッチング素子が備えられている場合、本発明の効果はさらに高まることとなる。同様に、画素回路のTFT109がアモルファスシリコンを用いた薄膜トランジスタである場合に、本発明の効果はさらに高まることとなる。

20

## 【0084】

なお、当該実施形態に係るゲート信号線駆動回路104において、各シフトレジスタ基本回路113に、画面非表示時ゲート線ハイ電圧印加回路SWHであるトランジスタT14が備えられるが、これに限定されることはない。図5に示す駆動方法によって駆動される場合、少なくとも1つのシフトレジスタ基本回路113にトランジスタT14が備えられていればよい。たとえば、あるシフトレジスタ基本回路113にトランジスタT14が備えられていることにより、当該シフトレジスタ基本回路113の出力端子OUTに接続されるゲート信号線105がハイ電圧となる。当該ゲート信号線105が接続される他のシフトレジスタ基本回路113の入力端子IN3(又は入力端子IN4)がハイ電圧となることにより、当該他のシフトレジスタ基本回路113のトランジスタT5がクロック信号線のハイ電圧を出力端子OUTに印加し、出力端子OUTに接続されるゲート信号線105がハイ電圧となり、連鎖的に他のシフトレジスタ基本回路113のノードN1をハイ電圧にし、ゲート信号線105をハイ電圧とすることが出来る。

30

## 【0085】

また、異なる駆動方法によって駆動する場合、複数のシフトレジスタ基本回路113すべてにトランジスタT14が備えられていなくてもよい。画面非表示の所定の期間である期間 $T_B$ の始まりに応じて、最初に可変ロー電圧線 $V_{GPL}$ をロー電圧からハイ電圧に変化させる。オン状態となっているトランジスタT2が可変ロー電圧線 $V_{GPL}$ のハイ電圧をノードN1に印加し、ノードN1がロー電圧からハイ電圧に変化する。ノードN1がハイ電圧に変化した後に、可変ハイ電圧線 $V_{GPH}$ をハイ電圧からロー電圧に変化させる。オン状態となっているトランジスタT13が可変ハイ電圧線 $V_{GPH}$ のロー電圧をノードN2に印加し、ノードN2がハイ電圧からロー電圧に変化する。ノードN2がロー電圧に変化するタイミングに応じて、トランジスタT2, T6がオフされる。そして、適当なタイミングで、入力端子IN1, IN2に接続されるクロック信号線をハイ電圧に変化させることにより、ゲート信号線105をハイ電圧とすることが出来る。

40

## 【0086】

[第2の実施形態]

50

本発明の第2の実施形態に係る表示装置は、第1の実施形態に係る表示装置と、基本的には同じ構成をしている。第1の実施形態に係る表示装置との主な違いは、当該実施形態に係るゲート信号線駆動回路104は、双方向駆動が可能であり、順方向駆動又は逆方向駆動のいずれかを選択して駆動することが出来る点にある。

【0087】

図6は、当該実施形態に係るシフトレジスタ回路112のn番目のシフトレジスタ基本回路113 - nの回路図である。図6に示すn番目のシフトレジスタ基本回路113 - nは、図4に示す第1の実施形態に係るn番目のシフトレジスタ基本回路113 - nと比較して、さらに、入力端子IN3A, IN4Aを備え、ゲート信号 $G_{n+2}$ ,  $G_{n-4}$ が、それぞれ、入力される。当該実施形態に係るn番目のシフトレジスタ基本回路113 - nは、さらに、トランジスタT1A, T7A, T9Aを備えている。トランジスタT1Aは、ノードN1に対してトランジスタT1と並列に配置され、トランジスタT1Aのゲートと入力側はダイオード接続され、トランジスタT1Aのゲート及び入力側に入力端子IN3が接続され、トランジスタT1Aの出力側にノードN1が接続されている。トランジスタT7AはノードN3と可変ロー電圧線 $V_{GPL}$ の間にトランジスタT7と並列に配置され、トランジスタT7Aのゲートに入力端子IN3Aが接続されている。トランジスタT9AはノードN1と可変ロー電圧線 $V_{GPL}$ の間にトランジスタT9と並列に配置され、トランジスタT9Aのゲートに入力端子IN4Aが接続されている。

10

【0088】

通常画面表示時において順方向駆動を行う場合、駆動方法は、第1の実施形態に係る駆動方法と同じである。図5に示す期間P1の一つ前の期間(クロック)に、n-4番目のゲート信号 $G_{n-4}$ はハイ電圧となる。当該期間において、トランジスタT9Aのゲートに、入力端子IN4Aに入力されるゲート信号 $G_{n-4}$ のハイ電圧が印加され、トランジスタT9Aはオン状態となっており、トランジスタT9Aは、ノードN1に可変ロー電圧線 $V_{GPL}$ のロー電圧を印加するが、当該期間においてノードN1はロー電圧に維持されており、ノードN1の電圧に変化はない。同様に、図5に示す期間P3に、n+2番目のゲート信号 $G_{n+2}$ はハイ電圧となる。期間P3において、トランジスタT1A, T7Aはともにオン状態となっており、トランジスタT1Aにゲート信号 $G_{n+2}$ のハイ電圧を印加し、トランジスタT7Aは可変ロー電圧線 $V_{GPL}$ のロー電圧を印加するが、期間P3において、ノードN1はハイ電圧に、ノードN3はロー電圧に維持されており、ノードN1及びノードN3の電圧に変化はない。

20

30

【0089】

通常画面表示時において逆方向駆動を行う場合の駆動方法において、4相のクロック信号は、図5に示す4相のクロック信号 $V_n$ と逆順に、ハイ電圧となっている。それにより、図5に示すゲート信号 $G_n$ と逆順に、シフトレジスタ基本回路113が出力するゲート信号は、nの値が大きい方から小さい方へ順に、ハイ電圧となっている。すなわち、この順に、信号ハイ期間となっている。よって、逆方向駆動を行う場合に、ゲート信号 $G_{n+2}$ がハイ電圧に変化することにより、トランジスタT1AがノードN1にハイ電圧を印加し、トランジスタT7AがノードN3にロー電圧を印加する。さらに、ゲート信号 $G_{n-4}$ がハイ電圧に変化することにより、トランジスタT9AがノードN1にロー電圧を印加する。逆方向駆動する場合に、ゲート信号 $G_{n+4}$ がハイ電圧に変化しても、ノードN1に変化はなく、ゲート信号 $G_{n-2}$ がハイ電圧に変化しても、ノードN1及びノードN3の電圧に変化はない。なお、画面非表示の所定の期間における駆動方法は、順方向駆動を行う場合も逆方向駆動を行う場合も、図5に示す期間 $T_B$ における駆動と同様である。

40

【0090】

シフトレジスタ基本回路113が図6に示す通り、双方向駆動が可能な構成をしており、当該実施形態に係る表示装置は、双方向駆動が可能であって、なおかつ、第1の実施形態において説明した本発明の効果をさらに奏している。なお、第1の実施形態において説明した通り、当該実施形態に係るゲート信号線駆動回路104において、各シフトレジスタ基本回路113に、画面非表示時ゲート線ハイ電圧印加回路SWHであるトランジスタ

50

T 1 4 が備えられることに限定されることはない。第 1 の実施形態で説明した通り、当該駆動方法にて駆動する場合は、少なくとも 1 つのシフトレジスタ基本回路 1 1 3 にトランジスタ T 1 4 が備えられていればよい。この場合、各シフトレジスタ基本回路 1 1 3 に 4 本のゲート信号線 1 0 5 が入力端子に接続されているので、第 1 の実施形態と比較して、より早くすべてのゲート信号線 1 0 5 の電圧をハイ電圧とすることが出来る。また、第 1 の実施形態で説明した通り、複数のシフトレジスタ基本回路 1 1 3 すべてにトランジスタ T 1 4 が備えられていなくてもよい。

【 0 0 9 1 】

[ 第 3 の実施形態 ]

本発明の第 3 の実施形態に係る表示装置は、第 1 の実施形態に係る表示装置と、基本的には同じ構成をしている。第 1 の実施形態に係る表示装置との主な違いは、シフトレジスタ基本回路 1 1 3 の構成にある。

10

【 0 0 9 2 】

図 7 は、当該実施形態に係るシフトレジスタ回路 1 1 2 の n 番目のシフトレジスタ基本回路 1 1 3 - n の回路図である。図 7 に示す n 番目のシフトレジスタ基本回路 1 1 3 - n は、図 4 に示す第 1 の実施形態に係る n 番目のシフトレジスタ基本回路 1 1 3 - n と異なり、画面非表示スイッチオフ電圧印加回路 S W C であるトランジスタ T 1 3 が配置されておらず、トランジスタ T 4 , T 7 の出力側がノード N 2 に接続されている。さらに、通常の画面表示時においても画面非表示の所定の期間においてもロー電圧となっているロー電圧線  $V_{GL}$  に、トランジスタ T 4 , T 7 の入力側が接続されており、保持容量 C 3 がノード N 3 とロー電圧線  $V_{GL}$  の間に配置されている。

20

【 0 0 9 3 】

当該実施形態に係るシフトレジスタ基本回路 1 1 3 は、図 5 に示す駆動方法によって駆動される。とくに、通常の画面表示時である期間  $T_A$  において、当該実施形態に係るシフトレジスタ基本回路 1 1 3 は、第 1 の実施形態に係るシフトレジスタ基本回路 1 1 3 と同様に駆動される。

【 0 0 9 4 】

画面非表示の所定の期間である期間  $T_B$  において、第 1 の実施形態と同様に、期間  $T_B$  の始まりに、トランジスタ T 1 2 はオフされ、ノード N 2 はノード N 3 と電氣的に絶縁される。また、第 1 の実施形態と同様に、トランジスタ T 1 4 はオンされ、トランジスタ T 1 4 は、出力端子 O U T にハイ電圧を印加し、出力端子 O U T に接続されるゲート信号線 1 0 5 の電圧がロー電圧からハイ電圧に変化する。

30

【 0 0 9 5 】

第 1 の実施形態に係るシフトレジスタ基本回路 1 1 3 において、トランジスタ T 1 3 がノード N 2 に可変ハイ電圧線  $V_{GPH}$  のロー電圧を印加している。これに対して、当該実施形態に係るシフトレジスタ基本回路 1 1 3 において、入力端子 I N 3 , I N 4 にそれぞれ接続されるゲート信号線 1 0 5 がロー電圧からハイ電圧に変化することにより、トランジスタ T 7 がオンされ、また、ノード N 1 がロー電圧からハイ電圧に変化するタイミングに応じてトランジスタ T 4 がオンされ、オン状態となっているトランジスタ T 4 , T 7 が、ロー電圧線  $V_{GL}$  のロー電圧をノード N 2 に印加し、ノード N 2 がハイ電圧からロー電圧に変化する。すなわち、第 1 の実施形態に係るシフトレジスタ基本回路 1 1 3 において、画面非表示の所定の期間に、トランジスタ T 1 3 がノード N 2 をロー電圧としていているところ、当該実施形態に係るシフトレジスタ基本回路 1 1 3 においては、通常の画面表示時にノード N 2 をロー電圧に変化させるトランジスタ T 4 , T 7 が、画面非表示の所定の期間にも、ノード N 2 をロー電圧としていている。これにより、シフトレジスタ基本回路 1 1 3 が回路規模の増大がより抑制された構成となっている。

40

【 0 0 9 6 】

さらに、ゲート信号線駆動回路 1 0 4 において、各シフトレジスタ基本回路 1 1 3 にトランジスタ T 1 4 が備えられる場合、画面非表示オフ制御スイッチング素子 S W S であるトランジスタ T 1 2 は必ずしも必要ではない。画面非表示の所定の期間に、4 本のクロッ

50

ク信号線をロー電圧とすることにより、トランジスタT3はオフ状態に維持することが出来るので、トランジスタT12を省略することができる。なお、この場合、ノードN1とトランジスタT5のゲートを電氣的に絶縁するか、入力端子IN1とトランジスタT5の入力側を電氣的に絶縁するか、工夫が必要である。

【0097】

[第4の実施形態]

本発明の第4の実施形態に係る表示装置は、第1の実施形態に係る表示装置と、基本的には同じ構成をしている。第1の実施形態に係る表示装置との主な違いは、ゲート信号線駆動回路104の構成にある。

【0098】

図8は、当該実施形態に係るシフトレジスタ回路112のn番目のシフトレジスタ基本回路113 - nの回路図である。当該実施形態に係る奇数番目のシフトレジスタ基本回路113に、2本のクロック信号線と、さらに、2本の補助クロック信号線が接続されている。2本のクロック信号線には、通常の画面表示時において、所定の周期であって2相の互いに位相の異なる(逆位相の)クロック信号 $V_n$ 、 $V_{n+2}$ がそれぞれ入力され、画面非表示の所定の期間において、ハイ電圧が印加される。2本の補助クロック信号線は、通常の画面表示時において、2相のクロック信号 $V_n$ 、 $V_{n+2}$ とそれぞれ同じ電圧変化をする補助クロック信号 $V_{S_n}$ 、 $V_{S_{n+2}}$ が入力され、画面非表示の所定の期間において、ロー電圧が印加される。偶数番目のシフトレジスタ基本回路113についても同様である。

【0099】

図8に示す当該実施形態に係るn番目のシフトレジスタ基本回路113 - nは、図4に示す第1の実施形態に係るn番目のシフトレジスタ基本回路113 - nと同様に、トランジスタT1、T2、T4、T5、T6、T14と、昇圧容量C1を備えている。そして、さらに、容量C2と、トランジスタT6A、T14が備えられている。入力端子IN4にゲート信号 $G_{n+2}$ が、入力端子IN2にはクロック信号 $V_{n+2}$ が、入力端子IN2Aには補助クロック信号 $V_{S_{n+2}}$ が、それぞれ入力される。

【0100】

図9は、当該実施形態に係るn番目のシフトレジスタ基本回路113 - nの駆動方法を示す図であり、ノードN1、N2の時間的な変化が、2相のクロック信号がそれぞれ入力される2本のクロック信号線及び1本の補助クロック信号線の電圧と、可変ロー電圧線 $V_{GPL}$ 及びロー電圧線 $V_{GL}$ の電圧とも示されている。

【0101】

通常の画素表示時である期間 $T_A$ において、信号ロー期間に応じてノードN1はロー電圧に維持されている。ノードN2は $V_n$ がハイ電圧の時にハイ電圧となる。ゲート信号 $G_{n-2}$ がハイ電圧に変化するとトランジスタT1はオンされ、トランジスタT1はノードN1にゲート信号 $G_{n-2}$ のハイ電圧を印加し、ノードN1はロー電圧からハイ電圧に変化する。ゲート信号 $G_{n+2}$ がハイ電圧に変化するとトランジスタT9はオンされ、トランジスタT9はノードN1に可変ロー電圧線 $V_{GPL}$ のロー電圧を印加し、ノードN1はハイ電圧からロー電圧に変化する。

【0102】

ノードN1がハイ電圧に変化するタイミングに応じて、ノードN1にゲートが接続されているトランジスタT4はオンされ、ロー電圧線 $V_{GL}$ のロー電圧をノードN2に印加し、ノードN2はハイ電圧からロー電圧に変化する。また、ノードN1がハイ電圧となっている間、トランジスタT4はオン状態となり、ノードN2はロー電圧に維持される。ゲート信号 $G_n$ の電圧がハイ電圧となる信号ハイ期間に、クロック信号 $V_n$ はハイ電圧となる。しかし、入力端子IN1とノードN2の間に容量C2が配置されており、容量C2の容量カップリングにより、ノードN2はロー電圧に維持される。ノードN1が再びロー電圧となり、トランジスタT4がオフされると、クロック信号 $V_n$ がハイ電圧になるタイミングでノードN2はハイ電圧となる。ノードN2がハイ電圧に変化するタイミングに応じて

10

20

30

40

50

、トランジスタT2はオンされ、オン状態となっているトランジスタT2は、可変ロー電圧線VGPLのロー電圧をノードN1に印加し、ノードN1はロー電圧で維持される。

【0103】

トランジスタT6Aは、出力端子OUTと可変ロー電圧線VGPLの間に、トランジスタT6と並列に配置される。トランジスタT15のゲートと出力側はダイオード接続されており、トランジスタT15及び出力側は、トランジスタT6Aのゲートと接続されている。トランジスタT15の入力側に、入力端子IN2が接続され、入力端子IN2にクロック信号 $V_{n+2}$ が入力される。トランジスタT15のゲートに、入力端子IN2Aが接続され、入力端子IN2Aに補助クロック信号 $V_{S_{n+2}}$ が入力される。

【0104】

通常の間表示時である期間 $T_A$ において、クロック信号 $V_{n+2}$ と補助クロック信号 $V_{S_{n+2}}$ は同じ電圧変化をするので、期間 $T_A$ においてトランジスタT15のゲートと入力側もダイオード接続されている。クロック信号 $V_{n+2}$ がハイ電圧となると、トランジスタT6Aはオンされ、オン状態となるトランジスタT6Aが出力端子OUTに可変ロー電圧線VGPLのロー電圧を印加する。逆に、クロック信号 $V_{n+2}$ がロー電圧となると、トランジスタT6Aはオフ状態となる。とくに、クロック信号 $V_{n+2}$ は、クロック信号 $V_n$ の逆位相となっているので、信号ハイ期間にクロック信号 $V_n$ がハイ電圧となっているとき、クロック信号 $V_{n+2}$ はロー電圧となっており、信号ハイ期間に、トランジスタT6Aはオフ状態となる。

【0105】

画面非表示の所定の期間である期間 $T_B$ において、2相のクロック信号 $V_n, V_{n+2}$ がそれぞれ入力される2本のクロック信号線の電圧をすべてハイ電圧とし、2相の補助クロック信号 $V_{S_n}, V_{S_{n+2}}$ がそれぞれ入力される2本の補助クロック信号線の電圧をすべてロー電圧とする。また、前述の通り、期間 $T_B$ において、可変ロー電圧線VGPLはハイ電圧となり、ロー電圧線VGLはロー電圧で維持される。

【0106】

補助クロック信号線をロー電圧とすることにより、入力端子IN2に印加される電圧がロー電圧となり、トランジスタT6Aはオフ状態となる。入力端子IN3, IN4に接続されるゲート信号線105がともにハイ電圧となることにより、トランジスタT1, T9がオンされ、トランジスタT1はゲート信号線105のハイ電圧を、トランジスタT9は可変ロー電圧線VGPLのハイ電圧を、それぞれノードN1に印加し、ノードN1はロー電圧からハイ電圧に変化する。ノードN1がハイ電圧に変化するタイミングに応じて、トランジスタT4がオンされ、トランジスタT4はロー電圧線VGLのロー電圧をノードN2に印加し、ノードN2はハイ電圧からロー電圧に変化する。

【0107】

以上により、画面非表示の所定の期間である期間 $T_B$ において、トランジスタT6のゲートにはロー電圧が、入力側及び出力側にはハイ電圧が印加される。トランジスタT2についても同様である。また、当該表示装置に備えられる複数のゲート信号線105がハイ電圧となり、該ゲート信号線105それぞれに接続される複数のTFT109のゲートにハイ電圧が印加される。シフトレジスタ基本回路113が回路規模の増大がより抑制された構成となっているが、第1の実施形態で説明した効果を当該実施形態に係る表示装置も奏している。

【0108】

以上、本発明のいくつかの実施形態に係るゲート信号線駆動回路104とそれを用いた表示装置について説明した。ここでは、本発明に係るゲート信号線駆動回路104は、図3に示す通り、表示領域120の両側にそれぞれ複数のシフトレジスタ基本回路113が配置されている。この場合、ゲート信号線駆動回路104に備えられるシフトレジスタ基本回路113を、表示領域120の両側に配置することにより、狭額縁化が可能となる。しかし、例えば、表示領域120の片側に配置されていてもよい。また、ここでは、本発明に係るゲート信号線駆動回路104は、表示領域120に隣り合って配置される2本の

10

20

30

40

50

ゲート信号線 105 にそれぞれ印加するゲート信号の信号ハイ期間が、半クロック（1 水平期間（1 H））重なるオーバーゲートのゲート信号を出力している。しかし、これに限定されることはなく、例えば、ゲート信号線駆動回路 104 は、複数の水平期間が重なるオーバーゲートのゲート信号を出力してもよい。また、隣り合って配置される 2 本のゲート信号線の信号ハイ期間が連続して重なりのない通常のゲート信号を出力してもよい。

【0109】

また、ここでは、本発明に係るシフトレジスタ基本回路 113 において、画面非表示の所定の期間に、ゲート線ロー電圧印加回路 SWA であるトランジスタ T6 やハイ電圧印加オフ制御回路 SWB であるトランジスタ T2 が、ともにオフされる場合について示している。しかし、これに限定されることはなく、例えば、ゲート線ロー電圧印加回路 SWA であるトランジスタ T6 のみがオフされる場合であっても、ハイ電圧印加オフ制御回路 SWB であるトランジスタ T2 のみがオフされる場合であっても、本発明を適用することが出来る。

10

【0110】

さらに、ここでは、本発明に係るシフトレジスタ基本回路 113 を構成するスイッチング素子を、すべて NMOS トランジスタとしたが、必要に応じて、PMOS トランジスタを用いてもよい。PMOS トランジスタの場合、ゲートに印加されるオン電圧がロー電圧に、オフ電圧がハイ電圧となる。さらに、それ以外のスイッチング素子であってもよい。

20

【0111】

また、ここでは、第 1 乃至第 3 の実施形態において 4 相のクロック信号によって制御される場合について、第 4 の実施形態において 2 相のクロック信号によって制御される場合について、示しているが、これに限定されることはない。

【0112】

なお、本発明の実施形態に係る表示装置において、上記では、図 2 に示す通り、IPS 方式の液晶表示装置について説明しているが、本発明に係る表示装置は、VA (Vertically Aligned) 方式や TN (Twisted Nematic) 方式等、その他の駆動方式の液晶表示装置であってもよいし、有機 EL 表示装置など、他の表示装置であってもよい。図 10 は、VA 方式及び TN 方式の液晶表示装置に備えられる TFT 基板 102 の等価回路の概念図である。VA 方式及び TN 方式の場合には、コモン電極 111 が TFT 基板 102 と対向するフィルタ基板 101 に設けられている。

30

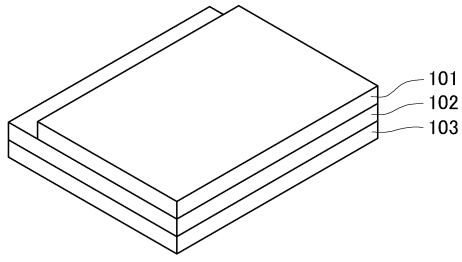
【符号の説明】

【0113】

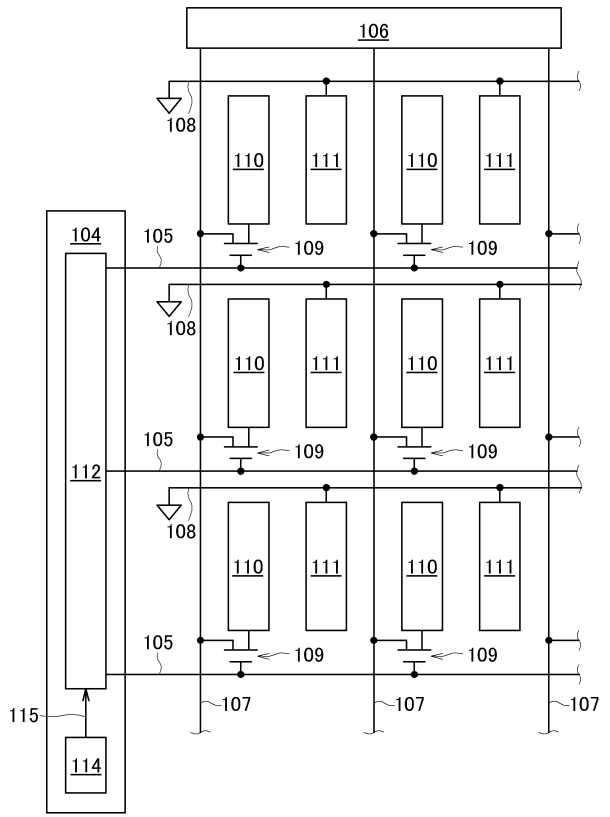
101 フィルタ基板、102 TFT 基板、103 バックライト、104 ゲート信号線駆動回路、105 ゲート信号線、106 データ駆動回路、107 映像信号線、108 コモン信号線、109 TFT、110 画素電極、111 コモン電極、112 シフトレジスタ回路、113 シフトレジスタ基本回路、114 シフトレジスタ制御回路、115 制御信号、120 表示領域、C1 昇圧容量、C2 容量、C3 保持容量、 $G_n$  ゲート信号、 $IN1$ ,  $IN2$ ,  $IN3$ ,  $IN4$  入力端子、 $N1$ ,  $N2$ ,  $N3$  ノード、OUT 出力端子、SWA ゲート線ロー電圧印加回路、SWB ハイ電圧印加オフ制御回路、SWC 画面非表示スイッチオフ電圧印加回路、SWG ゲート線ハイ電圧印加回路、SWH 画面非表示時ゲート線ハイ電圧印加回路、SS 画面非表示オフ制御スイッチング素子、T1, T2, T3, T4, T5, T6, T7, T9, T12, T13, T14, T15 トランジスタ、 $VS_n$  補助クロック信号、 $V_n$  クロック信号、 $V_{GPH}$  可変ハイ電圧線、 $V_{GPL}$  可変ロー電圧線、 $V_{GL}$  ロー電圧線、 $V_{ST1}$ ,  $V_{ST2}$  補助信号。

40

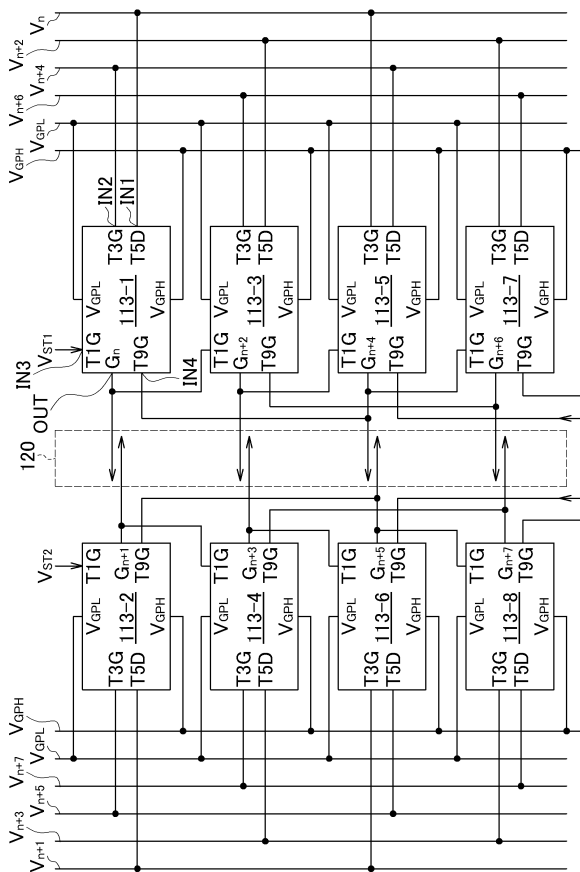
【図1】



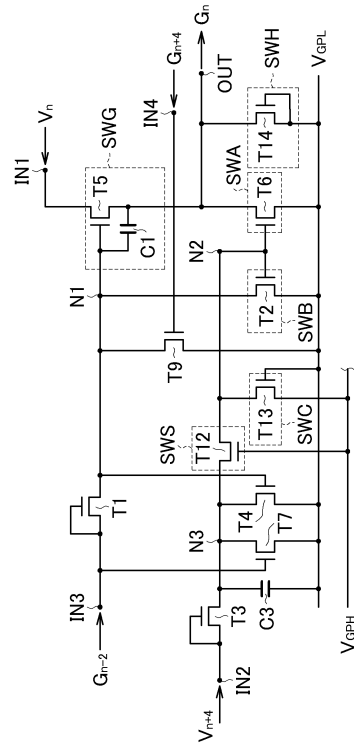
【図2】



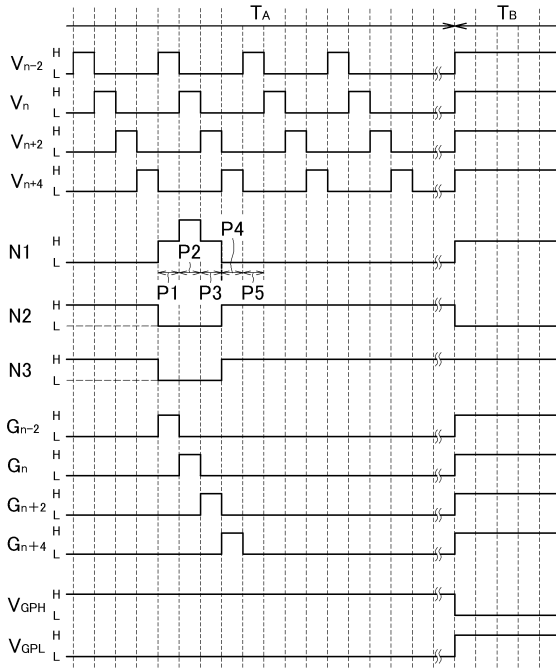
【図3】



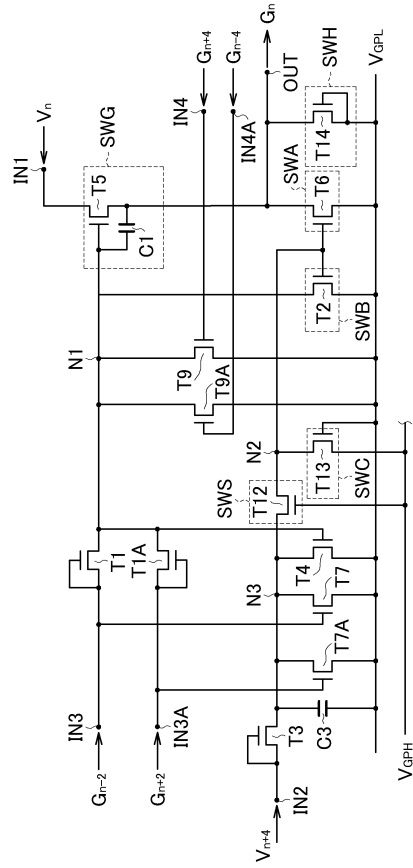
【図4】



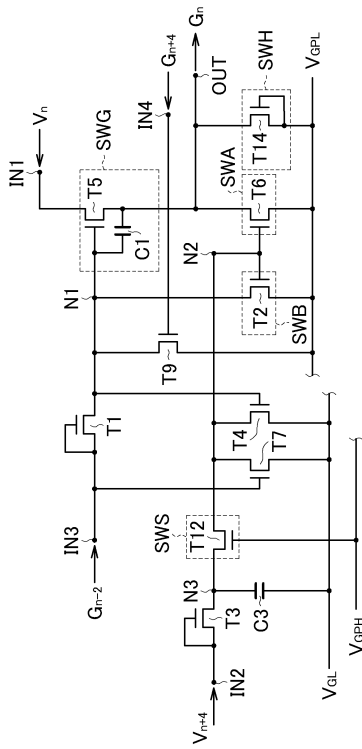
【図 5】



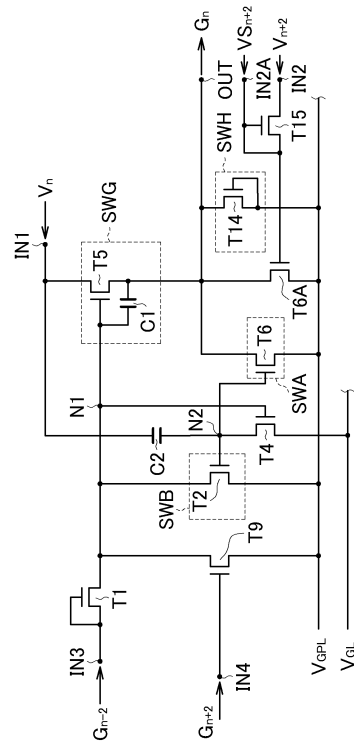
【図 6】



【図 7】

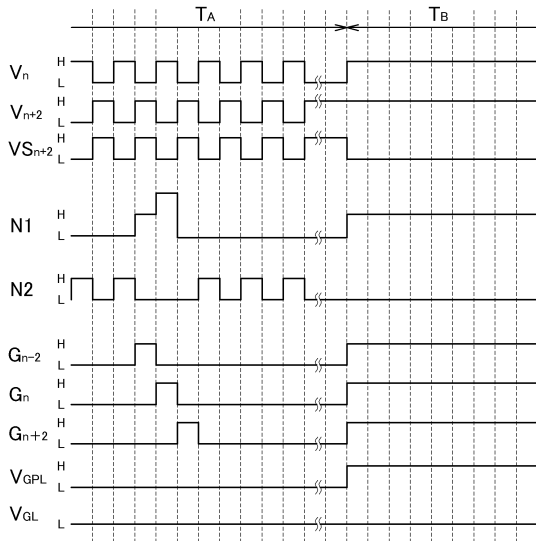


【図 8】

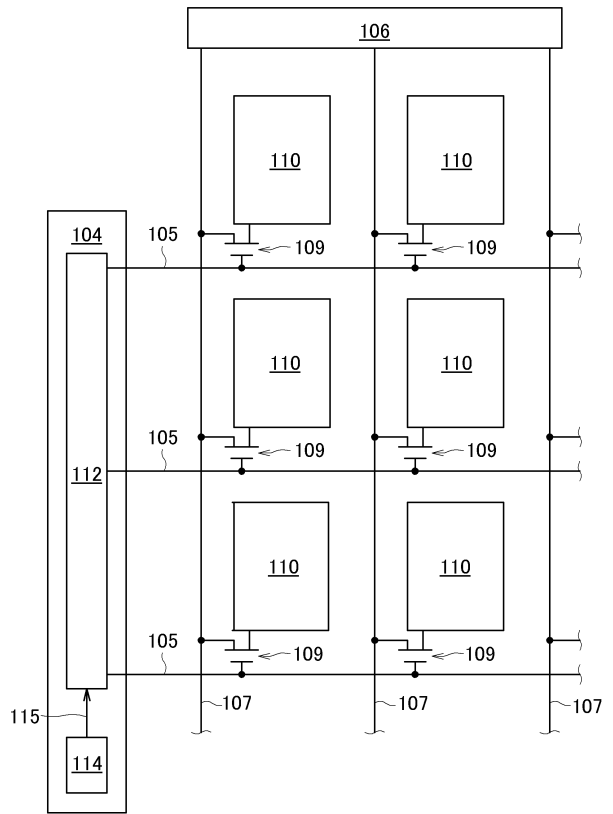




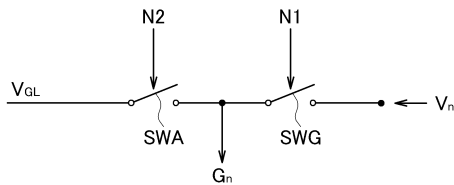
【図 9】



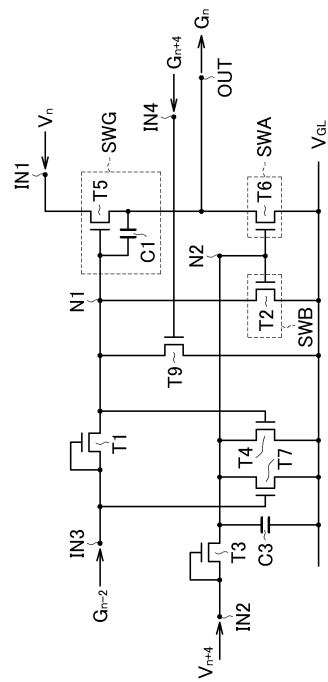
【図 10】



【図 11】



【図 12】



## フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 8 0 G  
G 0 9 G 3/20 6 2 1 M  
G 0 2 F 1/133 5 5 0

(56)参考文献 特開2011-008104(JP,A)  
国際公開第2009/084267(WO,A1)  
特開2008-241976(JP,A)  
特開2008-130139(JP,A)  
特開2005-293817(JP,A)  
特開2000-112435(JP,A)  
特開2011-017794(JP,A)  
特開2004-287163(JP,A)  
特開2003-316315(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
G 0 2 F 1 / 1 3 3