

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年11月17日(17.11.2022)



(10) 国際公開番号

WO 2022/239192 A1

(51) 国際特許分類:

G11C 16/04 (2006.01) H01L 27/10 (2006.01)
G11C 11/401 (2006.01) H01L 27/108 (2006.01)
H01L 21/8242 (2006.01)

(21) 国際出願番号: PCT/JP2021/018236

(22) 国際出願日: 2021年5月13日(13.05.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人(US を除く全ての指定国について): ユニ
サンティス エレクトロニクス シンガポ
ール プライベート リミテッド(UNISANTIS
ELECTRONICS SINGAPORE PTE. LTD.) [SG/
SG]; 179098 ノースブリッジロード 1
1 1、ペニンシュラ プラザ # 2 3
- 0 5 Singapore (SG).

(72) 発明者; および

(71) 出願人 (US についてのみ): 原田 望(HARADA
Nozomu) [JP/JP]; 〒1020083 東京都千代田区麹

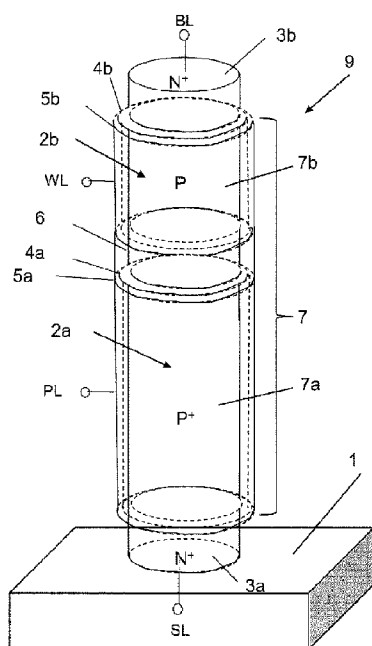
町 1 丁目 3 番 7 号 日月館麹町ビル 5 階 S e
m i c o n C o n s u l t i n g 株式会
社内 Tokyo (JP). 作井 康司(SAKUI Koji) [JP/JP];
〒1020083 東京都千代田区麹町 1 丁目 3 番 7 号
日月館麹町ビル 5 階 S e m i c o n C o n
s u l t i n g 株式会社内 Tokyo (JP).

(74) 代理人: 田中 伸一郎, 外(TANAKA Shinichiro
et al.); 〒1008355 東京都千代田区丸の内 3
丁目 3 番 1 号 新東京ビル 中村合同特
許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: MEMORY DEVICE USING SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子を用いたメモリ装置



(57) Abstract: According to the present invention, an N⁺ layer 3a that is connected to a source line SL, a first Si column 2a that is a P⁺ layer, and a second Si column 2b that is a P layer are arranged on a substrate 1, the Si columns standing in the vertical direction. In addition, an N⁺ layer 3b, which is connected to a bit line BL, is arranged on the second Si column. In addition, a first gate insulating layer 4a is arranged so as to surround the first Si column 2a; and a second gate insulating layer 4b is arranged so as to surround the second Si column 2b. In addition, a first gate conductor layer 5a is arranged so as to surround the first insulating layer 4a, while being connected to a plate line PL; and a second gate conductor layer 5b is arranged so as to surround the second insulating layer 4b, while being connected to a word line WL. A data-holding operation for holding a hole group generated inside a channel region 7 by an impact ionization phenomenon or a gate-induced drain leakage current, and a data-erasing operation for removing the hole group from the inside of the channel region 7 are carried out by controlling voltages to be applied to the source line SL, the plate line PL, the word line WL and the bit line BL.

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 基板 1 上に、ソース線 SL に繋がる N^+ 層 3 a と、垂直方向に立つ P^+ 層の第 1 の S i 柱 2 a と、P 層の第 2 の S i 柱 2 b とがある。そして、第 2 の S i 柱上にビット線 BL に繋がる N^+ 層 3 b がある。そして、第 1 の S i 柱 2 a を囲んで第 1 のゲート絶縁層 4 a と、第 2 の S i 柱 2 b を囲んで第 2 のゲート絶縁層 4 b とがある。そして、第 1 の絶縁層 4 a を囲み、プレート線 PL に繋がった第 1 のゲート導体層 5 a と、第 2 の絶縁層 4 b を囲み、ワード線 WL に繋がった第 2 のゲート導体層 5 b と、がある。ソース線 SL、プレート線 PL、ワード線 WL、ビット線 BL に印加する電圧を制御して、チャネル領域 7 の内部でインパクトイオン化現象、またはゲート誘起ドレインリーク電流により発生した正孔群を保持するデータ保持動作と、そして、この正孔群を、チャネル領域 7 内から除去するデータ消去動作を行う。

明 細 書

発明の名称：半導体素子を用いたメモリ装置

技術分野

[0001] 本発明は、半導体素子を用いたメモリ装置。

背景技術

[0002] 近年、L S I (Large Scale Integration)技術開発において、メモリ素子の高集積化と高性能化が求められている。

[0003] 通常のプレナー型MOSトランジスタでは、チャンネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、SGTのチャンネルは、半導体基板の上表面に対して垂直な方向に延在する（例えば、特許文献1、非特許文献1を参照）。このため、SGTはプレナー型MOSトランジスタと比べ、半導体装置の高密度化が可能である。このSGTを選択トランジスタとして用いて、キャパシタを接続したDRAM (Dynamic Random Access Memory、例えば、非特許文献2を参照)、抵抗変化素子を接続したPCM (Phase Change Memory、例えば、非特許文献3を参照)、RRAM (Resistive Random Access Memory、例えば、非特許文献4を参照)、電流により磁気スピンの向きを変化させて抵抗を変化させるMRAM (Magnetoresistive Random Access Memory、例えば、非特許文献5を参照)などの高集積化を行うことができる。また、キャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセル（非特許文献6を参照）などがある。本願は、抵抗変化素子やキャパシタを有しない、MOSトランジスタのみで構成可能な、ダイナミック フラッシュ メモリに関する。

[0004] 図6に、前述したキャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセルの書込み動作と、図7に、動作上の問題点と、図8に、読出し動作を示す（非特許文献7～10を参照）。

[0005] 図6にDRAMメモリセルの書込み動作を示す。図6（a）は、“1”書込み状態を示している。ここで、メモリセルは、SOI基板101に形成さ

れ、ソース線SLが接続されるソースN⁺層103（以下、ドナー不純物を高濃度で含む半導体領域を「N⁺層」と称する。）、ビット線BLが接続されるドレインN⁺層104、ワード線WLが接続されるゲート導電層105、MOSトランジスタ110aのフローティングボディ（Floating Body）102により構成され、キャパシタを有さず、MOSトランジスタ110aが1個でDRAMのメモリセルが構成されている。なお、フローティングボディ102直下には、SOI基板のSiO₂層101が接している。この1個のMOSトランジスタ110aで構成されたメモリセルの“1”書込みを行う際には、MOSトランジスタ110aを線形領域で動作させる。すなわち、ソースN⁺層103から延びる電子のチャネル107には、ピンチオフ点108があり、ビット線が接続しているドレインN⁺層104までには、到達していない。このようにドレインN⁺層104に接続されたビット線BLとゲート導電層105に接続されたワード線WLを共に高電圧にして、ゲート電圧をドレイン電圧の約1/2程度で、MOSトランジスタ110aを動作させると、ドレインN⁺層104近傍のピンチオフ点108において、電界強度が最大となる。この結果、ソースN⁺層103からドレインN⁺層104に向かって流れる加速された電子は、Siの格子に衝突して、その時に失う運動エネルギーによって、電子・正孔対が生成される（インパクトイオン化現象）。発生した大部分の電子（図示せず）は、ドレインN⁺層104に到達する。また、ごく一部のとても熱い電子は、ゲート酸化膜109を飛び越えて、ゲート導電層105に到達する。そして、同時に発生した正孔106は、フローティングボディ102を充電する。この場合、発生した正孔は、フローティングボディ102がP型Siのため、多数キャリアの増分として、寄与する。フローティングボディ102は、生成された正孔106で満たされ、フローティングボディ102の電圧がソースN⁺層103よりもV_b以上に高くなると、さらに生成された正孔は、ソースN⁺層103に放電する。ここで、V_bは、ソースN⁺層103とP層のフローティングボディ102との間のPN接合のビルトイン電圧であり、約0.7Vである。図6（b）には、生成された正孔

106でフローティングボディ102が飽和充電された様子を示している。

[0006] 次に、図6(c)を用いて、メモリセル110の“0”書込み動作を説明する。共通な選択ワード線WLに対して、ランダムに“1”書込みのメモリセル110aと“0”書込みのメモリセル110bが存在する。図6(c)では、“1”書込み状態から“0”書込み状態に書き換わる様子を示している。“0”書込み時には、ビット線BLの電圧を負バイアスにして、ドレインN⁺層104とP層のフローティングボディ102との間のPN接合を順バイアスにする。この結果、フローティングボディ102に予め前サイクルで生成された正孔106は、ビット線BLに接続されたドレインN⁺層104に流れる。書込み動作が終了すると、生成された正孔106で満たされたメモリセル110a(図6(b))と、生成された正孔が吐き出されたメモリセル110b(図6(c))の2つのメモリセルの状態が得られる。正孔106で満たされたメモリセル110aのフローティングボディ102の電位は、生成された正孔がないフローティングボディ102よりも高くなる。したがって、メモリセル110aのしきい値電圧は、メモリセル110bのしきい値電圧よりも低くなる。その様子を図6(d)に示す。

[0007] 次に、この1個のMOSトランジスタで構成されたメモリセルの動作上の問題点を、図7を用いて、説明する。図7(a)に示したように、フローティングボディ102の容量 C_{FB} は、ワード線の接続されたゲートとフローティングボディ102との間の容量 C_{WL} と、ソース線の接続されたソースN⁺層103とフローティングボディ102との間のPN接合の接合容量 C_{SL} と、ビット線の接続されたドレインN⁺層103とフローティングボディ102との間のPN接合の接合容量 C_{BL} との総和で、

$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad (1)$$

で表される。したがって、書込み時にワード線電圧 V_{WL} が振幅すると、メモリセルの記憶ノード(接点)となるフローティングボディ102の電圧も、その影響を受ける。その様子を図7(b)に示している。書込み時にワード線電圧 V_{WL} が0Vから V_{ProgWL} に上昇すると、フローティングボディ102の電圧

V_{FB} は、ワード線電圧が変化する前の初期状態の電圧 V_{FB1} から V_{FB2} へのワード線との容量結合によって上昇する。その電圧変化量 ΔV_{FB} は、

$$\begin{aligned}\Delta V_{FB} &= V_{FB2} - V_{FB1} \\ &= C_{WL} / (C_{WL} + C_{BL} + C_{SL}) \times V_{ProgWL} \quad (2)\end{aligned}$$

で表される。

ここで、

$$\beta = C_{WL} / (C_{WL} + C_{BL} + C_{SL}) \quad (3)$$

で表され、 β をカップリング率と呼ぶ。このようなメモリセルにおいて、 C_{WL} の寄与率が大きく、例えば、 $C_{WL} : C_{BL} : C_{SL} = 8 : 1 : 1$ である。この場合、 $\beta = 0.8$ となる。ワード線が、例えば、書込み時の5 Vから、書込み終了後に0 Vになると、ワード線とフローティングボディ102との容量結合によって、フローティングボディ102が、 $5 V \times \beta = 4 V$ も振幅ノイズを受ける。このため、書込み時のフローティングボディ“1”電位と“0”電位との電位差マージンを十分に取れない問題点があった。

[0008] 図8に読出し動作を示す。図8(a)は、“1”書込み状態を、図8(b)は、“0”書込み状態を示している。しかし、実際には、“1”書込みでフローティングボディ102に V_b が書き込まれていても、書込み終了でワード線が0 Vに戻ると、フローティングボディ102は、負バイアスに引き下げられる。“0”が書かれる際には、さらに深く負バイアスになってしまうため、図8(c)に示すように、書込みの際に“1”と“0”との電位差マージンを十分に大きく出来ない。この動作マージンが小さいことが、本DRAMメモリセルの大きい問題であった。加えて、このDRAMメモリセルを高密度化する課題がある。

先行技術文献

特許文献

[0009] 特許文献1：特開平2－188966号公報

特許文献2：特開平3－171768号公報

特許文献3：特許第3957774号公報

非特許文献

- [0010] 非特許文献1: Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)
- 非特許文献2: H. Chung, H. Kim, H. Kim, K. Kim, S. Kim, K. Dong, J. Kim, Y.C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: "4F2 DRAM Cell with Vertical Pillar Transistor(VPT)," 2011 Proceeding of the European Solid-State Device Research Conference, (2011)
- 非特許文献3: H. S. Philip Wong, S. Raoux, S. Kim, Jiale Liang, J. R. Reifenberg, B. Rajendran, M. Asheghi and K. E. Goodson: "Phase Change Memory," Proceeding of IEEE, Vol.98, No 12, December, pp.2201-2227 (2010)
- 非特許文献4: T. Tsunoda, K. Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki, and Y. Sugiyama: "Low Power and high Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V," IEDM (2007)
- 非特許文献5: W. Kang, L. Zhang, J. Klein, Y. Zhang, D. Ravelosona, and W. Zhao: "Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology," IEEE Transaction on Electron Devices, pp.1-9 (2015)
- 非特許文献6: M. G. Ertosum, K. Lim, C. Park, J. Oh, P. Kirsch, and K. C. Saraswat: "Novel Capacitorless Single-Transistor Charge-Trap DRAM (1T1C1T DRAM) Utilizing Electron," IEEE Electron Device Letter, Vol. 31, No.5, pp.405-407 (2010)
- 非特許文献7: J. Wan, L. Rojer, A. Zaslavsky, and S. Critoloveanu: "A Compact Capacitor-Less High-Speed DRAM Using Field Effect-Controlled Charge Regeneration," Electron Device Letters, Vol. 35, No.2, pp.17

9-181 (2012)

非特許文献8 : T. Ohsawa, K. Fujita, T. Higashi, Y. Iwata, T. Kajiyama, Y. Asao, and K. Sunouchi: "Memory design using a one-transistor gain cell on SOI," IEEE JSSC, vol.37, No.11, pp1510-1522 (2002).

非特許文献9 : T. Shino, N. Kusunoki, T. Higashi, T. Ohsawa, K. Fujita, K. Hatsuda, N. Ikumi, F. Matsuoka, Y. Kajitani, R. Fukuda, Y. Watana be, Y. Minami, A. Sakamoto, J. Nishimura, H. Nakajima, M. Morikado, K . Inoh, T. Hamamoto, A. Nitayama: "Floating Body RAM Technology and its Scalability to 32nm Node and Beyond," IEEE IEDM (2006).

非特許文献10 : E. Yoshida: "A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory," IEEE IEDM (2006).

非特許文献11 : J. Y. Song, W. Y. Choi, J. H. Park, J. D. Lee, and B-G. Park: "Design Optimization of Gate-All-Around (GAA) MOSFETs," IEEE Trans. Electron Devices, vol. 5, no. 3, pp.186-191, May 2006.

非特許文献12 : N. Loubet, et al.: "Stacked Nanosheet Gate-All-Around Transistor to Enable Scaling Beyond FinFET," 2017 IEEE Symposium on VLSI Technology Digest of Technical Papers, T17-5, T230-T231, June 20 17.

非特許文献13 : H. Jiang, N. Xu, B. Chen, L. Zeng1, Y. He, G. Du, X. Li u and X. Zhang: "Experimental investigation of self heating effect (SHE) in multiple-fin SOI FinFETs," Semicond. Sci. Technol. 29 (2014) 115021 (7pp).

非特許文献14 : E. Yoshida, and T. Tanaka: "A Capacitorless 1T-DRAM Te chnology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Powe r and High-Speed Embedded Memory," IEEE Transactions on Electron Dev ices, Vol. 53, No. 4, pp. 692-697, Apr. 2006.

発明の概要

発明が解決しようとする課題

[0011] SGTを用いたメモリ装置でキャパシタを無くした、1個のトランジス型のDRAM（ゲインセル）では、ワード線とフローティング状態のSGTのボディとの容量結合カップリングが大きく、データ読み出し時や書き込み時にワード線の電位を振幅させると、直接SGTボディへのノイズとして、伝達されてしまう問題点があった。この結果、誤読み出しや記憶データの誤った書き換えの問題を引き起こし、キャパシタを無くした1トランジス型のDRAM（ゲインセル）の実用化が困難となっていた。そして、上記問題を解決すると共に、DRAMメモリセルを高密度化する必要がある。

課題を解決するための手段

[0012] 上記の課題を解決するために、本発明に係るメモリ装置は、
基板上に、前記基板に対して、垂直方向に立つか、または水平方向に伸延する第1の半導体母体と、
前記第1の半導体母体に繋がり、且つ前記第1の半導体母体と同じ導電性を有し、且つ前記第1の半導体母体の不純物濃度より低い不純物濃度を有した第2の半導体母体と、
前記半導体母体の一端側の側面の一部、または全てを囲んだ第1のゲート絶縁層と、
前記第1のゲート絶縁層に繋がり、且つ前記半導体母体の他端側の側面の一部、または全てを囲んだ第2のゲート絶縁層と、
前記第1のゲート絶縁層を覆った第1のゲート導体層と、
前記第2のゲート絶縁層を覆った第2のゲート導体層と、
前記半導体母体が伸延する方向において、前記第1のゲート導体層の一端の外側にあり、且つ前記第1の半導体母体と反対の極性を有する第1の不純物層と、前記第2のゲート導体層の一端の外側にあり、且つ前記第2の半導体母体と反対の極性を有する第2の不純物層と、
前記第1の不純物層に接続した第1の配線導体層と、
前記第2の不純物層に接続した第2の配線導体層と、

前記第1のゲート導体層に接続した第3の配線導体層と、

前記第2のゲート導体層に接続した第4の配線導体層と、を有し、

前記1乃至前記第4の配線導体層に印加する電圧を制御して、前記第1の不純物層と前記第2の不純物層との間に流す電流でインパクトイオン化現象、またはゲート誘起ドレインリーク電流により電子群と正孔群を前記半導体母体内に発生させる動作と、発生させた前記電子群と前記正孔群の内、前記第1半導体母体、前記第2半導体母体における少数キャリアである前記電子群と前記正孔群のいずれかを除去する動作と、前記第1半導体母体、前記第2半導体母体における多数キャリアである前記電子群と前記正孔群のいずれかの一部または全てを、少なくとも前記第1の半導体母体に残存させる動作と、を行ってメモリ書き込み動作を行い、

前記1乃至前記第4の配線導体層に印加する電圧を制御して、前記第1の不純物層と、前記第2の不純物層の一方もしくは両方から、残存している前記第1の半導体母体、前記第1の半導体母体における多数キャリアである前記電子群と前記正孔群のいずれかを抜き取り、メモリ消去動作を行う、

ことを特徴とする（第1発明）。

[0013] 上記の第1発明において、前記第1の半導体母体の不純物濃度が、前記第1の不純物層の不純物濃度より低いことを特徴とする（第2発明）。

[0014] 上記の第1発明において、前記第1の配線導体層に繋がる配線は、ソース線であり、前記第2の配線導体層に繋がる配線はビット線であり、前記第3の配線導体層に繋がる配線は第1の駆動制御線であり、前記第4の配線導体層に繋がる配線はワード線であり、前記ソース線と、前記ビット線と、前記第1の駆動制御線と、前記ワード線とに印加する電圧により、前記メモリ消去動作と、前記メモリ書き込み動作を行うことを特徴とする（第3発明）。

[0015] 上記の第1発明において、中心軸方向から見たときの前記第1の半導体母体の外周線が、前記第2の半導体母体の外周線より外側にあることを特徴とする（第4発明）。

[0016] 上記の第1発明において、前記第1のゲート導体層と前記第1の半導体母

体との間の第1のゲート容量は、前記第2のゲート導体層と前記第2の半導体母体との間の第2のゲート容量よりも大きいことを特徴とする（第5発明）。

図面の簡単な説明

[0017] [図1]第1実施形態に係るSGTを有するメモリ装置の構造図である。

[図2]第1実施形態に係るSGTを有するメモリ装置の消去動作メカニズムを説明するための図である。

[図3]第1実施形態に係るSGTを有するメモリ装置の書き込み動作メカニズムを説明するための図である。

[図4A]第1実施形態に係るSGTを有するメモリ装置の読出し動作メカニズムを説明するための図である。

[図4B]第1実施形態に係るSGTを有するメモリ装置の読出し動作メカニズムを説明するための図である。

[図5]第2実施形態に係るSGTを有するメモリ装置の構造図である。

[図6]従来例のキャパシタを有しない、DRAMメモリセルの動作上の問題点を説明するための図である。

[図7]従来例のキャパシタを有しない、DRAMメモリセルの動作上の問題点を説明するための図である。

[図8]従来例のキャパシタを有しない、DRAMメモリセルの読出し動作を示す図である。

発明を実施するための形態

[0018] 以下、本発明に係る、半導体素子を用いたメモリ装置（以後、ダイナミックフラッシュメモリと呼ぶ）の構造、駆動方式、製造方法について、図面を参照しながら説明する。

[0019] （第1実施形態）

図1～図5を用いて、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの構造と動作メカニズムと製造方法とを説明する。図1を用いて、ダイナミックフラッシュメモリセルの構造を説明する。そして、図2

を用いてデータ消去メカニズムを、図3を用いてデータ書き込みメカニズムを、図4を用いてデータ書き込みメカニズムを説明する。図5を用いて、ダイナミック フラッシュ メモリの製造方法を説明する。

[0020] 図1に、本発明の第1実施形態に係るダイナミック フラッシュ メモリセルの構造を示す。基板1（特許請求の範囲の「基板」の一例である）上にN⁺層3a（特許請求の範囲の「第1の不純物層」の一例である）がある。そして、N⁺層3a上に、アクセプタ不純物を含むP型の導電型を有する第1のシリコン半導体柱2a（特許請求の範囲の「第1の半導体母体」の一例である）（以下、シリコン半導体柱を「Si柱」と称する。）の上にP型の第2のSi柱2bがある。そして、第2のSi柱2bの上に、N⁺層3b（特許請求の範囲の「第2の不純物層」の一例である）がある。Si柱2aのアクセプタ不純物濃度は、Si柱2bのアクセプタ不純物濃度より高い。N⁺層3a、3b間のSi柱2a、2bの部分がチャネル領域7となる。第1のSi柱2aを囲んで第1のゲート絶縁層4a（特許請求の範囲の「第1のゲート絶縁層」の一例である）と、第2のSi柱2bを囲んで第2のゲート絶縁層4b（特許請求の範囲の「第2のゲート絶縁層」の一例である）と、がある。そして、第1のゲート絶縁層4aを囲んで第1のゲート導体層5a（特許請求の範囲の「第1のゲート導体層」の一例である）があり、第2のゲート絶縁層4bを囲んで、第2のゲート導体層5b（特許請求の範囲の「第2のゲート導体層」の一例である）がある。そして、第1のゲート導体層5a、第2のゲート導体層5bは絶縁層6により分離されている。チャネル領域7は、第1のゲート絶縁層4aで囲まれたP⁺層の第1のチャネル領域7aと、第2のゲート絶縁層4bで囲まれたP層の第2のチャネル領域7bと、よりなる。これによりN⁺層3a、3b、P⁺型の第1のSi柱2a、P型の第2のSi柱2b、第1のゲート絶縁層4a、第2のゲート絶縁層4b、第1のゲート導体層5a、第2のゲート導体層5bからなるダイナミック フラッシュ メモリセルが形成される。そして、N⁺層3aはソース線SL（特許請求の範囲の「ソース線」の一例である）に、N⁺層3bはビット線BL（特許請求の範

図の「ビット線」の一例である)に、第1のゲート導体層5aはプレート線PL(特許請求の範囲の「第1の駆動制御線」の一例である)に、第2のゲート導体層5bはワード線WL(特許請求の範囲の「ワード線」の一例である)に、それぞれ接続している。プレート線PLに接続している、第1のゲート導体層5aのゲート容量は、ワード線WLに接続している、第2のゲート導体層5bのゲート容量よりも、大きくなるような構造を有することが望ましい。メモリ装置では、上述の複数のダイナミックフラッシュメモリセルが基板1上に2次元状に配置されている。

[0021] なお、図1では、プレート線PLに接続された第1のゲート導体層5aのゲート容量が、ワード線WLが接続された、第2のゲート導体層5bのゲート容量よりも、大きくなるように第1のゲート導体層5aのゲート長を、第2のゲート導体層5bのゲート長よりも長くしている。しかし、その他にも、第1のゲート導体層5aのゲート長を、第2のゲート導体層5bのゲート長よりも長くせずに、第1のゲート絶縁層4aのゲート絶縁膜の膜厚を、第2のゲート絶縁層4bのゲート絶縁膜の膜厚よりも薄くしてもよい。また、第1のゲート絶縁層4aの誘電率を、第2のゲート絶縁層4bの誘電率よりも高くしてもよい。また、ゲート導体層、5a、5bの長さ、ゲート絶縁層4a、4bの膜厚、誘電率のいずれかを組み合わせて、第1のゲート導体層5aのゲート容量が、第2のゲート導体層5bのゲート容量よりも、大きくしてもよい。

[0022] また、垂直方向において、第1のSi柱2aのP⁺層の第1のチャネル領域7aと、第2のSi柱2bのP層の第2のチャネル領域7bとの境界は、絶縁層6の位置にあってもよいし、または第1のSi柱2aの上部、または第2のSi柱2bの下部にあってもよい。

[0023] また、第1のゲート導体層5aを2つ以上に分割して、それぞれをプレート線の導体電極として、同期または非同期で動作させてもよい。同様に、第2のゲート導体層5bを2つ以上に分割して、それぞれをワード線の導体電極として、同期または非同期で動作させてもよい。これによっても、ダイナ

ミック フラッシュ メモリ動作がなされる。

[0024] 図2に、消去動作メカニズムを説明する。N⁺層3a、3b間のチャネル領域7は、電氣的に基板から分離され、フローティングボディとなっている。図2(a)に消去動作前に、前のサイクルでインパクトイオン化により生成された正孔群11がチャネル領域7に蓄えられている状態を示す。第1のチャネル領域7aのアクセプタ不純物濃度が第2のチャネル領域7bより高いことにより、第1のチャネル領域7aでの蓄積正孔密度は、第2のチャネル領域7bより高い。そして、図2(b)に示すように、消去動作時には、ソース線SLの電圧を、負電圧 V_{ERA} にする。ここで、 V_{ERA} は、例えば、-3Vである。その結果、チャネル領域7の初期電位の値に関係なく、ソース線SLが接続されているソースとなるN⁺層3aとチャネル領域7のPN接合が順バイアスとなる。その結果、前のサイクルでインパクトイオン化により生成された、チャネル領域7に蓄えられていた、正孔群11が、ソース部のN⁺層3aに吸い込まれ、チャネル領域7の電位 V_{FB} は、 $V_{FB} = V_{ERA} + V_b$ となる。ここで、 V_b はPN接合のビルトイン電圧であり、約0.7Vである。したがって、 $V_{ERA} = -3V$ の場合、チャネル領域7の電位は、-2.3Vになる。この値が、消去状態のチャネル領域7の電位状態となる。このため、フローティングボディのチャネル領域7の電位が負の電圧になると、ダイナミックフラッシュメモリセル9のNチャネルMOSトランジスタのしきい値電圧は、基板バイアス効果によって、高くなる。これにより、図2(c)に示すように、このワード線WLが接続された第2のゲート導体層5bのしきい値電圧は高くなる。このチャネル領域7の消去状態は論理記憶データ“0”となる。なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件は、消去動作を行うための一例であり、消去動作ができる他の動作条件であってもよい。

[0025] 図3に、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの書込み動作を示す。図3(a)に示すように、ソース線SLの接続されたN⁺層3aに例えば0Vを入力し、ビット線BLの接続されたN⁺層3bに例

例えば3 Vを入力し、プレート線PLの接続された第1のゲート導体層5 aに、例えば、2 Vを入力し、ワード線WLの接続された第2のゲート導体層5 bに、例えば、5 Vを入力する。その結果、図3 (a)で示したように、プレート線PLの接続された第1のゲート導体層5 aの内側の第1のチャネル領域7 aには、環状の反転層1 2 aが形成され、第1のゲート導体層5 aを有する第1のNチャネルMOSトランジスタは線形領域で動作させる。この結果、プレート線PLの接続された第1のゲート導体層5 aの内側の反転層1 2 aには、ピンチオフ点1 3が存在する。一方、ワード線WLの接続された第2のゲート導体層5 bを有する第2のNチャネルMOSトランジスタは飽和領域で動作させる。この結果、ワード線WLの接続された第2のゲート導体層5 bの内側の第2のチャネル領域7 bには、ピンチオフ点は存在せずに全面に反転層1 2 bが形成される。このワード線WLの接続された第2のゲート導体層5 bの内側に全面に形成された反転層1 2 bは、第1のゲート導体層5 aを有する第1のNチャネルMOSトランジスタの実質的なドレインとして働く。この結果、直列接続された第1のゲート導体層5 aを有する第1のNチャネルMOSトランジスタと、第2のゲート導体層5 bを有する第2のNチャネルMOSトランジスタとの間のチャネル領域7の第1の境界領域で電界は最大となり、この領域でインパクトイオン化現象が生じる。この領域は、ワード線WLの接続された第2のゲート導体層5 bを有する第2のNチャネルMOSトランジスタから見たソース側の領域であるため、この現象をソース側インパクトイオン化現象と呼ぶ。このソース側インパクトイオン化現象により、ソース線SLの接続されたN⁺層3 aからビット線BLの接続されたN⁺層3 bに向かって電子が流れる。加速された電子が格子Si原子に衝突し、その運動エネルギーによって、電子・正孔対が生成される。生成された電子の一部は、第1のゲート導体層5 aと第2のゲート導体層5 bに流れるが、大半はビット線BLの接続されたN⁺層3 bに流れる。また、“1”書込みにおいて、ゲート誘起ドレインリーク (GIDL : Gate Induced Drain Leakage) 電流を用いて電子・正孔対を発生させ、生成された正孔群で

フローティングボディFB内を満たしてもよい（非特許文献14を参照）。

なお、インパクトイオン化現象による電子・正孔対の生成は、N⁺層3aとチャネル領域7の境界、またはN⁺層3bとチャネル領域7との境界でも行うことが出来る。

[0026] そして、図3（b）に示すように、生成された正孔群11は、チャネル領域7の多数キャリアであり、チャネル領域7を正バイアスに充電する。この場合、正孔群は第1のチャネル領域7aに、第2のチャネル領域7bより多く溜められる。ソース線SLの接続されたN⁺層3aは、0Vであるため、チャネル領域7はソース線SLの接続されたN⁺層3aとチャネル領域7との間のPN接合のビルトイン電圧V_b（約0.7V）まで充電される。チャネル領域7が正バイアスに充電されると、第1のNチャネルMOSトランジスタと第2のNチャネルMOSトランジスタのしきい値電圧は、基板バイアス効果によって、低くなる。これにより、図3（c）に示すように、ワード線WLの接続された第2のチャネル領域7bの第2のNチャネルMOSトランジスタのしきい値電圧は、低くなる。このチャネル領域7の書き込み状態を論理記憶データ“1”に割り当てる。

[0027] なお、書き込み動作時に、上記の第1の境界領域に替えて、N⁺層3aと第1のチャネル領域7aとの間の第2の境界領域、または、N⁺層3bと第2のチャネル領域7bとの間の第3の境界領域で、インパクトイオン化現象、またはGIDL電流で、電子・正孔対を発生させ、発生した正孔群11でチャネル領域7を充電しても良い。なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件は、書き込み動作を行うための一例であり、書き込み動作ができる他の動作条件であってもよい。

[0028] 図4A、図4Bを用いて、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの読出し動作を説明する。図4A（a）～図4A（c）を用いて、ダイナミックフラッシュメモリセルの読出し動作を説明する。図4A（a）に示すように、チャネル領域7がビルトイン電圧V_b（約0.7V）まで充電されると、NチャネルMOSトランジスタのしきい値電圧が基

板バイアス効果によって、低下する。この状態を論理記憶データ“1”に割り当てる。図4 A (b) に示すように、書込みを行う前に選択するメモリブロックは、予め消去状態“0”にある場合は、チャネル領域7のフローティング電圧 V_{FB} は $V_{ERA} + V_b$ となっている。書込み動作によってランダムに書込み状態“1”が記憶される。この結果、ワード線WLに対して、論理“0”と“1”の論理記憶データが作成される。図4 A (c) に示すように、このワード線WLに対する2つのしきい値電圧の高低差を利用して、センスアンプで読出しが行われる。

[0029] 図4 B (a) ～図4 B (d) を用いて、本発明の第1実施形態に係るダイナミック フラッシュ メモリセルの読出し動作時の、2つの第1のゲート導体層5 aと第2のゲート導体層5 bのゲート容量の大小関係と、これに関係する動作を説明する。ワード線WLの接続する第2のゲート導体層5 bのゲート容量は、プレート線PLの接続する第1のゲート導体層5 aのゲート容量よりも小さく設計することが望ましい。図4 B (a) に示すように、プレート線PLの接続する第1のゲート導体層5 aの垂直方向の長さを、ワード線WLの接続する第2のゲート導体層5 bの垂直方向の長さより長くして、ワード線WLの接続する第2のゲート導体層5 bのゲート容量を、プレート線PLの接続する第1のゲート導体層5 aのゲート容量よりも小さくする。図4 B (b) に図4 B (a) のダイナミック フラッシュ メモリの1セルの等価回路を示す。そして、図4 B (c) にダイナミック フラッシュ メモリの結合容量関係を示す。ここで、 C_{WL} は第2のゲート導体層5 bの容量であり、 C_{PL} は第1のゲート導体層5 aの容量であり、 C_{BL} はドレインとなる N^+ 層3 bと第2のチャネル領域7 bとの間のPN接合の容量であり、 C_{SL} はソースとなる N^+ 層3 aと第1のチャネル領域7 aとの間のPN接合の容量である。図4 B (d) に示すように、ワード線WL電圧が振幅すると、その動作がチャネル領域7にノイズとして影響を与える。この時のチャネル領域7の電位変動 ΔV_{FB} は、

$$\Delta V_{FB} = C_{WL} / (C_{PL} + C_{WL} + C_{BL} + C_{SL}) \times V_{ReadWL} \quad (4)$$

となる。ここで、 V_{ReadWL} はワード線WLの読出し時の振幅電位である。式(4)から明らかなようにチャネル領域7の全体の容量 $C_{\text{PL}} + C_{\text{WL}} + C_{\text{BL}} + C_{\text{SL}}$ に比べて、 C_{WL} の寄与率を小さくすれば、 ΔV_{FB} は小さくなることが分かる。プレートPL接続する第1のゲート導体層5aの垂直方向の長さを、ワード線WLの接続する第1のゲート導体層5bの垂直方向の長さより更に長くすることによって、平面視におけるメモリセルの集積度を落すことなしに、 ΔV_{FB} を更に小さくしてもよい。なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件は、読み出し動作を行うための一例であり、読み出し動作ができる他の動作条件であってもよい。

[0030] なお、本実施形態の説明で示した、本ダイナミック フラッシュ メモリ素子は、インパクトイオン化現象、またはゲート誘起ドレインリーク電流により発生した正孔群7がチャネル領域7に保持される条件を満たす構造であればよい。このためには、チャネル領域7は基板1と分離されたフローティングボディ構造であればよい。これより、例えばSGTの1つであるGAA (Gate All Around : 例えば非特許文献11を参照) 技術、Nanosheet技術 (例えば、非特許文献12を参照) を用いて、チャネル領域の半導体母体を基板1に対して水平に形成されていても、前述のダイナミック フラッシュ メモリ動作ができる。また、SOI (Silicon On Insulator) を用いたデバイス構造 (例えば、非特許文献7～10を参照) であってもよい。このデバイス構造ではチャネル領域の底部がSOI基板の絶縁層に接しており、且つ他のチャネル領域を囲んでゲート絶縁層、及び素子分離絶縁層で囲まれている。この構造においても、チャネル領域はフローティングボディ構造となる。このように、本実施形態が提供するダイナミック フラッシュ メモリ素子では、チャネル領域がフローティングボディ構造である条件を満足すればよい。また、Finトランジスタ (例えば非特許文献13を参照) をSOI基板上に形成した構造であっても、チャネル領域がフローティングボディ構造であれば、本ダイナミック フラッシュ メモリ動作が出来る。

[0031] なお、図1において、プレート線PLの接続する第1のゲート導体層5a

の垂直方向の長さを、ワード線WLの接続する第1のゲート導体層5bの垂直方向の長さより更に長くして、 $C_{PL} > C_{WL}$ とした。しかし、プレート線PLを付加することだけでも、ワード線WLのチャネル領域7に対する、容量結合のカップリング比($C_{WL}/(C_{PL} + C_{WL} + C_{BL} + C_{SL})$)が小さくなる。その結果、フローティングボディのチャネル領域7の電位変動 ΔV_{FB} は、小さくなる。

[0032] また、プレート線PLの電圧 $V_{ErasePL}$ は、各動作モードに関わらず、例えば、2Vの固定電圧を印加しても良い。また、プレート線PLの電圧 $V_{ErasePL}$ は、消去時のみ、例えば、0Vを印加しても良い。また、プレート線PLの電圧 $V_{ErasePL}$ は、ダイナミックフラッシュメモリ動作ができる条件を満たす電圧であれば、固定電圧、または時間的に変化する電圧を与えてもよい。

[0033] また、図1に示す第1のSi柱2a、第2のSi柱2bの垂直断面は矩形状であるが、これら垂直断面形状は台形状であってもよい。また、Si柱2aと、Si柱2bの垂直断面のそれぞれが矩形状と、台形状というように異なってもよい。また、第1のSi柱2aと、第2のSi柱2bが、異なる半導体材料層で形成されていてもよい。

[0034] また、図1における、第1のゲート導体層5aは、第1のゲート絶縁層4aの一部を囲んでいても、ダイナミックフラッシュメモリ動作を行うことができる。また、第1のゲート導体層5aを複数の導体層に分割して、それぞれを同期、または非同期で駆動してもダイナミックフラッシュメモリ動作を行うことができる。同様に、第2のゲート導体層5bを複数の導体層に分割して、それぞれを同期、または非同期で駆動してもダイナミックフラッシュメモリ動作を行うことができる。

[0035] また、図1において、N⁺層3aはソース線SLの配線導体層を兼ねている。また、ソース線SLとしてSi柱2aの底部のN⁺層3aに例えばW層などの導体層を接続してもよい。また、Si柱2aが二次元状に多く形成された領域の外側のN⁺層3aに、例えばW層などの金属、又は合金による導体層を形成してもよい。

[0036] また、N⁺層3a、3b、P⁺層の第1のチャネル領域7a、P層の第2のチ

チャネル領域 7 b それぞれの導電性の極性を逆にした構造においても、ダイナミック フラッシュ メモリ動作がなされる。この場合、N型の第 1 の S i 柱 2 a、第 2 の S i 柱 2 b では、多数キャリアは電子になる。従って、インパクトイオン化により生成された電子群がチャネル領域 7 に蓄えられて、“1” 状態が設定される。

[0037] 本実施形態は、下記の特徴を供する。

(特徴 1)

本発明の第 1 実施形態に係るダイナミック フラッシュ メモリセルのプレート線 PL はダイナミック フラッシュ メモリセルが書込み、読出し動作をする際に、ワード線 WL の電圧が上下に振幅する。この際に、プレート線 PL は、ワード線 WL とチャネル領域 7 との間の容量結合比を低減させる役目を担う。この結果、ワード線 WL の電圧が上下に振幅する際の、チャネル領域 7 の電圧変化の影響を著しく抑えることができる。これにより、論理 “0” と “1” を示すしきい値電圧差を大きくすることが出来る。これは、ダイナミック フラッシュ メモリセルの動作マージンの拡大に繋がる。

[0038] (特徴 2)

第 1 の S i 柱 2 a を P⁺層にすることにより、P 層である第 2 の S i 柱 2 b より、単位体積当たりの蓄積正孔群 1 1 の数を、大きくできる。これにより、書き込み動作において、インパクトイオン化現象により生成した正孔群 1 1 は、主に P⁺層である第 1 のチャネル領域 7 a に溜められる。これにより、プレート線 PL に繋がった MOS トランジスタ部は、主に信号電荷蓄積部として働き、ワード線 WL に繋がった MOS トランジスタ部は、主にスイッチング部として働く。そして、ワード線 WL に印加されるパルス電圧によって直接影響される第 2 のチャネル領域 7 b から離れた、第 1 のチャネル領域 7 a に、主に正孔群 1 1 が蓄積されることにより、ダイナミック フラッシュ メモリは安定した動作が出来る。

[0039] (第 2 実施形態)

図 5 を用いて、第 2 実施形態のダイナミック フラッシュ メモリの構造に

ついて説明する。なお、実際のメモリ装置では、多数のダイナミック フラッシュ メモリセル 9 が基板 1 上に行列状に配置されている。図 5 において、図 1 と同一又は類似の構成部分には同一の符号を付してある。

[0040] P⁺層である第 1 の S i 柱 2 a 上に繋がり、P 層である第 2 の S i 柱 2 B がある。第 1 の S i 柱 2 a の外周線は、第 2 の S i 柱 2 B の外周線より外側にある。そして、その他は、図 1 と同じである。

[0041] 本実施形態は、下記の特徴を供する。

本実施形態では、“1” データ書き込みの正孔群の蓄積を第 1 の S i 柱 2 a の第 1 のチャネル領域 7 a で行う。この場合、P⁺層である第 1 の S i 柱 2 a は、正孔群の蓄積部として働き、P 層である第 2 の S i 柱 2 b は、主に“1”、“0”読み出しのスイッチ用のチャネルとして働く。例えば、第 1 の S i 柱 2 a の外周部の第 1 のゲート導体層 5 a が、隣接するゲート電極と繋がった構造においては、第 1 の S i 柱 2 a に隣接する S i 柱を可能な限り近づけることが出来る。しかし、この場合、図 1 に示すように、第 2 の S i 柱 2 b の断面形状を、第 1 の S i 柱 2 a と同じくすると、隣接するセル間で 1 つの方向で離れ、この 1 つの方向と直交する方向で繋がったワード線 WL に繋がった第 2 のゲート導体層 5 b を形成することが出来なくなる。これに対し、図 5 に示すように、第 2 の S i 柱 2 B の外周線を、第 1 の S i 柱 2 a の外周線より内側になるように形成することにより、第 1 の方向に繋がり、且つ第 1 の方向に直交する方向で、互いに分離したワード線に繋がる第 2 のゲート導体層 5 b を容易に形成できる。これにより、ダイナミック フラッシュメモリの高集積化が図れる。

[0042] (その他の実施形態)

また、第 1 実施形態における、N⁺層 3 a、3 b は、ドナー不純物を含んだ、他の半導体材料層より形成されてもよい。また、第 1 の S i 柱 2 a、第 2 の S i 柱 2 b は、それぞれアクセプタ不純物を含んだ、他の半導体材料層より形成されてもよい。このことは、本発明に係るその他の実施形態においても同様である。

- [0043] また、第1実施形態では、プレート線PLに繋がるゲート導体層5aは、単層または複数の導体材料層を組み合わせ用いてもよい。同じく、ワード線WLに繋がるゲート導体層5bは、単層または複数の導体材料層を組み合わせ用いてもよい。また、ゲート導体層の外側は、例えばWなどの配線金属層に繋がっていてもよい。このことは、本発明に係るその他の実施形態においても同様である。
- [0044] また、第1実施形態では、第1のSi柱2a、第2のSi柱2bの中心軸方向から見た形状は、円形であったが、楕円や、一方方向に長く伸びた形状などであってもよい。そして、ダイナミックフラッシュメモリセル領域から離れて形成されるロジック回路領域においても、ロジック回路設計に応じて、ロジック回路領域に、平面視形状の異なるSi柱を混在して形成することができる。これらのこのことは、本発明に係るその他の実施形態においても同様である。
- [0045] また、図1において、垂直方向において、絶縁層6で囲まれた部分のチャネル領域7では、第1のチャネル領域7a、第2のチャネル領域7bの電位分布が繋がって形成されている。これにより、第1のチャネル領域7a、第2のチャネル領域7bのチャネル領域7が、垂直方向において、絶縁層6で囲まれた領域で繋がっている。
- [0046] また、第1実施形態の説明では、消去動作時にソース線SLを負バイアスにして、フローティングボディFBであるチャネル領域7内の正孔群を引き抜いていたが、ソース線SLに代わり、ビット線BLを負バイアスにして、あるいは、ソース線SLとビット線BLを負バイアスにして、消去動作を行ってもよい。または、他の電圧条件により、消去動作を行ってもよい。このことは、本発明に係るその他の実施形態においても同様である。
- [0047] また、図1において、N⁺層3aと、P⁺層である第1のSi柱2aとの間に、N型、またはP型の不純物層があってもよい。また、N⁺層3bと、P層である第2のSi柱2bとの間に、N型、またはP型の不純物層があってもよい。

[0048] また、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した各実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0049] 本発明に係る、半導体素子を用いたメモリ装置によれば、高密度で、かつ高性能のダイナミック フラッシュ メモリが得られる。

符号の説明

- [0050] 1 基板
- 2 a 第1のS i 柱
- 2 b、2 B 第2のS i 柱
- 3 a、3 b N⁺層
- 4 a 第1のゲート絶縁層
- 4 b 第2のゲート絶縁層
- 5 a 第1のゲート導体層
- 5 b 第2のゲート導体層
- 6 絶縁層
- 7 チャネル領域
- 7 a 第1のチャネル領域
- 7 b 第2のチャネル領域
- 9 ダイナミック フラッシュ メモリセル
- 11 正孔群
- 12 a、12 b 反転層
- 13 ピンチオフ点
- S L ソース線
- P L プレート線

WL、WL 1、WL 2 ワード線

BL、BL 1、BL 2 ビット線

請求の範囲

[請求項1]

基板上に、前記基板に対して、垂直方向に立つか、または水平方向に伸延する第1の半導体母体と、

前記第1の半導体母体に繋がり、且つ前記第1の半導体母体と同じ導電性を有し、且つ前記第1の半導体母体の不純物濃度より低い不純物濃度を有した第2の半導体母体と、

前記半導体母体の一端側の側面の一部、または全てを囲んだ第1のゲート絶縁層と、

前記第1のゲート絶縁層に繋がり、且つ前記半導体母体の他端側の側面の一部、または全てを囲んだ第2のゲート絶縁層と、

前記第1のゲート絶縁層を覆った第1のゲート導体層と、

前記第2のゲート絶縁層を覆った第2のゲート導体層と、

前記半導体母体が伸延する方向において、前記第1のゲート導体層の一端の外側にあり、且つ前記第1の半導体母体と反対の極性を有する第1の不純物層と、前記第2のゲート導体層の一端の外側にあり、且つ前記第2の半導体母体と反対の極性を有する第2の不純物層と、

前記第1の不純物層に接続した第1の配線導体層と、

前記第2の不純物層に接続した第2の配線導体層と、

前記第1のゲート導体層に接続した第3の配線導体層と、

前記第2のゲート導体層に接続した第4の配線導体層と、を有し、

前記1乃至前記第4の配線導体層に印加する電圧を制御して、前記第1の不純物層と前記第2の不純物層との間に流す電流でインパクトイオン化現象、またはゲート誘起ドレインリーク電流により電子群と正孔群を前記半導体母体内に発生させる動作と、発生させた前記電子群と前記正孔群の内、前記第1半導体母体、前記第2半導体母体における少数キャリアである前記電子群と前記正孔群のいずれかを除去する動作と、前記第1半導体母体、前記第2半導体母体における多数キャリアである前記電子群と前記正孔群のいずれかの一部または全てを

、少なくとも前記第1の半導体母体に残存させる動作と、を行ってメモリ書き込み動作を行い、

前記1乃至前記第4の配線導体層に印加する電圧を制御して、前記第1の不純物層と、前記第2の不純物層の一方もしくは両方から、残存している前記第1の半導体母体、前記第1の半導体母体における多数キャリアである前記電子群と前記正孔群のいずれかを抜き取り、メモリ消去動作を行う、

ことを特徴とする半導体素子を用いたメモリ装置。

[請求項2] 前記第1の半導体母体の不純物濃度が、前記第1の不純物層の不純物濃度より低い、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置。

[請求項3] 前記第1の配線導体層に繋がる配線は、ソース線であり、前記第2の配線導体層に繋がる配線はビット線であり、前記第3の配線導体層に繋がる配線は第1の駆動制御線であり、前記第4の配線導体層に繋がる配線はワード線であり、

前記ソース線と、前記ビット線と、前記第1の駆動制御線と、前記ワード線とに印加する電圧により、前記メモリ消去動作と、前記メモリ書き込み動作とを行う、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置。

[請求項4] 中心軸方向から見たときの前記第1の半導体母体の外周線が、前記第2の半導体母体の外周線より外側にある、

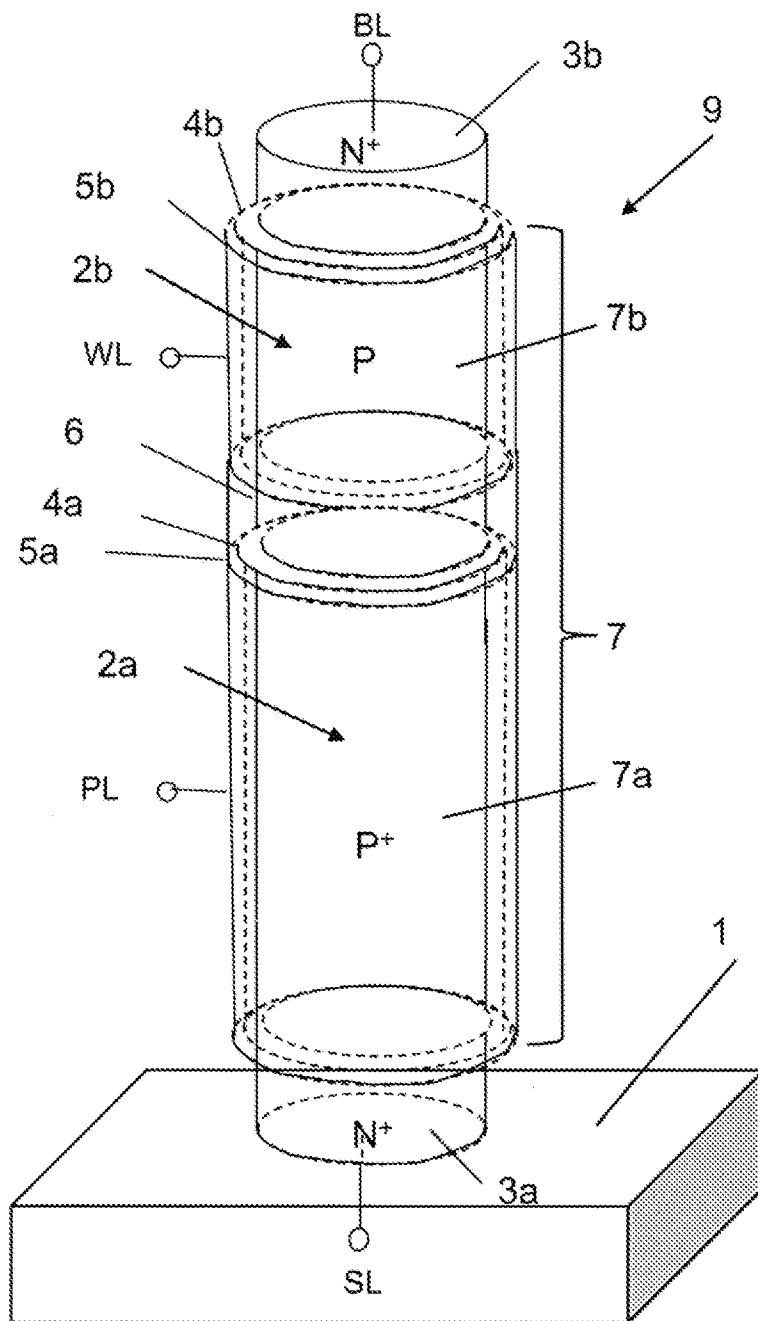
ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置

[請求項5] 前記第1のゲート導体層と前記第1の半導体母体との間の第1のゲート容量は、前記第2のゲート導体層と前記第2の半導体母体との間の第2のゲート容量よりも大きい、

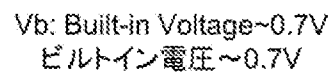
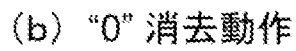
ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置

o

[図1]

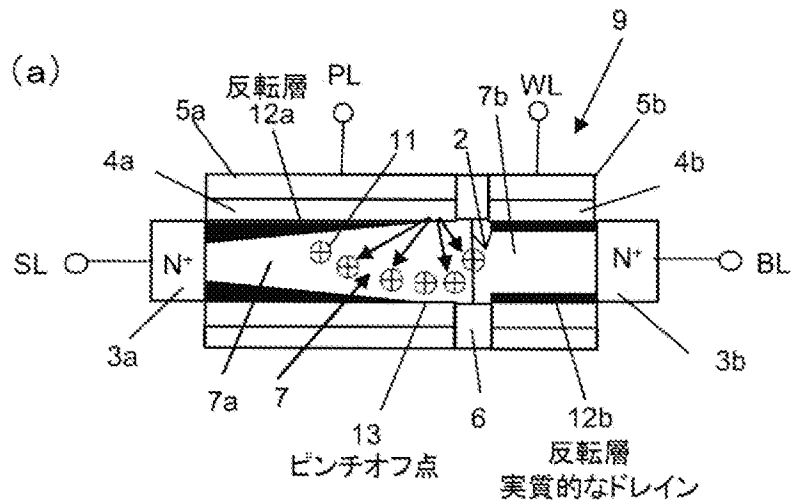


(a) “1” 書込み状態

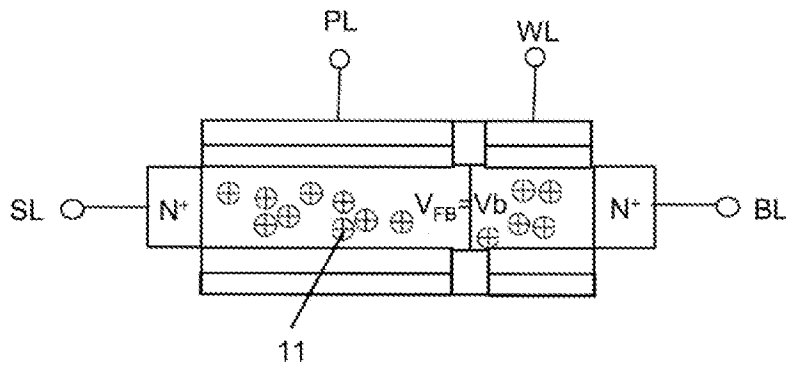


[図3]

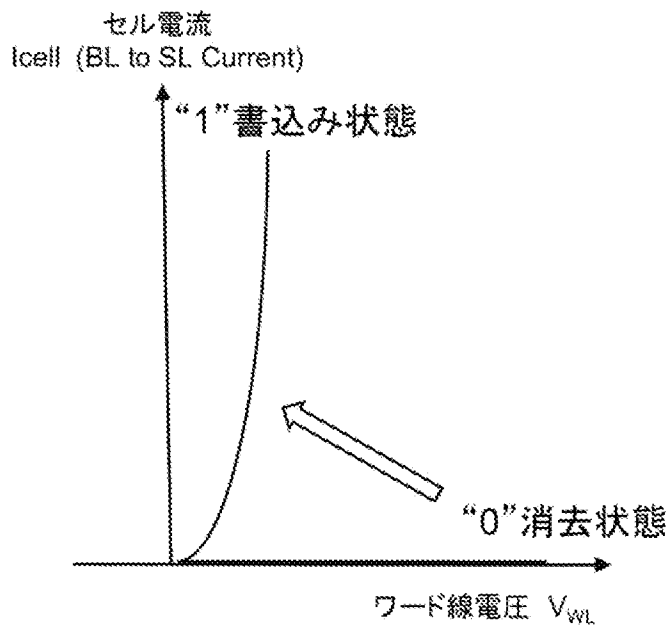
“1” 書込み動作
ソース側インパクトイオン化



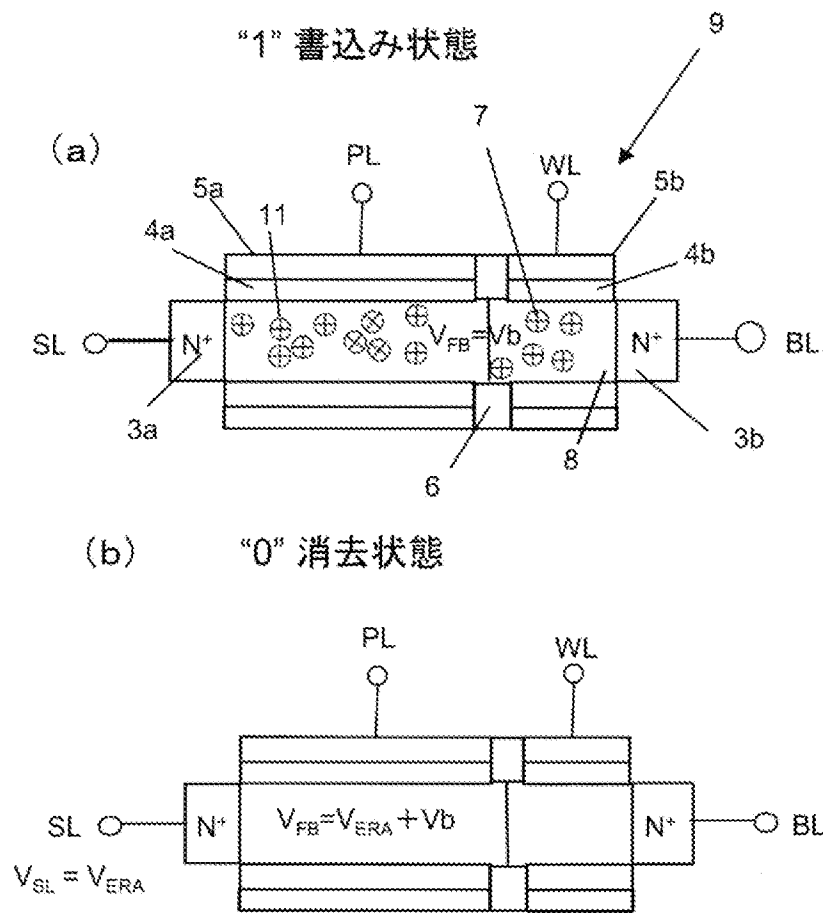
(b) “1” 書込み状態



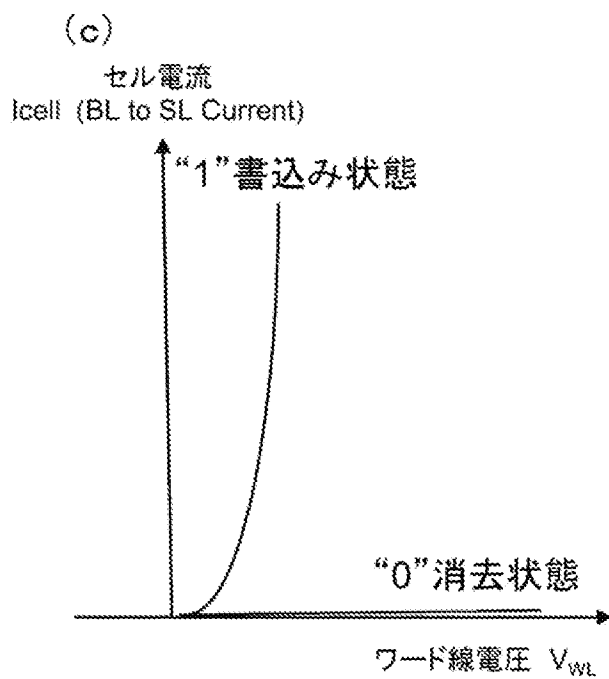
(c)



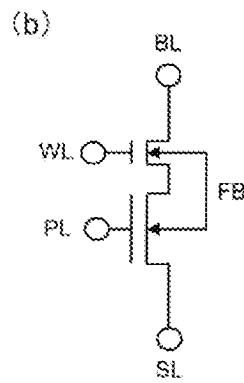
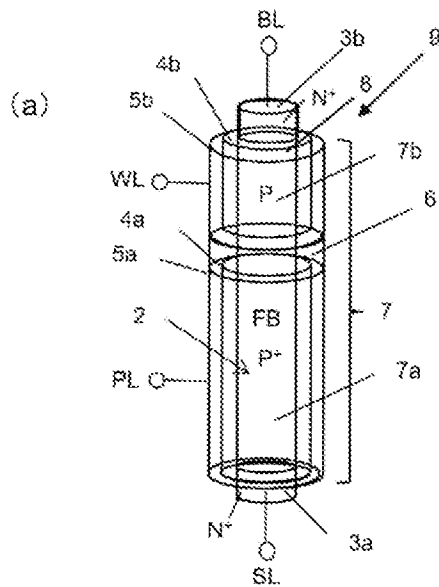
[図4A]



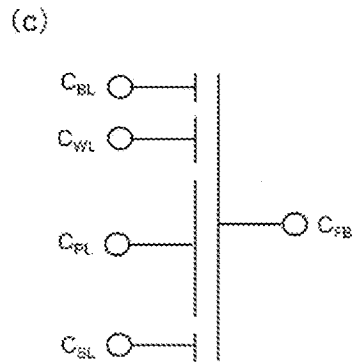
V_b : ビルトイン電圧 $\sim 0.7V$



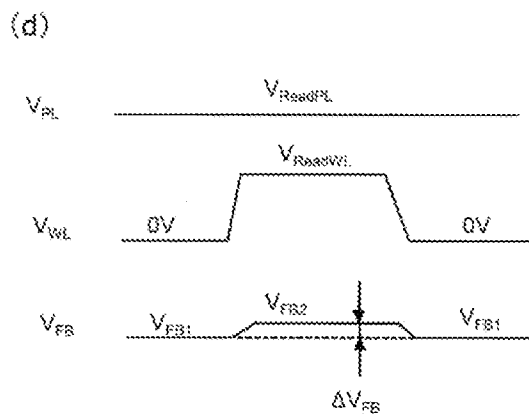
[図4B]



BL: ビット線
 SL: ソース線
 WL: ワード線
 PL: プレート線
 FB: フローティングボディ

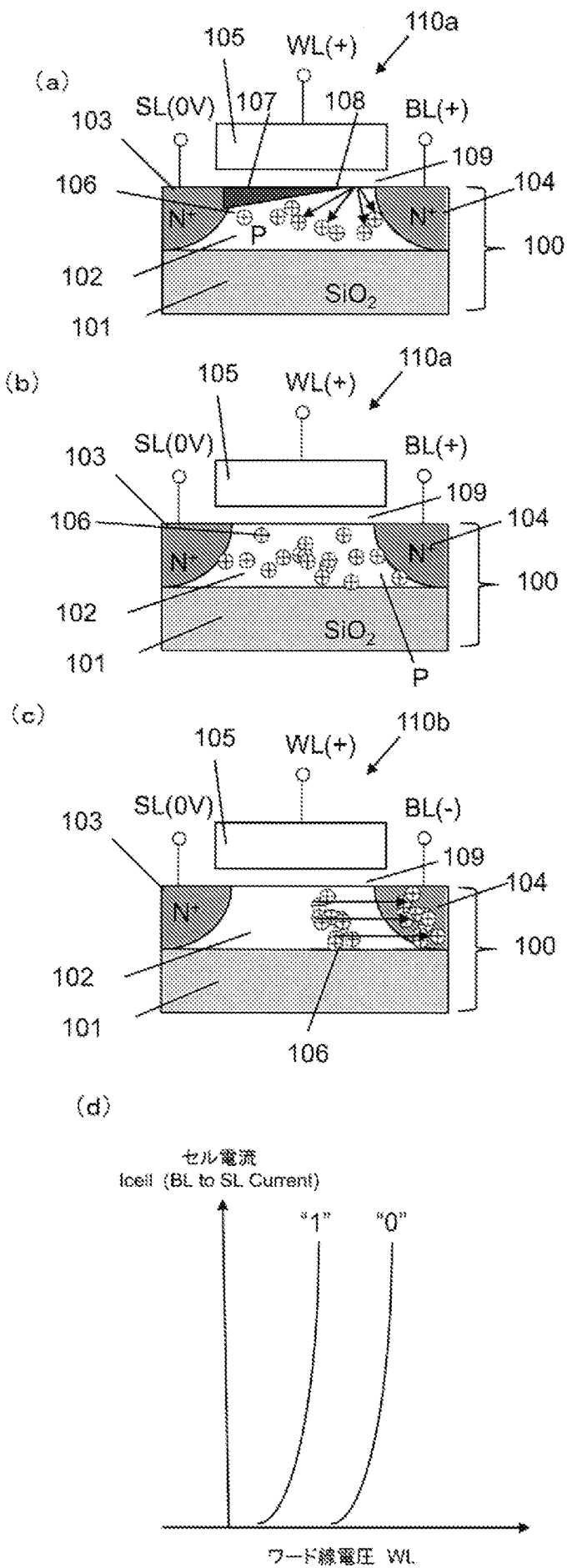


$$C_{FB} = C_{PL} + C_{WL} + C_{BL} + C_{SL}$$



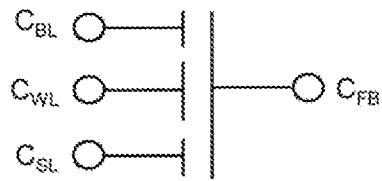
$$\begin{aligned} \Delta V_{FB} &= V_{FB2} - V_{FB1} \\ &= \frac{C_{WL}}{C_{PL} + C_{WL} + C_{BL} + C_{SL}} \times V_{ReadWL} \quad (4) \end{aligned}$$

[図6]



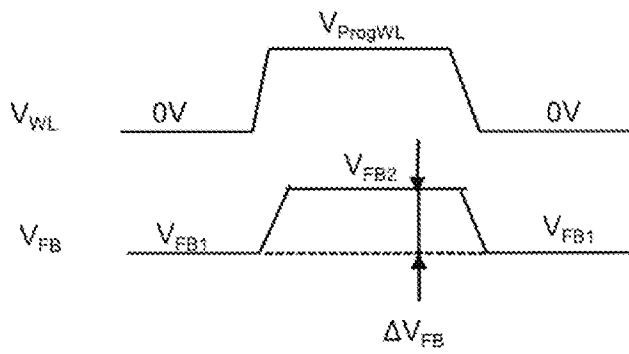
[図7]

(a)



$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad \text{式(1)}$$

(b)

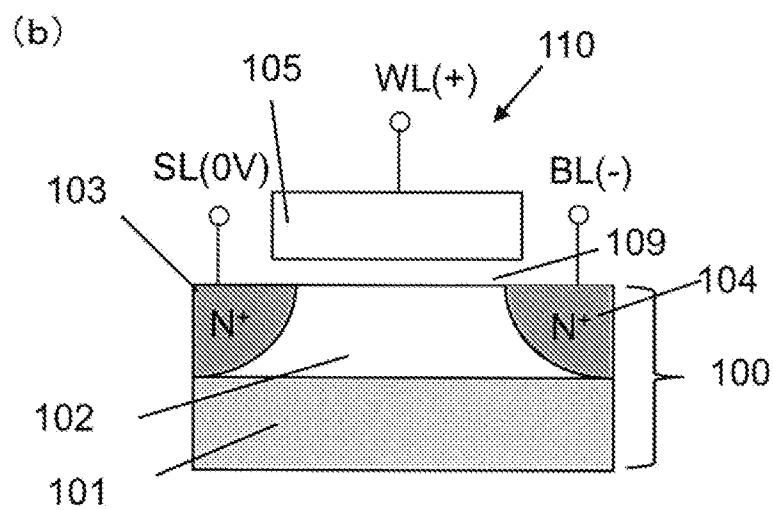
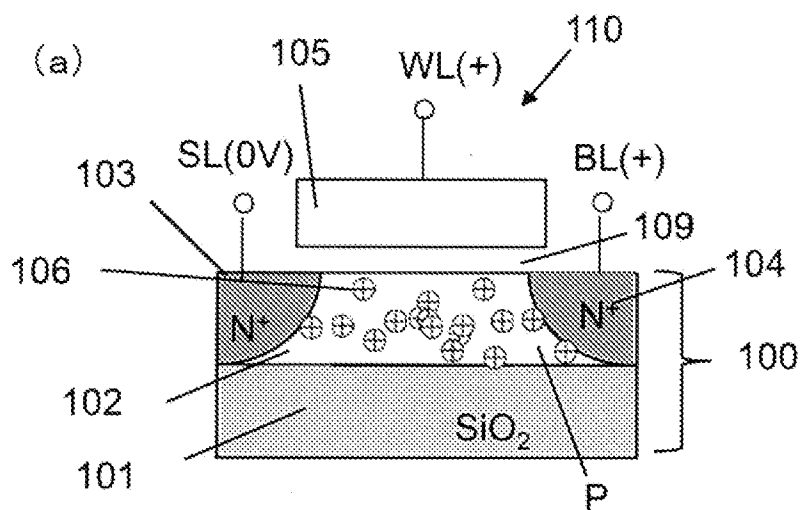


$$\beta = \frac{C_{WL}}{C_{WL} + C_{BL} + C_{SL}} \quad \text{式(3)}$$

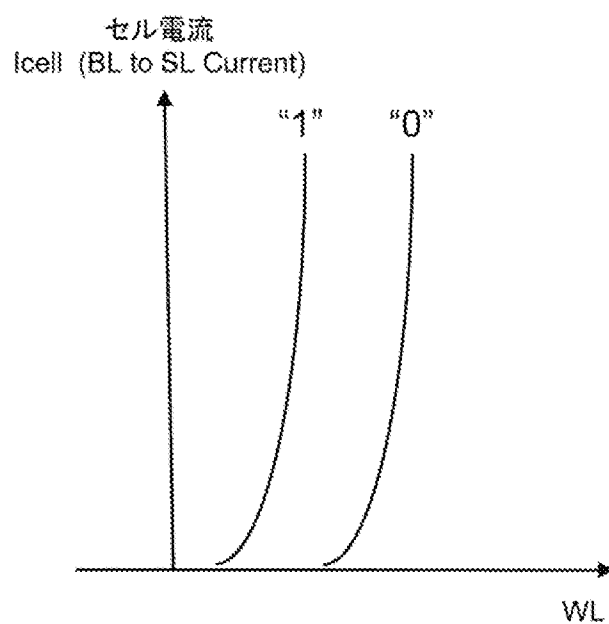
$$\Delta V_{FB} = V_{FB2} - V_{FB1}$$

$$= \frac{C_{WL}}{C_{WL} + C_{BL} + C_{SL}} \times V_{ProgWL} \quad \text{式(2)}$$

[図8]



(c)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/018236

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G11C16/04(2006.01)i, G11C11/401(2006.01)i, H01L21/8242(2006.01)i, H01L27/10(2006.01)i, H01L27/108(2006.01)i

FI: G11C16/04, G11C11/401, H01L27/10451, H01L27/108321

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G11C16/04, G11C11/401, H01L21/8242, H01L27/10, H01L27/108

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-218556 A (TOSHIBA CORP.) 18 September 2008 (2008-09-18), paragraphs [0026]-[0028], [0032], [0033], fig. 1, 5, 6	1-5
A	JP 2006-80280 A (TOSHIBA CORP.) 23 March 2006 (2006-03-23), paragraphs [0028]-[0065], fig. 2-5	1-5

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 June 2021

Date of mailing of the international search report
29 June 2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/018236

JP 2008-218556 A	18 September 2008	US 2008/0212366 A1 paragraphs [0042]-[0044], [0048], [0049], fig. 1, 5, 6 KR 10-2008-0080449 A
JP 2006-80280 A	23 March 2006	US 2006/0049444 A1 paragraphs [0158]-[0196], fig. 2-5

A. 発明の属する分野の分類（国際特許分類（IPC）） G11C 16/04(2006.01)i; G11C 11/401(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/10(2006.01)i; H01L 27/108(2006.01)i FI: G11C16/04; G11C11/401; H01L27/10 451; H01L27/108 321		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G11C16/04; G11C11/401; H01L21/8242; H01L27/10; H01L27/108		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-218556 A（株式会社東芝）18.09.2008（2008-09-18） 段落[0026]-[0028], [0032], [0033], 図1, 5, 6	1-5
A	JP 2006-80280 A（株式会社東芝）23.03.2006（2006-03-23） 段落[0028]-[0065], 図2-5	1-5
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 22.06.2021	国際調査報告の発送日 29.06.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 後藤 彰 5N 4226 電話番号 03-3581-1101 内線 3586	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/018236

引用文献			公表日	パテントファミリー文献	公表日
JP	2008-218556	A	18.09.2008	US 2008/0212366 A1 段落[0042]-[0044], [0048], [0049], 図1, 5, 6 KR 10-2008-0080449 A	
JP	2006-80280	A	23.03.2006	US 2006/0049444 A1 段落[0158]-[0196], 図2-5	