

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6600375号
(P6600375)

(45) 発行日 令和1年10月30日(2019.10.30)

(24) 登録日 令和1年10月11日(2019.10.11)

(51) Int. Cl.		F I	
HO4N 5/347	(2011.01)	HO4N 5/347	
HO4N 5/376	(2011.01)	HO4N 5/376	
HO4N 9/07	(2006.01)	HO4N 9/07	A

請求項の数 9 (全 20 頁)

(21) 出願番号	特願2018-38940 (P2018-38940)	(73) 特許権者	000001007
(22) 出願日	平成30年3月5日(2018.3.5)		キヤノン株式会社
(62) 分割の表示	特願2014-78980 (P2014-78980) の分割		東京都大田区下丸子3丁目30番2号
原出願日	平成26年4月7日(2014.4.7)	(74) 代理人	100076428
(65) 公開番号	特開2018-88721 (P2018-88721A)		弁理士 大塚 康德
(43) 公開日	平成30年6月7日(2018.6.7)	(74) 代理人	100115071
審査請求日	平成30年3月5日(2018.3.5)		弁理士 大塚 康弘
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 固体撮像素子、撮像装置及びその制御方法、プログラム、記憶媒体

(57) 【特許請求の範囲】

【請求項1】

光電変換部を備えた画素が行方向および列方向に複数配置され、各画素列に配置された複数の画素に複数の異なる色のカラーフィルタが設けられた画素配列と、

各画素列に複数設けられた垂直信号線と、

前記画素配列を駆動する駆動手段と、を備え、

各画素列における複数の垂直信号線の各々には同じ画素列における同色のカラーフィルタが設けられた複数の画素が接続され、

前記複数の画素の各々は前記光電変換部で発生した電荷に応じた信号を対応する垂直信号線に出力するための選択スイッチをさらに備え、

前記駆動手段は、複数画素の出力信号を混合して読み出すモードが設定された場合に、各画素列において、第1色のカラーフィルタが設けられた少なくとも2つの画素の選択スイッチを同時にオンして前記第1色のカラーフィルタが設けられた少なくとも2つの画素の光電変換部で発生した電荷に応じた信号を第1の垂直信号線上に同時に出力する第1の読み出し動作と、同じ画素列における第2色のカラーフィルタが設けられた少なくとも2つの画素の選択スイッチを同時にオンして前記第2色のカラーフィルタが設けられた少なくとも2つの画素の光電変換部で発生した電荷に応じた信号を第2の垂直信号線上に同時に出力する第2の読み出し動作とが並行して行われるように前記画素配列を駆動することを特徴とする固体撮像素子。

【請求項2】

前記垂直信号線に出力された信号を保持する複数の保持手段と、前記複数の保持手段により保持された信号を出力する複数の出力アンプとを、さらに備えることを特徴とする請求項 1 に記載の固体撮像素子。

【請求項 3】

前記画素配列における複数の画素にベイア配列でカラーフィルタが設けられることを特徴とする請求項 1 または 2 に記載の固体撮像素子。

【請求項 4】

光電変換部を備えた画素が行方向および列方向に複数配置され、各画素列に配置された複数の画素に複数の異なる色のカラーフィルタが設けられた画素配列と、各画素列に複数設けられた垂直信号線と、前記画素配列を駆動する駆動手段と、を有し、各画素列における複数の垂直信号線の各々には同じ画素列における同色のカラーフィルタが設けられた複数の画素が接続され、前記複数の画素の各々は前記光電変換部で発生した電荷に応じた信号を対応する垂直信号線に出力するための選択スイッチをさらに備える固体撮像素子と、撮影モードを設定する設定手段と、

前記設定手段により、複数画素の出力信号を混合して読み出すモードが設定された場合に、各画素列において、第 1 色のカラーフィルタが設けられた少なくとも 2 つの画素の選択スイッチを同時にオンして前記第 1 色のカラーフィルタが設けられた少なくとも 2 つの画素の光電変換部で発生した電荷に応じた信号を第 1 の垂直信号線上に同時に出力する第 1 の読み出し動作と、同じ画素列における第 2 色のカラーフィルタが設けられた少なくとも 2 つの画素の選択スイッチを同時にオンして前記第 2 色のカラーフィルタが設けられた少なくとも 2 つの画素の光電変換部で発生した電荷に応じた信号を第 2 の垂直信号線上に同時に出力する第 2 の読み出し動作とが並行して行われるように前記駆動手段が前記画素配列を駆動するように制御する制御手段と、を備えることを特徴とする撮像装置。

【請求項 5】

前記固体撮像素子は、前記垂直信号線に出力された信号を保持する複数の保持手段と、前記複数の保持手段により保持された信号を出力する複数の出力アンプとを、さらに備えることを特徴とする請求項 4 に記載の撮像装置。

【請求項 6】

前記画素配列における複数の画素にベイア配列でカラーフィルタが設けられていることを特徴とする請求項 4 または 5 に記載の撮像装置。

【請求項 7】

光電変換部を備えた画素が行方向および列方向に複数配置され、各画素列に配置された複数の画素に複数の異なる色のカラーフィルタが設けられた画素配列と、各画素列に複数設けられた垂直信号線と、前記画素配列を駆動する駆動手段と、を有し、各画素列における複数の垂直信号線の各々には同じ画素列における同色のカラーフィルタが設けられた複数の画素が接続され、前記複数の画素の各々は前記光電変換部で発生した電荷に応じた信号を対応する垂直信号線に出力するための選択スイッチをさらに備える固体撮像素子と、撮影モードを設定する設定手段と、を備える撮像装置を制御する方法であって、

前記設定手段により、複数画素の出力信号を混合して読み出すモードが設定された場合に、各画素列において、第 1 色のカラーフィルタが設けられた少なくとも 2 つの画素の選択スイッチを同時にオンして前記第 1 色のカラーフィルタが設けられた少なくとも 2 つの画素の光電変換部で発生した電荷に応じた信号を第 1 の垂直信号線上に同時に出力する第 1 の読み出し動作と、同じ画素列における第 2 色のカラーフィルタが設けられた少なくとも 2 つの画素の選択スイッチを同時にオンして前記第 2 色のカラーフィルタが設けられた少なくとも 2 つの画素の光電変換部で発生した電荷に応じた信号を第 2 の垂直信号線上に同時に出力する第 2 の読み出し動作とが並行して行われるように前記駆動手段が前記画素配列を駆動するように制御する制御工程を有することを特徴とする撮像装置の制御方法。

【請求項 8】

請求項 7 に記載の制御方法をコンピュータに実行させるためのプログラム。

【請求項 9】

請求項 7 に記載の制御方法をコンピュータに実行させるためのプログラムを記憶したコンピュータが読み取り可能な記憶媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像素子および撮像装置に関するものである。

【背景技術】

【0002】

近年、デジタルカメラ等の撮像装置においては、固体撮像素子に CMOS 撮像素子が用いられるとともに、静止画・動画双方の撮影を可能としたものが一般的となっている。この CMOS 撮像素子については、多画素化が進み、画像情報量が増加している中、ユーザーからは高速連写、動画時における高フレームレート化を可能とする読み出しの高速化が望まれている。

10

【0003】

動画撮影に関しては、液晶画面上に画像表示を行うライブビューモードや、HD、4K、2K等の各動画フォーマットがあり、画像情報として画素信号を読み出す際、各々のフォーマットに応じた画素数に低画素数化する必要がある。この際、特定の周期で画素を読み飛ばすことで低画素数化する間引き処理による手法を用いると、モアレの発生など画質劣化の要因となる。このため、解像感を損なわず必要情報量として画素数を削減して読み出す手法として、撮像素子内で画素出力混合処理（加算平均）を行い、高速に読み出す技術が特許文献 1 に開示されている。

20

【0004】

特許文献 1 では、画素出力を混合して読み出す際、画素出力を混合する複数の行を同時に選択し、同列の画素信号を同一の垂直信号線上に同時に出力させ、垂直信号線上にて信号の混合を行うことで、画素出力が混合された信号として読み出しを行う構成としている。これにより、画素出力の混合による読み出しに際して、個別に容量等を設けることなく高速に読み出すことを可能としている。

【先行技術文献】

【特許文献】

30

【0005】

【特許文献 1】特許第 5 2 5 0 4 7 4 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献 1 においては、同一列上の画素信号に対する垂直信号線は 1 線であるため、画素出力の混合も同一列に対しては 1 本の垂直信号線で行うことになる。すなわち、同一列の画素信号を 1 本の垂直信号線から順次読みだす必要があり、読み出した画素信号を 1 列毎に備えられた保持容量に一旦保持した後、順次水平転送することにより 1 行分の画素信号を読み出さなければならない。そのため、1 行分の読み出しを終えるまでは、次行の読み出しをすることができず、読み出しに時間を要するようになっていた。

40

【0007】

本発明は上述した課題に鑑みてなされたものであり、その目的は、回路規模の増大を抑制しつつ、画素出力の混合処理から水平転送までの総読み出し期間を短縮させることである。

【課題を解決するための手段】

【0008】

本発明に係わる固体撮像素子は、光電変換部を備えた画素が行方向および列方向に複数配置され、各画素列に配置された複数の画素に複数の異なる色のカラーフィルタが設けられた画素配列と、各画素列に複数設けられた垂直信号線と、前記画素配列を駆動する駆動

50

手段と、を備え、各画素列における複数の垂直信号線の各々には同じ画素列における同色のカラーフィルタが設けられた複数の画素が接続され、前記複数の画素の各々は前記光电変換部で発生した電荷に応じた信号を対応する垂直信号線に出力するための選択スイッチをさらに備え、前記駆動手段は、複数の画素の出力信号を混合して読み出すモードが設定された場合に、各画素列において、第1色のカラーフィルタが設けられた少なくとも2つの画素の選択スイッチを同時にオンして前記第1色のカラーフィルタが設けられた少なくとも2つの画素の光电変換部で発生した電荷に応じた信号を第1の垂直信号線上に同時に出力する第1の読み出し動作と、同じ画素列における第2色のカラーフィルタが設けられた少なくとも2つの画素の選択スイッチを同時にオンして前記第2色のカラーフィルタが設けられた少なくとも2つの画素の光电変換部で発生した電荷に応じた信号を第2の垂直信号線上に同時に出力する第2の読み出し動作とが並行して行われるように前記画素配列を駆動することを特徴とする。

10

また、本発明に係わる撮像装置は、光电変換部を備えた画素が行方向および列方向に複数配置され、各画素列に配置された複数の画素に複数の異なる色のカラーフィルタが設けられた画素配列と、各画素列に複数設けられた垂直信号線と、前記画素配列を駆動する駆動手段と、を有し、各画素列における複数の垂直信号線の各々には同じ画素列における同色のカラーフィルタが設けられた複数の画素が接続され、前記複数の画素の各々は前記光电変換部で発生した電荷に応じた信号を対応する垂直信号線に出力するための選択スイッチをさらに備える固体撮像素子と、撮影モードを設定する設定手段と、前記設定手段により、複数の画素の出力信号を混合して読み出すモードが設定された場合に、各画素列において、第1色のカラーフィルタが設けられた少なくとも2つの画素の選択スイッチを同時にオンして前記第1色のカラーフィルタが設けられた少なくとも2つの画素の光电変換部で発生した電荷に応じた信号を第1の垂直信号線上に同時に出力する第1の読み出し動作と、同じ画素列における第2色のカラーフィルタが設けられた少なくとも2つの画素の選択スイッチを同時にオンして前記第2色のカラーフィルタが設けられた少なくとも2つの画素の光电変換部で発生した電荷に応じた信号を第2の垂直信号線上に同時に出力する第2の読み出し動作とが並行して行われるように前記駆動手段が前記画素配列を駆動するように制御する制御手段と、を備えることを特徴とする。

20

【発明の効果】

【0009】

30

本発明によれば、回路規模の増大を抑制しつつ、画素出力の混合から水平転送までの総読み出し期間を短縮させた固体撮像素子および撮像装置を提供することが可能となる。

【図面の簡単な説明】

【0010】

【図1】本発明の第1の実施形態に係わる撮像装置を示すブロック図。

【図2】第1の実施形態における固体撮像素子の画素部の構成図。

【図3】第1の実施形態における固体撮像素子の構成図。

【図4】第1の実施形態における固体撮像素子の読み出し回路の構成図。

【図5】第1の実施形態における固体撮像素子のベイア配列の一例を示す図。

【図6】第1の実施形態における画素出力混合による読み出し時の駆動タイミングを示す図。

40

【図7】第1の実施形態におけるベイア配列を固体撮像素子に適用した場合の模式図。

【図8】第2の実施形態における画素出力混合による読み出し時の駆動タイミングを示す図。

【図9】第2の実施形態におけるベイア配列を固体撮像素子に適用した場合の模式図。

【図10】第1及び第2の実施形態における全画素読み出し時の駆動タイミングを示す図。

【発明を実施するための形態】

【0011】

以下、本発明の実施形態について、添付図面を参照して詳細に説明する。

50

【 0 0 1 2 】

(第1の実施形態)

図1は、本発明の第1の実施形態に係わる撮像装置100の構成を示す全体ブロック図である。図1において、撮像素子101はCMOS撮像素子であり、不図示の撮影レンズで結像された被写体像を光電変換する。AFE(Analog Front End)102は、撮像素子101からの信号の増幅や基準レベルの調整(クランプ処理)などを行う信号処理回路である。また上記処理を行ったアナログ信号をデジタル信号に変換する。

【 0 0 1 3 】

D FE(Digital Front End)103は、AFE102で変換された各画素のデジタル画像信号の各種補正や画素の並び替え等のデジタル処理などを行う。画像処理装置105は、現像処理を行って表示回路8に画像を表示する、あるいは制御回路106を介して画像を記録媒体109に記録する、といった処理を行う。

10

【 0 0 1 4 】

制御回路106は、操作部107からのユーザーによる指示や、メモリ回路104に記憶されている情報に基づきタイミング発生回路110に命令を送る制御なども行う。メモリ回路104は、画像処理装置105の現像段階での作業用メモリとして、あるいは連続撮像等のバッファメモリとしても使用される。

【 0 0 1 5 】

操作部107には、デジタルカメラを起動させるための電源スイッチが含まれる。また、測光処理、測距処理などの撮影準備動作開始や、ミラー、シャッターを駆動するとともに撮像素子101から読み出した信号を処理して記録媒体109に書き込む一連の撮像動作の開始を指示するシャッタースイッチなども含まれる。また、撮像装置の動作モードの設定・切り換えを行うモードスイッチも含まれ、モードスイッチの設定により、動画撮像を行う動画モード、通常の静止画撮像を行う静止画モードの設定・切り換えが行われる。タイミング発生回路110は、制御回路106からの信号を受け撮像素子101を駆動する各制御信号についてタイミングの生成・出力を行う。

20

【 0 0 1 6 】

図2は、図1中の撮像素子101における受光素子を含む単位画素部(Pixel)を示す図である。

【 0 0 1 7 】

図2において、光信号電荷を発生するフォトダイオード201は、この例ではアノードが接地されている。フォトダイオード201のカソード側には、転送トランジスタ202を介してフローティングディフュージョン(FD)206が接続されている。また、FD206は、増幅トランジスタ204のゲートに接続されている。また、増幅トランジスタ204のゲートには、これをリセットするためのリセットトランジスタ203のソースが接続されている。リセットトランジスタ203のドレインには電源電圧VDDが供給されている。

30

【 0 0 1 8 】

さらに増幅トランジスタ204にも電源電圧VDDが供給され、増幅トランジスタ204のソースは選択トランジスタ205のドレインに接続されている。上記の転送トランジスタ202は、そのゲート端子に入力されるPt x信号により駆動され、フォトダイオード201の信号電荷をFD206に転送する。

40

【 0 0 1 9 】

リセットトランジスタ203のゲート端子はPres信号により駆動され、FD206およびフォトダイオード201をリセットする。このリセット後の出力信号がノイズ信号として読み出されることになる。選択トランジスタ205のゲート端子はPsel信号により駆動され、接続される各増幅トランジスタによって増幅された電気信号をVout端子へ出力する。

【 0 0 2 0 】

上記のVout端子は、後述する図3の第1の垂直信号線V1a、第2の垂直線信号線

50

V1bの各々に接続されている。また、増幅トランジスタ204は、選択トランジスタ205を介して垂直信号線負荷と接続されることで、ソースフォロワンプとして機能する。

【0021】

図3は、撮像素子101の構成例を示すブロック図である。画素領域300は、図2に示した単位画素部を行方向および列方向に複数有するものであるが、ここでは説明を簡略化するため6×8画素のみを図示しており、水平・垂直方向に所定数繰り返し配置されることで画素領域300を構成するものである。なお、画素領域300における各単位画素部には、図5に示すようなR、G、Bのカラーフィルタがベイヤ状に配置され、また、単位画素部が配列される画素列の1列に対して、垂直信号線は一对となる2本ずつ配されている。

10

【0022】

そして、各列の単位画素部は行毎に交互に異なる垂直信号線へ接続される。すなわち、ベイヤ状のカラーフィルタの配列と合わせて、同列にある同色の単位画素部が同一の垂直信号線に接続される。なお図中、各制御信号名に続く(n)はn行目、(n+1)ではn+1行目を指し示すものである。また第1および第2の垂直信号線V1a~V1bに続く(m)は画素列であるm列、(m+1)ではm+1列目を指し示すものである。

【0023】

垂直走査回路301は、タイミング発生回路110からの信号を受けて、信号Pres、Ptx、Pselを、各行選択線を介して画素領域300に出力する。上述の各制御信号は、同一行に配列された各単位画素部に共通に接続されており、同一行の画素は同時に駆動される。

20

【0024】

各単位画素部のVout端子は、n行目では垂直信号線V1aを介して負荷である定電流源304aに接続され、第1の読み出し回路315aによりVout端子の出力信号が読み出される。n+1行目では垂直信号線V1bを介して負荷である定電流源304bに接続され、第2の読み出し回路315bによりVout端子の出力信号が読み出される。なお、第1の読み出し回路315aと第2の読み出し回路315bは、同一構成となっており、接続先がそれぞれ第1の垂直信号線V1a、第2の垂直信号線V1bと異なるだけである。同様に、次行以降においても各単位画素部のVout端子は、行毎に交互に異なる垂直信号線に接続され、第1の読み出し回路315aまたは第2の読み出し回路315bによりVout端子の出力信号が読み出される。

30

【0025】

なお、上記構成によりカラーフィルタのベイヤ状による色配置の関係と、画素部の出力端が行毎に異なる垂直信号線へ接続されることで、同一列上において同色となる画素出力は、同一の垂直信号線上に出力される。

【0026】

第1および第2の読み出し回路315a、315bは、画素領域300から読み出される画素信号及びノイズ信号を、同回路内の転送容量で保持する。詳細については後述する。また、第1および第2の読み出し回路315a、315bは、それぞれ第1の保持ブロック、第2の保持ブロックとなる。

40

【0027】

転送トランジスタ305a、307aおよび306a、308aは、第1の水平走査回路303aからの走査クロック信号PHおよび走査行切り換え信号LSELにより発生する制御信号を受けて、第1の読み出し回路315a内の転送容量に記憶された信号を、水平読み出し線PsaまたはPnaに出力する。この際、転送トランジスタ305a、307aにより水平読み出し線Psaに、転送トランジスタ306a、308aによって水平読み出し線Pnaに出力がなされる。

【0028】

同様に、転送トランジスタ305b、307bおよび306b、308bは、第2の水

50

平走査回路 303b からの走査クロック信号 PH および走査行切り換え信号 LSEL により発生する制御信号を受けて、第 2 の読み出し回路 315b 内の転送容量に記憶された信号を、水平読み出し線 P_sb または P_nb に順次出力する。この際、転送トランジスタ 305b, 307b により水平読み出し線 P_sb に、転送トランジスタ 306b, 308b によって水平読み出し線 P_nb に出力がなされる。

【0029】

なお、信号 LSEL が Hi 状態では転送トランジスタ 305a, 306a, 305b, 306b が、信号 LSEL が Lo 状態では転送トランジスタ 307a, 308a, 307b, 308b が動作可能となる。これにより行毎に転送容量の使い分けを行い、1 水平走査期間中に画素部からの信号読み出しと、水平転送による順次出力の同時動作を行えるようにしている。

10

【0030】

第 1 の水平走査回路 303a は、走査クロック信号 PH と信号 PHST により、水平読み出し線 P_sa, P_na への信号出力を順次行わせる。第 2 の水平走査回路 303b は、走査クロック信号 PH と信号 PHST により、水平読み出し線 P_sb, P_nb への信号出力を順次行わせる。

【0031】

差動アンプ 302a は、水平読み出し線 P_sa の信号と水平読み出し線 P_na の信号との差分を撮像素子の外部に出力する。同様に、差動アンプ 302b は、水平読み出し線 P_sb の信号と水平読み出し線 P_nb の信号との差分を撮像素子の外部に出力する。また、差動アンプ 302a, 302b は、最終段読み出し回路に相当する。

20

【0032】

図 4 は、図 3 に示した第 1 および第 2 の読み出し回路 315a, 315b における回路例を示す図である。図 4 については、例として、第 1 の読み出し回路 315a における画素 1 列分の m 列における垂直信号線 V_la(m) が接続される 1 線分の読み出し回路を示しており、画素列数に応じて他列分についても同様に構成されている。

【0033】

また、第 2 の読み出し回路 315b も接続先が垂直信号線 V_lb(m) および水平読み出し線 P_sb, P_nb に接続される転送トランジスタが異なるだけであり、読み出し回路 1 と同様の構成となっている。

30

【0034】

各画素部の端子 V_{out} からの出力は、信号 P_{cts}1、信号 P_{ctn}1、信号 P_{cts}2、信号 P_{ctn}2 で駆動される各々に接続されている転送トランジスタ 403a, 404a, 407a, 408a を介して、各々の転送容量 401a, 402a, 405a, 406a に保持される。

【0035】

なお、後述するタイミングチャートの駆動により、画素回路部で発生するノイズ信号は転送容量 402a または 406a に保持され、その後フォトダイオード 201 から FD 206 に転送した電荷に応じた画素信号は転送容量 401a または 405a に保持されることになる。上述した各転送容量に保持された各信号を差動アンプ 302a, 302b へ順次転送することにより、1 行分の画素信号の出力を行う。

40

【0036】

図 6 は、図 1 ~ 図 5 で説明した固体撮像素子を駆動するタイミングチャートであり、動画撮影モードなどの画素出力加算読み出し時における動作タイミングを示している。本実施形態においては、垂直同色の 2 画素出力を垂直信号線に同時出力し、垂直信号線上で混合する。

【0037】

ソースフォロアとして機能する増幅トランジスタ 204 に入力される信号電圧が等しい、または近い場合に、負荷定電流源 304a または 304b の電流が、接続される各増幅トランジスタに均等に分配される。それにより信号電圧が平均化されることを利用するも

50

のである。さらに、垂直信号線の1線に対して備えられた、画素信号およびノイズ信号を保持する転送容量の各2対(2系統分)を使い分ける。これにより、1水平走査期間中において、画素部からの信号読み出しと、水平転送動作を異なる行間で同時に動作させるように駆動する。そして、2本の垂直信号線による画素1列分に対する2行同時読み出し動作と併せて、画素混合(平均)時の読み出し動作を、簡易な構成でかつ高速に行うことを可能としている。

【0038】

なお、図中において、信号レベルの『Hi』状態は駆動トランジスタをON、『Lo』状態は駆動トランジスタをOFFするものとする。また、説明を分かりやすくするため、全画素リセット及び全画素蓄積開始するタイミングは省略し、画素信号の読み出し動作時のタイミングのみを示す。

10

【0039】

時刻 t_1 から t_8 までの1水平走査期間においては、 n 行目、 $n+2$ 行目、 $n+3$ 行目、 $n+5$ 行目における転送容量への画素信号およびノイズ信号の転送動作が行われる。また、それと同時に並行して、不図示の $n-6$ 行目、 $n-4$ 行目、 $n-1$ 行目、 $n-3$ 行目における画素信号およびノイズ信号が、転送容量より順次出力アンプに出力される動作が行われることになる。

【0040】

次に、上記時間帯における $n-6$ 行目、 $n-4$ 行目、 $n-1$ 行目、 $n-3$ 行目における動作について説明する。時刻 t_1 にて信号LSELがLoになり、第1および第2の水平走査回路303a, 303bに入力される水平走査クロック信号PHに同期して、転送容量405aに記憶された信号が、転送トランジスタ307aを介して水平読み出し線Psaに順次読み出される。同時に転送容量406aに記憶された信号が、転送トランジスタ308aを介して水平読み出し線Pnaに順次読み出される。

20

【0041】

同時に転送容量405bに記憶された信号が、転送トランジスタ307bを介して水平読み出し線Psbに順次読み出される。同時に転送容量406bに記憶された信号が、転送トランジスタ308bを介して水平読み出し線Pnbに順次読み出される。出力アンプ302aは、水平読み出し線Psaと水平読み出し線Pnaの差分信号を外部に出力する。このとき出力される信号は、 $n-6$ 行目、 $n-4$ 行目の出力が混合された信号となる。同様に、出力アンプ302bは、水平読み出し線Psbと水平読み出し線Pnbの差分信号を外部に出力する。このとき出力される信号は、 $n-1$ 行目、 $n-3$ 行目の出力が混合された信号となる。

30

【0042】

次に、上述した外部への出力と同時に行われる、 n 行目、 $n+2$ 行目、 $n+3$ 行目、 $n+5$ 行目における信号電荷の転送容量への転送動作について説明する。

【0043】

時刻 t_2 にて信号Psel(n)、信号Psel($n+2$)がLoからHiになり、 n 行目および $n+2$ 行目における選択トランジスタ205がONされ、 n 行目および $n+2$ 行目の各ソースフォロア出力が第1の垂直信号線V1aに接続される。同時に信号Psel($n+3$)、信号Psel($n+5$)がLoからHiになり、 $n+3$ 行目および $n+5$ 行目における選択トランジスタ205がONされ、 $n+3$ 行目および $n+5$ 行目の各ソースフォロア出力が第2の垂直信号線V1bに接続される。

40

【0044】

また、時刻 t_2 において、信号Pres(n)、信号Pres($n+2$)、および信号Pres($n+3$)、信号Pres($n+5$)がLoからHiになる。そして、 n 行目、 $n+1$ 行目、および $n+3$ 行目、 $n+5$ 行目のリセットトランジスタ203がONされ、同行におけるFD206に蓄積された不要電荷がリセットされる。

【0045】

時刻 t_3 で、リセットが終了するとともに信号Pctn1がLoからHiになり、転送

50

トランジスタ404aをONし、画素回路で発生するノイズ成分を転送容量402aに記憶する。時刻t4で信号Pctn1がHiからLoになり、ノイズ成分の転送容量402aへの記憶を終了する。

【0046】

時刻t5にて、信号Ptx(n)、信号Ptx(n+2)がLoからHiになり、n行目およびn+2行目における転送トランジスタ202がONする。そして、n行目のPD201に蓄積された信号電荷と、n+2行目のPD201に蓄積された信号電荷がFD206に転送され、増幅トランジスタ204により増幅され電圧に変換される。そして、n行目の電圧信号とn+2行目の電圧信号が同時に第1の垂直信号線V1a上に出力されて混合される。

10

【0047】

同時に信号Ptx(n+3)、信号Ptx(n+5)がLoからHiになり、n+3行目およびn+5行目における転送トランジスタ202がONする。そして、n+3行目のPD201に蓄積された信号電荷と、n+5行目のPD201に蓄積された信号電荷がFD206に転送され、増幅トランジスタ204により増幅され電圧に変換される。そして、n+3行目の電圧信号とn+5行目の電圧信号が同時に第2の垂直信号線V1b上に出力されて混合される。

【0048】

時刻t6にて、Ptcsl信号がLoからHiになり、転送トランジスタ403aをONし、第1および第2の垂直信号線V1aおよびV1bで混合された画素信号を、読み出し回路1および2内の転送容量401aに記憶する。時刻t7でPtcsl信号がHiからLoになり、転送トランジスタ403aをOFFし、転送容量401aへの記憶を終了する。その後、時刻t8から時刻t15までの1水平走査期間で、混合されたn行目とn+2行目の信号が、出力アンプ302aより出力され、同時に混合されたn+3行目とn+5行目の信号が、出力アンプ302bより出力される。

20

【0049】

時刻t8で、信号Psel(n)、信号Psel(n+2)および信号Psel(n+3)、信号Psel(n+5)がHiからLoになり、選択トランジスタ205がOFFされ、n行目、n+2行目、およびn+3行目、n+5行目について、第1および第2の垂直信号線V1aおよびV1bへの接続を解除する。

30

【0050】

時刻t9からは、前述の説明と同様に、次行として読み出すn+6行目、n+8行目を第1の垂直信号線V1aに、n+9行目、n+11行目を第2の垂直信号線V1bに接続し、混合された画素信号を読み出す。この際、異なる点として、行そのものを選択する信号Psel以外に、第1および第2の読み出し回路315a、315b内のノイズ信号および画素信号を保持する転送容量および転送トランジスタ、また水平読み出し線へ信号を転送する転送トランジスタ、およびそれらの制御信号は別のものとなる。

【0051】

なお、1水平走査期間毎に、前術した前行の転送容量を合わせて切り替えて使用することで、前行での画素出力の水平転送と、今行における画素信号の読み出しの同時動作が可能となり、画素1列に対する垂直信号線の複線化と併せて、高速に読み出すことが可能となる。

40

【0052】

時刻t9にて信号Psel(n+6)、信号Psel(n+8)がLoからHiになり、n+6行目およびn+8行目における選択トランジスタ205がONされ、n+6行目およびn+8行目の各ソースフォロア出力が第1の垂直信号線V1aに接続される。同時に信号Psel(n+9)、信号Psel(n+11)がLoからHiになり、n+9行目およびn+11行目における選択トランジスタ205がONされ、n+9行目およびn+11行目の各ソースフォロア出力が第2の垂直信号線V1bに接続される。

【0053】

50

また、時刻 t_9 において、信号 $Pres(n+6)$ 、信号 $Pres(n+8)$ および信号 $Pres(n+9)$ 、信号 $Pres(n+11)$ が Lo から Hi になる。そして、 $n+6$ 行目、 $n+8$ 行目、および $n+9$ 行目、 $n+11$ 行目のリセットトランジスタ 203 が ON され、同行における $FD206$ に蓄積された不要電荷がリセットされる。

【0054】

時刻 t_{10} で、リセットが終了するとともに信号 $Pctn2$ が Lo から Hi になり、転送トランジスタ 408a を ON し、画素回路で発生するノイズ成分を転送容量 406a に記憶する。時刻 t_{11} で信号 $Pctn2$ が Hi から Lo になり、ノイズ成分の転送容量 406a への記憶を終了する。

【0055】

時刻 t_{12} にて、信号 $Ptx(n+6)$ 、信号 $Ptx(n+8)$ が Lo から Hi になり、 $n+6$ 行目および $n+8$ 行目における転送トランジスタ 202 が ON する。そして、 $n+6$ 行目の $PD201$ に蓄積された信号電荷と、 $n+8$ 行目の $PD201$ に蓄積された信号電荷が $FD206$ に転送され、増幅トランジスタ 204 により増幅され電圧に変換される。そして、同時に第 1 の垂直信号線 $V1a$ 上に出力されて混合される。

同時に信号 $Ptx(n+9)$ 、信号 $Ptx(n+11)$ が Lo から Hi になり、 $n+9$ 行目および $n+11$ 行目における転送トランジスタ 202 が ON する。そして、 $n+9$ 行目の $PD201$ に蓄積された信号電荷と、 $n+11$ 行目の $PD201$ に蓄積された信号電荷が $FD206$ に転送され、増幅トランジスタ 204 により増幅され電圧に変換される。そして、同時に第 2 の垂直信号線 $V1b$ 上に出力されて混合される。

【0056】

時刻 t_{13} にて、信号 $Ptcs2$ が Lo から Hi になり、転送トランジスタ 407a を ON し、第 1 および第 2 の垂直信号線 $V1a$ および $V1b$ で混合された画素信号を、読み出し回路 1 および 2 内の転送容量 405a に記憶する。時刻 t_{14} で信号 $Ptcs2$ が Hi から Lo になり、転送トランジスタ 407a を OFF し転送容量 405a への記憶を終了する。

【0057】

その後の 1 水平走査期間で、混合された $n+6$ 行目と $n+8$ 行目の信号が、出力アンプ 302a より出力され、同時に混合された $n+9$ 行目と $n+11$ 行目の信号が、出力アンプ 302b より出力される。なお、行走査切り換え信号 $LSEL$ は、1 水平走査毎に、 Lo 状態と Hi 状態が切り換えられ、交互に Lo 、 Hi 状態となる。

【0058】

行走査切り換え信号 $LSEL$ の状態により、転送容量からの信号を転送する転送トランジスタが有効となるが、1 水平走査毎に切り替えることにより、前の 1 水平走査中に画素信号を保持した転送容量にあわせて転送トランジスタの動作を有効として、予め転送容量に保持されていた信号を順次出力させることで、同時に次行の読み出しも別転送容量および転送トランジスタにて動作を可能とさせている。

【0059】

このような動作を、固体撮像素子が持つ行数分を順次繰り返すことで、画素出力混合時においても、高速に読み出すことが可能となる。

【0060】

図 7 は本実施形態における読み出しを、ベイア配列のカラー撮像素子に適用した場合の模式図であり、混合読み出し動作を示す模式図である。

【0061】

本実施形態においては、同一列の画素列に対して、2 本の垂直信号線を有しているため、ベイア配列の各色成分ごとに異なる垂直信号線に読み出すことになる。同一列の R の信号については第 1 の垂直信号線 $V1a(m)$ に読み出され、 Gb の信号が第 2 の垂直信号線 $V1b(m)$ に読みだされ、 Gr の信号が第 1 の垂直信号線 $V1a(m+1)$ に読み出され、 B の信号が第 2 の垂直信号線 $V1b(m+1)$ に読みだされる。

【0062】

10

20

30

40

50

図7において、ハッチングが掛っている画素は、読み出しを行わない画素である。また前述したような画素出力混合動作を行わせた場合、同色の信号の2画素分の混合が垂直信号線上で行われる。また、混合した後の画像はベイヤ配列であり、従来同様の信号処理が可能である。なお、混合により、各色の重心は、混合される同色2画素分の領域の中心となり、混合前では異なる色が配された画素上に位置することになるが、混合後の信号の重心が等間隔であることから、モアレ等の偽信号の発生を抑圧できる。

【0063】

(第2の実施形態)

図8は、本発明の第2の実施形態における固体撮像素子を駆動するタイミングチャートであり、画素出力混合読み出し時における動作タイミングを示している。なお、撮像装置の構成は第1の実施形態と同様である。

10

【0064】

本実施形態においては、垂直の同色3画素出力の混合が行われるものであり、同一垂直信号線への同時出力を同色となる3行分を行うことで垂直信号線上にて混合するものである。

【0065】

時刻 t_1 から t_8 までの1水平走査期間においては、 n 行目、 $n+2$ 行目、 $n+4$ 行目、および $n+3$ 行目、 $n+5$ 行目、 $n+7$ 行目における転送容量への画素信号およびノイズ信号の転送動作が行われる。また、不図示の $n-6$ 行目、 $n-4$ 行目、 $n-2$ 行目、 $n-3$ 行目、 $n-1$ 行目および $n+1$ 行目における画素信号およびノイズ信号が、転送容量より順次出力アンプへ出力される動作が行われることになる。なお、前述した第1の実施形態と異なる点として、画素出力の混合数が2画素から3画素に変わり、それに応じて同色行となる行の同時選択も3行分になるものである。

20

【0066】

次に上記時刻帯における $n-6$ 行目、 $n-4$ 行目、 $n-2$ 行目、 $n-3$ 行目、 $n-1$ 行目、および $n+1$ 行目における動作を説明する。

【0067】

時刻 t_1 にて信号 $LSEL$ が L_0 になり、第1および第2の水平走査回路303a, 303bに入力される水平走査クロック信号 PH に同期して、転送容量405aに記憶された信号が、転送トランジスタ307aを介して水平読み出し線 Ps_a に順次読み出される。同時に転送容量406aに記憶された信号が、転送トランジスタ308aを介して水平読み出し線 Pn_a に順次読み出される。

30

【0068】

同時に転送容量405bに記憶された信号が、転送トランジスタ307bを介して水平読み出し線 Ps_b に順次読み出される。同時に転送容量406bに記憶された信号が、転送トランジスタ308bを介して水平読み出し線 Pn_b に順次読み出される。

【0069】

出力アンプ302aは、水平読み出し線 Ps_a と水平読み出し線 Pn_a の差分信号を外部に出力する。このとき出力される信号は、 $n-6$ 行目、 $n-4$ 行目、 $n-2$ 行目の出力が混合された信号となる。

40

【0070】

同様に、出力アンプ302bは、水平読み出し線 Ps_b と水平読み出し線 Pn_b の差分信号を外部に出力する。このとき出力される信号は、 $n-3$ 行目、 $n-1$ 行目、 $n+1$ 行目の出力が混合された信号となる。

【0071】

次に、上述した外部への出力と同時に行われる、 n 行目、 $n+2$ 行目、 $n+4$ 行目、および $n+3$ 行目、 $n+5$ 行目、 $n+7$ 行目における信号の転送容量への転送動作について説明する。

【0072】

時刻 t_2 にて信号 $Psel(n)$ 、信号 $Psel(n+2)$ 、信号 $Psel(n+4)$

50

がLoからHiになり、n行目、n+2行目、n+4行目における選択トランジスタ205がONされる。そして、n行目、n+2行目、n+4行目の各ソースフォロア出力が第1の垂直信号線V1aに接続される。

【0073】

同時に信号Psel(n+3)、信号Psel(n+5)、信号Psel(n+7)がLoからHiになり、n+3行目、n+5行目、n+7行目における選択トランジスタ205がONされる。そして、n+3行目、n+5行目、n+7行目の各ソースフォロア出力が第2の垂直信号線V1bに接続される。

【0074】

また、時刻t2において、信号Pres(n)、信号Pres(n+2)、信号Pres(n+4)および信号Pres(n+3)、信号Pres(n+5)、信号Pres(n+7)がLoからHiになり、n行目、n+2行目、n+4行目、およびn+3行目、n+5行目、n+7行目のリセットトランジスタ203がONされ、同行におけるFD206に蓄積された不要電荷がリセットされる。

【0075】

時刻t3で、リセットが終了するとともに信号Pctn1がLoからHiになり、転送トランジスタ404aをONし、画素回路で発生するノイズ成分を転送容量402aに記憶する。時刻t4で信号Pctn1がHiからLoになり、ノイズ成分の転送容量402aへの記憶を終了する。

【0076】

時刻t5にて、信号Ptx(n)、信号Ptx(n+2)、信号Ptx(n+4)がLoからHiになり、n行目、n+2行目、n+4行目における転送トランジスタ202がONする。そして、n行目のPD201に蓄積された信号電荷と、n+2行目のPD201に蓄積された信号電荷とn+4行目のPD201に蓄積された信号電荷とがFD206に転送され、増幅トランジスタ204により増幅され電圧に変換される。そして、同時に第1の垂直信号線V1a上に出力されて混合される。

【0077】

同時に信号Ptx(n+3)、信号Ptx(n+5)、信号Ptx(n+7)がLoからHiになり、n+3行目、n+5行目、n+7行目における転送トランジスタ202がONする。そして、n+3行目のPD201に蓄積された信号電荷と、n+5行目のPD201に蓄積された信号電荷と、n+7行目のPD201に蓄積された信号電荷とがFD206に転送され、増幅トランジスタ204により増幅され電圧に変換される。そして、同時に第2の垂直信号線V1b上に出力されて混合される。

【0078】

時刻t6にて、信号Ptcs1がLoからHiになり、転送トランジスタ403aをONし、第1および第2の垂直信号線V1aおよびV1bで混合された画素信号を、第1および第2の読み出し回路315a、315b内の転送容量401aに記憶する。時刻t7で信号Ptcs1がHiからLoになり、転送トランジスタ403aをOFFし転送容量401aへの記憶を終了する。

【0079】

その後、時刻t8から時刻t15までの1水平走査期間で、混合されたn行目とn+2行目とn+4行目による信号が、出力アンプ302aより出力される。同時に混合されたn+3行目とn+5行目とn+7行目による信号が、出力アンプ302bより出力される。

【0080】

時刻t8で、信号Psel(n)、信号Psel(n+2)、信号Psel(n+4)および信号Psel(n+3)、信号Psel(n+5)、信号Psel(n+7)がHiからLoになり、選択トランジスタ205がOFFされる。そして、n行目、n+2行目、n+4行目、およびn+3行目、n+5行目、n+7行目について、第1および第2の垂直信号線V1aおよびV1bへの接続を解除する。

10

20

30

40

50

【 0 0 8 1 】

時刻 t_9 からは、前述の説明と同様に、次行として読み出す $n+6$ 行目、 $n+8$ 行目、 $n+10$ 行目を第 1 の垂直信号線 $V1a$ に、 $n+9$ 行目、 $n+11$ 行目、 $n+13$ 行目を第 2 の垂直信号線 $V1b$ に接続し、混合された画素信号を読み出す。

【 0 0 8 2 】

時刻 t_9 にて信号 $Psel(n+6)$ 、信号 $Psel(n+8)$ 、信号 $Psel(n+10)$ が Lo から Hi になり、 $n+6$ 行目、 $n+8$ 行目、 $n+10$ 行目における選択トランジスタ 205 が ON される。そして、 $n+6$ 行目、 $n+8$ 行目、 $n+10$ 行目の各ソースフォロア出力が第 1 の垂直信号線 $V1a$ に接続される。

【 0 0 8 3 】

同時に信号 $Psel(n+9)$ 、信号 $Psel(n+11)$ 、信号 $Psel(n+13)$ が Lo から Hi になり、 $n+9$ 行目、 $n+11$ 行目、 $n+13$ 行目における選択トランジスタ 205 が ON される。そして、 $n+9$ 行目、 $n+11$ 行目、 $n+13$ 行目の各ソースフォロア出力が第 2 の垂直信号線 $V1b$ に接続される。

【 0 0 8 4 】

また、時刻 t_9 において、信号 $Pres(n+6)$ 、信号 $Pres(n+8)$ 、信号 $Pres(n+10)$ および信号 $Pres(n+9)$ 、信号 $Pres(n+11)$ 、信号 $Pres(n+13)$ が Lo から Hi になる。そして、 $n+6$ 行目、 $n+8$ 行目、 $n+10$ 行目、および $n+9$ 行目、 $n+11$ 行目、 $n+13$ 行目のリセットトランジスタ 203 が ON され、同行における $FD206$ に蓄積された不要電荷がリセットされる。

【 0 0 8 5 】

時刻 t_{10} で、リセットが終了するとともに信号 $Pctn2$ が Lo から Hi になり、転送トランジスタ 408a を ON し、画素回路で発生するノイズ成分を転送容量 406a に記憶する。時刻 t_{11} で信号 $Pctn2$ が Hi から Lo になり、ノイズ成分の転送容量 406a への記憶を終了する。

【 0 0 8 6 】

時刻 t_{12} にて、信号 $Ptx(n+6)$ 、信号 $Ptx(n+8)$ 、信号 $Ptx(n+10)$ が Lo から Hi になり、 $n+6$ 行目、 $n+8$ 行目、 $n+10$ 行目における転送トランジスタ 202 が ON する。そして、 $n+6$ 行目の $PD201$ に蓄積された信号電荷と、 $n+8$ 行目の $PD201$ に蓄積された信号電荷と、 $n+10$ 行目の $PD201$ に蓄積された信号電荷が $FD206$ に転送され、増幅トランジスタ 204 により増幅され電圧に変換される。そして、同時に第 1 の垂直信号線 $V1a$ 上に出力されて混合される。

【 0 0 8 7 】

同時に信号 $Ptx(n+9)$ 、信号 $Ptx(n+11)$ 、信号 $Ptx(n+13)$ が Lo から Hi になり、 $n+9$ 行目、 $n+11$ 行目、 $n+13$ 行目における転送トランジスタ 202 が ON する。そして、 $n+9$ 行目の $PD201$ に蓄積された信号電荷と、 $n+11$ 行目の $PD201$ に蓄積された信号電荷と、 $n+13$ 行目の $PD201$ に蓄積された信号電荷が $FD206$ に転送され、増幅トランジスタ 204 により増幅され電圧に変換される。そして、同時に第 2 の垂直信号線 $V1b$ 上に出力されて混合される。

【 0 0 8 8 】

時刻 t_{13} にて、信号 $Ptcs2$ が Lo から Hi になり、転送トランジスタ 407a を ON し、第 1 および第 2 の垂直信号線 $V1a$ および $V1b$ で混合された画素信号を、第 1 および第 2 の読み出し回路 315a、315b 内の転送容量 405a に記憶する。時刻 t_{14} で信号 $Ptcs2$ が Hi から Lo になり、転送トランジスタ 407a を OFF し転送容量 405a への記憶を終了する。

【 0 0 8 9 】

その後の 1 水平走査期間で、混合された $n+6$ 行目と $n+8$ 行目と $n+10$ 行目による信号が、出力アンプ 302a より出力され、同時に混合された $n+9$ 行目と $n+11$ 行目と $n+13$ 行目による信号が、出力アンプ 302b より出力される。

【 0 0 9 0 】

10

20

30

40

50

このような動作を、固体撮像素子が持つ行数分を順次繰り返すことで、画素混合時においても、高速に読み出すことが可能となる。

【 0 0 9 1 】

図 9 は本実施形態における読み出しを、ベイヤ配列のカラー撮像素子に適用した場合の模式図であり、混合読み出し動作を示す図である。

【 0 0 9 2 】

本実施形態においては、同一列の画素列に対して、2本の垂直信号線を有しているため、ベイヤ配列の各色成分ごとに異なる垂直信号線に読み出すようになっている。同一列の R の信号が第 1 の垂直信号線 $V1a(m)$ に読み出され、G b の信号が第 2 の垂直信号線 $V1b(m)$ に読みだされ、G r の信号が垂直信号線 $V1a(m+1)$ に読み出され、B の信号が第 2 の垂直信号線 $V1b(m+1)$ に読みだされる。

10

【 0 0 9 3 】

図 9 において、前述したような画素出力混合動作を行わせた場合、同色の信号の 3 画素出力の混合が垂直信号線上で行われる。なお、各垂直信号線上に記載される太線部および I, II の番号は、太線部については同時に読み出されて混合される画素部を示すものであり、I, II の番号については、共通の番号により 1 水平走査期間にて同時に読み出される画素部を示すものである。なお混合後の画像はベイヤ配列であり、従来同様の信号処理が可能である。また重心が等間隔であることから、モアレ等の偽信号の発生を抑圧できるものとなる。

【 0 0 9 4 】

20

なお、上記の第 1 及び第 2 の実施形態においては、画素混合を同色 2 画素および 3 画素により行っていたが、この画素数に限られるものではない。混合する画素数に応じ、かつ混合後の信号がベイヤ配列を保つように垂直信号線への同時出力を行うことで、複画素数による画素混合を可能とすることができる。

【 0 0 9 5 】

図 10 は図 1 ~ 図 5 で説明した固体撮像素子を駆動するタイミングチャートであり、上記の第 1 及び第 2 の実施形態における静止画モード時における全画素読み出し時の動作タイミングを示している。

【 0 0 9 6 】

本実施形態においては、画素 1 列に対して垂直信号線が 2 本備えられ、且つ行毎に交互に異なる垂直信号線に接続されているため、2 行同時読み出しが可能であり、全画素読み出し時においては、2 行同時読み出しにより高速に読み出しが行われる。

30

【 0 0 9 7 】

なお、撮像装置の設定として、操作部 7 の動作モードスイッチにより、通常の静止画撮影を行うための静止画モードに設定されているものとする。また、図中において、信号レベルの『Hi』状態は駆動トランジスタを ON、『Lo』状態は駆動トランジスタを OFF するものとする。また、説明を分かりやすくするため、全画素リセット及び全画素蓄積開始するタイミングは省略し、画素信号の読み出し動作時のタイミングのみを示す。

【 0 0 9 8 】

図 10 を用いて全画素読み出し動作について説明する。時刻 t_1 から t_8 までの 1 水平走査期間においては、 n 行目、 $n+1$ 行目における転送容量への画素信号およびノイズ信号の転送動作が行われる。また、同時に不図示の $n-2$ 行目、 $n-1$ 行目における画素信号およびノイズ信号が、転送容量から順次出力アンプへ出力され、撮像素子外部へと出力される。

40

【 0 0 9 9 】

次に上記の時刻帯における $n-2$ 行目、 $n-1$ 行目における動作を説明する。時刻 t_1 にて信号 LSEL が Lo になり、第 1 および第 2 の水平走査回路 $315a$ 、 $315b$ に入力される水平走査クロック信号 PH に同期して、転送容量 $405a$ に記憶された信号が、転送トランジスタ $307a$ を介して水平読み出し線 $Ps a$ に順次読み出される。同時に転送容量 $406a$ に記憶された信号が、転送トランジスタ $308a$ を介して水平読み出し線

50

P n aに順次読み出される。

【 0 1 0 0 】

同時に転送容量 4 0 5 b に記憶された信号が、転送トランジスタ 3 0 7 b を介して水平読み出し線 P s b に順次読み出される。同時に転送容量 4 0 6 b に記憶された信号が、転送トランジスタ 3 0 8 b を介して水平読み出し線 P n b に順次読み出される。

【 0 1 0 1 】

出力アンプ 3 0 2 a は、水平読み出し線 P s a と水平読み出し線 P n a の差分信号を外部に出力する。このとき出力される信号は、 $n - 2$ 行目の出力信号となる。同様に、出力アンプ 3 0 2 b は、水平読み出し線 P s b と水平読み出し線 P n b の差分信号を外部に出力する。このとき出力される信号は、 $n - 1$ 行目の出力信号となる。

10

【 0 1 0 2 】

次に、上述した外部への出力と同時に行われる、 n 行目、 $n + 1$ 行目における信号の転送容量への転送動作について説明する。時刻 t_2 において信号 P s e l (n) が L o から H i になり、 n 行目における選択トランジスタ 2 0 5 が O N され、 n 行目の各ソースフォロワ出力が第 1 の垂直信号線 V l a に接続される。同様に時刻 t_2 にて、信号 P s e l ($n + 1$) が L o から H i になり、 $n + 1$ 行目における選択トランジスタ 2 0 5 が O N され、 $n + 1$ 行目の各ソースフォロワ出力が第 2 の垂直信号線 V l b に接続される。

【 0 1 0 3 】

同時に時刻 t_2 において、信号 P r e s (n)、信号 P r e s ($n + 1$) が L o から H i になり、 n 行目、 $n + 1$ 行目のリセットトランジスタ 2 0 3 が O N され、同行における F D 2 0 6 に蓄積された不要電荷がリセットされる。

20

【 0 1 0 4 】

時刻 t_3 で、リセットが終了するとともに信号 P c t n 1 が L o から H i になり、転送トランジスタ 4 0 4 a を O N し、画素回路で発生するノイズ成分を転送容量 4 0 2 a に記憶する。時刻 t_4 で信号 P c t n 1 が H i から L o になり、ノイズ成分の転送容量 4 0 2 a への記憶を終了する。

【 0 1 0 5 】

時刻 t_5 にて、信号 P t x (n) が L o から H i になり、 n 行目における転送トランジスタ 2 0 2 が O N し、 n 行目の P D 2 0 1 に蓄積された信号電荷が F D 2 0 6 に転送され、増幅トランジスタ 2 0 4 により増幅され電圧に変換される。そして、第 1 の垂直信号線 V l a 上に出力される。

30

【 0 1 0 6 】

同時に信号 P t x ($n + 1$) が L o から H i になり、 $n + 1$ 行目における転送トランジスタ 2 0 2 が O N し、 $n + 1$ 行目の P D 2 0 1 に蓄積された信号電荷が F D 2 0 6 に転送され、増幅トランジスタ 2 0 4 により増幅され電圧に変換される。そして、第 2 の垂直信号線 V l b 上に出力される。

【 0 1 0 7 】

時刻 t_6 にて、信号 P t c s 1 が L o から H i になり、転送トランジスタ 4 0 3 a を O N し、第 1 および第 2 の垂直信号線 V l a および V l b に出力された画素信号を、第 1 および第 2 の読み出し回路 3 1 5 a , 3 1 5 b 内の転送容量 4 0 1 a に記憶する。時刻 t_7 で信号 P t c s 1 が H i から L o になり、転送トランジスタ 4 0 3 a を O F F し転送容量 4 0 1 a への記憶を終了する。

40

【 0 1 0 8 】

その後、時刻 t_8 から時刻 t_{15} までの 1 水平走査期間で、 n 行目の信号が出力アンプ 3 0 2 a より出力され、同時に $n + 1$ 行目の信号が出力アンプ 3 0 2 b より出力される。

【 0 1 0 9 】

時刻 t_8 で、信号 P s e l (n)、信号 P s e l ($n + 1$) が H i から L o になり、選択トランジスタ 2 0 5 が O F F され、 n 行目および $n + 1$ 行目について、第 1 および第 2 の垂直信号線 V l a および V l b への接続を解除する。

【 0 1 1 0 】

50

時刻 t_9 からは、前述の説明と同様に、次行として読み出す $n + 2$ 行目を第 1 の垂直信号線 $V1a$ に、 $n + 3$ 行目を第 2 の垂直信号線 $V1b$ に接続し、画素信号を読み出す。この際、異なる点として、行そのものを選択する信号 $Psel$ 以外に、読み出し回路 1, 2 内のノイズ信号および画素信号を保持する転送容量および転送トランジスタ、また、水平読み出し線へ信号を転送する転送トランジスタ、およびそれらの制御信号も別のものとなる。

【0111】

なお、1 水平走査期間毎に、前術した前行の転送容量を合わせて切り替えて使用することで、前行での画素出力の水平転送と、今行における画素信号の読み出しの同時動作が可能となる。これにより、画素 1 列に対する垂直信号線の複線化と併せて、高速に読み出すことが可能となる。

10

【0112】

時刻 t_9 にて信号 $Psel(n + 2)$ が Lo から Hi になり、 $n + 2$ 行目における選択トランジスタ 205 が ON され、ソースフォロア出力が第 1 の垂直信号線 $V1a$ に接続される。同時に信号 $Psel(n + 3)$ が Lo から Hi になり、 $n + 3$ 行目における選択トランジスタ 205 が ON され、 $n + 3$ 行目の各ソースフォロア出力が第 2 の垂直信号線 $V1b$ に接続される。

【0113】

また、時刻 t_9 において、信号 $Pres(n + 2)$ および信号 $Pres(n + 3)$ が Lo から Hi になり、 $n + 2$ 行目および $n + 3$ 行目のリセットトランジスタ 203 が ON され、同行における $FD206$ に蓄積された不要電荷がリセットされる。

20

【0114】

時刻 t_{10} で、リセットが終了するとともに信号 $Pctn2$ が Lo から Hi になり、転送トランジスタ 408a を ON し、画素回路で発生するノイズ成分を転送容量 406a に記憶する。時刻 t_{11} で信号 $Pctn2$ が Hi から Lo になり、ノイズ成分の転送容量 406a への記憶を終了する。

【0115】

時刻 t_{12} にて、信号 $Ptx(n + 2)$ が Lo から Hi になり、 $n + 2$ 行目における転送トランジスタ 202 が ON し、 $n + 2$ 行目の $PD201$ に蓄積された信号電荷が $FD206$ に転送され、増幅トランジスタ 204 により増幅され電圧に変換される。そして、第 1 の垂直信号線 $V1a$ 上に出力される。

30

【0116】

同時に信号 $Ptx(n + 3)$ が Lo から Hi になり、 $n + 3$ 行目における転送トランジスタ 202 が ON し、 $n + 3$ 行目の $PD201$ に蓄積された信号電荷が同時に $FD206$ に転送され、増幅トランジスタ 204 により増幅され電圧に変換される。そして、第 2 の垂直信号線 $V1b$ 上に出力される。

【0117】

時刻 t_{13} にて、信号 $Ptcs2$ が Lo から Hi になり、転送トランジスタ 407a を ON し、第 1 および第 2 の垂直信号線 $V1a$ および $V1b$ に出力された画素信号を、第 1 および第 2 の読み出し回路 315a, 315b 内の転送容量 405a に記憶する。時刻 t_{14} で信号 $Ptcs2$ が Hi から Lo になり、転送トランジスタ 407a を OFF し転送容量 405a への記憶を終了する。

40

【0118】

その後の 1 水平走査期間で、 $n + 2$ 行目の信号が出力アンプ 302a より出力され、同時に $n + 3$ 行目の信号が出力アンプ 302b より出力される。

【0119】

このような動作を、固体撮像素子が備える行数分を順次繰り返すことで、全画素読み出し時においても、高速に読み出すことが可能となる。

【0120】

(その他の実施形態)

50

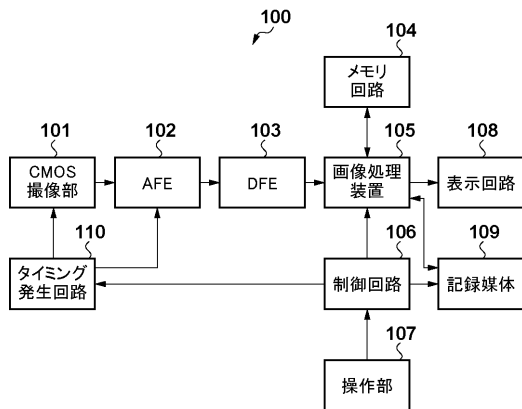
また、本発明は、以下の処理を実行することによっても実現される。即ち、上述した実施形態の機能を実現するソフトウェア（プログラム）を、ネットワーク又は各種記憶媒体を介してシステム或いは装置に供給し、そのシステム或いは装置のコンピュータ（またはCPUやMPU等）がプログラムを読み出して実行する処理である。

【符号の説明】

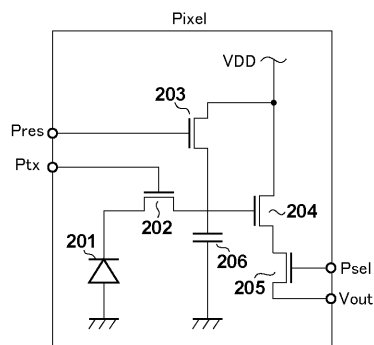
【0121】

101：撮像素子、102：AFE、103：DFE、104：メモリ回路、105：画像処理装置、106：制御回路、107：操作部、108：表示回路、109：記録媒体、110：タイミング発生回路

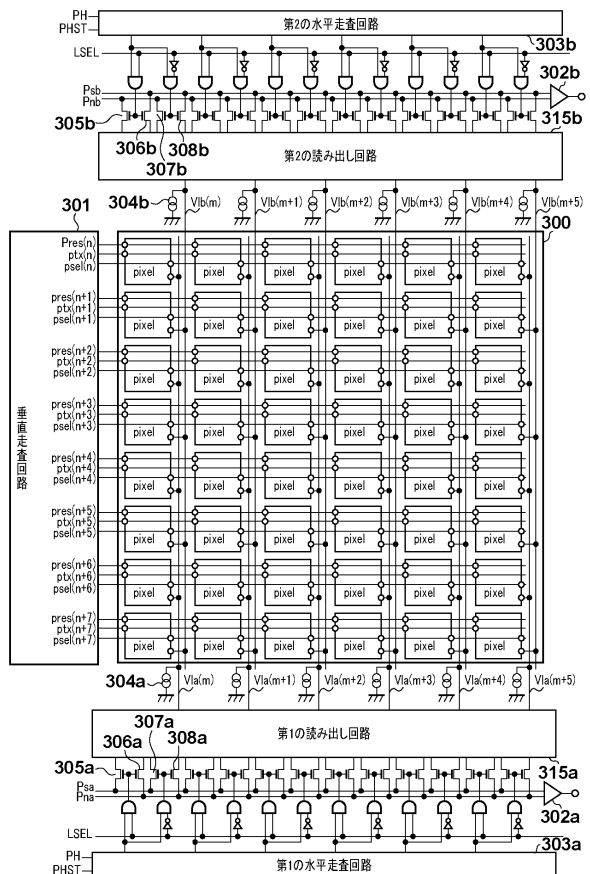
【図1】



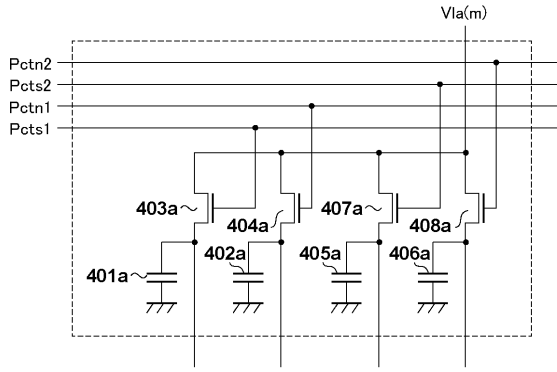
【図2】



【図3】



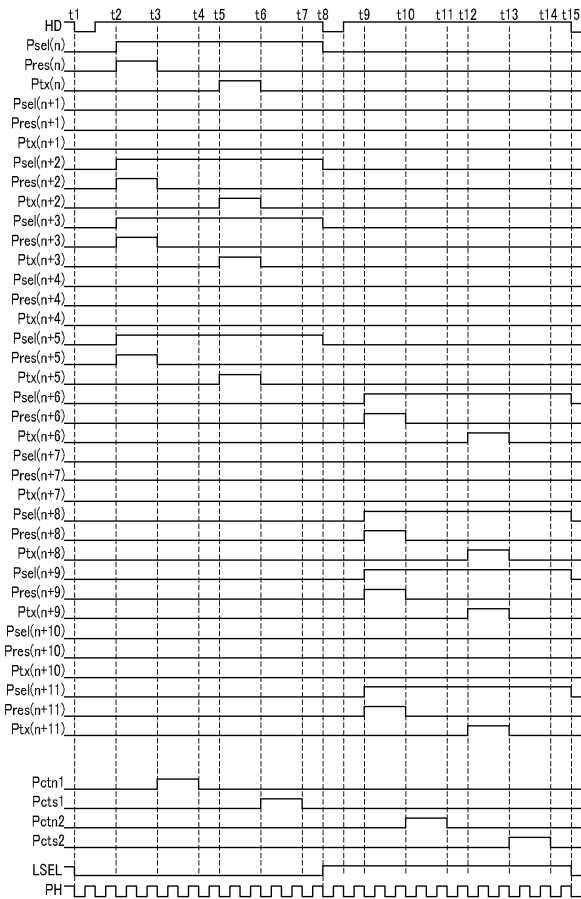
【 図 4 】



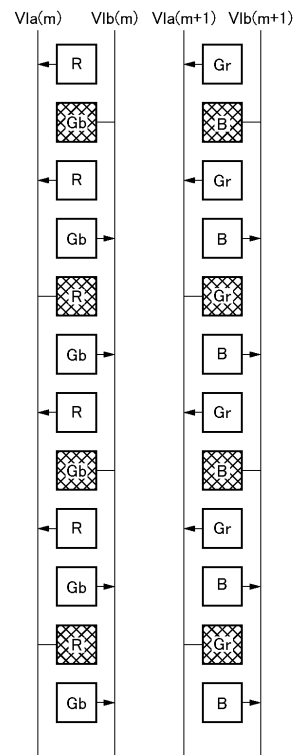
【 図 5 】

	1	2	3	4	5	6
1	R	G	R	G	R	G
2	G	B	G	B	G	B
3	R	G	R	G	R	G
4	G	B	G	B	G	B
5	R	G	R	G	R	G
6	G	B	G	B	G	B
7	R	G	R	G	R	G
8	G	B	G	B	G	B

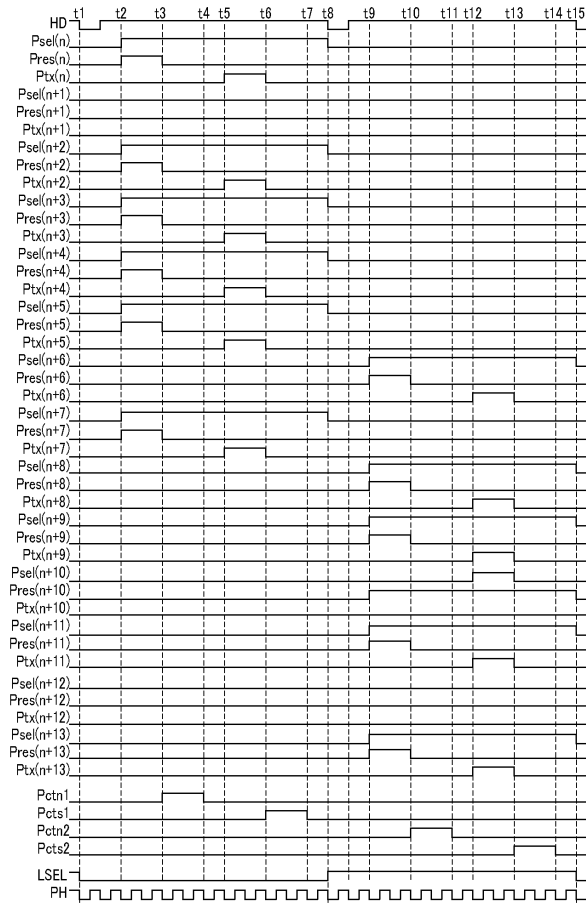
【 図 6 】



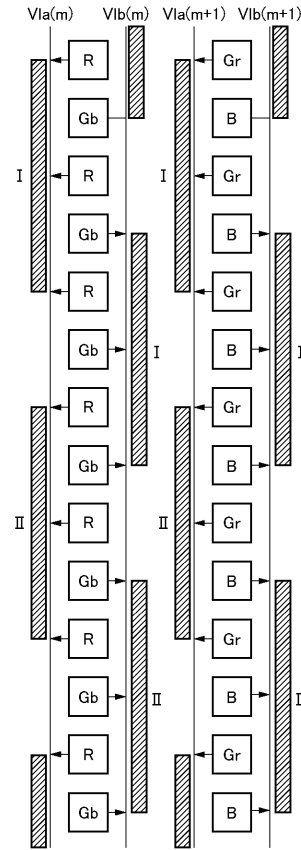
【 図 7 】



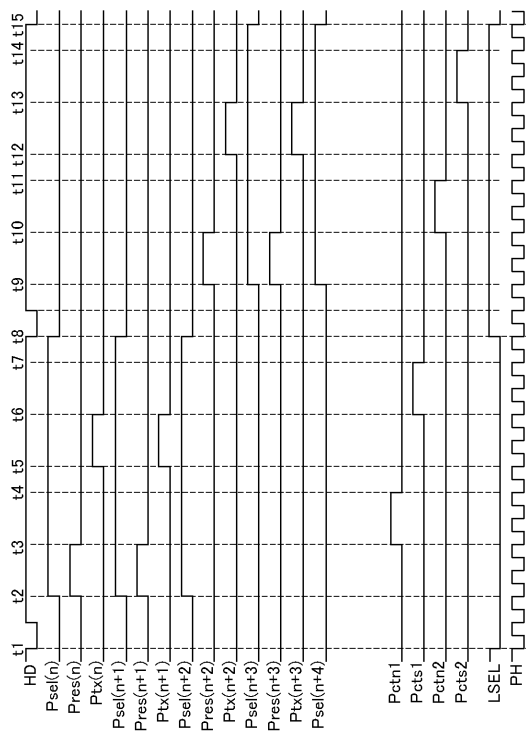
【 8 】



【 9 】



【 10 】



フロントページの続き

- (72)発明者 大嶋 孝治
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 竹田 伸弘
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 鈴木 明

- (56)参考文献 特開2013-197613(JP,A)
米国特許出願公開第2005/0185075(US,A1)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------------|
| H04N | 5/30 - 5/378 |
| H04N | 9/04 - 9/11 |