



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

212125

(11)

(B1)

(51) Int. Cl.³
H 03 K 5/06

(22) Přihlášeno 09 10 80
(21) (PV 6806-80)

(40) Zveřejněno 31 07 81

(45) Vydáno 15 05 84

(75)

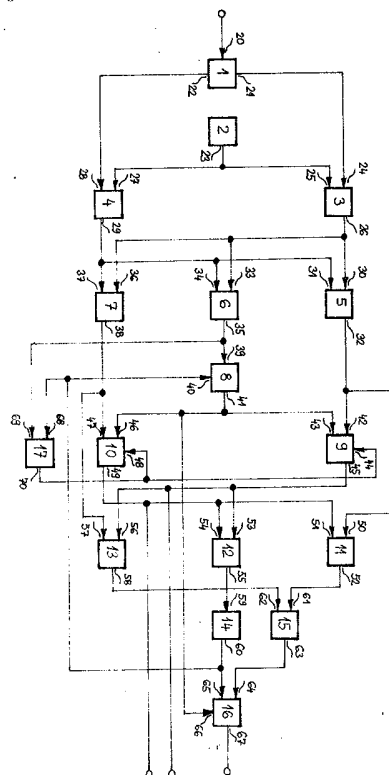
Autor vynálezu

SLOVÁČEK PAVEL ing., BAROCH KAREL ing., PRAHA

(54) Zapojení pro vyhodnocení binární informace obsažené v trojstavovém signálu

Vynález řeší rozlišení časového sledu dvojice komplementárních napětových úrovní trojstavového signálu.

Podstata vynálezu spočívá ve dvojitým vzorkování sledu impulsů z napětových komparátorů převádějících obě polarity trojstavového signálu do logických úrovní, přičemž při prvním vzorkování během první polarity se provede zápis do první dvojice jednobitových pamětí a při druhém vzorkování během druhé polarity generuje třetí jednobitová pamět hodinový impuls pro další obvody. V případě neregulárního tvaru trojstavového signálu se hodinový impuls neobjeví.



Vynález se týká zapojení pro vyhodnocení binární informace obsažené v trojstavovém signálu používaném pro přenos binární informace ve výpočetní technice po budovách a rozlehlých výrobních objektech, obzvláště mezi počítačem a periferními zařízeními, umístěnými ve větší vzdálenosti od počítače.

Doposud známá zapojení pro vyhodnocení trojstavového signálu využívají následující principy rozlišení časového sledu komplementárních úrovní:

Buď přímého rozlišení časového sledu komplementárních úrovní trojstavového signálu po zpracování v napěťových komparátorech rozdělením do dvou kanálů o úrovních TTL a střídavým blokováním těchto větví monostabilními obvody v závislosti na polaritě první části bitu tak, že impuls časově odpovídající druhé části bitu se objeví pouze na výstupu jednoho kanálu podle logického obsahu bitu. Hlavní nevýhoda tkví v tom, že tato zapojení nejsou odolná vůči poruchám.

Nebo nepřímého rozlišení časového sledu komplementárních úrovní trojstavového signálu pomocí integrátoru převedením na jednoduchý trojúhelníkovitý signál. Zapojení však vyžaduje vstupní trojstavový signál o nulové střední hodnotě.

Nebo přímého rozlišení časového sledu komplementárních úrovní trojstavového signálu pomocí dvojího vzorkování a postupným zápisem do dvou dvojic jednobitových pamětí popsaném v čs. autorském osvědčení č. 202 938. Zapojení vyžaduje celkem čtyři jednobitové paměti a šířka výsledných impulsů odpovídajících výsledné informaci je závislá na zkrácení trojstavového signálu a přesnosti nastavení.

Uvedené nevýhody odstraňuje zapojení pro vyhodnocení binární informace obsažené v trojstavovém signálu se symetrizačním členem, prvním a druhým komparátorem a zdrojem prahového napětí podle vynálezu, jehož podstata spočívá v tom, že výstup prvního napěťového komparátoru je spojen s přímým vstupem prvního logického inhibičního obvodu, s prvním vstupem prvního logického součtového obvodu a s inhibičním vstupem druhého logického inhibičního obvodu, výstup druhého napěťového komparátoru je spojen s inhibičním vstupem prvního logického inhibičního obvodu, s druhým vstupem prvního logického součtového obvodu a s přímým vstupem druhého logického inhibičního obvodu, výstup prvního součtového obvodu je spojen se spouštěcím vstupem prvního zpožďovacího obvodu a s prvním vstupem obvodu pro logickou funkci negace součtu, výstup prvního zpožďovacího obvodu je spojen s hodinovými vstupy první a druhé jednobitové paměti a s nastavovacím vstupem třetí jednobitové paměti, výstup prvního logického inhibičního obvodu je spojen s datovým vstupem první jednobitové paměti s prvním vstupem prvního logického součtového obvodu, výstup druhého logického inhibičního obvodu je spojen s datovým vstupem druhé jednobitové paměti a s prvním vstupem druhého součtového obvodu, datový výstup první jednobitové paměti je spojen s prvním vstupem druhého logického součtového obvodu a s druhým vstupem druhého logického součtového obvodu a současně je výstupem vyhodnocené informace, datový výstup druhé jednobitové paměti je spojen s druhým vstupem prvního logického součtového obvodu a s druhým vstupem druhého logického součtového obvodu a současně je inverzním výstupem vyhodnocené informace vzhledem k datovému výstupu první jednobitové paměti, výstup druhého logického součtového obvodu je spojen se spouštěcím vstupem druhého zpožďovacího obvodu, výstup druhého zpožďovacího obvodu je spojen s hodinovým vstupem třetí jednobitové paměti, s blokovacím vstupem prvního zpožďovacího obvodu a s druhým vstupem obvodu pro logickou funkci negace součtu, výstup obvodu pro logickou funkci negace součtu je spojen s nastavovacími vstupy první a druhé jednobitové paměti, výstup prvního logického součtového obvodu je spojen s prvním vstupem třetího logického součtového obvodu, výstup druhého logického součtového obvodu je spojen s druhým vstupem třetího logického součtového obvodu, výstup třetího logického součtového obvodu je spojen s datovým vstupem třetí jednobitové paměti, datový výstup třetí jednobitové paměti je výstupem hodinových impulsů ke snímání informace z výstupů první a druhé jednobitové paměti.

Výhoda zapojení podle vynálezu spočívá v tom, že využívá pouze tři jednobitové paměti a že k nastavení obvodu postačuje, aby závěrná hrana impulsu z druhého zpožďovacího obvodu spadala časově do doby výskytu druhé polarizace trojstavového signálu, přičemž logické zabezpečení proti chybnému vyhodnocení v případě neregulárního tvaru trojstavového signálu zabranuje výskytu hodinového impulsu na výstupu třetí jednobitové paměti.

Zapojení dle vynálezu je znázorněno ve formě blokového schématu na výkresu.

Trojstavový signál se přivádí na vstup 20 symetrizačního členu 1, jehož první výstup 21 je propojen s prvním vstupem 24 prvního napěťového komparátoru 3 a druhý výstup 22 symetrizačního členu je propojen s prvním vstupem 28 druhého napěťového komparátoru 4. Druhý vstup 25 prvního napěťového komparátoru 3 a druhý vstup 27 druhého napěťového komparátoru 4 jsou spojeny s výstupem 23 zdroje prahového napětí 2. Výstup 26 prvního napěťového komparátoru 3 je spojen s přímým vstupem 30 prvního logického inhibičního obvodu 5, s prvním vstupem 33 prvního logického součtového obvodu 6 a s inhibičním vstupem 36 druhého logického inhibičního obvodu 7, výstup 29 druhého napěťového komparátoru 4 je spojen s inhibičním vstupem 31 prvního logického inhibičního obvodu 5, s druhým vstupem 34 prvního logického součtového obvodu 6 a s přímým vstupem 37 druhého logického inhibičního obvodu 7.

Výstup 32 prvního logického součtového obvodu 6 je spojen se spouštěcím vstupem 39 prvního zpožďovacího obvodu 8 a s prvním vstupem 69 obvodu pro logickou funkci negace součtu 17, výstup 41 prvního zpožďovacího obvodu 8 je spojen s hodinovými vstupy 43, 46 první a druhé jednobitové paměti 9, 10 a s nastavovacím vstupem 66 třetí jednobitové paměti 16. Výstup 32 prvního logického inhibičního obvodu 5 je spojen s datovým vstupem 42 první jednobitové paměti 9 a s prvním vstupem 50 prvního logického součtinového obvodu 11. Výstup 38 druhého logického inhibičního obvodu 7 je spojen s datovým vstupem 47 druhé jednobitové paměti 10 a s prvním vstupem 57 druhého logického součtinového obvodu 13.

Datový výstup 45 první jednobitové paměti 9 je spojen s prvním vstupem 53 druhého logického součtového obvodu 12 a s druhým vstupem 56 druhého logického součtinového obvodu 13 a současně je výstupem vyhodnocené informace. Datový výstup 49 druhé jednobitové paměti 10 je spojen s druhým vstupem 51 prvního logického součtinového obvodu 11 a s druhým vstupem 54 druhého logického součtového obvodu 12 a současně je inverzním výstupem vyhodnocené informace vzhledem k datovému výstupu 45 první jednobitové paměti 9.

Výstup 52 druhého logického součtového obvodu 12 je spojen se spouštěcím vstupem 59 druhého zpožďovacího obvodu 14. Výstup 60 druhého zpožďovacího obvodu 14 je spojen s hodinovým vstupem 65 třetí jednobitové paměti 16, s blokovacím vstupem 40 prvního zpožďovacího obvodu 8 a s druhým vstupem 68 obvodu pro logickou funkci negace součtu 17. Výstup 70 obvodu pro logickou funkci negace součtu 17 je spojen s nastavovacími vstupy 44, 48 první a druhé jednobitové paměti 9, 10.

Výstup 52 prvního logického součtinového obvodu 11 je spojen s prvním vstupem 61 třetího logického součtového obvodu 15 a výstup 58 druhého logického součtinového obvodu 13 je spojen s druhým vstupem 62 třetího logického součtového obvodu 15. Výstup 63 třetího logického součtového obvodu 15 je spojen s datovým vstupem 64 třetí jednobitové paměti 16. Datový výstup 67 třetí jednobitové paměti 16 je výstupem hodinových impulsů ke snímání informace z výstupů 45, 49 první a druhé jednobitové paměti 9, 10.

V příkladu zapojení podle výkresu symetrizační člen 1 rozděluje vstupní trojstavový signál na dva navzájem komplementární signály, jejichž okamžitá napěťová úroveň se porovnává v komparátorech 3, 4 s napětím dodávaným ze zdroje prahového napětí 2. Na výstupech 26, 29 komparátorů 3, 4 se v případě, že příslušný vstupní signál překročil hodnotu prahového napětí, objeví binární signál ve tvaru jednoduchého impulsu s aktivní úrovní časově korepondující s příslušnou polaritou vstupního trojstavového signálu.

Prvním takto získaným binárním signálem se přes součtový obvod 6 vygeneruje v prvním zpoždovacím členu 8 vzorkovací signál, který působí na hodinové vstupy 43, 46 první a druhé jednobitové paměti 9, 10 v době odpovídající první nenulové úrovni trojstavového signálu. Datové vstupy 42, 47 první a druhé jednobitové paměti 9, 10 jsou od výstupů 26, 29 prvního a druhého napěťového komparátoru 3, 4 odděleny prvním a druhým logickým inhibičním členem 5, 7, které zabezpečují, že stav výstupů 26, 29 se zapíše do první a druhé jednobitové paměti 9, 10 pouze za podmínky, že v okamžiku vzorkování byly logické úrovně na výstupech komparátorů 3, 4 navzájem inverzní.

V každém jiném případě zůstane stav první dvojice jednobitových pamětí 9, 10 nezměněn a obvod se uvede do výchozího stavu. Zápisem aktivní úrovně do libovolné z první dvojice pamětí 9, 10 se přes druhý logický součtový obvod 12 vygeneruje ve druhém zpoždovacím obvodu 14 vzorkovací signál, který působí na hodinový vstup 65 třetí jednobitové paměti 16 v době odpovídající druhé nenulové úrovni trojstavového signálu. Současně s inicializací druhého zpoždovacího členu 14 je přes blokovací vstup 40 zablokován první zpoždovací obvod 8. Stav třetí jednobitové paměti 16 se změní z klidového stavu, do něhož byla uvedena pomocí asynchronního 66 impulsem z prvního zpoždovacího obvodu 8, pouze v případě, že druhá nenulová úroveň trojstavového signálu je komplementární k první nenulové úrovni.

Příslušnou logickou funkci vytváří první a druhý logický součtinový obvod 11, 13 a třetí logický součtový obvod 15, jehož výstup 63 je spojen s datovým vstupem 64 třetí jednobitové paměti 16. Přechodu z klidové do aktivní úrovně výstupu 67 třetí jednobitové paměti 16 je možno využít k zápisu vyhodnocené informace z výstupu 45 první jednobitové paměti 9 nebo z výstupu 49 druhé jednobitové paměti 10 do dalších obvodů (například sériově paralelního převodníku). V případě, že podmínka regulernosti vstupního trojstavového signálu není splněna, zůstane třetí jednobitová paměť 16 v klidovém stavu. První a druhá jednobitová paměť 9, 10 se po skončení posloupnosti obou polarit trojstavového signálu v rámci jednoho bitu uvedou do klidového stavu pomocí obvodu pro logickou funkci negace součtu 17.

Zapojení pro vyhodnocení trojstavového signálu dle vynálezu je možno využít při přenosu dat po symetrických i nesymetrických linkách a v oblasti telemetrických přenosů. Pro vysokou odolnost vůči rušení je vhodný též k ovládání číslicově obráběných strojů.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení pro vyhodnocení binární informace obsažené v trojstavovém signálu tvořeném časovým sledem kladných, záporných a nulových napěťových úrovní s definovanou konstantní dobou trvání nenulových úrovní, v němž jednotlivé bity jsou tvořeny sledem kladné, záporné a nulové úrovně v rámci sledu jednoho bitu, využívající zpracování trojstavového signálu v symetrizačním členu a dvou napěťových komparátorech, jejichž rozhodovací úrovně jsou určeny zdrojem prahového napětí, přičemž v závislosti na polaritě právě přijímané úrovně trojstavového signálu se vytváří jednoduchý impuls na výstupu buď jednoho nebo druhého napěťového komparátoru, vyznačující se tím, že výstup (26) prvního napěťového komparátoru (3) je spojen s přímým vstupem (30) prvního logického inhibičního obvodu (5), s prvním vstupem (33) prvního logického součtového obvodu (6) a s inhibičním vstupem (36) druhého logického inhibičního obvodu (7), výstup (29) druhého napěťového komparátoru (4) je spojen s inhibičním vstupem (31) prvního logického inhibičního obvodu (5), s druhým vstupem (34) prvního logického součtového obvodu (6) a s přímým vstupem (37) druhého logického inhibičního obvodu (7), výstup (35) prvního logického součtového obvodu (6) je spojen se spouštěcím vstupem (39) prvního zpoždovacího obvodu (8) a s prvním vstupem (69) obvodu pro logickou funkci negace součtu (17), výstup (41) prvního zpoždovacího obvodu (8) je spojen s hodinovými vstupy (43, 46) první a druhé jednobitové paměti (9, 10) a s nastavovacím vstupem (66) třetí jednobitové paměti (16), výstup (32) prvního logického inhibič-

ního obvodu (5) je spojen s datovým vstupem (42) první jednobitové paměti (9) a s prvním vstupem (50) prvního logického součinnového obvodu (11), výstup (38) druhého logického inhibičního obvodu (7) je spojen s datovým vstupem (47) druhé jednobitové paměti (10) a s prvním vstupem (57) druhého logického součinnového obvodu (13), datový výstup (45) první jednobitové paměti (9) je spojen s prvním vstupem (53) druhého logického součtového obvodu (12) a s druhým vstupem (56) druhého logického součinnového obvodu (13) a současně je výstupem vyhodnocené informace, datový výstup (49) druhé jednobitové paměti (10) je spojen s druhým vstupem (51) prvního logického součinnového obvodu (11) a s druhým vstupem (54) druhého logického součtového obvodu (12) a současně je inverzním výstupem vyhodnocené informace vzhledem k datovému výstupu (45) první jednobitové paměti (9), výstup (55) druhého logického součtového obvodu (12) je spojen se spouštěcím vstupem (59) druhého zpoždovacího obvodu (14), výstup (60) druhého zpoždovacího obvodu (14) je spojen s hodinovým vstupem (65) třetí jednobitové paměti (16), s blokovacím vstupem (40) prvního zpoždovacího obvodu (8) a s druhým vstupem (68) obvodu (17) pro logickou funkci negace součtu, výstup (70) obvodu (17) pro logickou funkci negace součtu je spojen s nastavovacími vstupy (44, 48) první a druhé jednobitové paměti (9, 10), výstup (52) prvního logického součinnového obvodu (11) je spojen s prvním vstupem (61) třetího logického součtového obvodu (15) a výstup (58) druhého logického součinnového obvodu (13) je spojen s druhým vstupem (62) třetího logického součtového obvodu (15), výstup (63) třetího logického součtového obvodu (15) je spojen s datovým vstupem (64) třetí jednobitové paměti (16), datový výstup (67) třetí jednobitové paměti (16) je výstupem hodinových impulsů ke snímání informace z výstupů (45, 49) první a druhé jednobitové paměti (9, 10).

1 list výkresů

