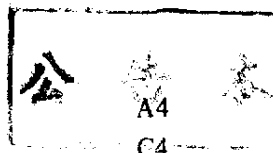


申請日期	85.3.11
案 號	85102905
類 別	G06F 56, G11C 14



319837

319837

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	用以為記憶體陣列產生字元線電壓之方法與構造
	英 文	METHOD AND STRUCTURE FOR GENERATING A WORD LINE VOLTAGE FOR A MEMORY ARRAY
二、發明人	姓 名	(1) 梁永裕 (2) 傑夫瑞 J. 林
	國 籍	(1) ~ (2) 美國
三、申請人	住、居所	(1) 美國加州古柏帝諾·橘子大道10450號 (2) 美國加州丹維爾市拉維斯塔道26號
	姓 名 (名稱)	美商·單石系統技術股份有限公司
	國 籍	美國
	住、居所 (事務所)	美國加州聖荷西市西黎道2670號
	代 表 人 姓 名	許夫傑

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美 國(地區) 申請專利，申請日期：1996.2.29.

案號：

，☐有 ☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

本發明係有關於一種用以產生供半導體元件用之電壓的方法與構造。詳言之，本發明係有關用以操作一記憶體陣列之晶片上的生成。

習知技藝描述

第1圖係一傳統式動態隨機存取記憶體(DRAM)之記憶體單元101的示意圖。記憶體單元101包括一旁路電晶體102及一儲存電容器103。電晶體102之閘極與字元線110連接，源極與與儲存電容器103連接且汲極與位元線111連接。於一寫入工作期間，字元線驅動器電路120施加一高電壓至字元線110，藉以導通旁路電晶體102。一地電源電壓加諸於位元線111以儲存一邏輯低電位值於記憶體單元101內。或者，一VCC電源電壓(亦即5伏特)加於位元線111上俾儲存一邏輯高電位於記憶體單元101內。

當寫入一邏輯高電位於記憶體單元101內時，施於電容器103之電壓大小直接影響一讀取操作期間供應在位元線111上之電壓的大小。為確使一儲存於記憶體單元101內之邏輯高電位值提供一於一讀取操作期間以位元線111上的充分的邊差感測到之電壓，當將一邏輯高電位值寫入記憶體單元101時，加至字元線110上的電壓被提升高於VCC電源電壓。被升高的VCC電源電壓(此處指升高的字元線電壓VCCB)應超過VCC電源電壓至少旁電晶體102的臨界電壓(VT)。當將一邏輯高電位值寫入記憶體單元101時，藉施加升高字元電壓VCCB至字元線110上，全額VCC電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

源電壓乃於此寫入運算期間被加諸於電容器103上。

典型上作為改善DRAM陣列操作的額外電壓係基體偏壓電源電壓 (V_{BB})。基體偏壓電源電壓 V_{BB} 之電位典型上比地電源電壓更負，為 -1 至 -2.5 伏特。基體偏壓電壓電源電壓 V_{BB} 加在電晶體102之體上 (典型上DRAM陣列製造於晶圓的基體上)，俾將旁電晶體102的次臨界漏洩減至最小。

複合電路係典型地設於與DRAM陣列相同的晶片上，俾同時產生升高字元線電壓 V_{CCB} 及基體偏壓電源電壓 V_{BB} 。此種習知技術已載於諸如：IEEE JSSC Vol. 23 No.5 第1128至1132頁 Horiguchi 等人、1989年的 Digest of ISCC 第248至249頁 S. Fujii 等人，及美國專利第4,585,954號核發給 Hashimoto 等人的專利等參考資料中。

字元線升高電壓 V_{CCB} 乃依一需求而產生，亦即，升高電壓 V_{CCB} 僅在字元線110被導通時產生。升高電壓 V_{CCB} 當DRAM陣列不被存取時隨即放電。

在習知技術的示意圖中，字元線驅動電路120典型地與升壓電容器或一開關靴帶電容器電路 (未顯示) 連接。字元線導通，字元線110初始充電至 V_{CC} 電源電壓減旁路電晶體臨界電壓 V_T 的電壓值。升壓電容器或開關靴帶電容器電路於是被致動而提升字元線110上的電壓至一大於 V_{CC} 電源電壓加旁路電晶體臨界電壓 V_T 的一升高電壓 V_{CCB} 。此升高電壓 V_{CCB} 典型具有約 V_{CC} 電源電壓的1.5至1.7倍的大小值。此升高電壓 V_{CCB} 並未被調整且典型以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

一約為二倍 V_{CC} 電源電壓變量的因數變動。此外，升高電壓 V_{CCB} 與字元線 110 的佈線電容值成反比地變化。此相當高的升高電壓 V_{CCB} 值補償此等變量。然而，字元線 110 被導通，耦合雜訊被引入位元線 111，成為電晶體 102 的閘極對汲極重疊電容量。 V_{CCB} 的電源電壓愈高，耦合雜訊則愈大。增加的耦合雜訊不利地影響記憶體單元 101 的感測邊差。因此將字元線升高電壓 V_{CCB} 減至最小乃較為理想，使得其不致於遠超過 V_{CC} 電源電壓加旁路電晶體 102 的臨界電壓 V_T 。

CMOS RAM 中，基體偏壓 V_{BB} 產生器與字元線升高電壓 V_{CCB} 產生器共存於相同的晶片上，可能會導致通電狀態期間發生鎖定情形。

此外，當基體偏壓 V_{BB} 產生器及升高電壓 V_{CCB} 產生器佈設於相同晶片上時，一或更多環形振盪器被用來驅動與各電壓產生器聯合的充電激勵電容器。如果一具有一電壓控制式振盪器之晶片上的相鎖迴路 (PLL) 電路被供與一外部時鐘信號同步化之用，頻率差拍能存在於該等環形振盪器與該 PLL 電壓控制式振盪器之間，藉以將時鐘信號跳動引入。

V_{CCB} 及 V_{BB} 電壓產生器中之充電激勵電路的輸出電流能力與諸環形振盪器的振盪頻率成正比。然而，對於其內部操作與一外部時鐘信號同步的記憶體（如，同步 DRAM）而言，在 V_{CCB} 及 V_{BB} 電壓產生器中之充電激勵電路的輸出電流能力需求乃與外部時鐘信號的振盪頻率成正比。

五、發明說明(4)

因為各個環形振盪器電路的頻率均設成固定的，必須將 V_{CCB} 及 V_{BB} 電壓產生器的充電激勵電路設計成一直供應最大要求輸出電流之用，而不考慮外部時鐘信號的頻率。因此，此等充電激勵電路需要相當大的電容器，藉以不合宜地增加記憶體系統的配置區域。

因此吾人期望具有能夠克服前述缺陷的電壓產生電路。

發明概述

根據本發明，一升壓產生電路係作為產生一實際恆定、調整的字元線升高電壓 V_{CCB} 。此升壓產生器電路與字元線驅動器電路耦合，其選擇性地施加升高電壓 V_{CCB} 至記憶體陣列的諸字元線上。升高電壓 V_{CCB} 係被選定，使得字元線驅動器電路加在字元線的電壓值約等於 V_{CC} 電壓源電壓加記憶體陣列之旁路電晶體的臨界電壓 V_T 。

在一特定實施例中，升壓產生器電路包括一充電激勵電路及一電壓調整器電路。該充電激勵電路產生一響應於一主時鐘信號的輸出電壓。當該輸出電壓小於所需之升高電壓時，該電壓調整器致能該充電激勵電路，且當輸出電壓大於所需之升高電壓時，禁止充電激勵電路。於通電期間一鎖定防止電路將充電激勵電路的輸出端連接至 V_{CC} 電壓源，藉以防止鎖定發生。

亦能設置一偏壓電壓產生器俾產生加諸在上面製造有記憶體陣列之基體上的負偏壓電壓 V_{BB} 。此偏壓電壓產生器的操作係響應於一個由一環形振盪器於通電期間所產生

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

的時鐘信號，使得基體於無主時鐘信號的通電期間能適當地偏壓。於正常工作狀態期間，該偏壓電壓產生器的操作係響應於主時鐘信號。

記憶體陣列能更進一步包括一響應於一外部時鐘信號而產生主時鐘信號的時鐘同步電路。該主時鐘信號於是被用來控制升高電壓產生器、偏壓電壓產生器及記憶體陣列。因為所有的元件皆依相同的時鐘信號操作，頻率的干擾於是被減至最小。

本發明將由以下連同圖示的詳細說明獲致完全瞭解。

圖式簡述

第 1 圖係一傳統式 DRAM 陣列的示意圖；

第 2 圖係根據本發明之一實施例之一 DRAM 陣列的一字元線解碼器電路及一字元線驅動器電路的示意圖；

第 3 圖係根據本發明之一實施例之一字元線升壓產生器的示意圖；及

第 4 圖係根據本發明之一實施例之基體偏壓產生器的示意圖。

發明詳述

第 2 圖係根據本發明之一實施例之一字元線控制電路 201 的示意圖。字元線控制電路 201 包括位址解碼器電路 210 及字元線驅動器電路 220。位址解碼器電路 210 包括分別耦合至輸入端 211a-211c 的 n 通道場效電晶體 (FET) 212a-212c、及 p 通道 FET 214-215。字元線驅動器電路 220 包括 p 通道 FET 221 及 n 通道 FET 222。各個 p 通道電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

晶體 214、215及 221之源極與 N 井係連接至字元線升高電壓 (V_{CCB}) 產生器電路 330。字元線驅動器電路 220之輸出係連接至 DRAM陣列 200之字元線 212。

於一特定實施例中，包括有 DRAM陣列 200、字元線控制電路 201及 V_{CCB} 電壓產生器 300的記憶體系統係使用一單一或雙井程序及一 p 型單晶矽基體所製成。記憶體系統之各 NMOS電晶體的體係與基體連接。該基體被一晶片上基體偏壓電壓 V_{BB}產生器偏壓至一大約 -1.5 伏特的負電位，如第 4 圖所詳述者。記憶體系統之各 PMOS電晶體係在於一 n 型井區域 (N 井) 內。各 PMOS電晶體之體係與該 PMOS電晶體所在之 N 井連接。

N 井可連接至不同電位。然而一 PMOS電晶體之源極 (或汲極) 形成之寄生雙極電晶體、PMOS電晶體的 N 井及 p 型基體則不應該被導通。為此，各 N 井應假設有一等於或高於駐內 PMOS電晶體的源極 (或汲極) 的電位。假如源極 (或汲極) 的電位超過 N 井電位，該寄生雙極電晶體能被導通，可能會造成鎖定發生。將寄生雙極電晶體導通一個長的時間週期可能會由於基體偏壓電壓產生器之有限的電流源作用量 (如 2 mA) 而過載基體偏壓電壓產生器。

字元線控制電路 201中，鎖定為於通電狀態，在 V_{CCB} 電壓產生器 300產生一全 V_{CCB}輸出電壓前之期間的特殊考量。然而，如第 4 圖所詳述者，於通電期間，晶片上的 V_{CCB}電壓產生器 300提供一值約等於 V_{CC}電壓源電壓的電壓給 p 通道 FET 214、215及 221的 N 井，藉以防止對應的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

寄生雙極電晶體的導通及鎖定。

現參考字元線控制電路201的操作，當施加於輸入端211a-211c的位址信號是邏輯高電壓時，電晶體212a-212c則導通。結果，字元線驅動器電路220之電晶體221及222的閘極連接到地電源端，藉以導通p通道電晶體221及斷開n通道電晶體222。因此，字元線212被拉高達到電源線307上之由VCCB電壓產生器300所提供之字元線升高電壓VCCB。因為p通道FET 214、215及221的N井係耦合於VCCB產生器300，此等FET所形成的寄生雙極電晶體不被導通。

如以下所詳述者，VCCB電壓產生器300產生一實際上恆定、調整的值約等於VCC電壓源電壓加DRAM陣列200中之旁路電晶體的臨界電壓V_T的電壓。於一特定實施例中，VCC電源電壓為5伏特，且字元線升高電壓VCCB值約為6.5伏特。

第3圖係字元線升高電壓VCCB產生器300的一示意圖。VCCB電壓產生器300包括充電激勵電路301、鎖定防止電路302及電壓調整器電路303。充電激勵電路301包括NAND閘311-313、NOR閘314-315、反相器321-323及n通道FET 331-336。鎖定防止電路302包括反相器324、n通道FET 337-342及p通道FET 351-354。電壓調整器電路303包括p通道FET 355、電阻器356及反相器325-328。一主時鐘(MCLK)信號係由引線305提供給充電激勵電路，而一INHIBIT信號係由引線306提供給充電激勵電路301。

五、發明說明(8)

及鎖定防止電路302。於一特定實施例中，MCLK信號及INHIBIT信號二者皆由一外部裝置所提供。升高電壓VCCB係由電壓調整器電路303透過引線307提供給字元線驅動器電路220第2圖)。電壓調整器電路303透過引線308自電壓調整器電路303提供一升高電壓控制信號(VCCBUP)給充電激勵電路301。

充電激勵電路301係一個二相充電激勵電路，其交替地使一對電容充電及放電。充電激勵電路301的二相特性降低在電源線307處的電壓漣波。充電激勵電路303之電容器由n通道FET 331及332所構成。

於VCCB產生器300的一般操作期間，INHIBIT信號及電壓調整器控制信號VCCBUP二者皆在一邏輯高準位。於此等狀態下，充電激勵電路301的操作係由MCLK信號所控制。於一特定實施例中，MCLK信號的使用係由其它晶片上的電路使DRAM陣列200內部之數據值的讀取及寫入同步化。當MCLK信號在一邏輯高準位時，NAND閘311-333、NOR閘314-315及反相器321-323工作而在反相器323之輸出端提供一邏輯低準位信號，且在反相器322的輸出端提供一邏輯高準位信號。電容器331將來自反相器322的邏輯高準位輸出信號耦合至n通道FET 334的閘極，藉以導通FET 334。當導通時，FET 344耦合VCC電壓源至電容器332。結果，電容器332在一等於VCC的電位情況下被充電。

當MCLK信號為低準位時，(即於MCLK信號的下半週期間)，反相器322提供一邏輯低準位的輸出信號，且反

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

相器 332 提供一邏輯高準位的輸出信號。結果，電容器 332 提供一等於二倍 V_{CC} 電源電壓的輸出電壓。電容器 332 所提供的電壓導通 n 通道電晶體 333，藉以使電容器 331 耦合至 V_{CC} 電壓源，而在一等於 V_{CC} 電源電壓的電壓下充電。由電容器 332 所提供之電壓亦使二極體連接電晶體 336 導通。因此，儲存於電容器 332 的電量透過電晶體 336 放電至電源線 307，藉以使升高電壓 V_{CCB} 提升。

當 $MCLK$ 信號轉回至一邏輯高準位時，電容器 331 透過二極體連接電容器 335 以前述電容器 332 的方式放電至 V_{CCB} 電壓源線 307。同樣地，於此期間，電容器 332 再度充電。以此方式， V_{CCB} 電壓同時在 $MCLK$ 信號的負及正相位期間被激勵。

現參見電壓調整器電路 303， p 通道 FET 335 的閘極係耦合的，俾接受 V_{CC} 電源電壓。當電源線 307 上的 V_{CCB} 電壓超過 V_{CC} 電壓約電晶體 335 之臨界電壓 (V_{TP})，電晶體 335 導通，因而產生一電壓跨電晶體 356。當 V_{CCB} 繼續升高，橫跨電晶體 356 的電壓將提升到超過電晶體 325 的邏輯臨界點為止。此時，反相器 325 提供一邏輯低準位輸出信號。結果，反相器 328 的輸出 (即調整器信號 V_{CCBUP}) 亦變低，藉以禁止充電激勵電路 301。反相器 326 及 327 形成史密特觸發器閘，其抑制反相器 325 輸出端的信號環繞。反饋反相器 327 將遲滯現象引進反相器 326 的輸入臨界，藉以使電壓調整器電路 303 的雜訊免除獲得改善。

電晶體 335 及電阻器 356 的尺寸使得當電源線 307 上的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

電壓超過需求的 V_{CCB} 電壓 (如 6.5 伏特) 時, 充電激勵電路 301 被禁止。當充電激勵電路 301 被禁止, V_{CCB} 電壓停止上升, 字元線 212 第 2 圖) 的致動將電流自充電激勵電路 301 汲出而使電源線 307 的 V_{CCB} 電壓下降。當電源線 307 上電壓降至需要的 V_{CCB} 電源電壓以下時, 電晶體 355 被關閉, 藉以使一邏輯低準位輸入信號加諸於反相器 325 的輸入端。因此, 反相器 328 的輸出轉至一邏輯高準位狀態俾致能充電激勵電路 301。 V_{CCB} 電壓因而被調整至約高於 V_{CCB} 電源電壓 1.5 伏特。

鎖定防止電路 302 於通電期間耦合電源線 307 至 V_{CC} 電源電壓至電源線 307, 藉以於記憶體系統導通期間施加 V_{CC} 電源電壓至電源線 307 上。鎖定防止電路 302 允許在通電之後電源線 307 上的 V_{CCB} 電壓上升至高於 V_{CC} 電源電壓。藉將電源線 307 上的電壓於通電期間保持接近 V_{CC} 電源電壓, 與 p 通道 FET 214、215 及 221 聯結的寄生雙極電晶體 (第 2 圖) 被防止導通。此係因為電源線 307 上的電壓被供給 FET 214、215 及 221 的 N 井。因此, 於通電期間鎖定被加以防止。

鎖定防止電路 302 由 INHIBIT 信號所控制。於通電期間, INHIBIT 信號狀態被定為低準位, 藉以致能鎖定防止電路 302 而禁止充電激勵電路 301。低準位 INHIBIT 信號使反相器 324 的輸出信號轉成一邏輯高準位而導通 n 通道電晶體 339。被導通的電晶體 339 將 p 通道電晶體 351 及 352 的閘極耦合至地電源, 藉以將此等電晶體 351-352 導通。反相

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

器 324 的邏輯高準位輸出信號同時亦會導通 n 通道電晶體 341 及 342，接著，會使 n 通道電晶體 337 及 338 關閉。

結果，電晶體 351 及 352 的 N 井與電源線 307 隔離。導通的電晶體 352 使 V_{CC} 電壓源與電源線 307 連接。電晶體 352 的通道製得足夠寬，允許於通電期間對於 V_{CC} 電源電壓的一般斜率而言，電源線 307 上的電壓保持近於 V_{CC} 電源電壓。

電晶體 351 及 352 共用相同的 N 井。於通電期間，導通的電晶體 351 將此一共用 N 井的電壓維持接近於 V_{CC} 源電壓。因為該共用的 N 井的接面電容相較於電源線 307 而言相當小，故其共用的 N 井電位被電晶體 351 保持接近於 V_{CC} 電源電壓。結果，由此共用之 N 井所形成的寄生雙極電晶體於是被防止導通。

通電之後，INHIBIT 信號被反定為高準位，藉以關閉電晶體 351 及 352 而致能充電激勵電路 301。當充電激勵電路 301 的電容器 331 放電時，加在鎖定防止電路 302 之 n 通道電晶體 337 閘極的電壓大於 V_{CC} 電源電壓加電晶體 337 的臨界電壓 V_{TN} ，藉以使電晶體 337 操作於三極體（或線性）區。同樣地，當充電激勵電路 301 的電容器 332 放電，施加於 n 通道電晶體 338 閘極的電壓則大於 V_{CC} 電源電壓加電晶體 338 的臨界電壓 V_{TN} ，藉以使電晶體 338 操作於三極體區。結果，電晶體 351 及 352 的共用 N 井於一般操作期間被電晶體 337 及 338 耦合至 V_{CC} 電壓電源線 307。因此，電晶體 351 及 352 的共用 N 井保持在一接近於電源線 307 上的

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (12)

V_{CCB}電壓，防止了藉著導通此共用N井所可能造成的鎖定現象。

第4圖係根據本發明一實施例中基體偏壓產生器400的示意圖。基體偏壓產生器400產生一偏壓電壓(V_{BB})，被施於上述記憶體系統之n通道電晶體的體上，該基體偏壓產生器400包括充電激勵電路401、電壓調整器電路402、環形振盪器電路403及時鐘源選擇器電路404。

充電激勵電路401包括p通道FET 441-416、反相器421-425及NAND閘441-442。電壓調整器電路402包括反相器433-437、電阻器450及n通道FET 451-452。環形振盪器電路403包括反相器428-432及NAND閘445。時鐘源選擇器電路404包括p通道旁路電晶體417-418、n通道旁路電晶體457-458、反相器426-427及NAND閘443-444。此等元件的連接方式如第4圖所示。

充電激勵電路401響應於接收自時鐘選擇器電路404之時鐘信號在電源線464產生一負的基體偏壓V_{BB}。如以下詳述者，於一般正常操作狀態，時鐘選擇器電路404提供MCLK信號給充電激勵電路401，正當通電期間，時鐘選擇器電路404自環形振盪器電路403提供一BCLK信號至充電激勵電路401。

充電激勵電路401所接收的時鐘信號係加諸於由反相器421-425及交叉耦合的NAND閘441-442所構成之電路，藉以交替地對p通道電晶體415-416所構成的電容器充電。p通道電晶體411-414交替地將儲存於電容器415及416

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

內的電量轉換至電源線464上以產生 V_{BB} 電壓。因為開關電晶體413及414連接至地電壓源，負電量於是自電容器415及416被激勵至電源線464上。結果，在電源線464上形成之 V_{BB} 偏壓電壓係一負電壓。

環形振盪器403產生一供於通電期間驅動充電激勵電路401之用的時鐘信號(BCLK)。為致動環形振盪器電路403，在輸入引線463上定一邏輯低準位 $\overline{RESET}$ 信號。該 $\overline{RESET}$ 信號可由一晶片上或一外部通電重置電路所產生。環形振盪器電路403產生之BCLK信號的頻率由設計反相器428-432及NAND閘445的特性而加以選定。於一實施例中，此等元件被設計成能產生一頻率約為5 Mhz的BCLK信號。

時鐘選擇器電路404的目的在於連接接收NMCLK及BCLK二種信號。時鐘選擇器電路404決定要提供此二種信號的哪一個時鐘信號給充電激勵產生器電路401。當 $\overline{RESET}$ 信號於通電期間定為低準位時，旁路電晶體417及457被導通，藉以自環形振盪器電路403傳送BCLK信號傳至充電激勵產生器電路401。於通電週期的初始階段期間， V_{BB} 偏壓電壓尚未達到其目標電壓值。如以下所述者，於此等狀態期間，調整器電路402的反相器436提供一邏輯高準位信號使NAND閘444的輸出(即INHIBIT信號)成為一邏輯低準位狀態。如前述，邏輯低準位INHIBIT信號禁止 V_{CCB} 電壓產生器300(第3圖)的充電激勵電路301而致能鎖定防止電路302。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

在預定的通電週期滿之後（約 1 至 4 微秒之後）， $\overline{\text{RESET}}$ 信號被反定為高準位。此高準位 $\overline{\text{RESET}}$ 信號致使旁路電晶體 417 及 457 關閉而旁路電晶體 418 及 458 導通。於此等狀態下，MCLK 信號能夠通過旁路電晶體 418 及 458 被傳送至充電激勵電路 401。注意，當自調整器電路 402 的反相器 436 供應一邏輯高準位信號給 NAND 閘 443，MCLK 信號將只以此方式被傳送。調整器電路 402 的操作情形詳述如下。

邏輯高準位 $\overline{\text{RESET}}$ 信號的另一結果為，環形振盪器電路 403 被禁止，藉以防止環形振盪器電路 403 產生一於記憶體系統正常操作期間會與另一晶片上的電路形成干擾的時鐘信號。於一特定實施例中，MCLK 信號係一個利用一傳統式具一電壓控制式振盪器的相鎖迴路與一外部時鐘信號同步的信號。於此一實施例中，在通電之後禁止環形振盪器電路 403 可防止 BCLK 信號於記憶體系統的正常操作期間與該電壓控制振盪器形成干擾。

該邏輯高準位 $\overline{\text{RESET}}$ 的又另一結果為，當 VBB 偏壓電壓於通電重置週期期間到達其所需要的準位時，INHIBIT 信號自動地反定為高準位。

現在描述電壓調整器電路 402 的操作。電壓調整器電路 402 包括二個 n 通道電晶體 451-452，其等耦合的目的在於接收電源線 464 上的 VBB 偏壓電壓。各該電晶體 451-452 之負臨界電壓 V_{TN} 約為 -0.75 伏特。當電源線 464 上之 VBB 偏壓變成比 $-2 \times V_{TN}$ （或約為 -1.5 伏特）還低時，電晶體 451 及 452 於是被導通。結果，一邏輯低準位信號

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (15)

被加諸於反相器433。此邏輯低準位信號傳過反相器433-436俾在反相器436的輸出端提供一邏輯低準位信號。反相器434及437構成一史密特觸發器俾抑制在反相器436的輸出端信號環繞現象。反相器436提供之邏輯低準位信號被加在時鐘選擇器電路404中的NAND閘443的一輸入端。NAND閘響應地傳達一邏輯高準位信號，以有效地禁止一MCLK信號而防止充電激勵電路301被激勵。

當 V_{BB} 偏壓電壓變得比 $-2 \times V_{TN}$ 值更正的值時，電晶體451及452被關閉，導致反相器436的輸出信號變高。結果，充電激勵電路401被致能。藉致能及禁示充電激勵電路401，電壓調整器電路402在電源線464上維持約為 $-2 \times V_{TN}$ 的 V_{BB} 偏壓電壓。

充電激勵電路301及401與MCLK信號的同步化有利地提供充電激勵電路301及401一可正比地隨充電激勵電路301及401的輸出電流要件而改變的輸出電流能力。充電激勵電路301及401的輸出電流要件係直接與晶片上電路之工作頻率成正比。因此，當晶片上電路之工作頻率增加，必須由充電激勵電路301及401提供之電流亦增加。然而，充電激勵電路301及401的輸出電流能力亦同樣直接與晶片上電路的工作頻率成正比。亦即，當晶片上電路的工作頻率增加，能被充電激勵電路301及401提供之電流亦增加。充電激勵電路301及401在高頻率之增加的電流輸出能力防止電壓產生器電路300及400在記憶體系統的高頻率工作期間的過載。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

因為 V CCB 充電激勵電路 301、V BB 充電激勵電路 401 及任何晶片上的 PLL 電路間之頻率干擾有利地減至最小。

雖然本發明已連同一些實施例被描述，吾人明瞭本發明並不侷限於所揭露的實施例，但對於熟悉此技藝人士而言可顯見本發明可有不同的修飾。舉例言之，雖然上述之實施例包括一形成於一 p 型基體且具有 NMOS 旁路電晶體之記憶體單元的記憶體系統，本發明可被修飾以供構成於一 n 型基體上且含有具 PMOS 旁路電晶體之記憶體單元的記憶體系統內操作之用。於此種修飾中，V CCB 字元線升高電壓相對地電源電壓為負的（例如，約 -1.5 伏特），而 V BB 基體偏壓電壓可較 V CC 電源電壓值更正（例如，約 6.5 伏特）。因此，本發明並不侷限於下述的申請專利範圍。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (17)

元件標號對照表

101	記憶體單元
102	旁路電晶體
103	儲存電容器
110	字元線
111	位元線
120	字元線驅動器電路
200	DRAM陣列
201	字元線控制電路
210	位址解碼器電路
211a、211b、211c	輸入端
212	字元線
212a、212b、212c	電晶體
214、215、221	p 通道FET
220	字元線驅動器電路
222	n 通道FET
300	字元線升高電壓產生器電路
301	充電激勵電路
302	鎖定防止電路
303	電壓調整器電路
305	引線
306	引線
307	電源線
308	引線

五、發明說明 (18)

- 311、312、313 NAND閘
- 314-315 NOR閘
- 321-323 反相器
- 331-336 n 通道FET
- 325-328 反相器
- 355 p 通道FET
- 356 電阻器
- 351-354 p 通道FET
- 324 反相器
- 337-342 n 通道FET
- 400 基體偏壓產生器
- 401 充電激勵電路
- 402 電壓調整器電路
- 403 環形振盪器
- 404 時鐘源選擇器電路
- 411-416 p 通道FET
- 417-418 p 通道旁路電晶體
- 421-425 反相器
- 426-427 反相器
- 428-432 反相器
- 433-437 反相器
- 441-442 NAND閘
- 443-444 NAND閘
- 445 NAND閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

450 電阻器

451 - 452 n 通道 FET

457 - 458 n 通道旁路電晶體

463 輸入引線

464 電源線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

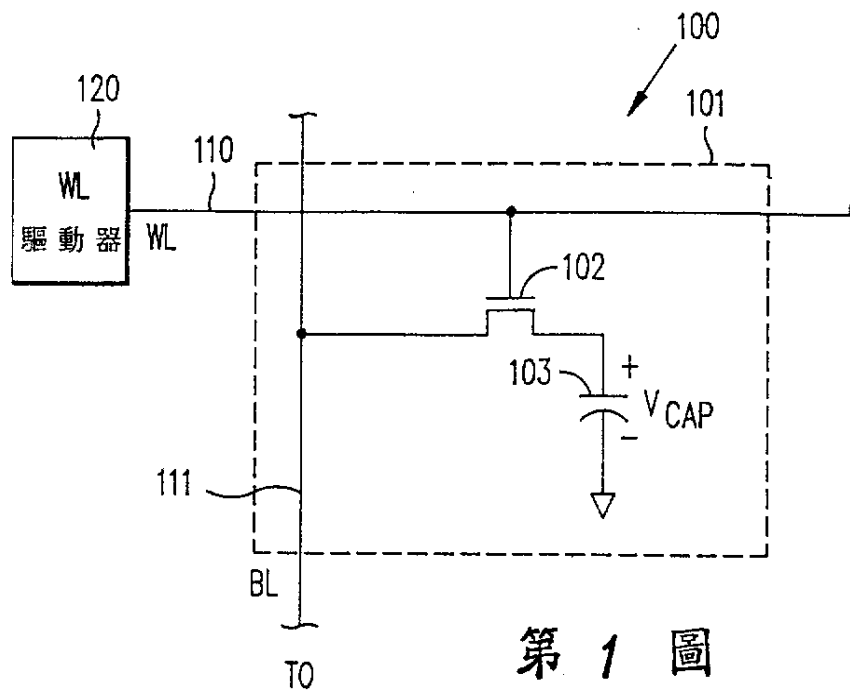
四、中文發明摘要(發明之名稱: 用以為記憶體陣列產生字元線電壓之方法與構造)

一種用以為諸如一DRAM陣列之記憶體陣列產生一升壓字元線電壓之方法與結構。為確使在寫入運算期間施加一充分的電壓至記憶體陣列的字元線，字元線驅動電路與一升高電壓產生器連接，該升高電壓產生器提供一實質恆定、調整的電壓，該電壓被提升至一值約等於 V_{cc} 電源電壓加記憶體單元旁路電晶體的臨界電壓的準位。一偏壓電壓產生器提供一負電壓，其被用以偏壓記憶體陣列之基體。該升壓電壓產生器及偏壓電壓產生器可響應於作為操作記憶體陣列之用的相同時鐘信號而加以操作。鎖定防止電路乃確使字元線驅動電路不致於在一充分的升高電壓建立之前的通電期間鎖定。

英文發明摘要(發明之名稱: METHOD AND STRUCTURE FOR GENERATING A WORD LINE VOLTAGE FOR A MEMORY ARRAY)

A method and structure for generating a boosted word line voltage for a memory array, such as a DRAM array. To ensure that an adequate voltage is applied to the word line of the memory array during write operations, the word line driver circuit is connected to a boost voltage generator which provides a substantially constant, regulated voltage which is boosted to a level which is approximately equal to the V_{cc} supply voltage plus the threshold voltage of the memory cell pass transistor. A bias voltage generator provides a negative voltage which is used to bias the substrate of the memory array. The boosted voltage generator and the bias voltage generator can be operated in response to the same clock signal used to operate the memory array. A latch-up prevention circuit is provided to ensure that the word line driver circuit does not latch-up during power-on before an adequate boost voltage has been established.

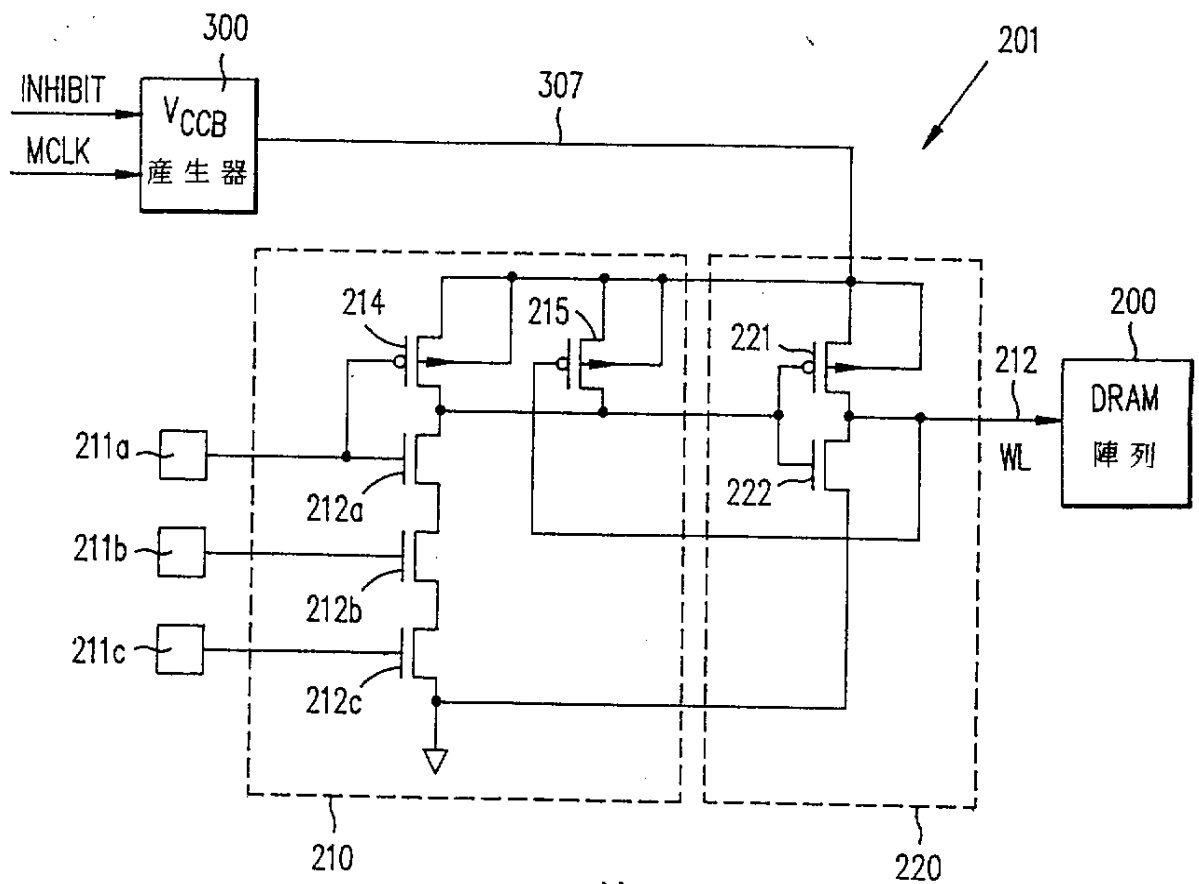
319837



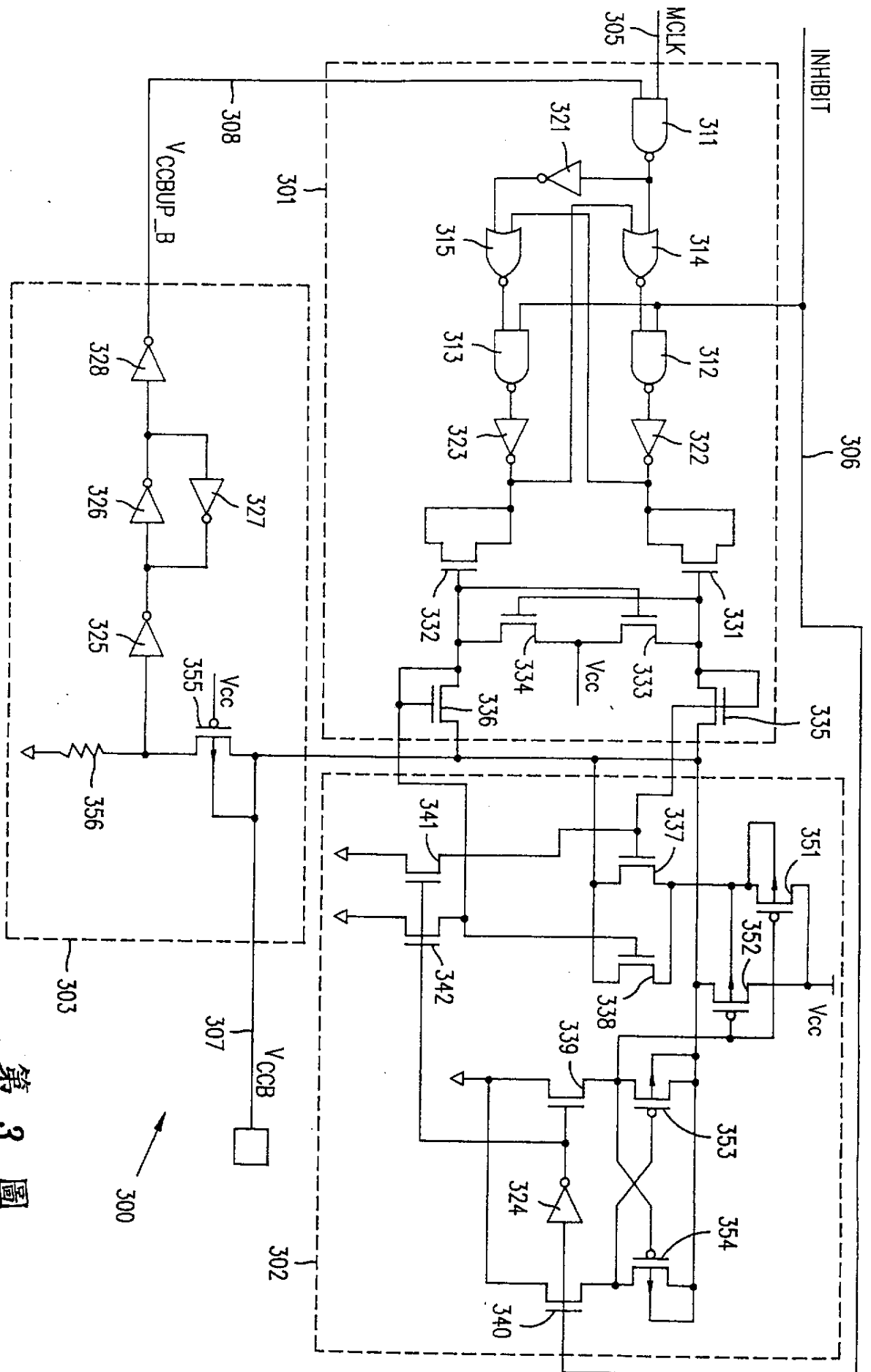
第 1 圖

感測放大器

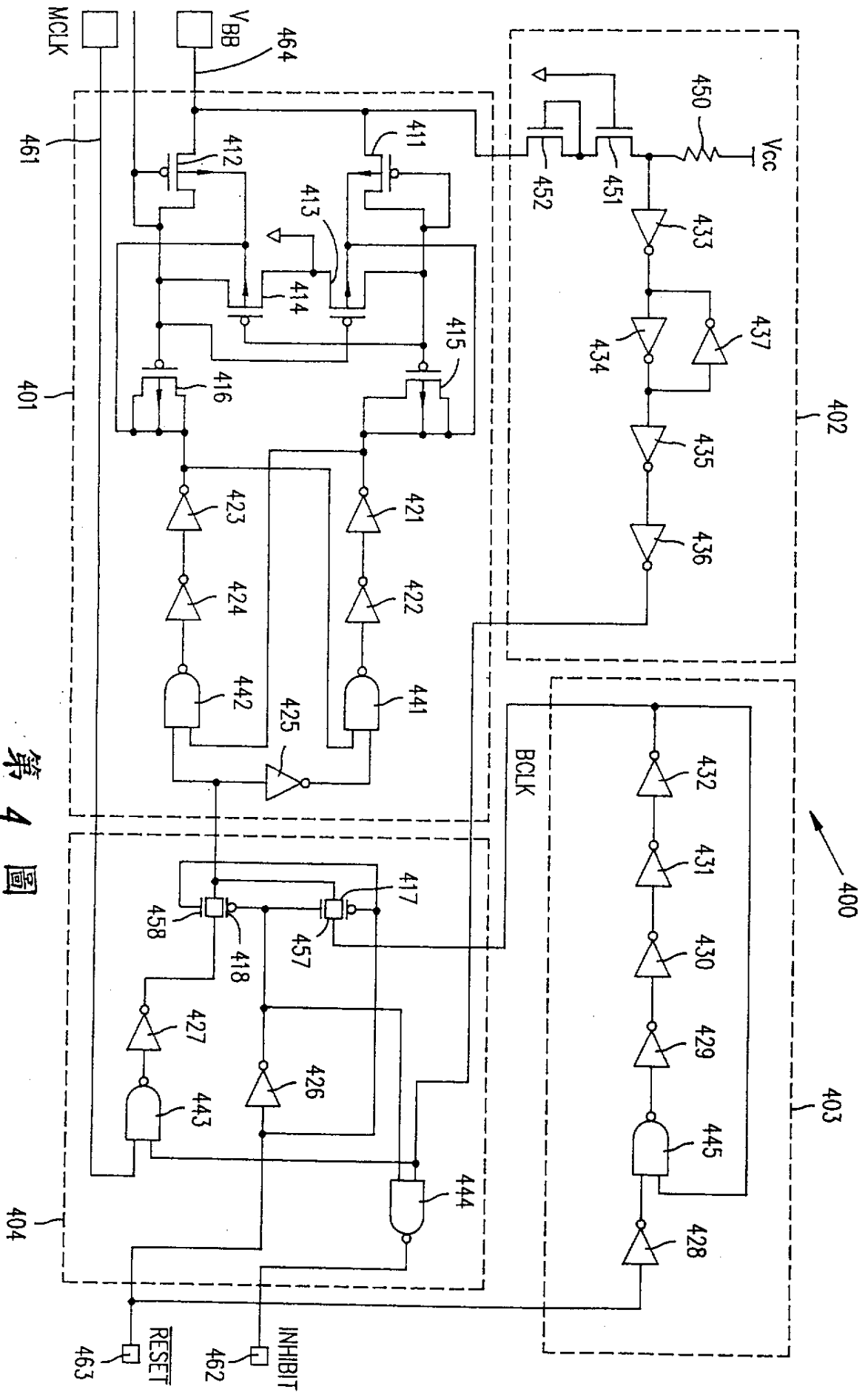
習知技術



第 2 圖



第 3 圖



第 4 圖

六、申請專利範圍

1. 一種半導體記憶體，具有一字元線、一用以提供一第一電源電壓的第一電壓源、及一提供一第二電源電壓之第二電壓源，該第一電源電壓大於該第二電源電壓，該記憶體包含：

一耦合至該第一及第二電壓源之電壓產生電路，該電壓產生電路產生一超過該第一電源電壓之實質恆定的升高電壓；及

一耦合至該電壓產生電路及該字元線的驅動器電路，該驅動器電路係適於選擇性地對該字元線施加該升高電壓於。

2. 如申請專利範圍第1項所述之記憶體，其中該記憶體更包含一耦合至該字元線之記憶體單元，該記憶體單元包含一具一臨界電壓之電晶體，其中該升高電壓超過該第一電源電壓該電晶體的臨界電壓。

3. 如申請專利範圍第1項所述之記憶體，其中該記憶體單元係一動態隨機存取記憶體（DRAM）單元。

4. 如申請專利範圍第1項所述之記憶體，其中該電壓產生電路包含：

一充電激勵電路，其響應於一主時鐘信號而產生一輸出電壓；及

一耦合至該充電激勵電路之調整器電路，其中當該輸出電壓小於該升高電壓時，該調整器電路致能該充電激勵電路，且其中當該輸出電壓大於該升高電壓時，該調整器電路致能該充電激勵電路。

（請先閱讀背面之注意事項再填寫本頁）

訂

六、申請專利範圍

- 5.如申請專利範圍第4項所述之記憶體，其中該充電激勵電路包含一對電容器，響應於該主時鐘信號交替地充電及放電，俾產生該輸出電壓。
- 6.如申請專利範圍第4項所述之記憶體，其更包含一時鐘同步電路，用以接收一外部的時鐘信號，且響應地，產生該主時鐘信號，該主時鐘信號與該外部時鐘信號同步。
- 7.如申請專利範圍第6項所述之記憶體，其中該記憶體的操作係響應於該主時鐘信號。
- 8.如申請專利範圍第1項所述之記憶體，其中該時鐘同步電路及該電壓產生電路係設於相同的晶片上。
- 9.如申請專利範圍第1項所述之記憶體，其中該電壓產生電路包含：
一鎖定防止電路，其於記憶體通電期間將驅動器電路耦合至該第一電壓源，且於記憶體之正常操作期間將該驅動器電路耦合俾接收該升高電壓。
- 10.如申請專利範圍第1項所述之記憶體，其更包含：
一耦合至該第一及第二電壓源之第二電壓產生電路，該第二電壓產生電路產生一小於該第二電源電壓之實質恆定的偏壓電壓。
- 11.如申請專利範圍第10項所述之記憶體，其中該記憶體係製造於一基體上，該第二電壓產生電路耦合至該基體，藉以施加該偏壓電壓至該基體上。
- 12.如申請專利範圍第10項所述之記憶體，其中該第二電

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

壓產生電路包含：

一響於時鐘信號產生一輸出電壓之充電激勵電路

；

一耦合至該充電激勵電路的調整器電路，其中該調整器電路當該輸出電壓大於該偏壓電壓時，致能該充電激勵電路，且其中該調整器電路當該輸出電壓小於該偏壓電壓時，禁止該充電激勵電路；

一產生一啓動時鐘信號之環形振盪器電路；及

一時鐘選擇器電路，於該記憶體通電期間提供啓動時鐘信號至該充電激勵電路，且於記憶體正常工作期間提供主時鐘信號至該充電激勵電路。

13. 如申請專利範圍第12項所述之記憶體，其更包含：

用於於該記憶體通電期間致能該環形振盪器電路且於該記憶體正常工作期間禁止該環形振盪器電路的裝置。

14. 一種防止驅動器電路鎖定的電路，該電路包含：

用於於一通電週期期間施加一第一電壓源電壓至該驅動器電路的裝置；及

用於於通電週期之後施加一升高電壓至該驅動器電路之裝置，該升高電壓超過該電源電壓一實質恆定的電壓。

15. 一種半導體記憶體，其具有一字元線、一用以提供一

第一電源電壓的第一電壓源、及一用以提供一第二電源電壓的第二電壓源，該第一電源電壓大於該第二電

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

源電壓，該記憶體包含：

一耦合至該第一及第二電壓源之電壓產生電路，該電壓產生電路產生一小於該第二電源電壓之實質恆定的升高電壓；及

一耦合至該電壓產生電路及該字元線的驅動器電路，該驅動器電路係適於選擇性地對該字元線施加該升高電壓。

16. 如申請專利範圍第15項所述之記憶體，其中該記憶體係製造於一基體上，該記憶體更包含：

一耦接至該第一及第二電壓源之第二電壓產生電路，該第二電壓產生電路產生一大於該第一電源電壓之實質恆定的偏壓電壓，該第二電壓產生電路係耦合至該基體，藉以對該基體施加該偏壓電壓。

17. 一種電壓產生器，其產生一供偏壓一半導體電路之基體之用的偏壓電壓，該電壓產生電路包含：

一響應於一時鐘信號而產生一偏壓電壓的電壓產生電路；

一供於一通電週期期間選擇性地施加該啟動時鐘信號至該電壓產生電路及於該通電週期之後施加一主時鐘信號至該電壓產生電路之用的時鐘選擇器電路。

18. 如申請專利範圍第17項所述之電壓產生器，其更包含供禁止該環形振盪器電路在該通電週期之後產生該啟動時鐘信號之用的裝置。

19. 一種操作半導體記憶體的方法，該半導體記憶體具有

(請先閱讀背面之注意事項再填寫本頁)

張

訂

六、申請專利範圍

一字元線、一用以提供一第一電源電壓的第一電壓源、及一用以提供一第二電壓源電壓的第二電壓源，該第一電源電壓大於該第二電源電壓，該方法包含有下列步驟：

—產生一超過該第一電源電壓之實質恆定的升高電壓；及

施加該升高電壓至一耦合至該字元線的驅動器電路。

20. 如申請專利範圍第19項所述之方法，其中產生該升高電壓之步驟包含下列步驟：

施加一主時鐘信號至一電產生電路，其中該電壓產生電路響應於該主時鐘信號而產生一升高電壓；及

藉控制該施加至該電壓產生電路的主時鐘信號而調整該升高電壓。

21. 如申請專利範圍第19項所述之方法，其中產生該升高電壓之步驟包含有下列步驟：

交替地響應於該主時鐘信號對一電容器充電；及

交替地響應於該主時鐘信號對一電容器放電。

22. 如申請專利範圍第20項所述之方法，其更包含有下列步驟：

接收一外部時鐘信號；及

響應於該外部時鐘信號而產生該主時鐘信號，該主時鐘信號與該外部時鐘信號同步化。

23. 如申請專利範圍第22項所述之方法，其更包含響應於

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

該主時鐘信號而操作該記憶體電路的步驟。

24.如申請專利範圍第20項所述之方法，其更包含產生一小於響應於該主時鐘信號之該第二電源電壓之實質恆定的偏壓電壓的步驟。

25.如申請專利範圍第24項所述之方法，其中該記憶體電路製造於一基體上，該方法更包含對該基體施加該偏壓電壓之步驟。

26.如申請專利範圍第24項所述之方法，其中該產生該偏壓電壓的步驟包含有下列步驟：

由一電壓產生電路響應於該主時鐘信號而產生一輸出電壓；及

藉控制該主時鐘信號施加至該電壓產生電路而將該輸出電壓調整至約為偏壓電壓。

27.如申請專利範圍第26項所述之方法，其更包含有下列步驟：

產生一啓動時鐘信號；及

於該記憶體電路的通電期間施加該啓動時鐘信號至該電壓產生電路；及

於該記憶體電路的正常工作狀態期間施加該主時鐘信號至該電壓產生電路。

28.一種操作半導體記憶體的方法，該半導體記憶體具有一字元線、一用以提供一第一電源電壓的一第一電壓源、及用以提供一第二電源電壓的第二電壓源，該第一電源電壓大於該第二電源電壓，該方法包含有下列

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

步驟：

產生一小於該第二電源電壓之實質恆定的升高電壓；及

施加該升高電壓至一耦合至該字元線上的驅動器電路。

29.如申請專利範圍第28項所述之方法，其中該記憶體製造於一基體上，該方法更包含有下列步驟：

產生一大於該第一電源電壓之實質恆定的偏壓電壓；及

對該基體施加該偏壓電壓。

30.一種偏壓半導體電路之基體的方法，該方法包含有下列步驟：

由一環形振盪器電路產生一啓動時鐘信號；

響應於該啓動時鐘信號而產生一偏壓電壓；

於一通電週期期間施加該響應於該啓動時鐘信號而產生的偏壓電壓至該基體上；

響應於一主時鐘信號而產生一偏壓電壓；及

於該通電週期之後施加該響應於該主時鐘信號而產生之偏壓電壓至該基體。

31.如申請專利範圍第30項所述之方法，其更包含防止該環形振盪器電路於該通電週期之後產生該啓動時鐘信號。

(請先閱讀背面之注意事項再填寫本頁)

訂