

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2019-530505

(P2019-530505A)

(43) 公表日 令和1年10月24日 (2019. 10. 24)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 B 8/12 (2006.01)	A 6 1 B 8/12	4 C 6 0 1
H 0 4 R 17/00 (2006.01)	H 0 4 R 17/00	3 3 2 A
H 0 4 R 31/00 (2006.01)	H 0 4 R 17/00	3 3 0 H
	H 0 4 R 31/00	3 3 0

審査請求 未請求 予備審査請求 未請求 (全 33 頁)

(21) 出願番号 特願2019-516615 (P2019-516615)
 (86) (22) 出願日 平成29年9月25日 (2017. 9. 25)
 (85) 翻訳文提出日 平成31年4月9日 (2019. 4. 9)
 (86) 国際出願番号 PCT/EP2017/074158
 (87) 国際公開番号 W02018/060109
 (87) 国際公開日 平成30年4月5日 (2018. 4. 5)
 (31) 優先権主張番号 62/401, 409
 (32) 優先日 平成28年9月29日 (2016. 9. 29)
 (33) 優先権主張国・地域又は機関
 米国 (US)

(71) 出願人 590000248
 コーニンクレッカ フィリップス エヌ
 ヴェ
 KONINKLIJKE PHILIPS
 N. V.
 オランダ国 5656 アーエー アイン
 ドーフェン ハイテック キャンパス 5
 High Tech Campus 5,
 NL-5656 AE Eindhoven
 (74) 代理人 110001690
 特許業務法人M&Sパートナーズ

最終頁に続く

(54) 【発明の名称】 血管内撮像デバイス用のフレキシブルフェーズドアレイトランスデューサ並びに関連のデバイス、システム及び方法

(57) 【要約】

血管内撮像アセンブリを製造する方法が提供される。一実施形態において、複数の超音波材料層間に交互パターンで配置される複数の犠牲材料層を有する積層構造を形成するステップ415と、それぞれが複数の超音波材料層によって画定される超音波素子のアレイ及び複数の犠牲材料層によって画定されるスペーサを含む複数の伸長ストリップを形成するように、積層構造をダイシングするステップ420と、複数の伸長ストリップのうちの第1の伸長ストリップを、フレキシブル回路基板に結合するステップ430と、フレキシブル回路基板から第1の伸長ストリップのスペーサを除去するステップ435とを含む。

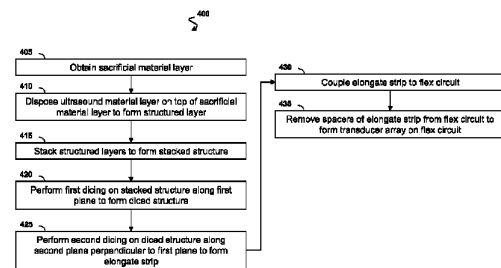


Fig. 4

【特許請求の範囲】**【請求項 1】**

複数の超音波材料層間に交互パターンで配置される複数の犠牲材料層を有する積層構造を形成するステップと、

それぞれが前記複数の超音波材料層によって画定される超音波素子のアレイ及び前記複数の犠牲材料層によって画定されるスペースを含む複数の伸長ストリップを形成するように、前記積層構造をダイシングするステップと、

前記複数の伸長ストリップのうちの第 1 の伸長ストリップを、フレキシブル回路基板に結合するステップと、

前記フレキシブル回路基板から前記第 1 の伸長ストリップの前記スペースを除去するステップと、

を含む、血管内撮像デバイスを製造する方法。

10

【請求項 2】

前記積層構造をダイシングするステップは、第 1 の平面に沿って前記積層構造をダイシングするステップを含む、請求項 1 に記載の方法。

【請求項 3】

前記積層構造をダイシングするステップは、前記第 1 の平面に垂直な第 2 の平面に沿って前記積層構造をダイシングするステップを含む、請求項 2 に記載の方法。

【請求項 4】

前記ダイシング後、前記第 1 の平面に沿って前記積層構造全体に追加の犠牲層を形成するステップを更に含む、請求項 2 に記載の方法。

20

【請求項 5】

前記フレキシブル回路基板から前記第 1 の伸長ストリップの前記スペースを除去するステップは、前記スペースを画定する前記複数の犠牲材料層をエッチング除去するステップを含む、請求項 1 に記載の方法。

【請求項 6】

ポスト犠牲材料層が前記複数の伸長ストリップの前記第 1 の伸長ストリップ及び第 2 の伸長ストリップと一緒に保持することによって、複合ストリップを形成するステップと、

前記第 1 の伸長ストリップ及び前記第 2 の伸長ストリップが、前記フレキシブル回路基板に結合されるように、前記複合ストリップを前記フレキシブル回路基板に結合するステップと、

30

前記フレキシブル回路基板から前記複合ストリップの前記ポスト犠牲材料層及び前記第 2 の伸長ストリップのスペースを除去するステップと、

を更に含む、請求項 1 に記載の方法。

【請求項 7】

前記フレキシブル回路基板を支持部材の周りに巻き付けるステップと、

前記フレキシブル回路基板を前記支持部材にしっかりと固定するステップと、

前記支持部材を血管内デバイスの遠位部に結合するステップと、

を更に含む、請求項 1 に記載の方法。

【請求項 8】

40

犠牲材料でできた基板に複数の凹部を形成するステップと、

前記基板の前記複数の凹部の少なくとも一部を、超音波材料で充填するステップと、

前記超音波材料によって画定される超音波素子のアレイ及び前記犠牲材料によって画定されるスペースを含む伸長ストリップを形成するように、前記基板をダイシングするステップと、

前記伸長ストリップをフレキシブル回路基板に結合するステップと、

前記フレキシブル回路基板から前記伸長ストリップの前記スペースを除去するステップと、

を含む、血管内撮像デバイスを製造する方法。

【請求項 9】

50

前記基板をダイシングするステップは、前記伸長ストリップが、第２の超音波素子のアレイから離間された第１の超音波素子のアレイを含むように、前記基板をダイシングするステップを含む、請求項８に記載の方法。

【請求項１０】

前記第１の超音波素子のアレイの超音波素子は、前記第２の超音波素子のアレイの超音波素子と整列する、請求項９に記載の方法。

【請求項１１】

前記基板に前記複数の凹部を形成するステップは、第２の一連の凹部と整列する第１の一連の凹部を形成するステップを含む、請求項１０に記載の方法。

【請求項１２】

前記第１の超音波素子のアレイの超音波素子は、前記第２の超音波素子のアレイの超音波素子に対してオフセットされている、請求項９に記載の方法。

【請求項１３】

前記基板に前記複数の凹部を形成するステップは、第１の一連の凹部を、第２の一連の凹部に対してオフセットさせて形成するステップを含む、請求項１２に記載の方法。

【請求項１４】

前記フレキシブル回路基板から前記伸長ストリップの前記スペーサを除去するステップは、前記スペーサを画定する前記犠牲材料をエッチング除去するステップを含む、請求項８に記載の方法。

【請求項１５】

近位部及び遠位部を有するフレキシブル伸長部材と、
前記フレキシブル伸長部材の前記遠位部に結合される血管内撮像アセンブリと、
を含む、血管内撮像デバイスであって、
前記血管内撮像アセンブリは、
フレキシブル回路と、
前記フレキシブル回路上に配置される超音波トランスデューサアレイと、
を含み、

前記超音波トランスデューサアレイは、最小の所定信号分解能の血管内画像の作成を容易にするように、１０マイクロメートル未満のピッチ幅だけ離間された複数の超音波素子を含む、血管内撮像デバイス。

【請求項１６】

前記超音波トランスデューサアレイは、単一のアレイで構成される、請求項１５に記載の血管内撮像デバイス。

【請求項１７】

前記超音波トランスデューサアレイは、第２の超音波素子のアレイから離間された第１の超音波素子のアレイを含む、請求項１５に記載の血管内撮像デバイス。

【請求項１８】

前記第１の超音波素子のアレイの超音波素子は、前記第２の超音波素子のアレイの超音波素子と整列する、請求項１７に記載の血管内撮像デバイス。

【請求項１９】

前記第１の超音波素子のアレイの超音波素子は、前記第２の超音波素子のアレイの超音波素子に対してオフセットされている、請求項１７に記載の血管内撮像デバイス。

【請求項２０】

前記複数の超音波素子間の前記ピッチ幅は、前記複数の超音波素子間に配置される犠牲材料の除去によって画定されている、請求項１５に記載の血管内撮像デバイス。

【発明の詳細な説明】

【技術分野】

【０００１】

[0001] 本開示は、概して血管内超音波（ＩＶＵＳ）撮像に関し、特に固体ＩＶＵＳ撮

10

20

30

40

50

像デバイスの血管内撮像アセンブリに関する。例えば血管内撮像アセンブリは、支持構造の周りに円周方向に配置されたフェーズドアレイトランスデューサを含む。フェーズドアレイトランスデューサの製造は、高解像度、高品質の画像の作成を容易にし、大量かつ高歩留まりの生産を可能にするようにデザインすることができる。

【背景技術】

【0002】

[0002] 血管内超音波（I V U S）撮像は、治療の必要性を判断し、介入を誘導し、及び／又は、その有効性を評価するために、人体内の動脈といった罹患血管を評価する診断手段として、介入心臓学において広く使用されている。1つ以上の超音波トランスデューサを含むI V U Sデバイスが血管内を通され、撮像されるべき領域に案内される。トランスデューサは、関心血管の画像を作成するために、超音波エネルギーを放出する。超音波は、組織構造（血管壁の様々な層等）、赤血球及びその他の関心特徴から生じる不連続性によって部分的に反射される。反射波からのエコーは、トランスデューサによって受信され、I V U S撮像システムに送られる。撮像システムは、受信した超音波エコーを処理して、デバイスが置かれている血管の断面画像を生成する。

10

【0003】

[0003] 今日、一般的に使用されているI V U Sカテーテルには、2つのタイプ、即ち、回転式カテーテル及び固体（電子走査式）カテーテルがある。典型的な回転式I V U Sカテーテルでは、単一の超音波トランスデューサ素子が、関心血管に挿入されたプラスチックシース内で回転するフレキシブル駆動シャフトの先端に置かれる。トランスデューサ素子は、超音波ビームが、デバイスの軸にほぼ垂直に伝搬するように向けられている。流体で満たされたシースは、超音波信号がトランスデューサから組織内へ及びその逆方向に伝搬することを可能にしながら、血管組織を回転するトランスデューサ及び駆動シャフトから保護する。駆動シャフトが回転すると、トランスデューサは、高電圧パルスで周期的に励起され、短いバーストの超音波を放出する。同じトランスデューサが、様々な組織構造から反射されてくるエコーを聞く。I V U S撮像システムは、トランスデューサの一回転の間に発生する一連のパルス／取得サイクルから、血管断面の二次元表示を組み立てる。

20

【0004】

[0004] 固体I V U Sカテーテルは、トランスデューサアレイに隣接して取り付けられる1つ以上の集積回路コントローラチップと共に、その周囲に分布した超音波トランスデューサのアレイを含む感知アセンブリ又はスキャナアセンブリを担持する。固体I V U Sカテーテルは、フェーズドアレイI V U Sトランスデューサ又はフェーズドアレイI V U Sデバイスとも呼ばれる。コントローラは、超音波パルスを送信するため及び超音波エコー信号を受信するために個々のトランスデューサ素子（又は素子群）を選択する。一連の送受信対をステップスルーすることによって、固体I V U Sシステムは、可動部品なしで機械的にスキャンされた超音波トランスデューサの効果的合成することができる（したがって、固体と示される）。回転する機械的要素がないので、トランスデューサアレイは、血管の外傷の危険性を最小限に抑えて、血液及び血管組織と直接接触して配置することができる。更に、回転要素がないので、電氣的インターフェースが単純化される。固体スキャナは、回転式I V U Sデバイスに必要とされる複雑な回転式電気インターフェースではなく、単純な電気ケーブル及び標準的な取り外し可能な電気コネクタを用いて、撮像システムに直接配線することができる。

30

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

[0005] 人体内の生理機能を効率的に横断し、高解像度、高品質の血管画像を効果的に作成することができる血管内撮像デバイスを製造することは難しい。例えば一部のフェーズドアレイI V U Sデバイスは、フェーズドアレイI V U Sデバイスのサイズ及び製造によって、トランスデューサアレイ内に最大で約32個又は64個のトランスデューサを有

50

することができる。そのため、フェーズドアレイ I V U S デバイスから作成された画像は、限られた解像度及び / 又は限られた品質を有する可能性がある。したがって、フェーズドアレイ I V U S デバイスを形成する従来の方法は、それらの意図された目的には概して適切であるが、それらはあらゆる局面において完全に満足のいくものではない。

【課題を解決するための手段】

【 0 0 0 6 】

[0006] 本開示の実施形態は、血管内超音波 (I V U S) 撮像に使用する改良型フェーズドアレイトランスデューサを提供する。フェーズドアレイトランスデューサは、適切な支持構造を用いて平坦構成又は巻かれた構成で 사용할 ことができる。フェーズドアレイトランスデューサは、層堆積及びスパッタ堆積といった半導体製造技術を利用して、トランスデューサアレイ内でのトランスデューサの寸法及び配置を正確に制御することによって製造することができる。このように、トランスデューサアレイは、より多数のより小型のトランスデューサを用いて製造することができ、また、トランスデューサは、従来の技術を使用する場合よりもサイズがより均一であり、より均一に分布することができる。したがって、開示される実施形態は、画像の解像度及び画質を向上させることができる。

10

【 0 0 0 7 】

[0007] 一実施形態において、血管内撮像アセンブリを製造する方法が提供される。当該方法は、複数の超音波材料層間に交互パターンで配置される複数の犠牲材料層を有する積層構造を形成するステップと、それぞれが複数の超音波材料層によって画定される超音波素子のアレイ及び複数の犠牲材料層によって画定されるスペースを含む複数の伸長ストリップを形成するように、積層構造をダイシングするステップと、複数の伸長ストリップのうちの第 1 の伸長ストリップを、フレキシブル回路基板に結合するステップと、フレキシブル回路基板から第 1 の伸長ストリップのスペースを除去するステップとを含む。

20

【 0 0 0 8 】

[0008] 幾つかの実施形態では、積層構造を形成するステップは、少なくとも 3 2 個の超音波材料層を形成するステップを含む。幾つかの実施形態では、複数の犠牲材料層それぞれは、0 . 0 1 マイクロメートル (μm) 乃至 1 2 5 μm の厚さを有する。幾つかの実施形態では、複数の超音波材料層それぞれは、5 マイクロメートル (μm) 乃至 1 2 5 μm の厚さを有する。幾つかの実施形態では、複数の犠牲材料層は、酸化シリコン、二酸化シリコン、アルミニウム、クロム、リンケイ酸ガラス又はホウリンケイ酸ガラスからなる犠牲材料の群からの材料を含む。幾つかの実施形態では、複数の超音波材料層は、圧電ジルコン酸トランスデューサ (P Z T) 、ポリフッ化ビニリデン (P V D F) 又は P Z T - P V D F 複合材料からなる超音波材料の群からの材料を含む。幾つかの実施形態では、積層構造をダイシングするステップは、第 1 の平面に沿って積層構造をダイシングするステップを含む。幾つかの実施形態では、積層構造をダイシングするステップは、第 1 の平面に対して垂直な第 2 の平面に沿って積層構造をダイシングするステップを含む。幾つかの実施形態では、上記方法は、ダイシング後、第 1 の平面に沿って積層構造全体に追加の犠牲層を形成するステップを含む。幾つかの実施形態では、フレキシブル回路基板から第 1 の細長ストリップのスペースを除去するステップは、スペースを画定する複数の犠牲材料層をエッチング除去するステップを含む。幾つかの実施形態では、上記方法は、ポスト犠牲材料層が複数の伸長ストリップの第 1 の伸長ストリップ及び第 2 の伸長ストリップを一緒に保持することによって、複合ストリップを形成するステップと、第 1 の伸長ストリップ及び第 2 の伸長ストリップが、フレキシブル回路基板に結合されるように、複合ストリップをフレキシブル回路基板に結合するステップと、フレキシブル回路基板から複合ストリップのポスト犠牲材料層及び第 2 の伸長ストリップのスペースを除去するステップとを含む。幾つかの実施形態では、複合ストリップを形成するステップは、ポスト犠牲材料層を堆積する前に、第 1 の細長ストリップの超音波素子のアレイが第 2 の細長ストリップの超音波素子のアレイと整列するように、第 1 の細長ストリップ及び第 2 の細長ストリップを配置するステップを含む。幾つかの実施形態では、複合ストリップを形成するステップは、第 1 の細長ストリップの超音波素子のアレイが第 2 の細長ストリップの超音波素子の

30

40

50

アレイとオフセットするように、第１の細長ストリップ及び第２の細長ストリップを配置するステップを含む。幾つかの実施形態では、上記方法は、フレキシブル回路基板を支持部材の周りに巻き付けるステップと、フレキシブル回路基板を支持部材にしっかりと固定するステップと、支持部材を血管内デバイスの遠位部に結合するステップとを含む。

【 0 0 0 9 】

[0009] 一実施形態において、血管内撮像アセンブリを製造する方法が提供される。当該方法は、犠牲材料でできた基板に複数の凹部を形成するステップと、基板の複数の凹部の少なくとも一部を、超音波材料で充填するステップと、超音波材料によって画定される超音波素子のアレイ及び犠牲材料によって画定されるスペースを含む伸長ストリップを形成するように、基板をダイシングするステップと、伸長ストリップをフレキシブル回路基板に結合するステップと、フレキシブル回路基板から伸長ストリップのスペースを除去するステップとを含む。

10

【 0 0 1 0 】

[0010] 幾つかの実施形態では、基板をダイシングするステップは、伸長ストリップが、第２の超音波素子のアレイから離間された第１の超音波素子のアレイを含むように、基板をダイシングするステップを含む。幾つかの実施形態では、第１の超音波素子のアレイの超音波素子は、第２の超音波素子のアレイの超音波素子と整列している。幾つかの実施形態では、基板に複数の凹部を形成するステップは、第２の一連の凹部と整列する第１の一連の凹部を形成するステップを含む。幾つかの実施形態では、第１の超音波素子のアレイの超音波素子は、第２の超音波素子のアレイの超音波素子に対してオフセットされている。幾つかの実施形態では、基板に複数の凹部を形成するステップは、第１の一連の凹部を、第２の一連の凹部に対してオフセットさせて形成するステップを含む。幾つかの実施形態では、フレキシブル回路基板から細長ストリップのスペースを除去するステップは、スペースを画定する犠牲材料をエッチング除去するステップを含む。幾つかの実施形態では、上記方法は、フレキシブル回路基板を支持部材の周りに巻き付けるステップと、フレキシブル回路基板を支持部材にしっかりと固定するステップと、支持部材を血管内デバイスの遠位部に結合するステップとを含む。

20

【 0 0 1 1 】

[0011] 一実施形態において、血管内撮像デバイスが提供される。当該血管内撮像デバイスは、近位部及び遠位部を有するフレキシブル伸長部材と、フレキシブル伸長部材の遠位部に結合される血管内撮像アセンブリとを含む。血管内撮像アセンブリは、フレキシブル回路と、フレキシブル回路上に配置される超音波トランスデューサアレイとを含む。超音波トランスデューサアレイは、最小の所定信号分解能の血管内画像の作成を容易にするように、１０マイクロメートル（ μm ）未満のピッチ幅だけ離間される複数の超音波素子を含む。

30

【 0 0 1 2 】

[0012] 幾つかの実施形態では、超音波トランスデューサアレイは、単一のアレイで構成される。幾つかの実施形態では、超音波トランスデューサアレイは、第２の超音波素子のアレイから離間された第１の超音波素子アレイを含む。幾つかの実施形態では、第１の超音波素子のアレイの超音波素子は、第２の超音波素子のアレイの超音波素子と整列している。幾つかの実施形態では、第１の超音波素子のアレイの超音波素子は、第２の超音波素子のアレイの超音波素子に対してオフセットされている。幾つかの実施形態では、複数の超音波素子間のピッチ幅は、複数の超音波素子間に配置された犠牲材料を除去することによって画定される。

40

【 0 0 1 3 】

[0013] 本開示の更なる態様、特徴及び利点は、以下の詳細な説明から明らかになるであろう。

【 図面の簡単な説明 】

【 0 0 1 4 】

[0014] 本開示の例示的な実施形態について、添付図面を参照して説明する。

50

【 0 0 1 5 】

【図 1】[0015] 図 1 は、本開示の態様による血管内超音波（ I V U S ）撮像システムの概略図である。

【図 2】[0016] 図 2 は、本開示の態様に従って、平坦構成にある I V U S 撮像アセンブリの一部の概略上面図である。

【図 3】[0017] 図 3 は、本開示の態様に従って、支持部材の周りに巻かれた構成のフレックス回路を含む I V U S 撮像アセンブリの概略側面図である。

【図 4】[0018] 図 4 は、本開示の態様に従って、本明細書に説明される半導体製造技術を利用して血管内撮像アセンブリを製造する方法のフロー図である。

【図 5 A】[0019] 図 5 A は、本開示の態様に従って、製造段階における犠牲材料層の概略上面図である。

10

【図 5 B】[0020] 図 5 B は、本開示の態様に従って、製造段階における犠牲材料層の概略断面図である。

【図 6 A】[0021] 図 6 A は、本開示の態様に従って、製造段階における犠牲層及び超音波材料層を含む構造化層の概略上面図である。

【図 6 B】[0022] 図 6 B は、本開示の態様に従って、製造段階における構造化層の概略断面図である。

【図 7】[0023] 図 7 は、本開示の態様に従って、製造段階における複数の構造化層を含む積層構造の概略斜視図である。

【図 8】[0024] 図 8 は、本開示の態様に従って、製造段階における第 1 のダイシング下の積層構造の概略斜視図である。

20

【図 9】[0025] 図 9 は、本開示の態様に従って、製造段階におけるダイシングされた構造の概略斜視図である。

【図 1 0】[0026] 図 1 0 は、本開示の態様に従って、製造段階における第 2 のダイシング下のダイシングされた構造の概略斜視図である。

【図 1 1】[0027] 図 1 1 は、本開示の態様に従って、製造段階における伸長ストリップの一部の概略上面図である。

【図 1 2】[0028] 図 1 2 は、本開示の態様に従って、製造段階における伸長ストリップを含むフレックス回路の一部の概略上面図である。

【図 1 3】[0029] 図 1 3 は、本開示の態様に従って、製造段階における伸長ストリップから形成されたトランスデューサアレイを含むフレックス回路の一部の概略上面図である。

30

【図 1 4】[0030] 図 1 4 は、本開示の態様に従って、本明細書に説明される半導体製造技術を利用して血管内撮像アセンブリを製造する方法のフロー図である。

【図 1 5 A】[0031] 図 1 5 A は、本開示の態様に従って、製造段階における基板の概略上面図である。

【図 1 5 B】[0032] 図 1 5 B は、本開示の態様に従って、製造段階における基板の概略断面図である。

【図 1 6 A】[0033] 図 1 6 A は、本開示の態様に従って、製造段階におけるパターン化凹部を有する基板の一部の概略上面図である。

40

【図 1 6 B】[0034] 図 1 6 B は、本開示の態様に従って、製造段階におけるパターン化凹部を有する基板の一部の概略断面図である。

【図 1 7】[0035] 図 1 7 は、本開示の態様に従って、製造段階における充填基板の一部の概略断面図である。

【図 1 8】[0036] 図 1 8 は、本開示の態様に従って、製造段階におけるダイシング中の充填基板の一部の概略断面図である。

【図 1 9 A】[0037] 図 1 9 A は、本開示の態様による整列凹部を含む基板の一部の概略上面図である。

【図 1 9 B】[0038] 図 1 9 B は、本開示の態様による整列凹部を含む基板の一部の概略断面図である。

50

【図 2 0 A】[0039] 図 2 0 A は、本開示の態様による充填基板の一部の概略上面図である。

【図 2 0 B】[0040] 図 2 0 B は、本開示の態様による充填基板の一部の概略断面図である。

【図 2 1】[0041] 図 2 1 は、本開示の態様によるダイシング下の充填基板の一部の概略上面図である。

【図 2 2 A】[0042] 図 2 2 A は、本開示の態様によるオフセット凹部を含む基板の一部の概略上面図である。

【図 2 2 B】[0043] 図 2 2 B は、本開示の態様によるオフセット凹部を有する基板の一部の概略断面図である。

【図 2 3 A】[0044] 図 2 3 A は、本開示の態様による充填基板の一部の概略上面図である。

【図 2 3 B】[0045] 図 2 3 B は、本開示の態様による充填基板の一部の概略断面図である。

【図 2 4】[0046] 図 2 4 は、本開示の態様によるダイシング下の充填基板の一部の概略上面図である。

【図 2 5】[0047] 図 2 5 は、本開示の態様による伸長ストリップの一部の概略上面図である。

【図 2 6】[0048] 図 2 6 は、本開示の態様による伸長ストリップを含むフレックス回路の一部の概略上面図である。

【図 2 7】[0049] 図 2 7 は、本開示の態様による伸長ストリップから形成されるトランスデューサアレイを含むフレックス回路の一部の概略上面図である。

【図 2 8】[0050] 図 2 8 は、本開示の態様に従って、製造段階におけるオフセット構成に配置された 2 つの伸長ストリップを含む複合ストリップの一部の概略上面図である。

【図 2 9】[0051] 図 2 9 は、本開示の態様に従って、製造段階における 2 つの伸長ストリップを含む複合ストリップの概略断面図である。

【図 3 0】[0052] 図 3 0 は、本開示の態様に従って、製造段階における複合ストリップを含むフレックス回路の一部の概略上面図である。

【図 3 1】[0053] 図 3 1 は、本開示の態様に従って、製造段階におけるマルチトランスデューサアレイを含むフレックス回路の一部の概略上面図である。

【発明を実施するための形態】

【0 0 1 6】

[0054] 本開示の原理の理解を促進するために、ここで、図面に示される実施形態を参照し、特定の用語を用いてそれを説明する。しかし、当然ながら、本開示の範囲に対する限定が意図されていない。説明されるデバイス、システム及び方法に対する任意の変更及び更なる修正、並びに、本開示の原理の任意の更なる応用は、本開示が関連する分野の当業者に通常想起されるように、十分に検討され本開示内に含まれる。特に、一実施形態に関して説明される特徴、構成要素及び / 又はステップは、本開示の他の実施形態に関して説明される特徴、構成要素及び / 又はステップと組み合わせることができると十分に考えられる。しかし、簡潔さのために、これらの組み合わせの多数の反復は、個別には説明しない。

【0 0 1 7】

[0055] 大部分のフェーズドアレイ I V U S デバイスでは、使いやすさ、画質、画像解像度及び剛性長 (stiff length) の間で妥協点がある。画像解像度及び / 又は画質を向上させるための 1 つの手法は、より多くの超音波トランスデューサ又は素子を追加することである。しかし、フェーズドアレイ I V U S デバイスの剛性長もまた増加する。したがって、小さな蛇行した解剖学的経路を介してフェーズドアレイ I V U S デバイス进行操作することは、医師にとって難しい。更に、フェーズドアレイ I V U S トランスデューサデバイスのサイズ又は外形は、一般に、回転式 I V U S デバイスよりも大きい。このように、より多くの超音波素子を追加することは、サイズ又は外形を更に増大させる可能性があるの

10

20

30

40

50

で、望ましくない。別の手法は、フェーズドアレイ I V U S デバイスのサイズを増大させることなく、より多数の超音波素子を取り付けることができるように、個々の超音波素子のサイズを縮小することである。64 個以上の超音波素子を有するトランスデューサアレイの場合、各超音波素子は、100 マイクロメートル (μm) 程度であってよい。小さい実装面積は、製造に問題となりうる。例えば幾つかの製造方法は、超音波トランスデューサ材料のシート又はストリップを、個々の超音波素子にダイシングし、個々の超音波素子を、フレックス回路上に接合してトランスデューサアレイを形成することを含む。幾つかの他の製造方法は、フレックス回路上に超音波トランスデューサ材料のシートを形成し、シートをダイシングして超音波素子のアレイを形成することを含む。小型超音波素子のダイシングは、亀裂及び / 又は破砕を引き起こす可能性があるので、歩留まり性に影響を与える場合がある。更に、接合中に小型超音波素子を整列させることも難しい。

10

【0018】

[0056] 本明細書には、改良されたフェーズドアレイ I V U S デバイスを提供する様々な実施形態が開示される。例えばフェーズドアレイ I V U S デバイスの遠位部は、円筒形に配置されたフレックス回路上に配置されるトランスデューサアレイを含む。トランスデューサアレイは、フレキシブル回路上に、均一間隔で配置される同一寸法の 32、64、128 個又はそれ以上の超音波トランスデューサを含むことができる。開示される実施形態は、トランスデューサアレイを製造する方法を提供する。一実施形態では、製造方法は、犠牲材料及び超音波材料の交互の層を有する積層構造を形成し、積層構造をダイシングして伸長ストリップを形成することを含む。伸長ストリップは、スペーサによって分離される超音波素子のアレイを含む。超音波材料層は、超音波素子を画定する。犠牲材料層は、スペーサを画定する。製造方法は更に、伸長ストリップをフレックス回路に結合し、フレックス回路からスペーサを除去することを含む。別の実施形態では、製造方法は、犠牲材料の基板に凹部を形成し、凹部を超音波材料で充填し、超音波材料が充填された基板をダイシングして伸長ストリップを形成することを含む。凹部は、望ましい解像度及び / 又は脈管構造図の画像を作成するために、整列又はオフセットといった任意の適切なパターンで形成される。開示される実施形態は、画像解像度及び画質が向上された画像を提供することができる。開示される実施形態は、フェーズドアレイ I V U S トランスデューサの大量、高収率生産を可能にする。開示される実施形態は、フェーズドアレイ I V U S トランスデューサのコンテキストで説明されるが、開示される実施形態は、あらゆるタイプの圧電ジルコン酸トランスデューサ (P Z T) 技術に基づくデバイスでの使用に適している。

20

30

【0019】

[0057] 図 1 は、本開示の態様による I V U S 撮像システム 100 の概略図である。システム 100 は、カテーテル、ガイドワイヤ又はガイドカテーテルといった I V U S デバイス 102 と、患者インターフェースモジュール (P I M) 104 と、コンソール及び / 又はコンピュータといった I V U S 処理システム 106 と、モニタ 108 とを含む。

【0020】

[0058] I V U S デバイス 102 は、I V U S デバイス 102 の遠位端付近の遠位部 131 に取り付けられたスキャナアセンブリ 110 を含む。高レベルでは、I V U S デバイス 102 は、スキャナアセンブリ 110 に含まれるトランスデューサアレイから超音波エネルギーを放出する。超音波エネルギーは、スキャナアセンブリ 110 を囲む血管 120 といった媒体内の組織構造によって反射され、超音波エコー信号は、スキャナアセンブリ 110 内のトランスデューサアレイによって受信される。P I M 104 は、受信したエコー信号を、I V U S 処理システム 106 に転送し、そこで超音波画像 (フロー情報を含む) が再構成され、モニタ 108 に表示される。I V U S 処理システム 106 は、プロセッサ及びメモリを含んでよい。I V U S 処理システム 106 は、本明細書に説明されるシステム 100 の特徴を容易にするように動作可能である。例えばプロセッサは、非一時的有形コンピュータ可読媒体に記憶されたコンピュータ可読命令を実行することができる。

40

【0021】

50

【0059】 I V U S デバイス 1 0 2 は、I V U S 撮像のコンテキストで説明されるが、I V U S デバイス 1 0 2 は、圧力、流量、温度、前方視 I V U S (F L - I V U S)、血管内光音響 (I V P A) 撮像、フラクショナルフローリザーブ (F F R) 測定、機能測定決定、冠血流予備能 (C F R) 測定、光コヒーレンストモグラフィ (O C T)、コンピュータ断層撮影、心臓内心エコー検査 (I C E)、前方視 I C E (F L I C E)、血管内触診、食道超音波に関連付けられる生理学的データ、及び / 又は、他の適切なタイプの生理学的データを取得する任意の適切なタイプの生理的感知アセンブリを含んでよい。

【 0 0 2 2 】

【0060】 P I M 1 0 4 は、I V U S 処理システム 1 0 6 と、I V U S デバイス 1 0 2 に含まれるスキャナアセンブリ 1 1 0 との間の信号通信を容易にする。この通信は、(1) 送受信に使用される特定のトランスデューサアレイ素子を選択するために、スキャナアセンブリ 1 1 0 に含まれる図 2 に示される集積回路コントローラチップ 2 0 6 A、2 0 6 B に、コマンドを提供するステップ、(2) 選択されたトランスデューサアレイ素子を励起させる電気パルスが発生させるように、送信回路を起動させるように、スキャナアセンブリ 1 1 0 に含まれる集積回路コントローラチップ 2 0 6 A、2 0 6 B に、送信トリガ信号を提供するステップ、及び / 又は、(3) スキャナアセンブリ 1 1 0 の集積回路コントローラチップ 2 0 6 に含まれる増幅器を介して、選択されたトランスデューサアレイ素子から受信される増幅エコー信号を受け取るステップを含む。幾つかの実施形態では、P I M 1 0 4 は、データを I V U S 処理システム 1 0 6 に中継する前に、エコーデータの予備処理を行う。このような実施形態の例では、P I M 1 0 4 は、データの増幅、フィルタリング及び / 又は集約を行う。一実施形態では、P I M 1 0 4 はまた、スキャナアセンブリ 1 1 0 内の回路を含むデバイス 1 0 2 の動作をサポートするために、高電圧及び低電圧の直流 (D C) 電力を供給する。

【 0 0 2 3 】

【0061】 I V U S 処理システム 1 0 6 は、P I M 1 0 4 を介してスキャナアセンブリ 1 1 0 からエコーデータを受信し、そのデータを処理して、スキャナアセンブリ 1 1 0 を囲む媒体内の組織構造の画像を再構成する。I V U S 処理システム 1 0 6 は、血管 1 2 0 の断面画像といった血管の画像が、モニタ 1 0 8 に表示されるように画像データを出力する。血管 1 2 0 は、自然及び人工の両方の流体で満たされた又は囲まれた構造を表す。血管 1 2 0 は、患者の体内であってよい。血管 1 2 0 は、心臓血管系、末梢血管系、神経血管系、腎臓血管系及び / 又は体内の任意の他の適切な管腔を含む患者の血管系の動脈又は静脈といった血管であってよい。例えば I V U S デバイス 1 0 2 は、肝臓、心臓、腎臓、胆嚢、膵臓、肺を含む臓器や、管や、腸や、脳、硬膜嚢、脊髄及び末梢神経を含む神経系構造や、尿路だけでなく、血液内の弁、心腔又は心臓の他の部分や、及び / 又は、身体の他の器官を含むが、これらに限定されない任意の数の解剖学的位置及び組織型を検査するために使用される。自然な構造に加えて、I V U S デバイス 1 0 2 は、限定はしないが、心臓弁、ステント、シャント、フィルタ及び他のデバイスといった人工構造物を検査するために使用されてもよい。

【 0 0 2 4 】

【0062】 幾つかの実施形態では、I V U S デバイス 1 0 2 は、ボルケーノ社から入手可能な E a g l e E y e (登録商標) カテーテル及びその全体が参照により本明細書に組み込まれる米国特許第 7 , 8 4 6 , 1 0 1 号に開示されるものといった従来の固体 I V U S カテーテルと同様の特徴を幾つか含む。例えば I V U S デバイス 1 0 2 は、I V U S デバイス 1 0 2 の遠位端付近のスキャナアセンブリ 1 1 0 と、I V U S デバイス 1 0 2 の長手方向本体に沿って延在する電気ケーブル 1 1 2 とを含む。ケーブル 1 1 2 は、1、2、3、4、5、6、7 本又はそれ以上の導体 2 1 8 (図 2) を含む複数の導体を含む伝送線束である。なお、導体 2 1 8 には、任意の適切なゲージワイヤを使用してよい。一実施形態では、ケーブル 1 1 2 は、例えば 4 1 米国ワイヤゲージ規格 (A W G) ワイヤを有する 4 導体伝送線路構成を含むことができる。一実施形態では、ケーブル 1 1 2 は、例えば 4 4 A W G ワイヤを利用して 7 導体伝送線路構成を含むことができる。幾つかの実施形態では

、 4 3 A W G ワイヤを使用してもよい。

【 0 0 2 5 】

[0063] ケーブル 1 1 2 は、 I V U S デバイス 1 0 2 の近位端における P I M コネクタ 1 1 4 で終端する。 P I M コネクタ 1 1 4 は、ケーブル 1 1 2 を P I M 1 0 4 に電氣的に接続し、 I V U S デバイス 1 0 2 を P I M 1 0 4 に物理的に接続する。一実施形態では、 I V U S デバイス 1 0 2 は更に、遠位部 1 3 1 が近位部 1 3 2 に結合される接合部 1 3 0 の近くに配置されたガイドワイヤ出口ポート 1 1 6 を含む。したがって、場合によっては、 I V U S デバイス 1 0 2 は、迅速交換カテーテルである。ガイドワイヤ出口ポート 1 1 6 は、 I V U S デバイス 1 0 2 を血管 1 2 0 に通すために、ガイドワイヤ 1 1 8 を遠位端に向かって挿入することを可能にする。

10

【 0 0 2 6 】

[0064] 図 2 は、本開示の態様によるスキャナアセンブリ 1 1 0 の一部の概略上面図である。スキャナアセンブリ 1 1 0 は、トランスデューサ領域 2 0 4 に形成されるトランスデューサアレイ 1 2 4 と、制御領域 2 0 8 に形成されるトランスデューサ制御論理ダイ 2 0 6 (ダイ 2 0 6 A 及び 2 0 6 B を含む) とを含み、それらの間には遷移領域 2 1 0 が配置される。トランスデューサアレイ 1 2 4 は、 I V U S トランスデューサ 2 1 2 のアレイを含む。トランスデューサ制御論理ダイ 2 0 6 及びトランスデューサ 2 1 2 は、図 2 に平坦構成で示されているフレックス回路 2 1 4 に取り付けられている。図 2 に示されるスキャナアセンブリ 1 1 0 は、 I V U S 撮像アセンブリであるが、当然ながら、スキャナアセンブリ 1 1 0 は、任意の種類の生理学的データを取得するように構成されてよい。図 3 は、フレックス回路 2 1 4 の巻かれた構成を示す。トランスデューサアレイ 1 2 4 は、医療用センサ素子及び / 又は医療用センサ素子アレイの非限定的な例である。トランスデューサ制御論理ダイ 2 0 6 は、制御回路の非限定的な例である。トランスデューサ領域 2 0 4 は、フレックス回路 2 1 4 の遠位部 2 2 8 に隣接して配置される。制御領域 2 0 8 は、フレックス回路 2 1 4 の近位部 2 2 2 に隣接して配置される。遷移領域 2 1 0 は、制御領域 2 0 8 とトランスデューサ領域 2 0 4 との間に配置される。トランスデューサ領域 2 0 4 、制御領域 2 0 8 及び遷移領域 2 1 0 の寸法 (例えば長さ 2 2 5 、 2 2 7 、 2 2 9) は、様々な実施形態において異なっていてよい。幾つかの実施形態では、長さ 2 2 5 、 2 2 7 、 2 2 9 は、実質的に同様であるか、又は、遷移領域 2 1 0 の長さ 2 2 7 は、トランスデューサ領域及びコントローラ領域の長さ 2 2 5 、 2 2 9 よりそれぞれ大きくてもよい。なお、スキャナアセンブリ 1 1 0 は、フレックス回路を含むものとして説明されているが、トランスデューサ及び / 又はコントローラは、フレックス回路を省略したものを含む他の構成で、スキャナアセンブリ 1 1 0 を形成するように構成されてもよい。

20

30

【 0 0 2 7 】

[0065] 明確にするために、限られた数の超音波トランスデューサのみが図 2 に示されているが、トランスデューサアレイ 1 2 4 は、ピッチ幅 2 1 1 だけ離間される任意の数及びタイプの超音波トランスデューサ 2 1 2 を含んでよい。一実施形態では、トランスデューサアレイ 1 2 4 は、 6 4 個の個々の超音波トランスデューサ 2 1 2 を含む。更なる実施形態では、トランスデューサアレイ 1 2 4 は、 3 2 個の超音波トランスデューサ 2 1 2 を含む。他の数も検討され提供される。トランスデューサのタイプに関して、一実施形態では、超音波トランスデューサ 2 1 2 は、例えばその全体が参照により本明細書に組み込まれる米国特許第 6 , 6 4 1 , 5 4 0 号に開示されているように、ポリマー圧電性材料を使用して、微小電気機械システム (M E M S) 基板上に作られる圧電マイクロマシン超音波トランスデューサ (P M U T) である。代替実施形態では、トランスデューサアレイは、バルク P Z T トランスデューサ、容量性マイクロマシン超音波トランスデューサ (c M U T) 、単結晶圧電材料、他の適切な超音波送信器及び受信器、並びに / 又は、それらの組み合わせといった P Z T トランスデューサを含む。本明細書で更に詳細に説明されるように、トランスデューサアレイ 1 2 4 の製造は、トランスデューサ 2 1 2 の幅 2 1 3 及びピッチ幅 2 1 1 を縮小するために、半導体製造技術を利用することができる。

40

【 0 0 2 8 】

50

【0066】 スキャナアセンブリ 110 は、図示される実施形態では、個別の制御論理ダイ 206 に分割されている様々なトランスデューサ制御論理を含んでよい。様々な例では、スキャナアセンブリ 110 の制御論理は、ケーブル 112 を介して P I M 104 によって送信された制御信号を復号し、超音波信号を発するように、1 つ以上のトランスデューサ 212 を駆動し、超音波信号の反射エコーを受信するように、1 つ以上のトランスデューサ 212 を選択し、受信したエコーを表す信号を増幅し、及び / 又は、ケーブル 112 を介して信号を P I M に送信する。図示される実施形態では、64 個の超音波トランスデューサ 212 を有するスキャナアセンブリ 110 が、制御論理を、9 個の制御論理ダイ 206 に分割し、そのうち 5 個が図 2 に示される。他の実施形態では、8、9、16、17 以上を含む他の数の制御論理ダイ 206 を組み込んだデザインが使用される。一般に、制御論理ダイ 206 は、それが駆動可能であるトランスデューサの数によって特徴付けられ、例示的な制御論理ダイ 206 は、4、8 及び / 又は 16 個のトランスデューサを駆動する。

10

20

30

40

50

【0029】

【0067】 制御論理ダイは、必ずしも同質である必要はない。幾つかの実施形態では、単一のコントローラが、マスタ制御論理ダイ 206 A と指定され、ケーブル 112 用の通信インターフェースを含む。したがって、マスタ制御回路は、ケーブル 112 を介して受信した制御信号を復号し、ケーブル 112 を介して制御応答を送信し、エコー信号を増幅し、及び / 又は、ケーブル 112 を介してエコー信号を送信する制御論理を含んでよい。残りのコントローラは、スレーブコントローラ 206 B である。スレーブコントローラ 206 B は、超音波信号を放出するようにトランスデューサ 212 を駆動し、エコーを受信するようにトランスデューサ 212 を選択する制御論理を含んでよい。図示される実施形態では、マスタコントローラ 206 A は、トランスデューサ 212 を直接制御しない。他の実施形態では、マスタコントローラ 206 A は、スレーブコントローラ 206 B と同数のトランスデューサ 212 を駆動するか、又は、スレーブコントローラ 206 B と比較して少ないセットのトランスデューサ 212 を駆動する。例示的な実施形態では、単一のマスタコントローラ 206 A 及び 8 つのスレーブコントローラ 206 B が設けられ、各スレーブコントローラ 206 B に、8 つのトランスデューサが割り当てられている。

【0030】

【0068】 トランスデューサ制御論理ダイ 206 及びトランスデューサ 212 がその上に取り付けられているフレックス回路 214 は、構造的支持及び電氣的結合のための相互接続を提供する。フレックス回路 214 は、K A P T O N (商標) (D u P o n t 社の商標) といった可撓性ポリイミド材料のフィルム層を含む。他の適切な材料としては、ポリエステルフィルム、ポリイミドフィルム、ポリエチレンナフタレートフィルム又はポリエーテルイミドフィルム、他の可撓性プリント半導体基板、並びに、U p i l e x (登録商標) (宇部興産株式会社の登録商標) 及び T E F L O N (登録商標) (E . I . d u P o n t 社の登録商標) といった製品が挙げられる。図 2 に示される平坦構成では、フレックス回路 214 は、概して長方形である。本明細書に示され説明されるように、フレックス回路 214 は、場合によっては、円筒形トロイドを形成するように、支持部材 230 (図 3) の周りに巻き付けられる。したがって、フレックス回路 214 のフィルム層厚は、一般に、最終的に組み立てられたスキャナアセンブリ 110 における曲率の程度に関係している。幾つかの実施形態では、フィルム層は、5 μ m 乃至 100 μ m であり、幾つかの特定の実施形態は、12.7 μ m 乃至 25.1 μ m である。

【0031】

【0069】 一実施形態では、制御論理ダイ 206 とトランスデューサ 212 とを電氣的に相互接続するために、フレックス回路 214 は更に、制御論理ダイ 206 とトランスデューサ 212 との間に信号を搬送するフィルム層上に形成された導電性トレース 216 を含む。具体的には、制御論理ダイ 206 とトランスデューサ 212 との間の通信を提供する導電性トレース 216 は、遷移領域 210 内でフレックス回路 214 に沿って延在する。場合によっては、導電性トレース 216 はまた、マスタコントローラ 206 A とスレーブ

コントローラ 206B との間の電気通信を容易にすることができる。導電性トレース 216 はまた、ケーブル 112 の導体 218 がフレックス回路 214 に機械的及び電氣的に結合されたときに、ケーブル 112 の導体 218 と接触する一組の導電パッドを提供することができる。導電性トレース 216 に適した材料は、銅、金、アルミニウム、銀、タンタル、ニッケル及び錫を含み、スパッタリング、メッキ及びエッチングといったプロセスによってフレックス回路 214 上に堆積されてよい。一実施形態では、フレックス回路 214 は、クロム接着層を含む。導電性トレース 216 の幅及び厚さは、フレックス回路 214 が丸められたときに、適切な導電性及び弾力性を提供するように選択される。この点に関して、導電性トレース 216 及び / 又は導電パッドの厚さの例示的な範囲は、10 乃至 50 μm である。例えば一実施形態では、20 μm の導電性トレース 216 が、20 μm の間隔で隔てられる。フレックス回路 214 上の導電性トレース 216 の幅は、トレース / パッドに結合される導体 218 の幅によって更に決定されてよい。

10

【0032】

[0070] フレックス回路 214 は、幾つかの実施形態では、導体インターフェース 220 を含んでよい。導体インターフェース 220 は、ケーブル 112 の導体 218 が、フレックス回路 214 に結合されるフレックス回路 214 の場所としてよい。例えばケーブル 112 の裸導体が、導体インターフェース 220 において、フレックス回路 214 に電氣的に結合される。導体インターフェース 220 は、フレックス回路 214 の本体から延在するタブであってよい。この点で、フレックス回路 214 の本体は、トランスデューサ領域 204、コントローラ領域 208 及び遷移領域 210 をまとめて指すことができる。図示される実施形態では、導体インターフェース 220 は、フレックス回路 214 の近位部 222 から延在する。他の実施形態では、導体インターフェース 220 は、遠位部 228 といったフレックス回路 214 の他の部分に配置されるか、又は、フレックス回路 214 は、導体インターフェース 220 を省略する。幅 224 といったタブ又は導体インターフェース 220 の寸法の値は、幅 226 といったフレックス回路 214 の本体の寸法の値よりも小さくてよい。幾つかの実施形態では、導体インターフェース 220 を形成する基板は、フレックス回路 214 と同じ材料で作られ、及び / 又は、フレックス回路 214 と同様に可撓性である。他の実施形態では、導体インターフェース 220 は、フレックス回路 214 とは異なる材料で作られ、及び / 又は、フレックス回路 214 よりも比較的剛性が高い。例えば導体インターフェース 220 は、ポリオキシメチレン（例えば DELRIN（登録商標））、ポリエーテルエーテルケトン（PEEK）、ナイロン及び / 又は他の適切な材料を含むプラスチック、熱可塑性物質、ポリマー、硬質ポリマー等で作ることができる。

20

30

【0033】

[0071] 場合によっては、スキャナアセンブリ 110 は、平坦構成（図 2）から、巻かれた構成、即ち、より円筒形の構成（図 3）に移行する。例えば幾つかの実施形態では、「ULTRASONIC TRANSDUCER ARRAY AND METHOD OF MANUFACTURING THE SAME」なる名称の米国特許第 6,776,763 号及び「HIGH RESOLUTION INTRAVASCULAR ULTRASOUND SENSING ASSEMBLY HAVING A FLEXIBLE SUBSTRATE」なる名称の米国特許第 7,226,417 号の何れか又は両方に開示されている技術が利用される。これらの特許それぞれは、その全体が参照により本明細書に組み込まれる。図 3 は、本開示の態様に従って、フレックス回路 214 が支持部材 230 の周りに巻かれた構成にある概略斜視図である。場合によっては、支持部材 230 は、ユニボディとして言及される。支持部材 230 は、2014 年 4 月 28 日に出願され、「Pre-doped Solid Substrate for Intravascular Devices」なる名称の米国仮特許出願第 61/985,220 号（第 220 号出願）に説明されているように、ステンレス鋼といった金属材料、又は、プラスチック若しくはポリマーといった非金属材料から構成することができる。当該出願は、その全体が参照により本明細書に組み込まれる。支持部材 230 は、遠位部 262 及び近位部 264 を有するフェルールであってよい。支持部材 230 は、遠位部 262 及び近位部 264 を有するフェルールであってよい。支持部材 230 は、管状で、その中を通して長手方向に延在する管腔 236 が

40

50

画定されてよい。管腔 236 は、ガイドワイヤ 118 を受容するようなサイズ及び形状にされてよい。支持部材 230 は、任意の適切なプロセスを用いて製造されてよい。例えば支持部材 230 は、ブランクから材料を除去して支持部材 230 を成形すること等によって機械加工されても、射出成形プロセス等によってモールド成形されてもよい。

【0034】

[0072] 上記のように、デバイスのサイズ、有用性及び剛性長を低減するか、少なくとも維持しながら、高い画像解像度及び／又は高画質の画像を作成することができるフェーズドアレイ I V U S デバイスを提供することが望ましい。図 4 乃至図 13 を参照して、スキャナアセンブリ 110 と実質的に同様の血管内撮像アセンブリを製造する方法 400 を説明する。図 4 は、本開示の態様に従って、本明細書に説明される半導体製造技術を利用して血管内撮像アセンブリを製造する方法 400 のフロー図である。なお、方法 400 のステップの前、最中及び後に、追加のステップを提供してもよく、説明されるステップのうちの幾つかは、方法の他の実施形態のために、交換又は排除されてもよい。方法 400 のステップは、I V U S デバイス 102 といった I V U S デバイスの製造業者によって実行されてよい。図 5 A は、本開示の態様に従って、製造段階における犠牲材料層 510 の概略上面図である。図 5 B は、本開示の態様に従って、製造段階における犠牲材料層 510 の図 5 A の線 501 に沿った概略断面図である。図 6 A は、本開示の態様に従って、製造段階における犠牲層 510 及び超音波材料層 520 を含む構造化層 600 の概略上面図である。図 6 B は、本開示の態様に従って、製造段階における構造化層 600 の図 6 A の線 601 に沿った概略断面図である。図 7 は、本開示の態様に従って、製造段階における複数の構造化層 600 を含む積層構造体 700 の概略斜視図である。図 8 は、本開示の態様に従って、製造段階における第 1 のダイシング下の積層構造 700 の概略斜視図である。図 9 は、本開示の態様に従って、製造段階におけるダイシングされた構造 710 の概略斜視図である。図 10 は、本開示の態様に従って、製造段階における第 2 のダイシング下のダイシングされた構造 700 の概略斜視図である。図 11 は、本開示の態様に従って、製造段階における伸長ストリップ 720 の一部の概略上面図である。図 12 は、本開示の態様に従って、製造段階における伸長ストリップ 720 を含むフレックス回路 800 の一部の概略上面図である。図 13 は、本開示の態様に従って、製造段階における伸長ストリップ 720 から形成されたトランスデューサアレイ 730 を含むフレックス回路 800 の一部の概略上面図である。

【0035】

[0073] 方法 400 のステップ 405、並びに図 4 及び図 5 を参照すると、一実施形態において、犠牲材料層 510 が得られる。図 5 A は、犠牲材料層 510 の概略上面図である。図 5 B は、線 501 に沿った犠牲材料層 510 の概略断面図である。例えば上面図は、x y 平面に示され、断面図は、x y 平面に垂直な x z 平面に示される。犠牲材料層 510 は、酸化シリコン及び二酸化シリコンを含む一群の犠牲材料から、様々な異なる堆積及び調製技術を用いて構成される。場合によっては、低温化学蒸着酸化物、低圧化学蒸着酸化物又はスパッタ酸化物さえも含んでよい。二酸化シリコン犠牲層に対する代替の選択肢には、アルミニウム、クロム、リンケイ酸ガラス及びホウリンケイ酸ガラスが含まれてよい。犠牲材料層 510 の寸法は、様々な実施形態において異なっていてよい。幾つかの実施形態では、犠牲材料層 510 の寸法は、犠牲層堆積技術の能力に応じる。例えば最小堆積スポットサイズは、犠牲材料層 510 の最小幅及び最小長を左右する。例えば犠牲材料層 510 は、約 5 マイクロメートル (μm) 乃至約 0.0127 メートル (m) の長さ 511、約 5 μm 乃至約 0.0127 m の幅 512、及び、約 0.01 μm 乃至約 125 μm の厚さ 513 を有してよい。長さ 511、幅 512 及び厚さ 513 の上限によって、犠牲材料層 510 が、12 Fr (フレンチ) カテーテルの周囲を覆うトランスデューサストリップを製造できる。以下により詳細に説明されるように、寸法は、ダイシング角度に応じて変化する。

【0036】

[0074] 方法 400 のステップ 410、並びに図 6 A 及び図 6 B を参照すると、一実施

形態において、超音波材料層 5 2 0 が犠牲材料層 5 1 0 上に配置されて構造化層 6 0 0 が形成される。図 6 A は、構造化層 6 0 0 の概略上面図である。図 6 B は、線 6 0 1 に沿った構造化層 6 0 0 の概略断面図である。図示されるように、超音波材料層 5 2 0 は、犠牲材料層 5 1 0 の上に配置されている。超音波材料層 5 2 0 は、P Z T、ポリフッ化ビニリデン (P V D F)、及び、それらの複合材料 (例えば P Z T - P V D F 等) を含む超音波材料の群から構成することができる。超音波材料層 5 2 0 の寸法は、様々な実施形態において異なっていてよい。幾つかの実施形態では、超音波材料層 5 2 0 は、犠牲材料層 5 1 0 よりも厚くすることができる。例えば超音波材料層 5 2 0 は、約 $5\text{ }\mu\text{m}$ 乃至約 $0.0127\text{ }\mu\text{m}$ の長さ 5 2 1、約 $5\text{ }\mu\text{m}$ 乃至約 $0.0127\text{ }\mu\text{m}$ の幅 5 2 2、及び、約 $5\text{ }\mu\text{m}$ 乃至約 $125\text{ }\mu\text{m}$ の厚さ 5 2 3 を有してよい。本明細書により詳細に説明されるように、超音波材料層 5 2 0 の厚さ 5 2 3 は、トランスデューサアレイ 1 2 4 における個々のトランスデューサ 2 1 2 の幅 2 1 3 といったように、トランスデューサアレイにおける個々のトランスデューサ素子の幅を画定し、犠牲材料層 5 1 0 の厚さ 5 1 3 は、ピッチ幅 2 1 1 といったように、トランスデューサアレイにおけるピッチ幅を画定する。

【 0 0 3 7 】

[0075] 方法 4 0 0 のステップ 4 1 5 及び図 7 を参照すると、一実施形態において、複数の構造化層 6 0 0 が積み重ねられて積層構造 7 0 0 が形成される。図 7 は、積層構造 7 0 0 の斜視図である。図示されるように、積層構造 7 0 0 は、交互のパターンで複数の超音波材料層 5 2 0 の間に複数の犠牲材料層 5 1 0 が配置されている。本明細書に更に詳細に説明されるように、構造化層 6 0 0 の数が、トランスデューサアレイにおけるトランスデューサの数を決定する。例えば 3 2、6 4 又は 1 2 8 個の構造化層 6 0 0 が、それぞれ、3 2、6 4 又は 1 2 8 個のトランスデューサを有するトランスデューサアレイを形成する。したがって、積み重ねを繰り返して、任意の適切な数の構造化層 6 0 0 を有する積層構造 7 0 0 を形成することができる。

【 0 0 3 8 】

[0076] 方法 4 0 0 のステップ 4 2 0、並びに図 8 及び図 9 を参照すると、一実施形態において、第 1 の平面に沿って積層構造 7 0 0 に第 1 のダイシングが行われ、ダイシングされた構造 7 1 0 が形成される。図 8 は、y z 平面によって示される第 1 の平面に沿った第 1 のダイシング下の積層構造 7 0 0 の概略斜視図である。例えば第 1 のダイシングは、距離 7 1 1 だけ離れた y z 平面に沿った複数の第 1 の切り込み 7 0 1 を含む。第 1 のダイシングは、任意の適切な技術を用いて行われる。幾つかの実施形態では、距離 7 1 1 は、約 $5\text{ }\mu\text{m}$ 乃至約 2 ミリメートル (mm) であってよい。本明細書により詳細に説明されるように、距離 7 1 1 は、個々の超音波素子の長さを画定する。図 9 は、ダイシングされた構造 7 1 0 の概略斜視図である。幾つかの実施形態では、第 1 のダイシング後、破線のボックスで示されるように、追加の犠牲層 5 9 0 が、ダイシングされた構造 7 1 0 に隣接して形成されてよい。追加の犠牲層 5 9 0 は、本明細書に更に詳細に説明されるように、複数列の超音波素子を有するフェーズドアレイを形成するときに、スペーサとして機能する。

【 0 0 3 9 】

[0077] 方法 4 0 0 のステップ 4 2 5、並びに図 1 0 及び図 1 1 を参照すると、一実施形態において、第 1 の平面に垂直な第 2 の平面に沿って、ダイシングされた構造 7 1 0 に第 2 のダイシングが行われ、伸長ストリップ 7 2 0 が形成される。図 1 0 は、x z 平面によって示される第 2 の平面に沿った第 2 のダイシング下のダイシングされた構造 7 0 0 の概略斜視図である。例えば第 2 のダイシングは、距離 7 1 2 だけ離れた x z 平面に沿った複数の切り込み 7 0 2 を含む。幾つかの実施形態では、距離 7 1 2 は、約 $5\text{ }\mu\text{m}$ 乃至約 2 mm である。本明細書に更に詳細に説明されるように、第 2 のダイシングからの距離 7 1 2、第 1 のダイシングからの距離 7 1 1 及び超音波材料層 5 2 0 の厚さ 5 2 3 が、個々の超音波素子の高さ、長さ及び幅を画定する。幾つかの実施形態では、追加の犠牲層 5 9 0 は、第 1 のダイシング後ではなく、第 2 のダイシング後に形成されてよい。図 1 1 は、x z 平面における伸長ストリップ 7 2 0 の一部の概略上面図である。伸長ストリップ 7 2

0 は、超音波材料層 5 2 0 の部分によって画定されるスペーサ 7 2 2 だけ分離された犠牲層 5 1 0 の部分によって画定される超音波素子 7 2 1 のアレイを有する。各超音波素子 7 2 1 の幅 7 2 3 は、超音波材料層 5 2 0 の厚さ 5 2 3 によって画定される。超音波素子 7 2 1 は、犠牲材料層 5 1 0 の厚さ 5 1 3 によって画定されるピッチ幅 7 2 4 だけ離間される。幾つかの実施形態では、複数の伸長ストリップ 7 2 0 を互いに積み重ねて、複数の行を有するフェーズドアレイが形成され、当該行は、追加の犠牲層 5 9 0 によって分離される。したがって、犠牲層 5 1 0 及び追加の犠牲層 5 9 0 は、個々の超音波素子間の水平方向の間隔及び垂直方向の間隔をそれぞれ制御する。

【0040】

[0078] 方法 4 0 0 のステップ 4 3 0 及び図 1 2 を参照すると、一実施形態において、伸長ストリップ 7 2 0 は、フレックス回路 2 1 4 といったフレックス回路 8 0 0 に結合される。図 1 2 は、伸長ストリップ 7 2 0 を含むフレックス回路 8 0 0 の一部の概略上面図である。例えば伸長ストリップ 7 2 0 は、フレックス回路 8 0 0 のトランスデューサ領域 8 0 4 内に直接配置される。フレックス回路 8 0 0 は、トランスデューサ領域 8 0 4 をコントローラ領域 8 0 8 にインターフェースする遷移領域 8 1 0 を含む。トランスデューサ領域 8 0 4、遷移領域 8 1 0 及びコントローラ領域 8 0 8 は、それぞれ、トランスデューサ領域 2 0 4、遷移領域 2 1 0 及びコントローラ領域 2 0 8 と実質的に同様である。

【0041】

[0079] 方法 4 0 0 のステップ 4 3 5 及び図 1 3 を参照すると、一実施形態において、伸長ストリップ 7 2 0 のスペーサ 7 2 2 が、フレックス回路 8 0 0 から除去され、フレックス回路上にトランスデューサアレイ 7 3 0 が形成される。図 1 3 は、細長ストリップ 7 2 0 の超音波素子 7 2 1 から形成されるトランスデューサアレイ 7 3 0 を含むフレックス回路 8 0 0 の一部の概略上面図である。図示されるように、スペーサ 7 2 2 は、フレックス回路 8 0 0 から除去されている。スペーサ 7 2 2 及び追加の犠牲層 5 9 0 は、エッチングといった任意の適切な半導体製造技術を使用して除去することができる。例えばフォトリソグラフィを使用して、スペーサ 7 2 2 と一致する開口部を有するパターンを画定し、その後、バッファード酸化物エッチ（例えばフッ化アンモニウム＋フッ化水素酸）を使用する湿式化学エッチング、乾式蒸気エッチング（例えば蒸気 HF、 H_2O 、HCl、HI、 Cl_2 、HI-HF 等）、反応性イオンエッチング（PZT 構造及び犠牲層の組み合わせが、より低い選択性を有する場合）を含む様々なエッチング技術が続けられる。方法 4 0 0 は、遷移領域 8 1 0 内の導電性トレース 2 1 6 といった導電性トレースや、コントローラ領域 8 0 8 内のコントローラチップ 2 0 6 といったコントローラに、トランスデューサアレイ 7 3 0 を接続する等の追加のステップを含んでもよい。

【0042】

[0080] 場合によっては、本発明のシステム及び方法は、超音波素子間の完全な間隔ではなく、超音波素子間に部分的な空気切溝を生成するように適用されてもよい。このような場合、ステップ 4 2 0 において、積層構造は、部分的にしかダイシングされない（例えば完全には貫通しない）。部分的な切溝が所望される場合、積層構造（例えば犠牲層によって積み重ねられ支持される超音波材料層）は、機械的ダイシングからの応力をよりうまく分散及び吸収するか、又は、犠牲材料の特性を介してレーザのスポットサイズの熱分布を管理することによってレーザダイシングのより良い分解能を可能にする。主な利点は、より多くの超音波材料だけでダイシングするよりも潜在的に歩留まりが高いプロセスであり（小さな寸法では応力破断がしばしば生じる）、副次的な利点は、おそらくレーザによって、より小さな切溝幅デザインが可能になる点である。

【0043】

[0081] 図 1 4 乃至図 1 8 を参照して、スキャナアセンブリ 1 1 0 と実質的に同様の血管内撮像アセンブリを製造する方法 1 4 0 0 を説明する。図 1 4 は、本開示の態様に従って、本明細書に説明される半導体製造技術を利用して血管内撮像アセンブリを製造する方法 1 4 0 0 のフロー図である。なお、方法 1 4 0 0 のステップの前、最中及び後に追加のステップを提供してもよく、説明されるステップのうちの幾つかは、方法の他の実施形態

のために、交換又は排除されてもよい。方法 1400 のステップは、IVUS デバイス 102 といった IVUS デバイスの製造業者によって実行されてよい。図 15A は、本開示の態様に従って、製造段階における基板 1500 の概略上面図である。図 15B は、本開示の態様に従って、製造段階における基板 1500 の図 15A の線 1501 に沿った概略断面図である。図 16A は、本開示の態様に従って、製造段階におけるパターン化凹部 1520 を有する基板 1500 の一部の概略上面図である。図 16B は、本開示の態様に従って、製造段階におけるパターン化凹部 1520 を有する基板 1500 の一部の図 16A の線 1601 に沿った概略断面図である。図 17 は、本開示の態様に従って、製造段階における充填基板 1700 の一部の図 16A の線 1601 に沿った概略断面図である。図 18 は、本開示の態様に従って、製造段階におけるダイシング下の充填基板 1700 の一部の概略断面図である。

10

【0044】

[0082] 方法 1400 のステップ 1405、並びに図 15A 及び図 15B を参照すると、一実施形態において、犠牲材料の基板 1500 が得られる。図 15A は、基板 1500 の概略上面図である。図 15B は、線 1501 に沿った基板 1500 の概略断面図である。例えば上面図は、 xy 平面に示され、断面図は、 xy 平面に垂直な xz 平面に示される。基板 1500 の犠牲材料は、犠牲材料層 510 の材料と実質的に同様であってよい。基板 1500 の寸法は、様々な実施形態において異なっていてよい。例えば基板 1500 は、約 $10\mu\text{m}$ 乃至約 2 センチメートル (cm) 長さ 1511、約 $10\mu\text{m}$ 乃至約 2 cm の幅 1512、及び、約 $5\mu\text{m}$ 乃至約 $50\mu\text{m}$ の厚さ 1513 を有してよい。長さ 1511 は、最小ダイス幅の約 2 倍になるように選択されてよい。本明細書により詳細に説明されるように、厚さ 1513 は、凹部 1520 を収容するように選択されてよく、凹部 1520 は、所定のトランスデューサ寸法に従って、サイズ及び形状が決められてよい。例えば厚さ 1513 は、犠牲材料層 510 の厚さ 513 と超音波材料層 520 の厚さ 523 との合計と、ほぼ同じであってよい。

20

【0045】

[0083] 方法 1400 のステップ 1410、並びに図 16A 及び図 16B を参照すると、一実施形態において、複数の凹部 1520 が基板 1500 に形成されている。基板 1500 における凹部 1520 の形成又はパターニングは、任意の適切な半導体製造技術を使用してよい。例えば形成又はパターニングは、フォトリソグラフィを介して、凹部 1520 を画定する開口部を有するフォトパターンを、基板 1500 上に転写することと、エッチングを介して、開口部に従って基板 1500 から犠牲材料を除去することを含む。適切なエッチングプロセスの例は、深反応性イオンエッチング (DRIE) である。

30

【0046】

[0084] 図 16A は、パターン化凹部 1520 を有する基板 1500 の一部の概略上面図である。図示されるように、凹部 1520 は、リブ 1530 によって分離されている。例えば凹部 1520 及びリブ 1530 は、基板 1500 の y 軸に沿って延在する。図 16B は、パターン化凹部 1520 を有する基板 1500 の一部の線 1601 に沿った概略断面図である。例えば断面図は、 xy 平面に垂直な xz 平面に示される。凹部 1520 及びリブ 1530 の寸法は、様々な実施形態において異なっていてよい。例えばリブ 1530 は、約 $5\mu\text{m}$ 乃至約 2 mm の幅 1531 を有し、凹部 1520 は、約 $5\mu\text{m}$ 乃至約 $125\mu\text{m}$ の幅 1521、及び、約 $5\mu\text{m}$ 乃至約 $125\mu\text{m}$ の深さ又は高さ 1522 を有してよい。本明細書により詳細に説明されるように、凹部 1520 の幅 1521 及び高さ 1522 は、トランスデューサレイ内の個々の超音波素子の寸法を画定し、幅 1531 は、トランスデューサレイ内の超音波素子間のピッチ幅を画定することができる。

40

【0047】

[0085] 方法 1400 のステップ 1415 及び図 17 を参照すると、一実施形態において、複数の凹部 1520 を超音波材料 1710 で充填して、充填基板 1700 が形成される。図 17 は、線 1601 に沿った充填基板 1700 の一部の概略断面図であり、凹部 1520 は、超音波材料 1710 が充填されている。超音波材料 1710 は、超音波材料層

50

520の材料と実質的に同様であってよい。

【0048】

[0086] 方法1400のステップ1420及び図18を参照すると、一実施形態において、充填基板1700の平面に沿って充填基板1700をダイシングして、伸長ストリップ720と同様の伸長ストリップ1720が形成される。図18は、xz平面によって示される平面に沿ったダイシング下の充填基板1700の一部の概略上面図である。例えばダイシングは、距離1711だけ離れたxz平面に沿った複数の切り込み1801を含む。各伸長ストリップ1720は、超音波材料1710によって画定される超音波素子721と同様の超音波素子1721のアレイと、基板1500の犠牲材料によって画定されるスペーサ722と同様のスペーサ1722とを有する。凹部1520の距離1711及び幅1521は、それぞれ、超音波素子1721の長さ及び幅を画定する。リブ1530の幅1531は、超音波素子1721間のピッチ幅を画定する。

10

【0049】

[0087] ステップ1425を参照すると、一実施形態において、伸長ストリップ1720は、フレックス回路214及び800と同様のフレックス回路に結合される。例えば結合は、方法400のステップ430と同様であり、図12に示されている通りであってよい。

【0050】

[0088] ステップ1430を参照すると、一実施形態において、伸長ストリップ1720のスペーサ1722が、フレックス回路から除去される。例えば除去は、方法400のステップ435と同様であり、図13に示されている通りであってよい。

20

【0051】

[0089] 幾つかの実施形態では、方法1400は、方法400において説明されている積層機構と組み合わせられてもよい。例えば方法1400は、複数の充填基板1700を積層して、積層構造を形成することと、第1の平面の後に、第1の平面に垂直な第2の平面に沿って積層構造をダイシングすることを含む。

【0052】

[0090] ステップ1410における凹部1520の形成は、任意のサイズのトランスデューサを有し、任意の構成に配置されるトランスデューサアレイを作成するように行われてよい。例えば個々の凹部は、所定のトランスデューサ寸法に従ってサイズ及び形状が決められてよく、また、凹部は、所定の解像度及び/又は脈管構造図の画像の作成を容易にするように配置されてよい。

30

【0053】

[0091] 図19乃至図21は、整列構成で凹部を形成する実施形態をまとめて示す。図19Aは、本開示の態様による整列凹部1920を含む基板1900の一部の概略上面図である。基板1900は、犠牲材料層500及び基板1500と同様の犠牲材料からなる。凹部1920は、凹部1520の形成と同様の機構を用いて、基板1900上に形成される。凹部1920は、サイズ及び形状が均一である。凹部1920は、複数の列に配置され、基板1900の犠牲材料によって分離される列全体に亘って整列している。各凹部1920が、トランスデューサを画定する。凹部1920の寸法は、様々な実施形態において異なっていてよい。幾つかの実施形態では、3.0FrのIVUSデバイス102用に64個のトランスデューサを有するトランスデューサアレイを作成するために、各凹部1920は、約0.5mm乃至約1.5mmの長さ、約15µm乃至約30µmの幅、及び、50µm乃至約80µmの高さを含み、隣接する凹部1920は、約15µm乃至約30µmの距離だけ分離されてよい。図19Bは、本開示の態様による整列凹部1920を含む基板1900の一部の図19Aの線1901に沿った概略断面図である。例えば上面図は、xy平面に示され、断面図は、xy平面に垂直なxz平面に示される。

40

【0054】

[0092] 図20Aは、本開示の態様による充填基板2000の一部の概略上面図である。充填基板2000は、基板1900の凹部1920を、超音波材料1710と同様の超

50

音波材料 2010 で充填することによって形成される。図 20B は、本開示の態様による充填基板 2000 の一部の図 20A の線 2001 に沿った概略断面図である。

【0055】

[0093] 図 21 は、本開示の態様によるダイシング下の充填基板 2000 の一部の概略上面図である。ダイシングは、 xy 平面に垂直な xz 平面に沿って複数の切り込み 2101 を含んでよい。ダイシングは、伸長ストリップ 720 及び 1720 と同様の伸長ストリップ 2020 を形成する。基板 1900 の犠牲材料によって超音波材料 2010 を包む又は囲むと、ダイシングの機械的応力を低減することができる。幾つかの実施形態では、レーザ切断を使用して、超音波材料 2010 を破碎又は損傷する危険性を更に低減することができる。ダイシング後、方法 400 及び 1400 と同様に、伸長ストリップ 2020 を、フレックス回路 214 及び 800 といったフレックス回路に結合し、伸長ストリップ 2020 の犠牲材料を除去して、フレックス回路上にトランスデューサアレイが形成される。

10

【0056】

[0094] 図 22 乃至図 27 は、オフセット構成で凹部を形成する実施形態をまとめて示す。図 22A は、本開示の態様によるオフセット凹部 2220 を含む基板 2200 の一部の概略上面図である。基板 2200 は、基板 1500 及び 1900 と同様である。凹部 2220 は、凹部 1520 及び 1920 の形成と同様の機構を用いて、基板 2200 上に形成される。図示されるように、凹部 2220 は、オフセットパターンで配置され、隣接する列 2221 における凹部 2220 の配置は、互いにオフセットされている。オフセットパターン又は構成は、血管 120 の異なる長手方向部分の画像の同時捕捉を可能にする。図 22B は、本開示の態様によるオフセット凹部 2220 を有する基板 2200 の一部の図 22A の線 2201 に沿った概略断面図である。

20

【0057】

[0095] 図 23A は、本開示の態様による充填基板 2300 の一部の概略上面図である。充填基板 2300 は、基板 2200 の凹部 2220 を、超音波材料 1710 及び 2010 と同様の超音波材料 2310 で充填することによって形成される。図 23B は、本開示の態様による充填基板 2300 の一部の図 23A の線 2301 に沿った概略断面図である。

【0058】

30

[0096] 図 24 は、本開示の態様によるダイシング下の充填基板 2300 の一部の概略上面図である。ダイシングは、 xy 平面に垂直な xz 平面に沿った 1 つ以上の切り込み 2401 を含んでよい。ダイシングは、超音波材料 2310 によって画定される超音波素子 2323 の 2 つの列 2321 及び 2322 と、基板 2200 の材料によって画定されるスペーサ 2324 とを含む伸長ストリップ 2320 を形成する。2 つの列 2321 及び 2322 の超音波素子 2323 の位置は、互いにオフセットされている。図 25 は、本開示の態様による伸長ストリップ 2320 の一部の概略上面図である。

【0059】

[0097] 図 26 は、本開示の態様による伸長ストリップ 2320 を含む、フレックス回路 214 及び 800 と同様のフレックス回路 2600 の一部の概略上面図である。フレックス回路 2600 は、トランスデューサ領域 2604 とコントローラ領域 2608 との間に配置された遷移領域 2610 を含む。伸長ストリップ 2320 は、ステップ 1425 と同様の機構を使用してフレックス回路 2600 に結合される。例えば伸長ストリップ 2320 は、フレックス回路 2600 のトランスデューサ領域 2604 上に直接配置される。

40

【0060】

[0098] 図 27 は、本開示の態様による伸長ストリップ 2320 から形成されるトランスデューサアレイ 2331 及び 2332 を含むフレックス回路 2600 の一部の概略上面図である。例えば伸長ストリップ 2320 が、フレックス回路 2600 に結合された後、スペーサ 2324 が、ステップ 1430 と同様の機構を用いて、フレックス回路 2600 から除去される。フレックス回路 2600 は、超音波素子 2323 が、支持部材 230 の

50

周囲に配置されるように、支持部材 230 の周りに巻き付けられる。例えばトランスデューサアレイ 2331 は、1 つの円周の周りに配置され、トランスデューサアレイ 2332 は、支持部材 230 の長手方向軸に沿って、トランスデューサアレイ 2332 から離間された別の円周の周りに配置される。トランスデューサアレイ 2331 及び 2332 内にシフトされた超音波素子 2323 を生成するために凹部 2220 の位置をシフトさせることによって、及び / 又は、フレックス回路 2600 上により多くのトランスデューサアレイを含めることによって、動的集束及びアパーチャの拡大といった様々なビーム形成方法を行い、画質を向上させることができる。

【0061】

[0099] 一実施形態において、方法 400 を用いて、トランスデューサアレイ 730、2331 及び 2332 と同様のトランスデューサアレイを複数有するマルチトランスデューサアレイを形成することができる。図 28 乃至図 31 は、マルチトランスデューサアレイを形成する実施形態をまとめて示す。図 28 は、本開示の態様に従って、製造段階におけるオフセット構成に配置された 2 つの伸長ストリップ 720 の一部の概略上面図である。上記のように、積層構造 700 の第 1 のダイシング及び第 2 のダイシングによって、複数の伸長ストリップ 720 が形成される。2 つの伸長ストリップ 720 は、当該 2 つの伸長ストリップ 720 が、ほぼ平行で、間隙 743 によって分離され、一方の伸長ストリップ 720 の超音波素子 721 が、他方の伸長ストリップ 720 の超音波素子 721 からオフセットされているように位置付けられる。

【0062】

[0100] 図 29 は、本開示の態様に従って、製造段階における 2 つの伸長ストリップ 720 を含む複合ストリップ 740 の線 2801 に沿った概略断面図である。2 つの伸長ストリップ 720 を配置した後、ポスト犠牲材料層 741 が 2 つの伸長ストリップ 720 上に配置され、2 つの伸長ストリップ 720 を一緒に保持して複合ストリップ 740 が形成される。ポスト犠牲材料層 741 は、複数の犠牲層 510 と同様の材料を含んでよい。

【0063】

[0101] 図 30 は、本開示の態様に従って、製造段階における複合ストリップ 740 を含むフレックス回路 800 の一部の概略上面図である。複合ストリップ 740 を形成した後、当該複合ストリップ 740 は、2 つの細長ストリップ 720 がフレックス回路 800 とポスト犠牲材料層 741 との間に配置されるようにフレックス回路 800 に結合される。

【0064】

[0102] 図 31 は、本開示の態様に従って、製造段階におけるマルチトランスデューサアレイ 742 を含むフレックス回路 800 の一部の概略上面図である。複合ストリップ 740 をフレックス回路 800 に結合した後、伸長ストリップ 720 のポスト犠牲材料層 741 及びスペーサ 722 が、ステップ 435 及び 1430 と同様の機構を使用して除去され、フレックス回路 800 上にマルチトランスデューサアレイ 742 が形成される。マルチトランスデューサアレイ 742 は、オフセット超音波素子 721 の 2 つのアレイ 744 と共に示されているが、同様の機構を使用して、任意の間隙距離で離された任意の適切な数のアレイと、任意の適切な構成又はパターンで配置された超音波素子とを有するマルチトランスデューサアレイを形成することができる。上記のように、シフトされた超音波素子のアレイを作成することによって、例えばビーム形成を通して、画質を向上させることができる。

【0065】

[0103] 開示される実施形態は、幾つかの利点を提供する。例えば方法 400 及び / 又は 1400 の積層及びダイシング機構は、拡張性があり、大量生産に適している。犠牲材料の使用は、機械的応力、また、ダイシング中の破砕及び / 又は亀裂の危険性を低下させる。トランスデューサアレイにおける超音波素子間の間隔は、フレックス回路の強度及び / 若しくは特性、ブレードの特性、又は、ダイシング機器によって制限されない。開示される実施形態は、切り込み間隔を維持する必要がなく、代わりに、よりきれいな切

り込みに集中することを可能にする。したがって、開示される実施形態は、より高い歩留まりを達成することができる。典型的には、多数の超音波素子を有する撮像コアのダイシングプロセスは、材料及びサイクルタイムの点で費用がかかる。したがって、開示される実施形態は、製造コストを削減することができる。更に、開示される実施形態は、より多数のより小さいサイズの超音波素子を有するトランスデューサアレイの製造を可能にする。例えば3.5 FrのフェーズドアレイIVUSデバイスは、一般に、最大で64個の超音波素子を含み、個々の素子は、約20 μm 乃至約25 μm の幅及び約70 μm 乃至約80 μm の高さを有し、約20 μm 乃至約25 μm のピッチ幅で離間される。一方で、開示される実施形態は、64個を超える超音波素子を含むことができる。例えば開示される実施形態は、1列あたり、空間的に128個の超音波素子を配置することができ、最大約3列を含むことができる。128個の超音波素子からなる3列を製造するためには、超音波層は、約10 μm 乃至約15 μm の厚さ/凹部幅を有し、ダイシング幅/凹部の深さは、約20 μm 乃至約50 μm であり、超音波素子間のピッチ幅は、水平及び垂直に約10 μm 未満であってよい。方法400を使用する際、間隔は、追加の犠牲層590の厚さによって制御され、超音波素子の高さは、第2のダイシングによって制御される。円形フェーズドアレイの場合、超音波素子の高さは、アレイが、図3に示される巻かれた構成にあるときに、超音波素子が互いに接触しないように設定されてよい。個々の素子のサイズ及び個々の素子間の間隔を制限しうる幾つかの他の要因は、フレックス回路上のトレース印刷技術の解像度制限を含む。より多数のより小さいサイズの超音波素子は、軸方向及び横方向の解像度が向上された画像の作成を可能にする。

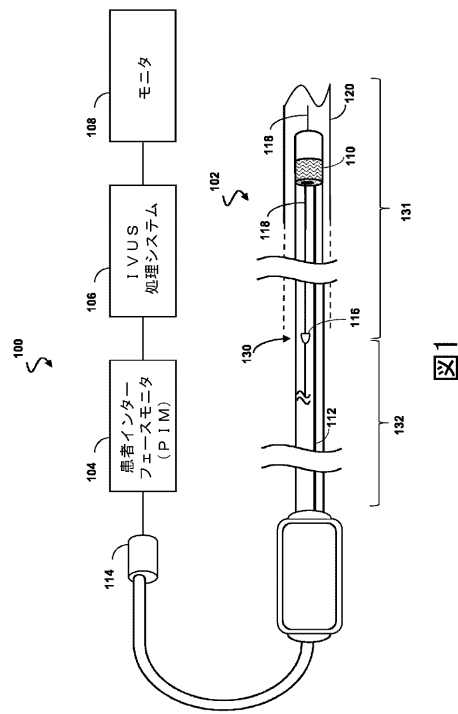
10

20

【0066】

[00104] 当業者は、上記装置、システム及び方法が、様々なやり方で修正可能であることを認識するであろう。したがって、当業者であれば、本開示に包含される実施形態が、上記特定の例示的实施形態に限定されないことを理解するであろう。この点に関して、例示的な実施形態が示され、説明されたが、前述の開示では、広範囲の修正、変更及び置換が考えられる。なお、本開示の範囲から逸脱することなく、上記変更が前述に対してなされうる。したがって、添付の特許請求の範囲は、広く、また、本開示と一致する方法で解釈されることが適切である。

【図 1】



【図 2】

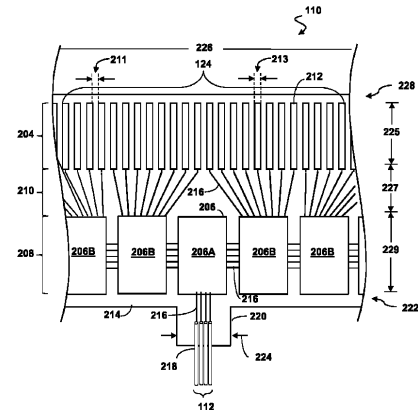


Fig. 2

【図 3】

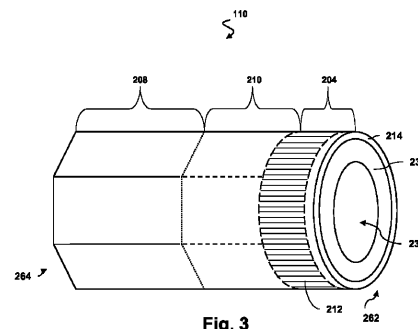
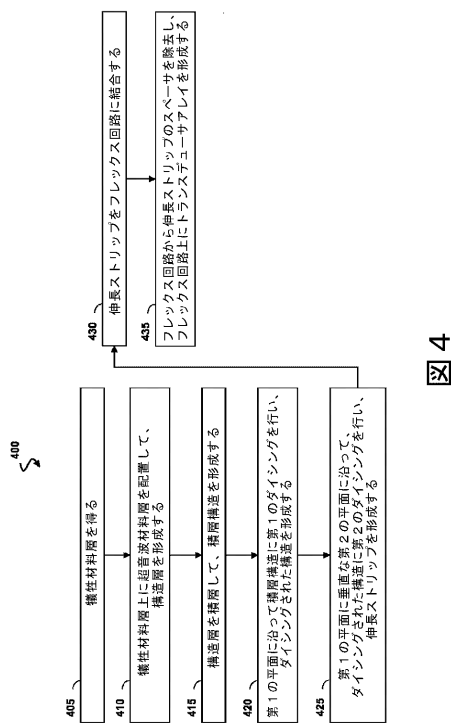


Fig. 3

【図 4】



【図 5 A】

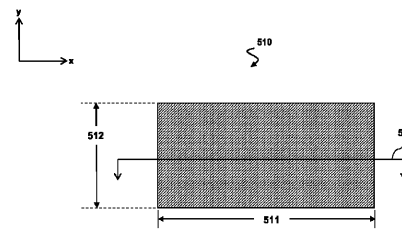


Fig. 5A

【図 5 B】

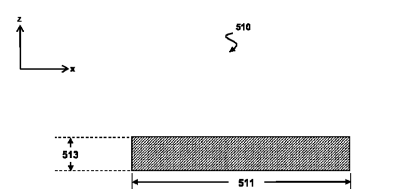


Fig. 5B

【図 6 A】

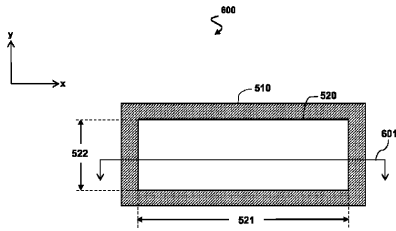


Fig. 6A

【図 6 B】

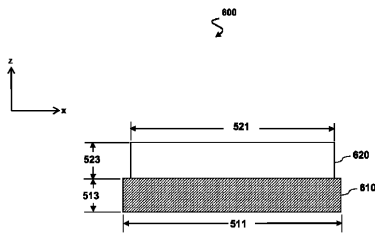


Fig. 6B

【図 7】

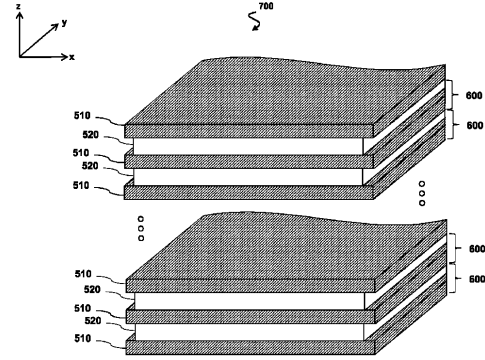


Fig. 7

【図 8】

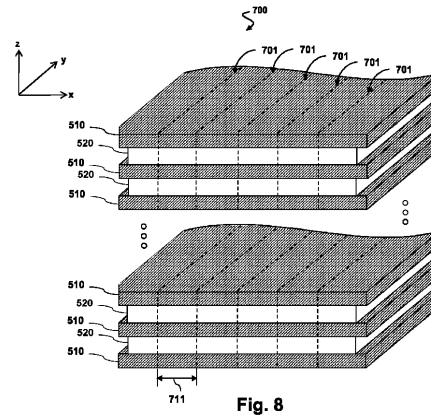


Fig. 8

【図 9】

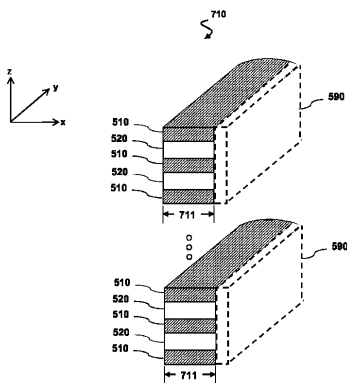


Fig. 9

【図 10】

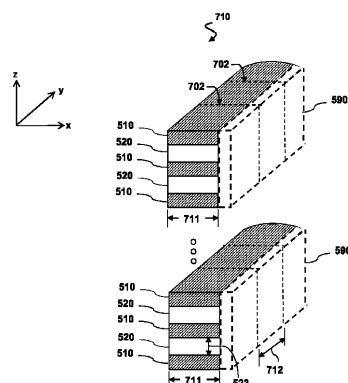


Fig. 10

【図 11】

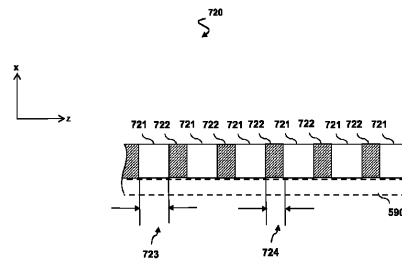


Fig. 11

【図 1 2】

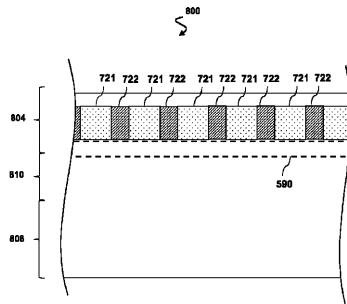


Fig. 12

【図 1 3】

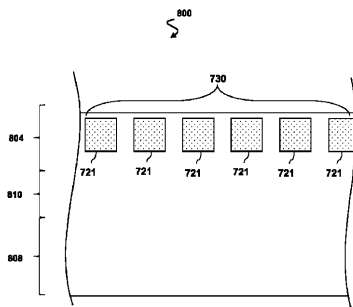


Fig. 13

【図 1 4】

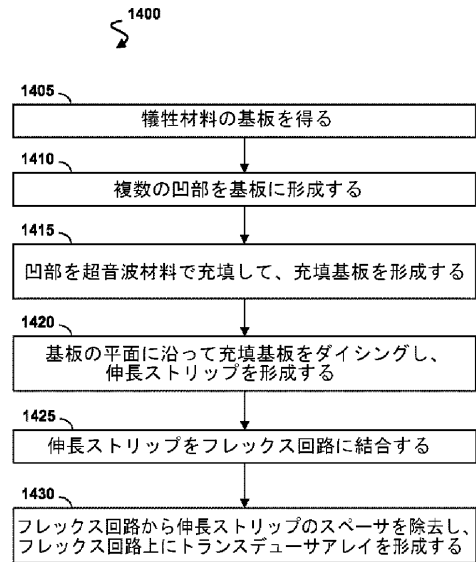


図 1 4

【図 1 5 A】

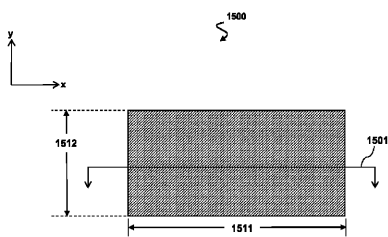


Fig. 15A

【図 1 6 A】

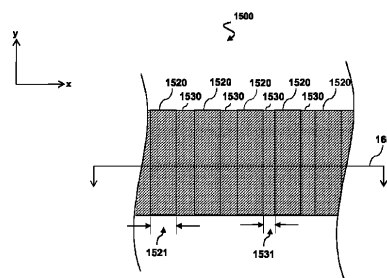


Fig. 16A

【図 1 5 B】

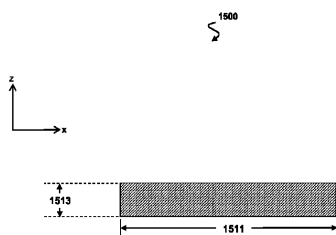


Fig. 15B

【図 1 6 B】

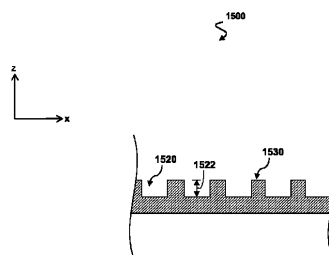


Fig. 16B

【図 17】

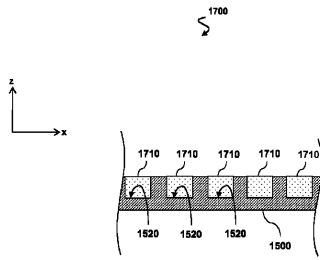


Fig. 17

【図 18】

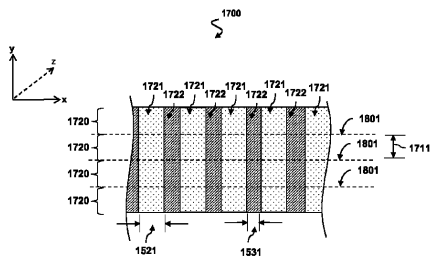


Fig. 18

【図 20 A】

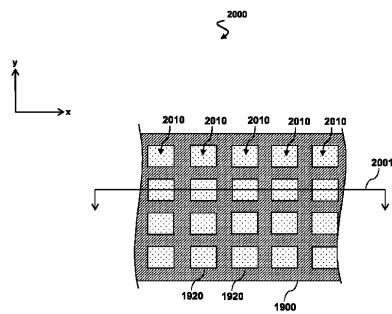


Fig. 20A

【図 20 B】

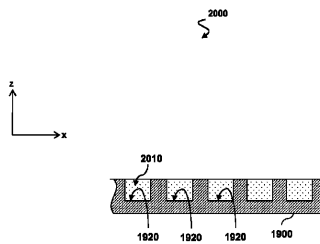


Fig. 20B

【図 19 A】

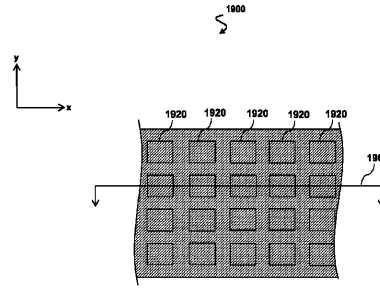


Fig. 19A

【図 19 B】

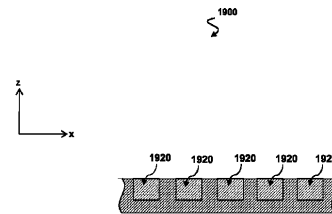


Fig. 19B

【図 21】

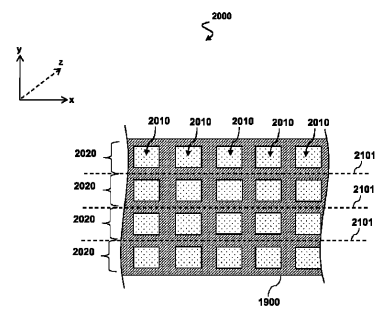


Fig. 21

【図 22 A】

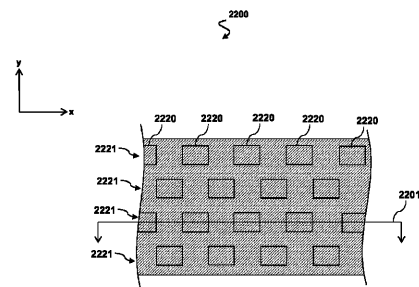


Fig. 22A

【図 2 2 B】

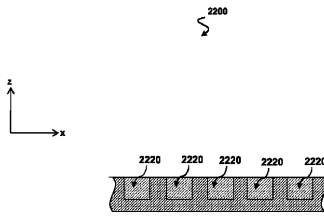


Fig. 22B

【図 2 3 A】

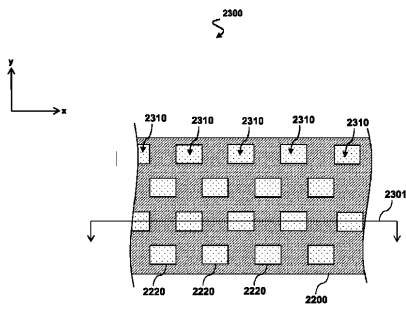


Fig. 23A

【図 2 3 B】

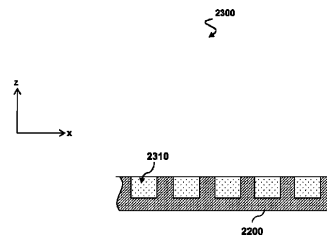


Fig. 23B

【図 2 4】

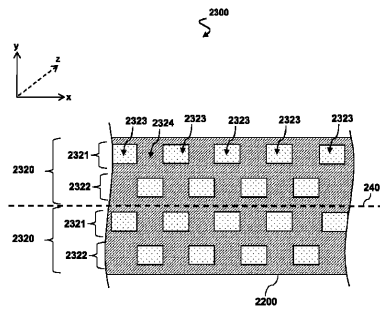


Fig. 24

【図 2 5】

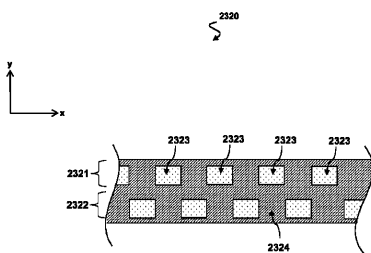


Fig. 25

【図 2 7】

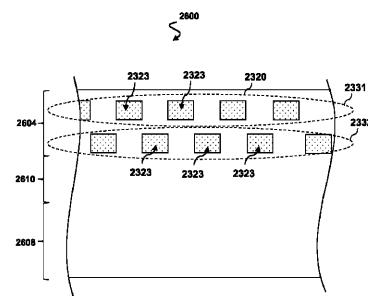


Fig. 27

【図 2 6】

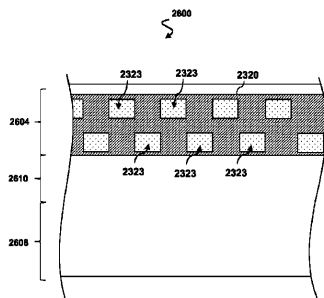


Fig. 26

【図 2 8】

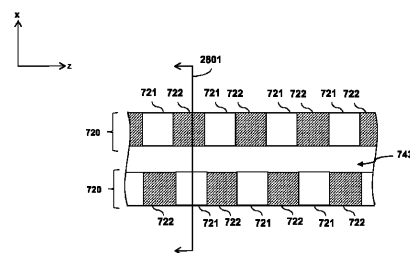


Fig. 28

【 図 2 9 】

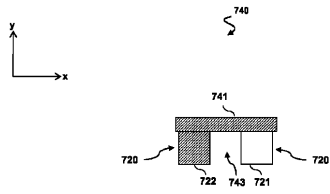


Fig. 29

【 図 3 0 】

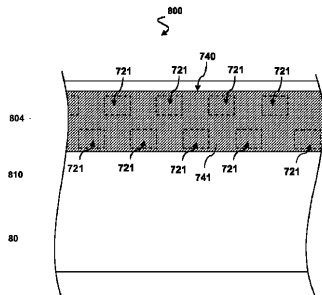


Fig. 30

【 図 3 1 】

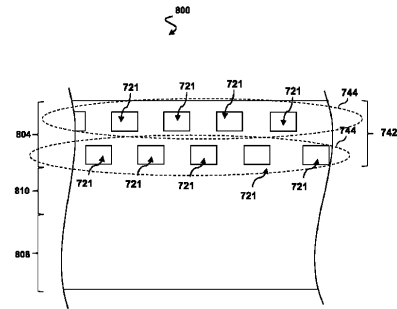


Fig. 31

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2017/074158

A. CLASSIFICATION OF SUBJECT MATTER INV. B06B1/06 A61B8/00 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) B06B A61B		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EP0-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2007/239024 A1 (EBERLE MICHAEL J [US] ET AL) 11 October 2007 (2007-10-11) abstract; claim 1; figures 1,2,4,7,9 paragraphs [0035], [0048] - [0050], [0067]	1-14
Y	US 2008/160324 A1 (OHMORI MAKOTO [JP] ET AL) 3 July 2008 (2008-07-03) abstract; claim 1; figures 1-3,6,10 paragraphs [0053], [0054], [0078]	1-7
Y	JP H11 274592 A (OLYMPUS OPTICAL CO; ALOKA CO LTD) 8 October 1999 (1999-10-08) abstract; claim 1; figure 1 paragraph [0011]	8-14
	----- -/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
28 November 2017		07/02/2018
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer
		Fernandes, Paulo

INTERNATIONAL SEARCH REPORT

International application No PCT/EP2017/074158

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2015/305716 A1 (RICE CHERYL D [US] ET AL) 29 October 2015 (2015-10-29) abstract; claims 1,3; figures 1,6,12B,12C paragraph [0065] -----	9-13

INTERNATIONAL SEARCH REPORT

International application No.
PCT/EP2017/074158

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-14

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

International Application No. PCT/ EP2017/ 074158

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-14

Method for fabricating an intravascular imaging device comprising an ultrasound transducer array on a flexible circuit wherein the transducer array is fabricated in a special way.

2. claims: 15-20

An intravascular imaging device comprising an ultrasound transducer array on a flexible circuit wherein the kerfs between transducer elements have a width less than 10 micrometers.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2017/074158

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2007239024 A1	11-10-2007	CA 2211196 A1	03-07-1997
		EP 0811226 A1	10-12-1997
		JP H11501245 A	02-02-1999
		US 7226417 B1	05-06-2007
		US 2007239024 A1	11-10-2007
		US 2011034809 A1	10-02-2011
		WO 9723865 A1	03-07-1997

US 2008160324 A1	03-07-2008	JP 5036284 B2	26-09-2012
		JP 2008126561 A	05-06-2008
		US 2008160324 A1	03-07-2008

JP H11274592 A	08-10-1999	JP 4065049 B2	19-03-2008
		JP H11274592 A	08-10-1999

US 2015305716 A1	29-10-2015	NONE	

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(72)発明者 サロハ プリンストン

オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

(72)発明者 ミナス マリテス

オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

(72)発明者 ウォルスタッド デイビッド ケネス

オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

(72)発明者 スティガル ジェレミー

オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

Fターム(参考) 4C601 BB06 EE01 EE04 EE14 FE04 GB10 GB20 GB41 GB44 GB45

5D019 AA26 FF04 HH03