

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4865361号
(P4865361)

(45) 発行日 平成24年2月1日(2012.2.1)

(24) 登録日 平成23年11月18日(2011.11.18)

(51) Int.Cl.

F 1

H01L 21/3065 (2006.01)

H01L 21/302 105A

H01L 21/3213 (2006.01)

H01L 21/88 D

H01L 21/28 (2006.01)

H01L 21/28 E

請求項の数 5 (全 8 頁)

(21) 出願番号

特願2006-54914 (P2006-54914)

(22) 出願日

平成18年3月1日(2006.3.1)

(65) 公開番号

特開2007-234870 (P2007-234870A)

(43) 公開日

平成19年9月13日(2007.9.13)

審査請求日

平成20年12月24日(2008.12.24)

(73) 特許権者 501387839

株式会社日立ハイテクノロジーズ

東京都港区西新橋一丁目24番14号

(74) 代理人 110000062

特許業務法人第一国際特許事務所

(72) 発明者 宇根 脍

山口県下松市大字東豊井794番地 株式会社 日立ハイテクノロジーズ 笠戸事業所内

(72) 発明者 坂口 正道

山口県下松市大字東豊井794番地 日立笠戸エンジニアリング株式会社内

最終頁に続く

(54) 【発明の名称】 ドライエッティング方法

(57) 【特許請求の範囲】

【請求項 1】

プラズマエッティング装置を使用して被エッティング材の上に設けられたホトレジストおよび無機膜からなるマスクパターンを用いて前記被エッティング材をエッティングすることによって配線を形成するドライエッティング方法において、

前記ホトレジストをマスクパターンとして前記無機膜をエッティングし、

ハロゲン系ガスと、 CF_4 、 CHF_3 、 SF_6 、 NF_3 からなるフッ素含有ガスのうちの少なくとも一つのフッ素含有ガスと、の混合ガスを用いて前記エッティングされた無機膜を所望のマスクパターン寸法に縮小化させるまで前記被エッティング材をエッティングし、

前記所望の寸法に縮小化された無機膜をマスクパターンとして前記エッティングされた被エッティング材の残りをエッティングすることを特徴とするドライエッティング方法。

【請求項 2】

プラズマエッティング装置を使用して被エッティング材の上に設けられた無機膜からなるマスクパターンを用いて前記被エッティング材をエッティングすることによって配線を形成するドライエッティング方法において、

ハロゲン系ガスと、 CF_4 、 CHF_3 、 SF_6 、 NF_3 からなるフッ素含有ガスのうちの少なくとも一つのフッ素含有ガスと、の混合ガスを用いて予めマスクパターンとしてエッティングされた無機膜を所望のマスクパターン寸法に縮小化させるまで前記被エッティング材をエッティングし、

前記所望の寸法に縮小化された無機膜をマスクパターンとして前記エッティングされた被

エッチング材の残りをエッチングすることを特徴とするドライエッチング方法。

【請求項 3】

請求項 1 に記載のドライエッチング方法において、

前記ホトレジストをマスクパターンとして前記無機膜をエッチングする前に、O₂ガスを用いて前記ホトレジストを所望のマスクパターン寸法に縮小化させることを特徴とするドライエッチング方法。

【請求項 4】

請求項 1 または 2 記載のドライエッチング方法において、

前記ハロゲン系ガスは、C_{1.2}ガスであり、前記フッ素含有ガスの流量は、前記混合ガスの 40 ~ 90 % の比率のガス流量であることを特徴とするドライエッチング方法。 10

【請求項 5】

請求項 1 または 2 記載のドライエッチング方法において、

前記ハロゲン系ガスは、HBrガスであり、前記フッ素含有ガスの流量は、前記混合ガスの 40 ~ 90 % の比率のガス流量であることを特徴とするドライエッチング方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体デバイスのエッチング方法に関する。さらに詳細には、半導体基板に設けた配線層である被エッチング材を加工しながら加工寸法を縮小化させることにより、パターン欠陥を発生させずに配線寸法の縮小化を行うドライエッチング方法に関する。 20

【背景技術】

【0002】

近年、半導体デバイスの処理速度の高速化に伴なう高集積化の進展により、ゲート材等の加工技術においても微細化加工が求められている。ドライエッチングの分野では、一般的にパターンの微細化を行うために、被エッチング材を加工する前に、マスクとなるホトレジストパターンをドライエッチングにより縮小化することで、被エッチング材の加工寸法を縮小化する方法が行われてきた。

【0003】

さらに微細化が進むと、ホトレジストマスクの素材を、従来よりも高精度に微細パターンが形成できるArFレーザを用いて露光するArFレジストが採用されるようになった。しかし、ArFレジストは従来のマスク材と比べると厚く膜付けできず、しかもエッティング速度が速いことからエッチングに対して弱いという性質を有している。このため、ArFレジストは、被エッチング材を加工する間にマスクが無くなり、高精度な被エッチング材の微細配線加工ができないという問題を有している。この問題を解決するために、ホトレジストマスクと被エッチング材との間にSiON、SiN、SiO等の無機膜層を設け、縮小化したホトレジストマスクのパターンを元にドライエッチングにより無機膜層を加工し、エッティング速度の遅い無機膜マスクを形成することで、安定して被エッチング材の加工が行えるようにしている（例えば、特許文献 1 参照）。 30

【特許文献 1】特開平9-237777号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、ドライエッチングによるホトレジストパターン寸法の縮小化方法では、無機膜層の加工に必要なホトレジストマスク量を確保することが必要であり、加工寸法の縮小量に限界が生じるという問題がある。

【0005】

本発明は、被エッチング材の加工中に加工寸法を縮小化することが可能となり、マスク欠損による被エッチング材の断線や曲がり等の問題を発生させずに、微細加工を行うことができるドライエッチング方法を提供することを目的とする。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 0 6 】

この課題は、パターンニングされたホトレジストをマスクとし、ドライエッチングにより無機膜層を加工して無機膜マスクの形成を行った後、被エッチング材のエッチング過程で、無機膜マスクと被エッチング材とを同時に縮小化させることにより達成できる。

【 0 0 0 7 】

この加工方法では、無機膜マスクを形成した後にこの無機膜マスクのパターン寸法の縮小化を行うので、ホトレジストマスク倒れ等の問題が発生しない。

【 0 0 0 8 】

また、従来から行っているドライエッチングによるホトレジストマスク寸法の縮小化を併用する場合でも、過剰なホトレジストマスクの縮小化を行う必要が無く、このためパターン縮小による倒れや配線層の断線等の問題が発生しない。10

【発明の効果】**【 0 0 0 9 】**

上記の方法により、本発明によれば、加工寸法の縮小化に伴う被エッチング材の配線の断線や曲がりを発生させること無く、加工寸法を大幅に縮小させることができ、微細な配線加工を行うことができる。

【発明を実施するための最良の形態】**【 0 0 1 0 】**

以下、本発明によるプラズマエッチング方法について説明する。図1は、本発明にかかるドライエッチング方法が適用されるプラズマエッチング装置を示す。このプラズマエッチング装置は、プラズマ生成手段にマイクロ波と磁界を利用したマイクロ波プラズマエッチング装置の例である。マイクロ波は、マグネットロン1で発振され、導波管2を経て石英板3を通過して真空容器へ入射される。真空容器の周りにはソレノイドコイル4が設けてあり、これより発生する磁界と入射してくるマイクロ波により、電子サイクロトロン共鳴(E C R : Electron Cyclotron Resonance)を起こす。これによりプロセスガスは、効率良く高密度にプラズマ5化される。処理ウエハ6は、静電吸着電源7で試料台8に直流電圧を印加することで、静電吸着力により電極に固定される。また、電極には高周波電源9が接続しており、高周波電力(R Fバイアス)を印加して、プラズマ中のイオンにウエハに対して垂直方向の加速電位を与える。エッチング後のガスは装置下部に設けられた排気口から、ターボポンプ・ドライポンプ(図省略)により排気される。2030

【 0 0 1 1 】

なお、プラズマエッチング処理装置としては、マイクロ波プラズマエッチング装置、誘導結合型プラズマエッチング装置、ヘリコン波プラズマエッチング装置、2周波励起平行平板型プラズマエッチング装置などが採用される。

【 0 0 1 2 】

図2は、図1のプラズマエッチング装置を用いた半導体装置の製造方法を示す図である。図2(A)は本実施例で使用する試料の構造を、図2(B)はホトレジストマスクの加工寸法の縮小工程を、図2(C)はSiON膜、SiN膜のマスク形成工程を、図2(D)はマスクおよびポリシリコン膜の加工および加工寸法の縮小工程を、図2(E)はポリシリコン膜の加工工程を示す。40

【 0 0 1 3 】

本発明の一実施例で使用した試料の構造の例を、図2(A)に示す。直径12インチのシリコン基板10の上にゲート酸化膜(2nm)11、ポリシリコン膜(膜厚100nm)12、SiN膜(50nm)13、SiON膜(25nm)14、ホトレジスト(250nm)15を順に形成し、フォトリソグラフィ技術等によってマスクパターンを形成する。

【 0 0 1 4 】

図2(B)は、従来から行われているホトレジストマスクの加工寸法の縮小工程であり、例えば、ArガスにO₂ガスを添加した混合ガスを用い、処理圧力を0.2Paに設定50

し、マイクロ波を 600W として生成したプラズマでエッティングを行う。O₂ ガス流量はホトレジストの縮小速度を律しており、1.5 nm/sec 程度の縮小速度とするため 10% 程度添加した。O₂ ガスの添加量を増加させると縮小速度は上昇する。本実施例では、初期ホトレジストパターン寸法が 100 nm であるパターンに対して 43 秒処理を行い、ホトレジストパターン寸法を 35 nm まで細らせた。

【0015】

図 2 (C) に示すマスク形成工程ではホトレジスト 15 をマスクとして、SiON 膜 14 および SiN 膜 13 をエッティングする。エッティング処理中は、EPD (End Point Detector) 等のエッティングモニターで、ポリシリコン膜 12 との界面を検出しながらエッティング処理を行う。処理条件として、例えば、CF₄ ガスと CHF₃ ガス 1:1 の混合ガスを用い、処理圧力を 0.8 Pa とし、マイクロ波 900W で生成したプラズマに RF バイアス 100W を印加しエッティングする。ポリシリコン膜 12 の表面を検出した時点で SiN 膜 13 のエッティングを終了する。
10

【0016】

図 2 (D) に示すポリシリコン膜の加工寸法の縮小工程は、本発明の特徴とする工程であり、図 2 (C) により形成された SiON 膜 14 および SiN 膜 13 のパターンをマスクとして深さ方向のエッティングを進行させながら、横方向のエッティングを同時にすることでパターン寸法の縮小化を行う。Cl₂ と共に CF₄ を用いることで、ポリシリコン膜 12 のエッティングと同時に、マスク材もエッティングすることができる。処理条件として例えば、Cl₂ ガスと CF₄ ガス 1:3 の混合ガスを用い、処理圧力を 0.2 Pa とし、マイクロ波 900W で生成したプラズマに RF バイアス 30W を印加し深さ方向および横方向をエッティングする。
20

【0017】

ここで、ポリシリコンの横方向のエッティング量は、図 3 (A) に示すように、RF バイアスの印加量に依存することが分かり、この実施例では、処理条件は深さ方向に対する横方向の縮小比率を 0.32 程度に最適化を行った。本実施例では、ポリシリコン膜 12 の厚 100 nm に対して半分の 50 nm 程度をこの処理条件で処理を行い、前記ホトレジスト 14 および SiON 膜 14 ならびに SiN 膜 13 の加工寸法縮小工程により 35 nm まで縮小化されたパターンを、さらに 16 nm の縮小化を行い 19 nm のパターン寸法を形成した。この処理工程によって、ホトレジスト 14 は全てエッティングされ、これ以降 SiON 膜 14 および SiN 膜 13 がマスクとして使用される。この工程は、ホトレジスト 14 がなくなるまでもしくは所望の（例えば、19 nm）マスク幅となるまでは、等方性エッチを続けることができる。図 3 (A) における、縮少量とは、図 3 (B) に示すようにマスクの幅の初期寸法 A からエッティング後の寸法 B を差引いた値であり、縮小率は、この縮少量をポリシリコン膜のエッティング深さで除した値である。
30

【0018】

図 2 (E) に示すポリシリコン膜 12 の加工工程は、前工程にて縮小化されたポリシリコンの加工寸法を維持しながら残りのポリシリコン膜のエッティングを行う。処理条件としては、例えば、HBr ガスに O₂ ガスを HBr ガス流量の 4% 程度添加した混合ガスを用い、処理圧力を 0.4 Pa とし、マイクロ波 900W で生成したプラズマに RF バイアス 30W を印加してエッティングする。ここで使用するエッティング条件では、ポリシリコンの横方向のエッティングは起こらず、上層で形成された加工寸法を維持したままエッティング加工される。
40

【0019】

これにより本実施例では、100 nm の初期寸法を示すマスクパターンを用いて、被エッティング材に断線の発生や曲がり（サイドエッティング）の無い 19 nm 幅のポリシリコン配線加工を実現することができた。

【0020】

同様に、従来技術である図 2 (B) のホトレジスト 15 のパターン寸法の縮小化だけではなく、19 nm のポリシリコンの加工を実現しようとすると、ホトレジストでの縮小化を 80
50

n m程度行う必要があり、ホトレジストパターンが倒れてしまい、ポリシリコン配線の断線や曲がり（サイドエッティング）等の問題が発生した。

【0021】

従来技術により大幅なホトレジスト15のパターン寸法の縮小化を進めると、SiON膜14およびSiN膜13をエッティングするための十分なマスク量が保てなくなる。仮にマスク量を確保できた場合でも、ホトレジストパターンが薄膜化されることにより対プラズマ耐性が著しく低下し、パターン曲り等の問題が発生する。

【0022】

また、図2(D)で処理した処理条件(C₂H₂ガス:C₂F₄ガス=1:3)は、本実施例の試料に合せて最適化された条件であり、C₂F₄の添加量は形状制御の面から考えると40%~90%が適当である。40%以下のC₂F₄添加量ではフッ素による横方向のエッティングが進行しにくくなり縮小化が難しくなる。一方、90%以上のC₂F₄添加量になるとフッ素による等方性エッティングが強くなりサイドエッティングが強くなって垂直形状が得られなくなる。図3に示す縮小速度制御方法すなわち前記処理条件の他に、C₂H₂ガスとC₂F₄ガスに、O₂ガスを添加すること、CHF₃、SF₆、NF₃等のフッ素含有ガスを添加すること、もしくはC₂F₄ガスに変えてCHF₃、SF₆、NF₃等のフッ素含有ガスを使用することでも縮小速度を制御することができる。また同様に、C₂H₂ガスの代わりにHBrガス等のハロゲン系ガスを用いることでも、縮小速度を調整することができる。

【0023】

本実施例は、半導体デバイスの試料について最適化を行ったプロセス条件であり、ポリシリコン膜12、SiN膜13、SiON膜14、ホトレジスト15のエッティング方法については、本実施例の条件に限られたものではない。

【0024】

本発明は、ポリシリコンの配線加工工程について記載したが、それに限るものではなく、半導体デバイス製造工程において、ポリシリコン以外の材質の配線加工についても本発明の方法が適応可能であり、例えば、ポリシリコン膜12の上にタングステンシリサイド(WSi)膜を形成し、その上にSiN膜13およびSiON膜14ならびにホトレジスト15等を形成した場合の配線加工などにも応用することができる。加工する材料によって、縮小速度が違う為、材質に応じて使用するガスや処理条件の適性値を求めることが好ましい。

【0025】

本試験では、ホトレジストマスクの試料を用いたが、SiNや、SiON、SiO₂等の無機膜マスクを用いた試料、すなわち図2(D)のホトレジスト15が取り除かれた状態にされた試料についても、本発明の方法が適応可能である。

【0026】

なお、本発明は、マイクロ波と磁場を用いたプラズマエッティング装置を使用したが、プラズマの生成方法の如何に関わらず適用可能であり、例えば、ヘリコン波プラズマエッティング装置、誘導結合型プラズマエッティング装置、容量結合型プラズマエッティング装置等によって実施しても同等の効果を得ることができる。

【図面の簡単な説明】

【0027】

【図1】本発明のエッティング方法が適用されるマイクロ波プラズマエッティング装置の概略断面図。

【図2(A)】本発明の一実施例を説明するための半導体基板の要所断面図(レジストマスク形成後)。

【図2(B)】本発明の一実施例を説明するための半導体基板の要所断面図(レジストマスク縮小処理)。

【図2(C)】本発明の一実施例を説明するための半導体基板の要所断面図(SiON膜およびSiN膜エッティング処理)。

10

20

30

40

50

【図2(D)】本発明の一実施例を説明するための半導体基板の要所断面図(SiON膜およびSiN膜縮小およびポリシリコン膜縮小エッティング処理)。

【図2(E)】本発明の一実施例を説明するための半導体基板の要所断面図(ポリシリコン膜エッティング処理)。

【図3(A)】本発明の一縮小化速度のRFバイアス依存性を説明するグラフ。

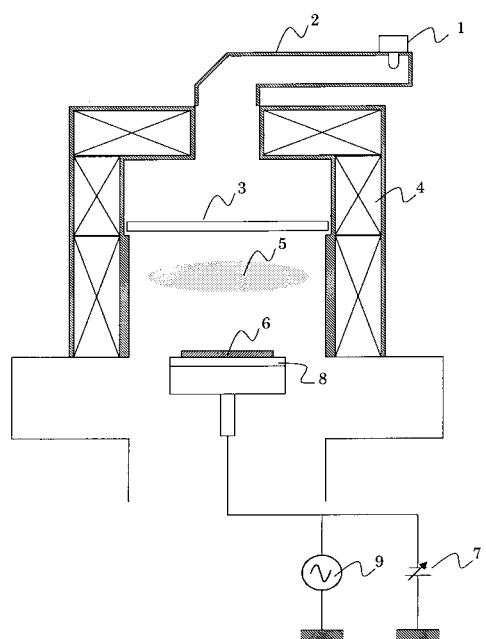
【図3(B)】図3(A)のエッティング深さとマスクの横方向エッティングを説明する図。

【符号の説明】

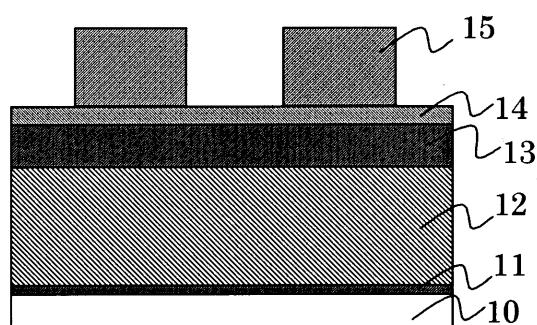
【0028】

1...マグネットロン、2...導波管、3...石英版、4...ソレノイドコイル、5...プラズマ、6...ウエハ、7...静電吸着電源、8...試料台、9...高周波電源、10...シリコン基板、11...ゲート酸化膜、12...ポリシリコン膜、13...SiN膜、14...SiON膜、15...ホトレジスト
10

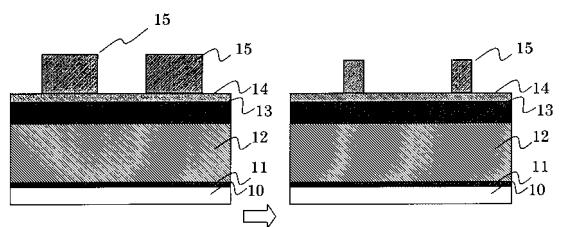
【図1】



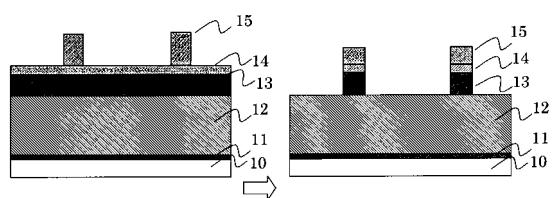
【図2(A)】



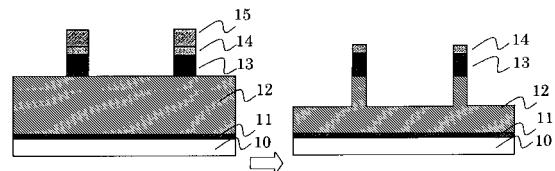
【図2(B)】



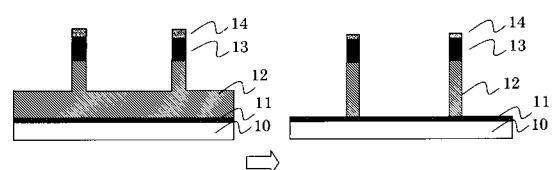
【図2(C)】



【図2(D)】

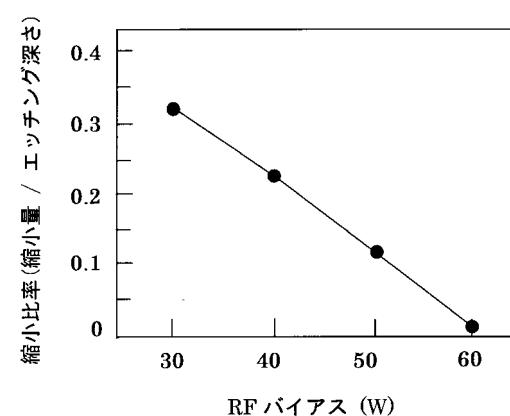


【図2(E)】

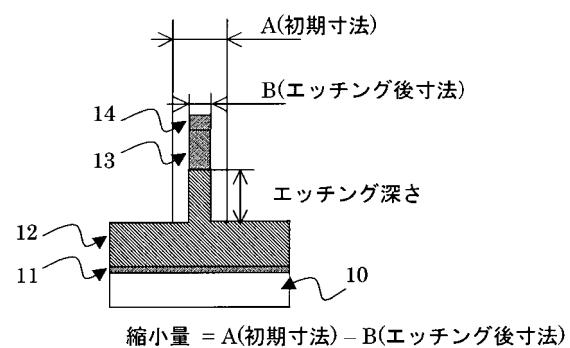


【図3(A)】

RFバイアスと縮小比率の関係



【図3(B)】



フロントページの続き

(72)発明者 桑原 謙一

山口県下松市大字東豊井794番地 株式会社 日立ハイテクノロジーズ 笠戸事業所内

(72)発明者 市丸 朋祥

山口県下松市大字東豊井794番地 株式会社 日立ハイテクノロジーズ 笠戸事業所内

審査官 日比野 隆治

(56)参考文献 特開平07-307328(JP,A)

特開2002-151470(JP,A)

特開2003-163349(JP,A)

特開昭56-100421(JP,A)

特開昭56-144542(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3065

H01L 21/28

H01L 21/3213