



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월02일
(11) 등록번호 10-2017084
(24) 등록일자 2019년08월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/3233 (2016.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3233 (2013.01)
(21) 출원번호 10-2018-7024738(분할)
(22) 출원일자(국제) 2012년04월16일
심사청구일자 2018년09월27일
(85) 번역문제출일자 2018년08월28일
(65) 공개번호 10-2018-0099925
(43) 공개일자 2018년09월05일
(62) 원출원 특허 10-2013-7032854
원출원일자(국제) 2012년04월16일
심사청구일자 2017년04월11일
(86) 국제출원번호 PCT/JP2012/002618
(87) 국제공개번호 WO 2012/157186
국제공개일자 2012년11월22일
(30) 우선권주장
JP-P-2011-108318 2011년05월13일 일본(JP)
(56) 선행기술조사문헌
JP2007279667 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
토요타카 코우헤이
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 5 항

심사관 : 신영교

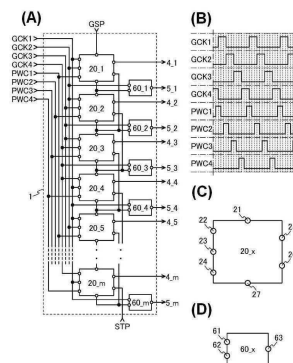
(54) 발명의 명칭 표시 장치

(57) 요약

N채널형 트랜지스터 및 P채널형 트랜지스터 중 어느 한쪽으로 구성되는 주사선 구동 회로를 가지는 표시 장치에 있어서, 2종의 주사선의 한쪽에 대하여 다른 한쪽의 반전 신호 또는 실질적으로 반전 신호를 출력하는 경우에서의 소비 전력을 저감하는 것을 과제로 한다.

(뒷면에 계속)

대표도 - 도2



표시 장치에, 각각이 2종의 주사선의 한쪽에 대하여 신호를 출력하는 복수의 펄스 출력 회로와, 각각이 2종의 주사선의 다른 한쪽에 대하여 펄스 출력 회로가 출력하는 신호의 반전 신호 또는 실질적으로 반전 신호를 출력하는 복수의 반전 펄스 출력 회로를 형성한다. 그리고, 복수의 반전 펄스 출력 회로의 각각을 복수의 펄스 출력 회로의 동작에 이용되는 적어도 2종의 신호를 이용하여 동작시킨다. 이에 따라, 이 반전 펄스 출력 회로에서 생기는 관통 전류를 저감할 수 있게 된다.

(52) CPC특허분류

G09G 2300/0809 (2013.01)

G09G 2310/0267 (2013.01)

G09G 2310/0286 (2013.01)

G09G 2310/08 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

표시 장치로서,

제 1 회로, 제 2 회로, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 4 트랜지스터를 포함하는 구동 회로; 및

EL소자, 제5 트랜지스터, 제 6 트랜지스터, 및 제 7 트랜지스터를 포함하는 화소를 포함하고,

상기 제 1 회로는 제 1 신호를 상기 제 2 회로에 출력하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽과 상기 제 3 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트는 제 1 배선에 전기적으로 접속되고,

상기 제 1 배선은 제 1 클록 신호를 출력하고,

상기 제 2 트랜지스터의 게이트는 상기 제 4 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 게이트의 전위는 상기 제 1 신호에 따라 제어되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽에 전기적으로 접속되고,

상기 제 5 트랜지스터는 상기 EL소자에 전류를 공급하고,

상기 제 6 트랜지스터는 상기 화소로의 화상 신호의 입력을 제어하고,

상기 제 5 트랜지스터 및 상기 제 7 트랜지스터는 전원선과 상기 EL소자 사이에 직렬로 서로 전기적으로 접속되고,

상기 제 7 트랜지스터의 게이트는 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 상기 한쪽에 전기적으로 접속되는, 표시 장치.

청구항 2

표시 장치로서,

제 1 회로, 제 2 회로, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 4 트랜지스터를 포함하는 구동 회로; 및

EL소자, 제5 트랜지스터, 제 6 트랜지스터, 및 제 7 트랜지스터를 포함하는 화소를 포함하고,

상기 제 1 회로는 제 1 신호를 상기 제 2 회로에 출력하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽과 상기 제 3 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트는 제 1 배선에 전기적으로 접속되고,

상기 제 1 배선은 제 1 클록 신호를 출력하고,

상기 제 2 트랜지스터의 게이트는 상기 제 4 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 상기 게이트의 전위는 상기 제 1 신호에 따라 제어되고,
 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽에 전기적으로 접속되고,
 상기 제 5 트랜지스터는 상기 EL소자에 전류를 공급하고,
 상기 제 6 트랜지스터는 상기 화소로의 화상 신호의 입력을 제어하고,
 상기 제 5 트랜지스터 및 상기 제 7 트랜지스터는 전원선과 상기 EL소자 사이에 직렬로 서로 전기적으로 접속되고,
 상기 제 7 트랜지스터의 게이트는 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 상기 한쪽에 전기적으로 접속되는, 표시 장치.

청구항 3

표시 장치로서,
 제 1 회로, 제 2 회로, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 4 트랜지스터를 포함하는 구동 회로; 및
 EL소자, 제5 트랜지스터, 제 6 트랜지스터, 및 제 7 트랜지스터를 포함하는 화소를 포함하고,
 상기 제 1 회로는 제 1 신호를 상기 제 2 회로에 출력하고,
 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽과 상기 제 3 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 게이트는 제 1 배선에 전기적으로 접속되고,
 상기 제 1 배선은 제 1 클록 신호를 출력하고,
 상기 제 2 트랜지스터의 게이트는 상기 제 4 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 상기 게이트의 전위는 상기 제 1 신호에 따라 제어되고,
 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽과 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽에 제 1 전위가 공급되고,
 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽과 상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽에 제 2 전위가 공급되고,
 상기 제 5 트랜지스터는 상기 EL소자에 전류를 공급하고,
 상기 제 6 트랜지스터는 상기 화소로의 화상 신호의 입력을 제어하고,
 상기 제 5 트랜지스터 및 상기 제 7 트랜지스터는 전원선과 상기 EL소자 사이에 직렬로 서로 전기적으로 접속되고,
 상기 제 7 트랜지스터의 게이트는 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 상기 한쪽에 전기적으로 접속되는, 표시 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 회로는 제 8 트랜지스터를 포함하고,
 상기 제 8 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 배선에 전기적으로 접속되고,
 상기 제 2 배선은 제 2 클록 신호를 공급하고,
 상기 제 1 신호는 상기 제 2 클록 신호에 따라서 상기 제 8 트랜지스터를 통해 출력되는, 표시 장치.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 제 2 회로는 제 2 신호를 출력하고,
 상기 제 2 신호는 상기 제 1 신호에 비해 지연되는, 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은, 표시 장치에 관한 것이다. 특히, 트랜지스터가 N채널형 트랜지스터 또는 P채널형 트랜지스터(하나의 극성의 트랜지스터)만으로 구성되는 시프트 레지스터를 가지는 표시 장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스형의 표시 장치가 알려져 있다. 이 표시 장치는 매트릭스 형상으로 배치된 복수의 화소의 각각 스위치가 형성되어 있다. 그리고, 각 화소는 이 스위치를 통하여 입력되는 원하는 전위(화상 신호)에 따라 표시를 행한다.

[0003] 액티브 매트릭스형의 표시 장치에서는 주사선의 전위를 제어함으로써 각 화소에 형성되는 스위치의 스위칭을 제어하는 회로(주사선 구동 회로)가 필요해진다. 일반적인 주사선 구동 회로는 N채널형 트랜지스터 및 P채널형 트랜지스터를 조합하여 구성되지만, 주사선 구동 회로는 N채널형 트랜지스터 및 P채널형 트랜지스터중 어느 한 쪽으로 구성하는 것도 가능하다. 또 전자에 의해 구성된 주사선 구동 회로는, 후자에 의해 구성된 주사선 구동 회로보다 소비 전력을 저감할 수 있다. 또, 후자에 의해 구성된 주사선 구동 회로는 전자에 의해 구성된 주사선 구동 회로보다 제조 공정수를 저감하는 것이 가능하다.

[0004] 또 N채널형 트랜지스터 및 P채널형 트랜지스터 중 어느 한쪽으로 주사선 구동 회로를 구성하는 경우에는, 주사선에 대하여 출력되는 전위가 이 주사선 구동 회로에 출력되는 전원 전위로부터 변동하게 된다. 구체적으로는, N채널형 트랜지스터만으로 주사선 구동 회로를 구성하는 경우에는, 주사선과 이 주사선 구동 회로에 고전원 전위를 공급하는 배선의 사이에 적어도 하나의 N채널형 트랜지스터가 제공된다. 따라서, 주사선에 대하여 출력될 수 있는 고전위는 이 고전원 전위로부터 적어도 하나의 이 N채널형 트랜지스터의 문턱 전압분이 하강하게 된다. 마찬가지로, P채널형 트랜지스터만으로 주사선 구동 회로를 구성하는 경우에는, 주사선에 대하여 출력될 수 있는 저전위가 주사선 구동 회로에 대하여 공급되는 저전원 전위로부터 상승하게 된다.

[0005] 이것에 대하여, N채널형 트랜지스터 및 P채널형 트랜지스터 중 어느 한쪽으로 구성된 주사선 구동 회로이면서, 이 주사선 구동 회로에 공급되는 전원 전위를 변동시키지 않고 주사선에 대하여 출력하는 것이 가능한 주사선 구동 회로가 제안되어 있다.

[0006] 예를 들면, 특허문헌 1에서 개시되는 주사선 구동 회로는, 고전원 전위와 저전원 전위를 일정 주기로 반복하는 클록 신호와 주사선의 전기적인 접속을 제어하는 N채널형 트랜지스터를 포함하고 있다. 이 N채널형 트랜지스터의 드레인에 고전원 전위가 입력될 때에, 게이트의 전위를 게이트 및 소스 사이의 용량 결합으로 상승시킬 수 있다. 따라서, 특허문헌 1에서 개시되는 주사선 구동 회로에 있어서는, 이 N채널형 트랜지스터의 소스로부터 이 고전원 전위와 동일 또는 실질적으로 동일한 전위를 주사선에 대하여 출력하는 것이 가능하다.

[0007] 그러나, 액티브 매트릭스형의 표시 장치에 배치된 각 화소에 제공되는 스위치는 1개라고는 할 수 없다. 각 화소에 복수의 스위치가 존재하고, 각각의 스위칭을 독립적으로 제어하여 표시를 행하는 표시 장치도 존재한다. 예를 들면, 특허문헌 2에서 개시되는 표시 장치에서는 2종의 트랜지스터(P채널형 트랜지스터 및 N채널형 트랜지스터)가 각 화소에 형성되어 있고, 별개의 주사선에 의해 이 트랜지스터들의 스위칭이 제어되고 있다. 별개로 제공된 2종의 주사선의 전위를 제어하기 위해서 2종의 주사선 구동 회로(주사선 구동 회로 A 및 주사선 구동 회로 B)가 필요하다.

로 B)가 제공되어 있다. 그리고, 특허문헌 2에서 개시되는 표시 장치에서는, 별개로 제공된 주사선 구동 회로가 실질적으로 반전하는 신호를 주사선에 대하여 출력한다.

선행기술문헌

특허문헌

[0008]

(특허문헌 0001) 일본국 특개 2008-122939호 공보

(특허문헌 0002) 일본국 특개 2006-106786호 공보

발명의 내용

해결하려는 과제

[0009]

특허문헌 2에서 개시되어 있는 바와 같이, 주사선 구동 회로가 2종의 주사선의 한쪽에 대하여 다른 한쪽의 반전 신호 또는 실질적으로 반전 신호를 출력하는 것으로 표시를 행하는 표시 장치도 존재한다. 그러한 주사선 구동 회로를 N채널형 트랜지스터 및 P채널형 트랜지스터 중 어느 한쪽으로 구성할 수도 있다. 예를 들면, 특허문헌 1에서 개시되는 주사선에 신호를 출력하는 주사선 구동 회로는 신호를 2종의 주사선의 한쪽 및 인버터에 출력할 수도 있고, 이 인버터는 출력 신호를 2종의 주사선의 다른 한쪽에 출력할 수도 있다.

[0010]

단, 이 인버터를 N채널형 트랜지스터 및 P채널형 트랜지스터 중 어느 한쪽으로 구성하는 경우, 다량의 관통 전류가 발생하고, 이것은 표시 장치에서의 소비 전력의 증대로 직결된다는 점을 주목하라.

[0011]

그러므로, 본 발명의 일 양태의 과제는 N채널형 트랜지스터 및 P채널형 트랜지스터 중 어느 한쪽으로 구성되는 주사선 구동 회로를 가지는 표시 장치에 있어서, 주사선 구동 회로가 2종의 주사선의 한쪽에 대하여, 이러한 2종의 주사선의 다른 한쪽에 반전 신호 또는 실질적으로 반전 신호를 출력할 때의 소비 전력을 저감하는 것이다.

과제의 해결 수단

[0012]

본 발명의 일양태인 표시 장치는, 각각이 2종의 주사선의 한쪽에 대하여 신호를 출력하는 복수의 펄스 출력 회로와, 각각이 2종의 주사선의 다른 한쪽에 대하여 펄스 출력 회로가 출력하는 신호의 반전 신호 또는 실질적으로 반전 신호를 출력하는 복수의 반전 펄스 출력 회로를 가진다. 복수의 반전 펄스 출력 회로의 각각은 복수의 펄스 출력 회로의 동작에 이용되는 신호를 이용하여 동작한다.

[0013]

구체적으로는, 본 발명의 일양태는 표시 장치로서, m 행 n 열(m, n 은 4 이상의 자연수)에 배치된 복수의 화소; 제 1 내지 제 m 행 중 해당하는 것에 배치된 n 개의 화소에 각각이 전기적으로 접속되는 제 1 내지 제 m 주사선; 상기 제 1 내지 제 m 행 중 해당하는 것에 배치된 상기 n 개의 화소에 각각이 전기적으로 접속되는 제 1 내지 제 m 반전 주사선; 및 상기 제 1 내지 제 m 주사선과 상기 제 1 내지 제 m 반전 주사선에 전기적으로 접속되는 시프트 레지스터를 포함한다. k 번째 행(k 는 m 이하의 자연수)에 배치된 화소들 각각은, k 번째 주사선에 선택 신호를 입력함으로써 온 상태가 되는 제 1 스위치와, k 번째 반전 주사선에 선택 신호를 입력함으로써 온 상태가 되는 제 2 스위치를 가진다. 또한, 상기 시프트 레지스터는, 제 1 내지 제 m 펄스 출력 회로, 및 제 1 내지 제 m 반전 펄스 출력 회로를 포함한다. s 번째(s 는 $(m-2)$ 이하인 자연수) 펄스 출력 회로는, 스타트 펄스(s 가 1인 경우에 한정) 또는 제 $(s-1)$ 펄스 출력 회로로부터 출력되는 시프트 펄스가 입력되고, 또 상기 제 s 주사선으로 선택 신호를 출력하고, 또 상기 제 $(s+1)$ 펄스 출력 회로로 시프트 펄스를 출력하는 회로이며, 상기 스타트 펄스 또는 상기 제 $(s-1)$ 펄스 출력 회로로부터 출력되는 시프트 펄스의 입력이 개시되고부터 시프트 기간이 경과할 때까지의 제 1 기간에서 온 상태가 되는 제 1 트랜지스터를 포함하고, 상기 제 1 기간에서의, 상기 제 1 트랜지스터의 게이트와 소스 사이의 용량 결합을 이용함으로써, 상기 제 1 트랜지스터의 드레인으로, 제 1 클록 신호 입력의 전위와 동일 또는 실질적으로 동일한 전위를, 상기 제 1 트랜지스터의 소스로부터 출력한다. 상기 제 $(s+1)$ 펄스 출력 회로는, 상기 제 s 펄스 출력 회로로부터 출력되는 시프트 펄스가 입력되고, 또 상기 제 $(s+1)$ 주사선으로 선택 신호가 출력되고, 또 상기 제 $(s+2)$ 펄스 출력 회로로 시프트 펄스가 출력되는 회로이고, 상기 제 s 펄스 출력 회로로부터 출력되는 시프트 펄스의 입력이 개시되고부터 상기 시프트 기간이 경과할 때까지의 제 2 기간에 있어서 온 상태가 되는 제 2 트랜지스터를 포함하고, 상기 제 2 기간에서의, 상기 제 2 트랜지스터의 게이트와 소스 사이의 용량 결합을 이용함으로써, 상기 제 2 트랜지스터의 드레인으로 입력되는 제 2 클록 신호의 전위와 동일 또는 실질적으로 동일한 전위를, 상기 제 2 트랜지스터의 소스로부터 출력한다. 상기 제

s 펄스 출력 회로는, 상기 제 s 펄스 출력 회로로부터 출력되는 시프트 펄스가 입력되고, 또 상기 제 2 클록 신호가 입력되고, 또 상기 제 s 반전 주사선으로 선택 신호가 출력되는 회로이고, 상기 제 s 펄스 출력 회로로부터 출력되는 시프트 펄스의 입력이 개시되고부터 상기 제 2 클록 신호의 전위가 변화할 때까지의 제 3 기간에 있어서 오프 상태가 되는 제 3 트랜지스터를 포함하고, 상기 제 3 기간 후에, 상기 제 3 트랜지스터의 소스로부터 상기 제 s 반전 주사선으로 선택 신호를 출력한다.

[0014] 본 발명의 또 다른 일 양태는, 제 s 반전 펄스 출력 회로에 입력되는 제 2 클록 신호를 상기 표시 장치에서, 제 (s+1) 펄스 출력 회로가 출력하는 시프트 펄스로 치환한 표시 장치이다.

발명의 효과

[0015] 본 발명의 일 양태에 따른 표시 장치에서, 반전 펄스 출력 회로의 동작은 적어도 2종의 신호에 의해 제어된다. 그러므로, 이 반전 펄스 출력 회로에서 발생하는 관통 전류가 저감될 수 있다. 또, 이 2종의 신호로서 복수의 펄스 출력 회로의 동작에 이용되는 신호들이 사용된다. 즉, 별도로 신호를 생성하지 않고, 이 반전 펄스 출력 회로가 동작할 수 있다.

도면의 간단한 설명

[0016] 도 1은 표시 장치의 구성예를 도시하는 도면이다.
 도 2(A)는 주사선 구동 회로의 구성예를 도시하는 도면이고, 도 2(B)는 각종 신호의 파형의 일례를 도시하는 도면이고, 도 2(C)는 펄스 출력 회로의 단자를 도시하는 도면이고, 도 2(D)는 반전 펄스 출력 회로의 단자를 도시하는 도면이다.
 도 3(A)은 펄스 출력 회로의 구성예를 도시하는 도면이고, 도 3(B)은 펄스 출력 회로의 동작예를 도시하는 도면이고, 도 3(C)은 반전 펄스 출력 회로의 구성예를 도시하는 도면이고, 도 3(D)은 반전 펄스 출력 회로의 동작예를 도시하는 도면이다.
 도 4(A)는 화소의 구성예를 도시하는 도면이고, 도 4(B)는 화소의 동작예를 도시하는 도면이다.
 도 5는 주사선 구동 회로의 변형예를 도시하는 도면이다.
 도 6(A)은 주사선 구동 회로의 변형예를 도시하는 도면이고, 도 6(B)은 각종 신호의 파형의 일례를 도시하는 도면이다.
 도 7은 주사선 구동 회로의 변형예를 도시하는 도면이다.
 도 8(A) 및 도 8(B)은 펄스 출력 회로의 변형예를 도시하는 도면이다.
 도 9(A) 및 도 9(B)는 펄스 출력 회로의 변형예를 도시하는 도면이다.
 도 10(A) 내지 도 10(C)은 반전 펄스 출력 회로의 변형예를 도시하는 도면이다.
 도 11(A) 내지 도 11(D)은 트랜지스터의 구체적인 예를 도시하는 단면도이다.
 도 12(A) 내지 도 12(D)는 트랜지스터의 구체적인 예를 도시하는 단면도이다.
 도 13(A) 및 도 13(B)은 트랜지스터의 구체적인 예를 도시하는 상면도이다.
 도 14(A) 내지 도 14(F)는 전자기기의 일례를 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하에서는, 본 발명의 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명으로 한정되지 않고, 본 발명의 취지 및 그 범위로부터 벗어나지 않으며, 그 형태 및 세부 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다.

[0018] 우선, 본 발명의 일양태의 표시 장치의 구성예에 대하여 도 1~도 4를 참조하여 설명한다.

[0019] <표시 장치의 구성예>

[0020] 도 1은 표시 장치의 구성예를 도시하는 도면이다. 도 1에 도시하는 표시 장치는 m행 n열에 배치된 복수의 화소

(10)와, 주사선 구동 회로(1)와, 신호선 구동 회로(2)와, 전류원(3)과, 각각이 복수의 화소(10) 중 어느 1행에 배치된 화소에 전기적으로 접속되고, 또 주사선 구동 회로(1)에 의해 전위가 제어되는 m개의 주사선(4) 및 m개의 반전 주사선(5)과, 각각이 복수의 화소(10) 중 어느 1열에 배치된 화소에 전기적으로 접속되고, 또 신호선 구동 회로(2)에 의해 전위가 제어되는 n개의 신호선(6)과 복수의 지선이 형성되고, 또 전류원(3)에 전기적으로 접속되는 전원선(7)을 가진다.

[0021] <주사선 구동 회로의 구성예>

[0022] 도 2(A)는 도 1에 도시하는 표시 장치에 포함되는 주사선 구동 회로(1)의 구성예를 도시하는 도면이다. 도 2(A)에 도시하는 주사선 구동 회로(1)는 제 1 내지 제 4 주사선 구동 회로용 클록 신호(GCK4)를 공급하는 배선과, 제 1 내지 제 4 펄스 폭 제어 신호(PWC4)를 공급하는 배선과, 주사선(4₁ ~ 4_m)을 통하여 1행~m행에 배치된 화소(10)에 전기적으로 접속된 제 1 내지 제 m 펄스 출력 회로(20₁ ~ 20_m)와, 반전 주사선(5₁~5_m)을 통하여 1행~m행에 배치된 화소(10)에 전기적으로 접속된 제 1~제 m 반전 펄스 출력 회로(60₁~60_m)를 가진다.

[0023] 제 1 펄스 출력 회로(20₁)~제 m 펄스 출력 회로(20_m)는 제 1 펄스 출력 회로(20₁)에 입력되는 주사선 구동 회로용 스타트 펄스(GSP)에 대한 응답으로 시프트 기간마다 시프트 펄스를 순차로 출력한다. 상세히 설명하면, 제 1 펄스 출력 회로(20₁)는, 주사선 구동 회로용 스타트 펄스(GSP)가 입력된 후에, 제 2 펄스 출력 회로(20₂)로 시프트 기간에 걸쳐 시프트 펄스를 출력한다. 다음으로, 제 1 펄스 출력 회로로부터 출력되는 시프트 펄스가 제 2 펄스 출력 회로(20₂)로 입력된 후에, 제 2 펄스 출력 회로(20₂)는 제 3 펄스 출력 회로(20₃)로 시프트 기간에 걸쳐 시프트 펄스를 출력한다. 이후, 제 m 펄스 출력 회로(20_m)로 시프트 펄스가 입력될 때까지 상기 동작이 반복된다.

[0024] 또한, 제 1~제 m 펄스 출력 회로(20₁~20_m)의 각각은, 이시프트 펄스가 입력되었을 때에 주사선에 대하여 선택 신호를 출력하는 기능을 가진다. 또한 선택 신호란, 이 주사선의 전위에 의해 스위칭이 제어되는 스위치를 온 상태로 하는 신호를 가리킨다.

[0025] 도 2(B)는 상기 신호의 구체적인 파형의 일례를 도시하는 도면이다.

[0026] 구체적으로는, 도 2(B)에 도시하는 제 1 주사선 구동 회로용 클록 신호(GCK1)는 주기적으로 하이레벨의 전위(고전원 전위(V_{dd}))와 로우레벨의 전위(저전원 전위(V_{ss}))사이를 반복하는, 듀티비(duty ratio)가 약 1/4인 신호이다. 또, 제 2 주사선 구동 회로용 클록 신호(GCK2)는 제 1 주사선 구동 회로용 클록 신호(GCK1)로부터 1/4 주기 위상이 시프트된 신호이며, 제 3 주사선 구동 회로용 클록 신호(GCK3)는 제 1 주사선 구동 회로용 클록 신호(GCK1)로부터 1/2 주기 위상이 시프트된 신호이며, 제 4 주사선 구동 회로용 클록 신호(GCK4)는 제 1 주사선 구동 회로용 클록 신호(GCK1)로부터 3/4 주기 위상이 시프트된 신호이다.

[0027] 또한, 제 1 펄스 폭 제어 신호(PWC1)의 전위는 제 1 주사선 구동 회로용 클록 신호(GCK1)의 전위가 하이레벨의 전위가 되기 전에 하이레벨의 전위가 되고, 또 제 1 주사선 구동 회로용 클록 신호(GCK1)의 전위가 하이레벨의 전위인 기간 중에 로우레벨의 전위가 되고, 듀티비가 1/4 미만이다. 또, 제 2 펄스 폭 제어 신호(PWC2)는 제 1 펄스 폭 제어 신호(PWC1)로부터 1/4 주기 위상이 시프트되고, 제 3 펄스 폭 제어 신호(PWC3)는 제 1 펄스 폭 제어 신호(PWC1)로부터 1/2 주기 위상이 시프트되고, 제 4 펄스 폭 제어 신호(PWC4)는 제 1 펄스 폭 제어 신호(PWC1)로부터 3/4 주기 위상이 시프트된다.

[0028] 도 2(A)에 도시하는 표시 장치에서는 동일한 구성이 제 1 펄스 출력 회로(20₁)~제 m 펄스 출력 회로(20_m)로서 적용할 수 있다. 단, 펄스 출력 회로에 포함되는 복수의 단자의 전기적인 접속 관계는 펄스 출력 회로에 따라 다르다. 구체적인 접속 관계에 대하여 도 2(A), 도 2(C)를 참조하여 설명한다.

[0029] 제 1 펄스 출력 회로(20₁)~제 m 펄스 출력 회로(20_m)의 각각은, 단자(21)~단자(27)를 가진다. 또 단자(21)~단자(24) 및 단자(26)는 입력 단자이며, 단자(25) 및 단자(27)는 출력 단자이다.

[0030] 우선, 단자(21)에 대하여 서술한다. 제 1 펄스 출력 회로(20₁)의 단자(21)는 주사선 구동 회로용 스타트 펄스(GSP)를 공급하는 배선에 전기적으로 접속되고, 제 2 펄스 출력 회로(20₂)~제 m 펄스 출력 회로(20_m)의 단자(21)는 그들 각각의 전단(previous-stage)의 펄스 출력 회로의 단자(27)에 전기적으로 접속되어 있다.

[0031] 다음으로, 단자(22)에 대하여 서술한다. 제 (4a-3) 펄스 출력 회로(a는 m/4 이하의 자연수)의 단자(22)는 제 1 주사선 구동 회로용 클록 신호(GCK1)를 공급하는 배선에 전기적으로 접속되어 있다. 제 (4a-2) 펄스 출력 회로의 단자(22)는 제 2 주사선 구동 회로용 클록 신호(GCK2)를 공급하는 배선에 전기적으로 접속되어 있다. 제 (4a-1) 펄스 출력 회로의 단자(22)는 제 3 주사선 구동 회로용 클록 신호(GCK3)를 공급하는 배선에 전기적으로

접속되어 있다. 제 4a 펄스 출력 회로의 단자(22)는 제 4 주사선 구동 회로용 클록 신호(GCK4)를 공급하는 배선에 전기적으로 접속되어 있다.

[0032] 다음으로, 단자(23)에 대하여 서술한다. 제 (4a-3) 펄스 출력 회로의 단자(23)는 제 2 주사선 구동 회로용 클록 신호(GCK2)를 공급하는 배선에 전기적으로 접속되어 있다. 제 (4a-2) 펄스 출력 회로의 단자(23)는 제 3 주사선 구동 회로용 클록 신호(GCK3)를 공급하는 배선에 전기적으로 접속되어 있다. 제 (4a-1) 펄스 출력 회로의 단자(23)는 제 4 주사선 구동 회로용 클록 신호(GCK4)를 공급하는 배선에 전기적으로 접속되어 있다. 제 4a 펄스 출력 회로의 단자(23)는 제 1 주사선 구동 회로용 클록 신호(GCK1)를 공급하는 배선에 전기적으로 접속되어 있다.

[0033] 다음으로, 단자(24)에 대하여 서술한다. 제 (4a-3) 펄스 출력 회로의 단자(24)는 제 1 펄스 폭 제어 신호(PWC1)를 공급하는 배선에 전기적으로 접속되어 있다. 제 (4a-2) 펄스 출력 회로의 단자(24)는 제 2 펄스 폭 제어 신호(PWC2)를 공급하는 배선에 전기적으로 접속되어 있다. 제 (4a-1) 펄스 출력 회로의 단자(24)는 제 3 펄스 폭 제어 신호(PWC3)를 공급하는 배선에 전기적으로 접속되어 있다. 제 4a 펄스 출력 회로의 단자(24)는 제 4 펄스 폭 제어 신호(PWC4)를 공급하는 배선에 전기적으로 접속되어 있다.

[0034] 다음으로, 단자(25)에 대하여 서술한다. 제 x 펄스 출력 회로(x는 m 이하의 자연수)의 단자(25)는 x번째 행에 배치된 주사선(4_x)에 전기적으로 접속되어 있다.

[0035] 다음으로, 단자(26)에 대하여 서술한다. 제 y 펄스 출력 회로(y는, (m-1) 이하의 자연수)의 단자(26)는 제 (y+1) 펄스 출력 회로의 단자(27)에 전기적으로 접속되어 있다. 제 m 펄스 출력 회로의 단자(26)는 제 m 펄스 출력 회로용 스톱 신호(STP)를 공급하는 배선에 전기적으로 접속되어 있다. 제 m 펄스 출력 회로용 스톱 신호(STP)는, 제(m+1) 펄스 출력 회로가 제공되어 있는 경우, 제 (m+1) 펄스 출력 회로의 단자(27)로부터 출력되는 신호에 해당하는 신호이다. 구체적으로 제 m 펄스 출력 회로용 스톱 신호(STP)는, 실제로 더미 회로로서 제 (m+1) 펄스 출력 회로를 형성하는 것, 또는 외부로부터 이 신호를 직접 입력하는 것 등에 의해 제 m 펄스 출력 회로로 공급할 수 있다.

[0036] 각 펄스 출력 회로의 단자(27)의 접속 관계는 상기와 같이 설명되었다. 따라서, 여기에서는 상기한 설명을 인용하는 것으로 한다.

[0037] 도 2(A)에 도시하는 표시 장치에 있어서, 동일한 구성이 제 1 반전 펄스 출력 회로(60_1)~제 m 반전 펄스 출력 회로(60_m)에 적용될 수 있다. 그러나, 반전 펄스 출력 회로에 포함되는 복수의 단자의 전기적인 접속 관계는 반전 펄스 출력 회로에 따라 다르다. 구체적인 접속 관계에 대하여 도 2(A), 도 2(D)를 참조하여 설명한다.

[0038] 제 1 반전 펄스 출력 회로(60_1)~제 m 반전 펄스 출력 회로(60_m)의 각각은, 단자(61)~단자(63)를 가진다. 또 단자(61) 및 단자(62)는 입력 단자이며, 단자(63)는 출력 단자이다.

[0039] 우선, 단자(61)에 대하여 서술한다. 제 (4a-3) 반전 펄스 출력 회로의 단자(61)는 제 2 주사선 구동 회로용 클록 신호(GCK2)를 공급하는 배선에 전기적으로 접속되어 있다. 제 (4a-2) 반전 펄스 출력 회로의 단자(61)는 제 3 주사선 구동 회로용 클록 신호(GCK3)를 공급하는 배선에 전기적으로 접속되어 있다. 제 (4a-1) 반전 펄스 출력 회로의 단자(61)는 제 4 주사선 구동 회로용 클록 신호(GCK4)를 공급하는 배선에 전기적으로 접속되어 있다. 제 4a 펄스 출력 회로의 단자(61)는 제 1 주사선 구동 회로용 클록 신호(GCK1)를 공급하는 배선에 전기적으로 접속되어 있다.

[0040] 다음으로, 단자(62)에 대하여 서술한다. 제 x 반전 펄스 출력 회로의 단자(62)는, 제x의 펄스 출력 회로의 단자(27)에 전기적으로 접속되어 있다.

[0041] 다음으로, 단자(63)에 대하여 서술한다. 제 x 반전 펄스 출력 회로의 단자(63)는 x번째 행에 배치된 반전 주사선(5_x)에 전기적으로 접속되어 있다.

[0042] <펄스 출력 회로의 구성예>

[0043] 도 3(A)은 도 2(A), 도 2(C)에 도시하는 펄스 출력 회로의 구성예를 도시하는 도면이다. 도 3(A)에 도시하는 펄스 출력 회로는 트랜지스터(31)~트랜지스터(39)를 가진다.

[0044] 트랜지스터(31)의 소스 및 드레인 중 한쪽이 고전원 전위(Vdd)를 공급하는 배선(이하, 고전원 전위선이라고도 함)에 전기적으로 접속되고; 트랜지스터(31)의 게이트가 단자(21)에 전기적으로 접속되어 있다.

[0045] 트랜지스터(32)의 소스 및 드레인 중 한쪽이 저전원 전위(Vss)를 공급하는 배선(이하, 저전원 전위선이라고도

함)에 전기적으로 접속되고; 트랜지스터(32)의 소스 및 드레인 중 다른 한쪽이 트랜지스터(31)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되어 있다.

[0046] 트랜지스터(33)의 소스 및 드레인 중 한쪽이 단자(22)에 전기적으로 접속되고; 트랜지스터(33)의 소스 및 드레인 중 다른 한쪽이 단자(27)에 전기적으로 접속되고; 트랜지스터(33)의 게이트가 트랜지스터(31)의 소스 및 드레인 중 다른 한쪽 및 트랜지스터(32)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되어 있다.

[0047] 트랜지스터(34)의 소스 및 드레인 중 한쪽이 저전원 전위선에 전기적으로 접속되고; 트랜지스터(34)의 소스 및 드레인 중 다른 한쪽이 단자(27)에 전기적으로 접속되고; 트랜지스터(34)의 게이트가 트랜지스터(32)의 게이트에 전기적으로 접속되어 있다.

[0048] 트랜지스터(35)의 소스 및 드레인 중 한쪽이 저전원 전위선에 전기적으로 접속되고; 트랜지스터(35)의 소스 및 드레인 중 다른 한쪽이 트랜지스터(32)의 게이트 및 트랜지스터(34)의 게이트에 전기적으로 접속되고; 트랜지스터(35)의 게이트가 단자(21)에 전기적으로 접속되어 있다.

[0049] 트랜지스터(36)의 소스 및 드레인 중 한쪽이 고전원 전위선에 전기적으로 접속되고; 트랜지스터(36)의 소스 및 드레인 중 다른 한쪽이 트랜지스터(32)의 게이트, 트랜지스터(34)의 게이트, 및 트랜지스터(35)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되고; 트랜지스터(36)의 게이트가 단자(26)에 전기적으로 접속되어 있다.

[0050] 트랜지스터(37)의 소스 및 드레인 중 한쪽이 고전원 전위선에 전기적으로 접속되고; 트랜지스터(37)의 소스 및 드레인 중 다른 한쪽이 트랜지스터(32)의 게이트, 트랜지스터(34)의 게이트, 트랜지스터(35)의 소스 및 드레인 중 다른 한쪽, 및 트랜지스터(36)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되고; 트랜지스터(37)의 게이트가 단자(23)에 전기적으로 접속되어 있다.

[0051] 트랜지스터(38)의 소스 및 드레인 중 한쪽이 단자(24)에 전기적으로 접속되고; 트랜지스터(38)의 소스 및 드레인 중 다른 한쪽이 단자(25)에 전기적으로 접속되고; 트랜지스터(38)의 게이트가 트랜지스터(31)의 소스 및 드레인 중 다른 한쪽, 트랜지스터(32)의 소스 및 드레인 중 다른 한쪽, 및 트랜지스터(33)의 게이트에 전기적으로 접속되어 있다.

[0052] 트랜지스터(39)의 소스 및 드레인 중 한쪽이 저전원 전위선에 전기적으로 접속되고; 트랜지스터(39)의 소스 및 드레인 중 다른 한쪽이 단자(25)에 전기적으로 접속되고; 트랜지스터(39)의 게이트가 트랜지스터(32)의 게이트, 트랜지스터(34)의 게이트, 트랜지스터(35)의 소스 및 드레인 중 다른 한쪽, 트랜지스터(36)의 소스 및 드레인 중 다른 한쪽, 및 트랜지스터(37)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되어 있다.

[0053] 또 이하에서는 트랜지스터(31)의 소스 및 드레인 중 다른 한쪽, 트랜지스터(32)의 소스 및 드레인 중 다른 한쪽, 트랜지스터(33)의 게이트, 및 트랜지스터(38)의 게이트가 전기적으로 접속하는 노드를 노드 A라고 부른다. 또한, 트랜지스터(32)의 게이트, 트랜지스터(34)의 게이트, 트랜지스터(35)의 소스 및 드레인 중 다른 한쪽, 트랜지스터(36)의 소스 및 드레인 중 다른 한쪽, 트랜지스터(37)의 소스 및 드레인 중 다른 한쪽, 및 트랜지스터(39)의 게이트가 전기적으로 접속하는 노드를 노드 B라고 부른다.

[0054] <펄스 출력 회로의 동작예>

[0055] 상기한 펄스 출력 회로의 동작예에 대하여 도 3(B)을 참조하여 설명한다. 구체적으로는, 도 3(B)에는 제 1 펄스 출력 회로(20_1)으로부터 시프트 펄스가 입력될 때의 제 2 펄스 출력 회로(20_2)의 각 단자에 입력되는 신호, 및 각 단자로부터 출력되는 신호의 전위, 및 노드 A 및 노드 B의 전위를 도시하고 있다. 또, 제 3 펄스 출력 회로(20_3)의 단자(25)로부터 출력되는 신호(Gout3) 및 그 단자(27)로부터 출력되는 신호(SRout3, 제 2 펄스 출력 회로(20_2)의 단자(26)에 입력되는 신호)를 도시하고 있다. 단, 도 3(B)에서 Gout는 펄스 출력 회로로부터 상응하는 주사선에 대한 출력 신호를 나타내고, SRout는 이 펄스 출력 회로로부터 다음-단(subsequent-stage)의 펄스 출력 회로로 출력되는 신호를 나타내고 있다.

[0056] 우선, 도 3(B)을 참조하여 제 2 펄스 출력 회로(20_2)에 제 1 펄스 출력 회로(20_1)로부터 시프트 펄스가 입력되는 경우에 대하여 설명한다.

[0057] 기간 t1에 있어서, 단자(21)에 하이레벨의 전위(고전원 전위(Vdd))가 입력된다. 따라서, 트랜지스터(31, 35)가 온 상태가 된다. 그 결과, 노드 A의 전위가 하이레벨의 전위(고전원 전위(Vdd))로부터 트랜지스터(31)의 문턱 전압분 하강한 전위)로 상승하고, 또한 노드 B의 전위가 저전원 전위(Vss)로 하강한다. 이에 따라, 트랜지스터(33, 38)가 온 상태가 되고, 트랜지스터(32, 34, 39)가 오프 상태가 된다. 이상에 따라, 기간 t1에 있어서 단자(27)로부터 출력되는 신호는 단자(22)에 입력되고, 단자(25)로부터 출력되는 신호는 단자(24)에 입력된다.

여기에서, 기간 t1에 있어서, 단자(22) 및 단자(24)에 입력되는 신호는 모두 로우레벨의 전위(저전원 전위(Vss))이다. 따라서, 기간 t1에 있어서, 제 2 펄스 출력 회로(20_2)는 제 3 펄스 출력 회로(20_3)의 단자(21), 및 화소부에 있어서 2번째 행의 주사선에 로우레벨의 전위(저전원 전위(Vss))를 출력한다.

[0058] 기간 t2에 있어서, 각 단자에 입력되는 신호의 레벨은 기간 t1에의 신호로부터 변화하지 않는다. 따라서, 단자(25) 및 단자(27)로부터 출력되는 신호가 변화하지 않고, 로우레벨의 전위(저전원 전위(Vss))가 그들로부터 출력된다.

[0059] 기간 t3에 있어서, 단자(24)에 하이레벨의 전위(고전원 전위(Vdd))가 입력된다. 단, 노드 A의 전위(트랜지스터(31)의 소스의 전위)는 기간 t1에 있어서 하이레벨의 전위(고전원 전위(Vdd))로부터 트랜지스터(31)의 문턱 전압분 하강한 전위)까지 상승한다. 따라서, 트랜지스터(31)는 오프 상태로 된다. 이 때, 단자(24)에 하이레벨의 전위(고전원 전위(Vdd))가 입력됨으로써, 트랜지스터(38)의 게이트 및 소스 사이의 용량 결합에 의해, 노드 A의 전위(트랜지스터(38)의 게이트의 전위)가 더 상승한다(부트 스트랩 동작). 또, 이 부트 스트랩 동작에 의해, 단자(25)로부터 출력되는 신호의 전위가 단자(24)에 입력되는 하이레벨의 전위(고전원 전위(Vdd))에서 하강하지 않는다. 따라서, 기간 t3에 있어서 제 2 펄스 출력 회로(20_2)는, 화소부에 있어서 2번째 행에 배치된 주사선에 하이레벨의 전위(고전원 전위(Vdd)=선택 신호)를 출력한다.

[0060] 기간 t4에 있어서, 단자(22)에 하이레벨의 전위(고전원 전위(Vdd))가 입력된다. 그 결과, 노드 A의 전위는 부트 스트랩 동작에 의해 상승하고 있기 때문에, 단자(27)로부터 출력되는 신호의 전위가 단자(22)에 입력되는 하이레벨의 전위(고전원 전위(Vdd))로부터 하강하지 않는다. 따라서, 기간 t4에 있어서, 단자(27)에서는 단자(22)에 입력되는 하이레벨의 전위(고전원 전위(Vdd))가 출력된다. 즉, 제 2 펄스 출력 회로(20_2)는 제 3 펄스 출력 회로(20_3)의 단자(21)에 하이레벨의 전위(고전원 전위(Vdd)=시프트 펄스)를 출력한다. 또, 기간 t4에 있어서 단자(24)에 입력되는 신호의 전위는 하이레벨의 전위(고전원 전위(Vdd))를 유지하기 때문에, 제 2 펄스 출력 회로(20_2)로부터 화소부에서 2번째 행에 배치된 주사선에 대하여 출력되는 신호의 전위는 하이레벨의 전위(고전원 전위(Vdd)=선택 신호)로 유지된다. 또 기간 t4에서의 제 2 펄스 출력 회로로부터의 출력 신호에는 직접 관여하지 않는, 로우레벨의 전위(저전원 전위(Vss))가 단자(21)에 입력되어 트랜지스터(35)가 오프 상태가 된다.

[0061] 기간 t5에 있어서, 단자(24)에 로우레벨의 전위(저전원 전위(Vss))가 입력된다. 이 기간에서, 트랜지스터(38)는 온 상태를 유지한다. 따라서, 기간 t5에서 제 1 펄스 출력 회로(20_1)는, 화소부에 있어서 2번째 행에 배치된 주사선으로 로우레벨의 전위(저전원 전위(Vss))를 출력한다.

[0062] 기간 t6에 있어서, 각 단자에 입력되는 신호의 레벨은 기간 t5에서의 그것으로부터 변화하지 않는다. 따라서, 단자(25) 및 단자(27)로부터 출력되는 전위도 변화하지 않고; 단자(25)로부터는 로우레벨의 전위(저전원 전위(Vss))가 출력되고, 단자(27)로부터는 하이레벨의 전위(고전원 전위(Vdd)=시프트 펄스)가 출력된다.

[0063] 기간 t7에 있어서, 단자(23)에 하이레벨의 전위(고전원 전위(Vdd))가 입력된다. 따라서, 트랜지스터(37)가 온 상태가 된다. 그 결과, 노드 B의 전위가 하이레벨의 전위(고전원 전위(Vdd))로부터 트랜지스터(37)의 문턱 전압분 하강한 전위)로 상승하여, 트랜지스터(32, 34, 39)가 온 상태가 된다. 따라서, 노드 A의 전위가 로우레벨의 전위(저전원 전위(Vss))로 하강하여, 트랜지스터(33, 38)가 오프 상태가 된다. 이상에 따라 기간 t7에 있어서, 단자(25) 및 단자(27)로부터 출력되는 신호는 모두 저전원 전위(Vss)가 된다. 즉, 기간 t7에 있어서 제 2 펄스 출력 회로(20_2)는 제 3 펄스 출력 회로(20_3)의 단자(21), 및 화소부에 있어서 2번째 행에 배치된 주사선에 저전원 전위(Vss)를 출력한다.

[0064] <반전 펄스 출력 회로의 구성예>

[0065] 도 3(C)은 도 2(A), 도 2(D)에 도시하는 반전 펄스 출력 회로의 구성예를 도시하는 도면이다. 도 3(C)에 도시하는 반전 펄스 출력 회로는 트랜지스터(71)~트랜지스터(74)를 가진다.

[0066] 트랜지스터(71)의 소스 및 드레인 중 한쪽이 고전원 전위선에 전기적으로 접속되고; 트랜지스터(71)의 게이트가 단자(61)에 전기적으로 접속되어 있다.

[0067] 트랜지스터(72)의 소스 및 드레인 중 한쪽이 저전원 전위선에 전기적으로 접속되고; 트랜지스터(72)의 소스 및 드레인 중 다른 한쪽이 트랜지스터(71)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되고; 트랜지스터(72)의 게이트가 단자(62)에 전기적으로 접속되어 있다.

[0068] 트랜지스터(73)의 소스 및 드레인 중 한쪽이 고전원 전위선에 전기적으로 접속되고; 트랜지스터(73)의 소스 및

드레인 중 다른 한쪽이 단자(63)에 전기적으로 접속되고; 트랜지스터(73)의 게이트가 트랜지스터(71)의 소스 및 드레인 중 다른 한쪽, 및 트랜지스터(72)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되어 있다.

[0069] 트랜지스터(74)의 소스 및 드레인 중 한쪽이 저전원 전위선에 전기적으로 접속되고; 트랜지스터(74)의 소스 및 드레인 중 다른 한쪽이 단자(63)에 전기적으로 접속되고; 트랜지스터(74)의 게이트가 단자(62)에 전기적으로 접속되어 있다.

[0070] 또 이하에서는, 트랜지스터(71)의 소스 및 드레인 중 다른 한쪽, 트랜지스터(72)의 소스 및 드레인 중 다른 한쪽, 및 트랜지스터(73)의 게이트가 전기적으로 접속하는 노드를 노드 C라고 부른다.

[0071] <반전 펄스 출력 회로의 동작예>

[0072] 상기한 반전 펄스 출력 회로의 동작예에 대하여 도 3(D)을 참조하여 설명한다. 구체적으로는, 도 3(D)에는 도 3(B)에 도시하는 기간 t_1 ~기간 t_7 에 있어서 제 2 반전 펄스 출력 회로(20_2)의 각 단자에 입력되는 신호, 및 출력되는 신호의 전위, 및 노드 C의 전위를 도시하고 있다. 도 3(D)에서는 각 단자에 입력되는 신호를 괄호 쓰기로 부기하고 있다. 또한, 도 3(D)에 있어서, GBout는 반전 펄스 출력 회로의 반전 주사선에 대한 출력 신호를 나타내고 있다.

[0073] 기간 t_1 ~기간 t_3 에 있어서 단자(61) 및 단자(62)에 로우레벨의 전위가 입력된다. 따라서, 트랜지스터(71, 72, 74)가 오프 상태가 된다. 따라서, 노드 C의 전위는 하이레벨의 전위인 채 유지된다. 따라서, 트랜지스터(73)가 온 상태가 된다. 노드 C의 전위는 트랜지스터(73)의 게이트 및 소스(기간 t_1 ~기간 t_3 에 있어서, 단자(63)에 전기적으로 접속된 소스 및 드레인 중 다른 한쪽이 소스가 됨) 사이의 용량 결합에 의해, 고전원 전위(Vdd)에 트랜지스터(73)의 문턱 전압을 더한 전위보다 고전위로 되어 있다(부트스트랩 동작). 이상에 따라 기간 t_1 ~ t_3 에 있어서 단자(63)로부터 출력되는 신호의 전위는 고전원 전위(Vdd)가 된다. 즉, 기간 t_1 ~기간 t_3 에 있어서, 제 2 반전 펄스 출력 회로(60_2)는 화소부에 있어서 2번째 행에 배치된 반전 주사선에 고전원 전위(Vdd)를 출력한다.

[0074] 기간 t_4 에 있어서, 단자(62)에 하이레벨의 전위(고전원 전위(Vdd))가 입력된다. 따라서, 트랜지스터(72, 74)가 온 상태가 된다. 따라서, 노드 C의 전위가 로우레벨의 전위(저전원 전위(Vss))로 하강하고, 트랜지스터(73)가 오프 상태가 된다. 이상에 따라 기간 t_4 에 있어서, 단자(63)로부터 출력되는 신호의 전위는 저전원 전위(Vss)가 된다. 즉, 기간 t_4 에 있어서, 제 2 반전 펄스 출력 회로(60_2)는 화소부에 있어서 2번째 행에 배치된 반전 주사선에 저전원 전위(Vss)를 출력한다.

[0075] 기간 t_5 및 기간 t_6 에 있어서, 단자에 입력되는 신호의 전위는 기간 t_4 로부터 변화하지 않는다. 따라서, 단자(63)로부터 출력되는 신호의 전위도 변화하지 않고; 로우레벨의 전위(저전원 전위(Vss))를 출력한다.

[0076] 기간 t_7 에 있어서, 단자(61)에 하이레벨의 전위(고전원 전위(Vdd))가 입력되고, 또 단자(62)에 로우레벨의 전위(저전원 전위(Vss))가 입력된다. 따라서, 트랜지스터(71)가 온 상태가 되고, 트랜지스터(72, 74)가 오프 상태가 된다. 따라서, 노드 C의 전위가 하이레벨의 전위(고전원 전위(Vdd))로부터 트랜지스터(71)의 문턱 전압분 하강한 전위로 하강하고, 트랜지스터(73)가 온 상태가 된다. 또한, 노드 C의 전위는 트랜지스터(73)의 게이트 및 소스 사이의 용량 결합에 의해 고전원 전위(Vdd)에 트랜지스터(73)의 문턱 전압을 더한 전위보다 고전위가 된다(부트스트랩 동작). 이상에 따라 기간 t_7 에 있어서, 단자(63)로부터 출력되는 신호의 전위는 고전원 전위(Vdd)가 된다. 즉, 기간 t_7 에 있어서, 제 2 반전 펄스 출력 회로(60_2)는 화소부에 있어서 2번째 행에 배치된 반전 주사선에 고전원 전위(Vdd)를 출력한다.

[0077] <화소의 구성예>

[0078] 도 4(A)는 도 1에 도시하는 화소(10)의 구성예를 도시하는 회로도이다. 도 4(A)에서의 화소(10)는 트랜지스터(11)~트랜지스터(16)와 커패시터(17)와 한쌍의 전극간에 전류 여기(current excitation)에 의해 발광하는 유기물을 구비한 소자(이하, 유기 일렉트로루미네선스 발광(EL) 소자라고도 함)(18)을 가진다.

[0079] 트랜지스터(11)의 소스 및 드레인 중 한쪽이 신호선(6)에 전기적으로 접속되고; 트랜지스터(11)의 게이트가 주사선(4)에 전기적으로 접속되어 있다.

[0080] 트랜지스터(12)의 소스 및 드레인 중 한쪽이 공통 전위를 공급하는 배선에 전기적으로 접속되고; 트랜지스터(12)의 게이트가 주사선(4)에 전기적으로 접속되어 있다. 또 여기에서 공통 전위는, 전원선(7)에 부여되는 전위보다 저전위이다.

- [0081] 트랜지스터(13)의 게이트가 주사선(4)에 전기적으로 접속되어 있다.
- [0082] 트랜지스터(14)의 소스 및 드레인 중 한쪽이 전원선(7)에 전기적으로 접속되고; 트랜지스터(14)의 소스 및 드레인 중 다른 한쪽이 트랜지스터(13)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고; 트랜지스터(14)의 게이트가 반전 주사선(5)에 전기적으로 접속되어 있다.
- [0083] 트랜지스터(15)의 소스 및 드레인 중 한쪽이 트랜지스터(13)의 소스 및 드레인 중 한쪽, 및 트랜지스터(14)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되고; 트랜지스터(15)의 소스 및 드레인 중 다른 한쪽이 트랜지스터(11)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되고; 트랜지스터(15)의 게이트가 트랜지스터(13)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되어 있다.
- [0084] 트랜지스터(16)의 소스 및 드레인 중 한쪽이 트랜지스터(11)의 소스 및 드레인 중 다른 한쪽, 및 트랜지스터(15)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되고; 트랜지스터(16)의 소스 및 드레인 중 다른 한쪽이 트랜지스터(12)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되고; 트랜지스터(16)의 게이트가 반전 주사선(5)에 전기적으로 접속되어 있다.
- [0085] 커패시터(17)의 한쪽의 전극이 트랜지스터(13)의 소스 및 드레인 중 다른 한쪽, 및 트랜지스터(15)의 게이트에 전기적으로 접속되고; 커패시터(17)의 다른 한쪽의 전극이 트랜지스터(12)의 소스 및 드레인 중 다른 한쪽, 및 트랜지스터(16)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되어 있다.
- [0086] 유기 EL소자(18)의 애노드(anode)가 트랜지스터(12)의 소스 및 드레인 중 다른 한쪽, 트랜지스터(16)의 소스 및 드레인 중 다른 한쪽, 및 커패시터(17)의 다른 한쪽의 전극에 전기적으로 접속된다. 유기 EL소자(18)의 캐소드가 공통 전위를 공급하는 배선에 전기적으로 접속되어 있다. 또한, 상기한 트랜지스터(12)의 소스 및 드레인 중 한쪽이 전기적으로 접속하는 배선에 부여되는 공통 전위와, 유기 EL소자(18)의 캐소드에 부여되는 공통 전위가 다른 전위여도 좋다.
- [0087] 또 이하에서는, 트랜지스터(13)의 소스 및 드레인 중 다른 한쪽, 트랜지스터(15)의 게이트, 및 커패시터(17)의 한쪽의 전극이 전기적으로 접속하는 노드를 노드 D라고 부른다. 트랜지스터(13)의 소스 및 드레인 중 한쪽, 트랜지스터(14)의 소스 및 드레인 중 다른 한쪽, 및 트랜지스터(15)의 소스 및 드레인 중 한쪽이 전기적으로 접속하는 노드를 노드 E라고 부른다. 트랜지스터(11)의 소스 및 드레인 중 다른 한쪽, 트랜지스터(15)의 소스 및 드레인 중 다른 한쪽, 및 트랜지스터(16)의 소스 및 드레인 중 한쪽이 전기적으로 접속하는 노드를 노드 F라고 부른다. 트랜지스터(12)의 소스 및 드레인 중 다른 한쪽, 트랜지스터(16)의 소스 및 드레인 중 다른 한쪽, 커패시터(17)의 다른 한쪽의 전극, 및 유기 EL소자(18)의 애노드가 전기적으로 접속하는 노드를 노드 G라고 부른다.
- [0088] < 화소의 동작에 >
- [0089] 상기한 화소의 동작에 대하여 도 4(B)를 참조하여 설명한다. 구체적으로 도 4(B)에는, 도 3(B) 및 도 3(D)에 도시하는 기간 t_1 ~기간 t_7 에 있어서, 화소부에서 2번째 행에 배치된 주사선(4₂) 및 반전 주사선(5₂)의 전위 및 신호선(6)에 입력되는 화상 신호를 도시하고 있다. 또 도 4(B)에서는 각 배선에 입력되는 신호를 괄호 쓰기로 부기하고 있다. 또, 도 4(B)에 있어서 DATA는 화상 신호를 나타내고 있다.
- [0090] 기간 t_1 및 기간 t_2 에 있어서, 주사선(4₂)에 선택 신호가 입력되지 않고, 또 반전 주사선(5₂)에 선택 신호가 입력된다. 따라서, 트랜지스터(11, 12, 13)가 오프 상태가 되고, 또 트랜지스터(14, 16)가 온 상태가 된다. 따라서, 트랜지스터(15)의 게이트의 전위(노드 D의 전위)에 따른 전류가 전원선으로부터 유기 EL 소자(18)에 대하여 공급된다. 즉, 화소(10)는, 커패시터(17)에 의해 유지되고 있는 화상 신호에 따라 화상을 표시한다. 기간 t_1 및 기간 t_2 에 있어서, 신호선(6)에는 1번째 행에 배치된 화소에 대한 화상 신호(data₁)가 신호선 구동 회로(2)로부터 입력되어 있다.
- [0091] 기간 t_3 에 있어서, 주사선(4₂)에 선택 신호가 입력된다. 따라서, 트랜지스터(11, 12, 13)가 온 상태가 된다. 이것에 의해, 예를 들어 커패시터(17)의 한쪽의 전극과 신호선(6) 사이 및 커패시터(17)의 한쪽의 전극과 전원선(7) 사이가 단락(短絡)된다. 따라서, 커패시터(17)에 유지되고 있는 화상 신호가 소실된다(초기화).
- [0092] 기간 t_4 에 있어서, 반전 주사선(5₂)에 선택 신호가 입력되지 않는다. 따라서, 트랜지스터(14, 16)가 오프 상태가 된다. 또, 신호선(6)에는 2번째 행에 배치된 화소에 대한 화상 신호(data₂)가 입력된다. 따라서, 노드 F의 전위는 화상 신호(data₂)를 나타내는 전위가 된다.
- [0093] 또 기간 t_4 에 있어서, 노드 D, E의 전위는 화상 신호(data₂)를 나타내는 전위에 트랜지스터(15)의 문턱 전압을 더한 전위(이하, 데이터 전위라고 함)가 된다. 이는, 노드 D, E의 전위가 데이터 전위보다 고전위이면, 트랜지

스터(15)가 온 상태가 되고, 노드 D, E의 전위가 데이터 전위까지 하강하게 되기 때문이다. 또한, 트랜지스터(14, 16)가 오프 상태가 되고, 또 트랜지스터(15)가 오프 상태(노드 D, E의 전위가 노드 F의 전위에 트랜지스터(15)의 문턱 전압을 더한 전위와 동일한 전위)가 된 후에 노드 F의 전위가 화상 신호(data_2)를 나타내는 전위로 변동하는 경우에도, 노드 D와 노드 F의 용량 결합에 의해 노드 D의 전위가 변동하게 된다. 따라서, 이 경우에도 노드 D, E의 전위가 데이터 전위가 된다.

[0094] 기간 t4에 있어서, 노드 G의 전위는 공통 전위가 된다. 노드 G가 트랜지스터(12)를 통하여 공통 전위를 공급하는 배선과 단락하기 때문이다.

[0095] 따라서 기간 t4에 있어서, 커패시터(17)에 인가되는 전압은 데이터 전위(노드 D의 전위)와 공통 전위(노드 G의 전위)의 전위차가 된다.

[0096] 기간 t5, t6에 있어서, 주사선(4_2)에 선택 신호가 입력되지 않는다. 이것에 의해, 트랜지스터(11, 12, 13)가 오프 상태가 된다.

[0097] 기간 t7에 있어서, 반전 주사선(5_2)에 선택 신호가 입력된다. 따라서, 트랜지스터(14, 16)가 온 상태가 된다. 또한 트랜지스터의 포화 영역에서의 드레인 전류는 트랜지스터의 게이트, 소스 사이 전압과 트랜지스터의 문턱 전압의 전위차의 2승에 비례하는 것이 알려져 있다. 여기에서, 트랜지스터(15)의 게이트, 소스 사이 전압은 커패시터(17)에 인가되는 전압(데이터 전위(화상 신호(data_2)를 나타내는 전위와 트랜지스터(15)의 문턱 전압의 합)과 공통 전위의 전위차)가 된다. 따라서, 트랜지스터(15)의 포화 영역에 있어서의 드레인 전류는 화상 신호(data_2)를 나타내는 전위와 공통 전위의 전위차의 2승에 비례하게 된다. 이 경우, 트랜지스터(15)의 포화 영역에 있어서의 드레인 전류는 트랜지스터(15)의 문턱 전압에 의존하는 경우가 없다.

[0098] 노드 G의 전위는 유기 EL 소자(18)에 대하여 트랜지스터(15)에 생기는 전류와 같은 전류가 흐르도록 변동한다. 여기에서, 노드 G의 전위가 변동한 경우에는 커패시터(17)를 통한 용량 결합에 의해 노드 D의 전위도 변동한다. 따라서, 노드 G의 전위가 변동했을 경우에도 트랜지스터(15)는 유기 EL소자(18)에 대하여 일정 전류를 공급하는 것이 가능하다.

[0099] 이상의 동작에 의해, 화소(10)는 화상 신호(data_2)에 따라 표시를 행한다.

[0100] <본 명세서에서 개시되는 표시 장치에 대하여>

[0101] 본 명세서에서 개시되는 표시 장치에서는, 반전 펄스 출력 회로의 동작을 적어도 2종의 신호에 의해 제어한다. 따라서, 이 반전 펄스 출력 회로에 있어서 생기는 관통 전류를 저감할 수 있게 된다. 또, 복수의 펄스 출력 회로의 동작에 이용되는 신호는 이 2종의 신호로 사용된다. 즉, 별도로 신호를 생성하지 않고, 이 반전 펄스 출력 회로를 동작시키는 것이 가능하다.

[0102] <변형예>

[0103] 상기한 표시 장치는 본 발명의 일양태이며; 상기한 표시 장치와 다른 구성을 가지는 표시 장치도 본 발명에 포함된다. 이하에서는, 본 발명의 다른 일양태에 대하여 예시한다. 또 본 발명의 다른 일양태로서 예시하는 복수의 내용을 가지는 표시 장치도 본 발명에는 포함된다.

[0104] <표시 장치의 변형예>

[0105] 상기한 표시 장치로서, 각 화소에 유기 EL 소자가 형성되는 표시 장치(이하, EL 표시 장치라고도 함)를 예시했지만; 본 발명의 표시 장치는 EL 표시 장치로 한정되지 않는다. 예를 들면, 본 발명의 표시 장치로서 액정의 배향을 제어하는 것에 의해 표시를 행하는 표시 장치(액정 표시 장치)를 적용하는 것도 가능하다.

[0106] <주사선 구동 회로의 변형예>

[0107] 또, 상기한 표시 장치에 포함되는 주사선 구동 회로의 구성은, 도 2(A)에 도시하는 구성으로 한정되지 않는다. 예를 들면, 도 5, 도 6(A), 및 도 7에 도시하는 주사선 구동 회로를 상기한 표시 장치가 가지는 주사선 구동 회로로서 적용하는 것도 가능하다.

[0108] 도 5에 도시하는 주사선 구동 회로(1)는 제 y 반전 펄스 출력 회로(60_y)(y는 (m-1) 이하의 자연수)의 단자(61)가 제 (y+1) 펄스 출력 회로의 단자(27)에 전기적으로 접속되고, 제 m 반전 펄스 출력 회로(60_m)의 단자(61)가 제 m 펄스 출력 회로용 스톱 신호(STP)를 공급하는 배선에 전기적으로 접속되어 있는 점이 도 2(A)에 도시하는 주사선 구동 회로(1)와 다르다. 도 5에 도시하는 주사선 구동 회로(1)도, 도 2(A)에 도시하는 주사선

구동 회로(1)로부터의 출력과 같은 신호를 주사선 및 반전 주사선에 대하여 출력하는 것이 가능하다.

- [0109] 또한, 도 2(A)에 도시하는 주사선 구동 회로(1)에서는 도 5에 도시하는 주사선 구동 회로(1)와 비교하여, 반전 펄스 출력 회로의 단자(61)에 짧은 주기로 하이레벨의 전위가 입력된다. 즉, 반전 펄스 출력 회로에 포함된 트랜지스터(71)가 짧은 주기로 온 상태가 된다(도 2(A), 도 2(B), 도 2(D) 및 도 3(C) 참조). 따라서, 반전 펄스 출력 회로에 포함되는 트랜지스터(73)의 게이트의 전위가 트랜지스터(72)에 생기는 리크 전류 등에 기인하여 하강하는 경우에도, 이 전위를 재차 상승시키는 것이 가능하다. 따라서, 반전 펄스 출력 회로가 해당하는 반전 주사선에 대하여 출력하는 전위가 고전원 전위(Vdd) 미만인 되는 가능성을 저감하는 것이 가능하다.
- [0110] 한편, 도 5에 도시하는 주사선 구동 회로(1)에서는 도 2(A)에 도시하는 주사선 구동 회로(1)와 비교하여, 제 1~제 4 주사선 구동 회로용 클록 신호(GCK1~GCK4)를 공급하는 배선의 기생 용량을 저감할 수 있다. 따라서, 도 5에 도시하는 주사선 구동 회로(1)에서는 도 2(A)에 도시하는 주사선 구동 회로(1)와 비교하여, 소비 전력을 저감할 수 있다.
- [0111] 도 6(A)에 도시하는 주사선 구동 회로(1)는 2종의 주사선 구동 회로용 클록 신호 및 2종의 펄스 폭 제어 신호를 이용하여 동작한다는 점이, 도 2(A)에 도시하는 주사선 구동 회로(1)와 다르다. 따라서, 펄스 출력 회로 및 반전 펄스 출력 회로의 접속 관계도 변화한다(도 6(A) 참조).
- [0112] 구체적으로는, 도 6(A)에 도시하는 주사선 구동 회로(1)는 제 5 주사선 구동 회로용 클록 신호(GCK5)를 공급하는 배선 및 제 6 주사선 구동 회로용 클록 신호(GCK6)를 공급하는 배선과, 제 5 펄스 폭 제어 신호(PWC5)를 공급하는 배선 및 제 6 펄스 폭 제어 신호(PWC6)를 공급하는 배선을 가진다.
- [0113] 도 6(B)은 도 6(A)에 도시하는 상기 신호의 구체적인 파형의 일례를 도시하는 도면이다. 도 6(B)에 도시하는 제 5의 주사선 구동 회로용 클록 신호(GCK5)는 주기적으로 하이레벨의 전위(고전원 전위(Vdd))와 로우레벨의 전위(저전원 전위(Vss))를 반복하고 1/2의 듀티비를 갖는다. 또, 제 6 주사선 구동 회로용 클록 신호(GCK6)는 제 5 주사선 구동 회로용 클록 신호(GCK5)로부터 1/2 주기 위상이 시프트되었다. 또, 제 5 펄스 폭 제어 신호(PWC5)의 전위는 제 5 주사선 구동 회로용 클록 신호(GCK5)의 전위가 하이레벨의 전위가 되기 전에 하이레벨의 전위가 되고, 또 제 5 주사선 구동 회로용 클록 신호(GCK5)의 전위가 하이레벨의 전위가 되는 기간 중에 로우레벨의 전위가 되고, 제 5 펄스 폭 제어 신호(PWC5)는 1/2 미만의 듀티비를 갖는다. 제 6 펄스 폭 제어 신호(PWC6)는 제 5 펄스 폭 제어 신호(PWC5)로부터 1/2 주기 위상이 시프트되었다.
- [0114] 도 6(A)에 도시하는 주사선 구동 회로(1)도 도 2(A)에 도시하는 주사선 구동 회로(1)와 유사한 신호를 주사선 및 반전 주사선에 대하여 출력하는 것이 가능하다.
- [0115] 도 2(A)에 도시하는 주사선 구동 회로(1)에서는 도 6(A)에 도시하는 주사선 구동 회로(1)와 비교하여, 제 1~제 4 주사선 구동 회로용 클록 신호(GCK1~GCK4)를 공급하는 배선의 기생 용량을 저감할 수 있다. 따라서, 도 2(A)에 도시하는 주사선 구동 회로(1)에서는 도 6(A)에 도시하는 주사선 구동 회로(1)와 비교하여, 소비 전력을 저감하는 것이 가능하다.
- [0116] 한편, 도 6(A)에 도시하는 주사선 구동 회로(1)에서는, 도 2(A)에 도시하는 주사선 구동 회로(1)와 비교하여, 주사선 구동 회로의 동작에 필요로 되는 신호수를 저감하는 것이 가능하다.
- [0117] 도 7에 도시하는 주사선 구동 회로(1)는, 펄스 폭 제어 신호를 이용하지 않고 동작하는 점이 도 2(A)에 도시하는 주사선 구동 회로(1)와 다르다. 따라서, 펄스 출력 회로 및 반전 펄스 출력 회로의 접속 관계도 변화한다(도 7 참조).
- [0118] 도 7에 도시하는 주사선 구동 회로(1)에서는 펄스 출력 회로가 해당하는 주사선에 대하여 출력하는 선택 신호와, 다음 단의 펄스 출력 회로에 대하여 출력하는 시프트 펄스가 동일한 신호가 된다. 따라서, 펄스 출력 회로가 주사선에 대하여 출력하는 신호(주사선의 전위)와 반전 펄스 출력 회로가 반전 주사선에 대하여 출력하는 신호(반전 주사선의 전위)가 서로 반전 신호가 된다. 도 7에 도시하는 주사선 구동 회로(1)를 표시 장치가 가지는 주사선 구동 회로로서 적용하는 것도 가능하다.
- [0119] 또한, 도 2(A)에 도시하는 주사선 구동 회로(1)에서는, 도 7에 도시하는 주사선 구동 회로(1)와 비교하여 y번째 행에 배치된 주사선에 대하여 선택 신호를 출력하는 기간과, (y+1)번째 행에 배치된 주사선에 대하여 선택 신호를 출력하는 기간 사이보다 넓은 간격이 존재한다. 따라서, 도 7에 도시하는 주사선 구동 회로(1)에서는 만일 제 1~제 4 주사선 구동 회로용 클록 신호(GCK1~GCK4) 중 어느 것이 지연되거나 또는 파형이 둔해지는 경우라도, 도 6(A)에 도시하는 주사선 구동 회로(1)와 비교하여, 화소에 대한 화상 신호의 입력을 정밀도가 좋게 행

할 수 있다.

- [0120] 한편, 도 7에 도시하는 주사선 구동 회로(1)에서는 도 2(A)에 도시하는 주사선 구동 회로(1)와 비교하여, 주사선 구동 회로의 동작에 필요로 하는 신호수를 저감할 수 있다.
- [0121] <펄스 출력 회로의 변형예>
- [0122] 또, 상기한 주사선 구동 회로에 포함된 펄스 출력 회로의 구성은 도 3(A)에 도시하는 구성으로 한정되지 않는다. 예를 들면, 도 8, 도 9에 도시하는 펄스 출력 회로를 상기한 주사선 구동 회로에 포함된 펄스 출력 회로로서 적용하는 것도 가능하다.
- [0123] 도 8(A)에 도시하는 펄스 출력 회로는 도 3(A)에 도시한 펄스 출력 회로에 트랜지스터(50)가 추가된 구성을 갖는다. 트랜지스터(50)의 소스 및 드레인 중 한쪽이 고전원 전위선에 전기적으로 접속되고; 트랜지스터(50)의 소스 및 드레인 중 다른 한쪽이 트랜지스터(32)의 게이트, 트랜지스터(34)의 게이트, 트랜지스터(35)의 소스 및 드레인 중 다른 한쪽, 트랜지스터(36)의 소스 및 드레인 중 다른 한쪽, 트랜지스터(37)의 소스 및 드레인 중 다른 한쪽, 및 트랜지스터(39)의 게이트에 전기적으로 접속되고; 트랜지스터(50)의 게이트가 리셋 단자(Reset)에 전기적으로 접속되어 있다. 또한 이 리셋 단자에는 표시 장치의 수직 귀선 기간에 있어서 하이레벨의 전위가 입력되고, 그 수직 귀선 기간외의 기간에 있어서 로우레벨의 전위가 입력되는 구성으로 할 수 있다. 따라서, 펄스 출력 회로의 각 노드의 전위를 초기화할 수 있으므로, 오동작을 방지할 수 있게 된다.
- [0124] 도 8(B)에 도시하는 펄스 출력 회로는 도 3(A)에 도시한 펄스 출력 회로에 트랜지스터(51)가 추가된 구성을 갖는다. 트랜지스터(51)의 소스 및 드레인 중 한쪽이 트랜지스터(31)의 소스 및 드레인 중 다른 한쪽 및 트랜지스터(32)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되고; 트랜지스터(51)의 소스 및 드레인 중 다른 한쪽이 트랜지스터(33)의 게이트 및 트랜지스터(38)의 게이트에 전기적으로 접속되고; 트랜지스터(51)의 게이트가 고전원 전위선에 전기적으로 접속되어 있다. 트랜지스터(51)는 노드 A의 전위가 하이레벨의 전위가 되는 기간(도 3(B)에 도시한 기간 t1~기간 t6)에서 오프 상태가 된다. 따라서, 트랜지스터(51)가 추가된 구성으로 함으로써, 기간 t1~t6에 있어서, 트랜지스터(33)의 게이트 및 트랜지스터(38)의 게이트 사이와, 트랜지스터(31)의 소스 및 드레인 중 다른 한쪽 및 트랜지스터(32)의 소스 및 드레인 중 다른 한쪽사이에서의 전기적인 접속을 차단할 수 있게 된다. 따라서, 기간 t1~기간 t6에 포함되는 기간에 있어서, 이 펄스 출력 회로에서 행해지는 부트 스트랩 동작시의 부하를 저감하는 것이 가능하다.
- [0125] 도 9(A)에 도시하는 펄스 출력 회로는 도 8(B)에 도시한 펄스 출력 회로에 트랜지스터(52)가 추가된 구성을 갖는다. 트랜지스터(52)의 소스 및 드레인 중 한쪽이 트랜지스터(33)의 게이트 및 트랜지스터(51)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되고; 트랜지스터(52)의 소스 및 드레인 중 다른 한쪽이 트랜지스터(38)의 게이트에 전기적으로 접속되고; 트랜지스터(52)의 게이트가 고전원 전위선에 전기적으로 접속되어 있다. 위와 같은 방법에서는 트랜지스터(52)로 이 펄스 출력 회로에서 행해지는 부트 스트랩 동작시의 부하를 저감하는 것이 가능하다.
- [0126] 도 9(B)에 도시하는 펄스 출력 회로는 도 9(A)에 도시한 펄스 출력 회로로부터 트랜지스터(51)를 제거하고, 트랜지스터(53)가 추가된 구성을 갖는다. 트랜지스터(53)의 소스 및 드레인 중 한쪽이 트랜지스터(31)의 소스 및 드레인 중 다른 한쪽, 트랜지스터(32)의 소스 및 드레인 중 다른 한쪽, 및 트랜지스터(52)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고; 트랜지스터(53)의 소스 및 드레인 중 다른 한쪽이 트랜지스터(33)의 게이트에 전기적으로 접속되고; 트랜지스터(53)의 게이트가 고전원 전위선에 전기적으로 접속되어 있다. 위와 같은 방법에서는, 트랜지스터(53)로 이 펄스 출력 회로에서 행해지는 부트 스트랩 동작시의 부하를 저감하는 것이 가능하다. 또한, 이 펄스 출력 회로에 생기는 부정(fraud) 펄스가 트랜지스터(33, 38)의 스위칭에 주는 영향을 경감할 수 있다.
- [0127] <반전 펄스 출력 회로의 변형예>
- [0128] 또, 상기한 주사선 구동 회로에 포함된 반전 펄스 출력 회로의 구성은 도 3(C)에 도시하는 구성으로 한정되지 않는다. 예를 들면, 도 10(A)~10(C)에 도시하는 반전 펄스 출력 회로를 상기한 주사선 구동 회로에 포함된 펄스 출력 회로로서 적용할 수도 있다.
- [0129] 도 10(A)에 도시하는 반전 펄스 출력 회로는, 도 3(C)에 도시한 반전 펄스 출력 회로에, 커패시터(80)가 추가된 구성을 갖는다. 커패시터(80)의 한쪽의 전극이 트랜지스터(71)의 소스 및 드레인 중 다른 한쪽, 트랜지스터(72)의 소스 및 드레인 중 다른 한쪽, 및 트랜지스터(73)의 게이트에 전기적으로 접속되고; 커패시터(80)의 다른 한쪽의 전극이 단자(63)에 전기적으로 접속되어 있다. 또 커패시터(80)를 형성하는 것에 의해, 트랜지스터(7

3)의 게이트의 전위의 변동을 억제하는 것이 가능해진다. 한편, 도 3(C)에 도시한 반전 펄스 출력 회로에서는 도 10(A)에 도시하는 반전 펄스 출력 회로와 비교하여 회로 면적을 저감하는 것이 가능해진다.

[0130] 도 10(B)에 도시하는 반전 펄스 출력 회로는 도 10(A)에 도시한 반전 펄스 출력 회로에 트랜지스터(81)가 부가된 구성을 갖는다. 트랜지스터(81)의 소스 및 드레인 중 한쪽이 트랜지스터(71)의 소스 및 드레인 중 다른 한쪽, 및 트랜지스터(72)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되고; 트랜지스터(81)의 소스 및 드레인 중 다른 한쪽이 트랜지스터(73)의 게이트 및 커패시터(80)의 한쪽의 전극에 전기적으로 접속되고; 트랜지스터(81)의 게이트가 고전원 전위선에 전기적으로 접속되어 있다. 또 트랜지스터(81)를 형성하는 것에 의해, 트랜지스터(71, 72)의 절연 파괴를 억제하는 것이 가능해진다. 구체적으로 말하면, 도 3(C)에 도시하는 반전 펄스 출력 회로에 있어서는, 노드 C의 전위가 상기한 부트 스트랩 동작에 의해 크게 변동하여, 트랜지스터(71, 72)의 소스, 드레인 사이 전압(특히, 트랜지스터(72)의 소스, 드레인 사이 전압)이 크게 변동하게 되어 그 결과, 트랜지스터(71, 72)가 절연 파괴할 우려가 있다. 반면, 도 10(B)에 도시하는 반전 펄스 출력 회로에 있어서는, 트랜지스터(73)의 게이트의 전위가 이 부트 스트랩 동작에 의해 상승한 경우에, 트랜지스터(81)가 오프 상태가 되어, 이 부트 스트랩 동작 때문에, 노드 C의 전위가 크게 변동하는 경우가 없다. 그 결과, 트랜지스터(71, 72)의 소스, 드레인 사이 전압의 변동을 저감하는 것이 가능해진다. 한편, 도 3(C) 또는 도 10(A)에 도시한 반전 펄스 출력 회로에서는 도 10(B)에 도시하는 반전 펄스 출력 회로와 비교하여, 회로 면적을 저감하는 것이 가능해진다.

[0131] 도 10(C)에 도시하는 반전 펄스 출력 회로는, 도 3(C)에 도시한 반전 펄스 출력 회로에 있어서, 트랜지스터(73)의 소스 및 드레인 중 한쪽이 전기적으로 접속하는 배선을 고전원 전위선으로부터 전원 전위(Vcc)를 공급하는 배선으로 치환한 구성을 가진다. 또 여기에서는, 전원 전위(Vcc)는 저전원 전위(Vss)보다 고전위이고, 또한 고전원 전위(Vdd)보다 저전위인 것으로 한다. 또한 이 치환에 의해, 반전 펄스 출력 회로가 반전 주사선에 대하여 출력하는 전위가 변동하는 가능성을 저감하는 것이 가능해진다. 또한, 상기한 절연 파괴를 억제하는 것도 가능해진다. 한편, 도 3(C)에 도시한 반전 펄스 출력 회로에서는 도 10(C)에 도시하는 반전 펄스 출력 회로와 비교하여, 반전 펄스 출력 회로의 동작에 필요로 하는 전원 전위수를 저감하는 것이 가능해진다.

[0132] <화소의 변형예>

[0133] 또, 상기한 표시 장치에 포함되는 화소의 구성은 도 4(A)에 도시하는 구성으로 한정되지 않는다. 예를 들면, 도 4(A)에 도시하는 화소는 N채널형 트랜지스터만으로 구성되어 있지만, 본 발명은 이 구성으로 한정되지 않는다. 즉, 본 발명의 일양태의 표시 장치에 있어서는, P채널형 트랜지스터만을 이용하여 화소를 구성하는 것, 또는 N채널형 트랜지스터 및 P채널형 트랜지스터를 조합하여 화소를 구성하는 것도 가능하다.

[0134] 또 도 4(A)에 도시하는 바와 같이, 화소에 설치되는 트랜지스터로서 단극성의 트랜지스터만을 적용하는 경우, 화소의 고집적화를 도모할 수 있다. 왜냐하면, 반도체층에 대하여 불순물을 주입하는 것에 의해 트랜지스터에 극성을 부여하는 경우, N채널형 트랜지스터 및 P채널형 트랜지스터간에 간격(마진)을 형성하는 것이 필요해진다. 반면에, 단극성의 트랜지스터만으로 화소를 구성하는 경우에는 이 간격이 불필요해지기 때문이다.

[0135] <트랜지스터의 구체예>

[0136] 이하에서는, 상기한 주사선 구동 회로에 포함되는 트랜지스터의 구체적인 예에 대하여 도 11(A) 내지 도 11(D), 도 12(A) 내지 도 12(D)를 참조하여 설명한다. 또 이하에 설명하는 트랜지스터는 주사선 구동 회로 및 화소의 쌍방에 포함될 수도 있다.

[0137] 이 트랜지스터의 채널 형성 영역을 구성하는 반도체 재료에는 각종의 것을 사용할 수 있다. 예를 들면, 실리콘 또는 실리콘 게르마늄 등의 14족 원소를 성분으로 하는 반도체 재료, 금속 산화물을 성분으로 하는 반도체 재료 등이다. 또한, 어느 반도체 재료에서도 비정질 또는 결정성을 가지는 것을 적용할 수 있다.

[0138] 어떠한 산화물 반도체 재료도 사용될 수 있고, 적합하게는 In, Ga, Sn, Zn로부터 선택된 적어도 일종의 원소를 포함한 산화물 반도체를 사용할 수 있다. 예를 들면, 산화물 반도체로서 In-Sn-Zn-O계 산화물을 이용하면, 높은 전계 효과 이동도 및 높은 신뢰성을 가지는 트랜지스터를 얻을 수 있기 때문에 바람직하다. 이러한 범칙은, 사원계 금속의 산화물인 In-Sn-Ga-Zn-O계 산화물이나, 삼원계 금속의 산화물인 In-Ga-Zn-O계 산화물(IGZO라고도 표기함), In-Al-Zn-O계 산화물, Sn-Ga-Zn-O계 산화물, Al-Ga-Zn-O계 산화물, Sn-Al-Zn-O계 산화물이나, In-Hf-Zn-O계 산화물, In-La-Zn-O계 산화물, In-Ce-Zn-O계 산화물, In-Pr-Zn-O계 산화물, In-Nd-Zn-O계 산화물, In-Pm-Zn-O계 산화물, In-Sm-Zn-O계 산화물, In-Eu-Zn-O계 산화물, In-Gd-Zn-O계 산화물, In-Tb-Zn-O계 산화물, In-Dy-Zn-O계 산화물, In-Ho-Zn-O계 산화물, In-Er-Zn-O계 산화물, In-Tm-Zn-O계 산화물, In-Yb-Zn-O계

산화물, In-Lu-Zn-O계 산화물이나, 2원계 금속의 산화물인 In-Zn-O계 산화물, Sn-Zn-O계 산화물, Al-Zn-O계 산화물, Zn-Mg-O계 산화물, Sn-Mg-O계 산화물, In-Mg-O계 산화물이나, In-Ga-O계 산화물, 일원계 금속의 산화물인 In-O계 산화물, Sn-O계 산화물, Zn-O계 산화물 등을 이용한 경우도 마찬가지이다.

[0139] 도 11(A) 내지 도 11(D), 도 12(A) 내지 도 12(D)는 채널이 산화물 반도체에 형성되는 트랜지스터의 구체적인 예를 도시하는 도면이다. 또한, 도 11(A) 내지 도 11(D), 도 12(A) 내지 도 12(D)에서는 보텀 게이트형 구조의 트랜지스터의 구체적인 예에 대하여 예시하지만, 이 트랜지스터로서 탑 게이트형 구조의 트랜지스터를 적용하는 것도 가능하다. 또, 도 11, 도 12에서는, 스테거형의 트랜지스터의 구체예에 대하여 도시하지만, 이 트랜지스터로서 코플래너형의 트랜지스터를 적용하는 것도 가능하다.

[0140] 도 11(A)~ 도 11(D)는 트랜지스터(이른바, 채널 에칭형의 트랜지스터)의 제작 공정을 도시하는 단면도이다.

[0141] 우선, 절연 표면을 가지는 기판인 기관(400) 위에 도전막을 형성한 후, 포토마스크를 이용하여 포토리소그래피 공정에 의해 게이트 전극층(401)을 형성한다.

[0142] 기관(400)으로서, 대량 생산할 수 있는 유리 기관을 이용하는 것이 바람직하다. 기관(400)으로서 이용하는 유리 기관은 후의 공정에서 행하는 가열 처리의 온도가 높은 경우에는, 변형점이 730℃ 이상의 것을 이용하면 좋다. 또, 기관(400)에는 예를 들면, 알루미늄실리케이트 유리, 알루미늄붕규산 유리, 바륨붕규산 유리 등의 유리 재료가 이용되고 있다.

[0143] 또, 하지층이 되는 절연층을 기관(400)과 게이트 전극층(401)의 사이에 형성해도 좋다. 하지층은 기관(400)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘, 산화 실리콘, 질화 산화 실리콘, 또는 산화 질화 실리콘으로부터 선택된 하나 또는 복수의 층에 의한 적층 구조로 형성할 수 있다.

[0144] 산화 질화 실리콘이란, 그 조성에 있어서 질소보다 산소의 함유량이 많은 것을 나타내고, 예를 들면, 산소가 50원자% 이상 70원자% 이하, 질소가 0.5원자% 이상 15원자% 이하, 실리콘이 25원자% 이상 35원자% 이하, 수소가 0원자% 이상 10원자% 이하의 범위로 포함되는 것을 말한다. 또, 질화 산화 실리콘이란, 그 조성에 있어서, 산소보다 질소의 함유량이 많은 것을 나타내고, 예를 들면, 산소가 5원자% 이상 30원자% 이하, 질소가 20원자% 이상 55원자% 이하, 실리콘이 25원자% 이상 35원자% 이하, 수소가 10원자% 이상 25원자% 이하의 범위에 포함되는 것을 말한다. 단, 상기 범위는 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry)이나, 수소 전방 산란법(HFS: Hydrogen Forwardscattering Spectrometry)을 이용하여 측정된 경우의 것이다. 또, 구성 원소의 조성은 그 합계가 100원자%를 넘지 않는다.

[0145] 게이트 전극층(401)으로서, Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ag, Ta 및 W, 이들의 질화물, 산화물 및 합금으로부터 일종 이상 선택하고, 단층으로 또는 적층으로 형성하면 좋다. 또는, 적어도 In 및 Zn을 포함한 산화물 또는 산질화물을 이용해도 좋다. 예를 들면, In-Ga-Zn-O-N계 재료 등을 이용하면 좋다.

[0146] 다음으로, 게이트 전극층(401) 위에 게이트 절연층(402)을 형성한다. 게이트 절연층(402)은 게이트 전극층(401)의 형성 후, 대기에 노출하지 않고, 스퍼터링법, 증착법, 플라즈마 화학 증기 증착법(PCVD법), 펄스 레이저 증착법(PLD법), 원자층 증착법(ALD법) 또는 분자선 에피택시법(MBE법) 등을 이용하여 성막한다.

[0147] 게이트 절연층(402)은 가열 처리에 의해 산소를 방출하는 절연막이 바람직하다.

[0148] 가열 처리에 의해 산소를 방출한다란 TDS(Thermal Desorption Spectrometry: 승온 이탈 가스 분광법) 분석에서, 산소 원자로 환산한 산소의 방출량이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 것을 말한다.

[0149] 이하에서는, TDS 분석에서 산소 원자로 환산한 산소의 방출량의 측정 방법에 대하여, 이하에 설명한다.

[0150] TDS 분석했을 때의 기체의 방출량은 스펙트럼의 적분값에 비례한다. 따라서, 측정된 스펙트럼의 적분값과 표준 시료의 기준값에 대한 비로 기체의 방출량을 계산할 수 있다. 표준 시료의 기준값이란, 시료의 스펙트럼의 적분값에 대한 시료에 포함된 소정의 원자의 밀도의 비율이다.

[0151] 예를 들면, 표준 시료인 소정의 밀도의 수소를 포함한 실리콘 웨이퍼의 TDS 분석 결과, 및 절연막의 TDS 분석 결과로부터, 절연막으로부터의 산소 분자의 방출량(N_{O_2})은, 식(1)으로 구할 수 있다. 여기에서, TDS 분석으로 얻어지는 질량수 32로 검출되는 스펙트럼의 전부가 산소 분자 유래라고 가정한다. 질량수 32인 것으로서 다른 CH_3OH 가 있지만, 존재할 가능성이 낮은 것이므로 여기에서는 고려하지 않는다. 또, 산소 원자의 동위원소인 질량

수 17의 산소 원자 및 질량수 18의 산소 원자를 포함한 산소 분자에 대해서도, 자연계에서의 존재 비율이 극미량이기 때문에 고려하지 않는다.

수학식 1

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha \quad \dots (1)$$

[0152]

[0153]

식(1)에 있어서 N_{H_2} 는 표준 시료로부터 이탈한 수소 분자를 밀도로 환산한 값이다. S_{H_2} 는, 표준 시료를 TDS 분석했을 때 스펙트럼의 적분값이다. 여기에서, 표준 시료의 기준값을 N_{H_2}/S_{H_2} 로 한다. S_{O_2} 는 절연막을 TDS 분석했을 때의 스펙트럼의 적분값이다. α 는 TDS 분석에서의 스펙트럼 강도에 영향을 주는 계수이다. 식(1)의 세부 사항에 관해서는 특개평6-275697 공보를 참조한다. 또한 상기 절연막으로부터 산소의 방출량은 전자 과학 주식회사(ESCO Ltd.)제의 승온 이탈 분석 장치 EMD-WA1000S/W를 이용하고, 표준 시료로서 1×10^{16} atoms/cm³의 수소 원자를 포함한 실리콘 웨이퍼를 이용하여 측정한다.

[0154]

또, TDS 분석에 있어서 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은 산소 분자의 이온화율로부터 산출할 수 있다. 또한, 상기한 α 는 산소 분자의 이온화율을 포함하기 때문에, 산소 분자의 방출량을 평가함으로써, 산소 원자의 방출량에 대해서도 추측할 수 있다.

[0155]

또한, N_{O_2} 는 산소 분자의 방출량이다. 산소 원자로 환산했을 때의 방출량은 산소 분자의 방출량의 2배가 된다.

[0156]

상기 구성에 있어서, 가열 처리에 의해 산소를 방출하는 막은, 산소가 과잉인 산화 실리콘($SiO_x(X>2)$)여도 좋다. 산소가 과잉인 산화 실리콘($SiO_x(X>2)$)에서는, 실리콘 원자수가 2배보다 많은 산소 원자를 단위 체적 당에 포함한다. 단위 체적 당의 실리콘 원자수 및 산소 원자수는 러더퍼드 후방 산란법에 의해 측정된 값이다.

[0157]

게이트 절연층(402)에서 산화물 반도체막으로 산소가 공급됨으로써, 산화물 반도체막과 게이트 절연층(402) 사이의 계면 준위 밀도를 저감할 수 있다. 이 결과, 산화물 반도체막과 게이트 절연층(402) 사이의 계면에 캐리어가 포획되는 것을 억제할 수 있고, 트랜지스터의 전기 특성이 적게 열화된다.

[0158]

또한, 산화물 반도체막의 산소 결손에 기인하여 전하가 생기는 경우가 있다. 일반적으로 산화물 반도체막의 산소 결손의 일부는 도너가 되어 캐리어인 전자를 방출한다. 이 결과, 트랜지스터의 문턱 전압이 음의 방향으로 시프트된다. 이를 방지하기 위하여, 게이트 절연층(402)으로부터 접하여 형성하는 산화물 반도체막으로 게이트 절연층(402)으로부터 충분한 산소, 바람직하게는 과잉 산소가 공급되어, 문턱 전압이 마이너스 방향으로 시프트하는 요인인 산화물 반도체막의 산소 결손을 저감할 수 있다.

[0159]

게이트 절연층(402)은 산화물 반도체막이 결정 성장하기 쉽도록 충분한 평탄성을 가지는 것이 바람직하다.

[0160]

게이트 절연층(402)은 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화 지르코늄, 산화 이트륨, 산화 란탄, 산화 세슘, 산화 탄탈 및 산화 마그네슘 중 일종 이상을 선택하고, 단층 또는 적층으로 형성하면 좋다.

[0161]

게이트 절연층(402)은 바람직하게는 스퍼터링법에 의해, 기판 가열 온도를 실온 이상 200℃ 이하, 바람직하게는 50℃ 이상 150℃ 이하로 하고, 산소 가스 분위기에서 형성된다. 산소 가스에 희가스를 더하여 이용해도 좋고; 그 경우는 산소 가스의 비율은 30체적% 이상, 바람직하게는 50체적% 이상, 더 바람직하게는 80체적% 이상으로 한다. 게이트 절연층(402)의 두께는 100nm 이상 1000nm 이하, 바람직하게는 200nm 이상 700nm 이하로 한다. 성막시의 기판 가열 온도가 낮을수록, 성막 분위기 중의 산소 가스 비율이 높을수록, 게이트 절연층(402)의 두께가 두꺼울수록, 게이트 절연층(402)을 가열 처리했을 때에 방출되는 산소의 양은 많아진다. 스퍼터링법은 PCVD법보다 더 막 중의 수소 농도를 저감할 수 있다. 또 게이트 절연층(402)을 1000nm를 넘는 두께로 성막해도 상관없지만, 생산성을 저하시키지 않을 정도의 두께로 한다.

[0162]

다음으로, 게이트 절연층(402) 위에 스퍼터링법, 증착법, PCVD법, PLD법, ALD법 또는 MBE법 등을 이용하여 산화물 반도체막(403)을 형성한다. 도 11(A)은 이상의 공정 후의 단면도이다.

- [0163] 산화물 반도체막(403)은 두께를 1nm 이상 40nm 이하로 하고, 바람직하게는, 두께를 3nm 이상 20nm 이하로 한다. 특히, 채널 길이가 30nm 이하인 트랜지스터에 있어서는, 산화물 반도체막(403)의 두께를 5nm 정도로 함으로써, 단채널 효과를 억제할 수 있고, 안정된 전기적 특성을 얻을 수 있다.
- [0164] 특히, 산화물 반도체막(403)으로서 In-Sn-Zn-O계의 재료를 이용하는 트랜지스터는 높은 전계 효과 이동도를 얻을 수 있다.
- [0165] In, Sn, Zn을 주성분으로 포함하는 산화물 반도체막에 채널이 형성되는 트랜지스터는 산화물 반도체막을 형성할 때에 기판을 가열하면서 산화물 반도체막을 형성하는 것, 또는 산화물 반도체막을 형성한 후에 열처리를 행함으로써 양호한 특성을 얻을 수 있다. 단, 주성분이란 조성비로 5atomic% 이상 포함되는 원소를 말한다.
- [0166] In, Sn, Zn을 주성분으로 포함하는 산화물 반도체막의 형성 후에 기판을 의도적으로 가열함으로써, 트랜지스터의 전계 효과 이동도를 향상시키는 것이 가능해진다. 또, 트랜지스터의 문턱 전압을 플러스 시프트시키고, 노멀리·오프시킬 수 있게 된다.
- [0167] 산화물 반도체막(403)은 트랜지스터의 오프 전류를 저감하기 위해, 밴드 갭이 2.5eV 이상, 바람직하게는 2.8eV 이상, 더 바람직하게는 3.0eV 이상의 재료를 선택한다. 밴드 갭이 상기 범위에 있는 산화물 반도체막(403)을 이용함으로써, 트랜지스터의 오프 전류를 작게 할 수 있다.
- [0168] 산화물 반도체막(403)에서는 수소, 알칼리 금속 및 알칼리토류 금속 등이 저감되어, 불순물 농도가 매우 낮은 것이 바람직하다. 산화물 반도체막(403)이 상기한 불순물을 가지면 불순물이 형성하는 준위에 의해 밴드 갭 내의 재결합이 일어나고, 트랜지스터는 오프 전류가 증대된다.
- [0169] 산화물 반도체막(403) 중의 수소 농도는 2차 이온 질량 분석(SIMS : Secondary Ion Mass Spectrometry)에 있어서, $5 \times 10^{19} \text{ cm}^{-3}$ 미만, 바람직하게는 $5 \times 10^{18} \text{ cm}^{-3}$ 이하, 더 바람직하게는 $1 \times 10^{18} \text{ cm}^{-3}$ 이하, 더 바람직하게는 $5 \times 10^{17} \text{ cm}^{-3}$ 이하로 한다.
- [0170] 또, 산화물 반도체막(403) 중의 알칼리 금속 농도는 SIMS에 의하여 측정시, 나트륨 농도가 $5 \times 10^{16} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{16} \text{ cm}^{-3}$ 이하, 더 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하로 한다. 마찬가지로, 리튬 농도는 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하로 한다. 마찬가지로, 칼륨 농도는 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하로 한다.
- [0171] 또, 산화물 반도체막(403)으로서, 산화물 반도체막(CAAC-OS막 : C Axis Aligned Crystalline Oxide Semiconductor막이라고도 함)은 c축 배향하고, 또 ab면, 최상층 표면 또는 계면의 방향에서 봤을 때, 삼각 형상 또는 육각 형상의 원자 배열을 가지는 결정(CAAC : CAxis Aligned Crystal라고도 함)을 포함한다. 금속 원자가 c축을 따라 층상 또는 금속 원자와 산소 원자가 c축을 따라 층상으로 배열되어 있고, ab면에 있어서는 a축 또는 b축의 방향이 다르다(c축을 중심으로 회전한다).
- [0172] CAAC란, 넓은 의미로 비단결정이며, 그 ab면에 수직인 방향에서 봤을 때, 삼각형, 육각형, 정삼각형 또는 정육각형의 원자 배열을 가지고, 또 c축 방향에 수직인 방향에서 봤을 때, 금속 원자가 층상, 또는 금속 원자와 산소 원자가 층상으로 배열한 상을 포함한 결정을 말한다. 또한, CAAC를 구성하는 산소의 일부는 질소로 치환되어도 좋다.
- [0173] CAAC-OS막은 단결정은 아니지만, 비정질만으로 형성되어 있는 것도 아니다. 또, CAAC-OS막은 결정화한 부분(결정 부분)을 포함하지만, 1개의 결정 부분과 다른 결정 부분 사이의 경계를 명확하게 관별할 수 없는 경우도 있다. 또, CAAC-OS막에 포함된 결정 부분의 c축은 일정한 방향(예를 들면, CAAC-OS막이 형성되는 기판면, CAAC-OS막의 표면 등에 수직인 방향)으로 정렬되어 있어도 좋다. 또는, CAAC-OS막에 포함된 결정 부분의 ab면의 법선은 일정한 방향(예를 들면, CAAC-OS막이 형성되는 기판면, CAAC-OS막의 표면 등에 수직인 방향)을 향하고 있어도 좋다. 이러한 CAAC-OS막의 예로서, 막 형상으로 형성되고, 막 표면 또는 형성되는 기판면에 수직인 방향으로부터 관찰하면 삼각형 또는 육각형의 원자 배열이 인정되고, 또 그 막 단면을 관찰하면 금속 원자 또는 금속 원자 및 산소 원자(또는 질소 원자)의 층상 배열이 인정되는 산화물막을 들 수도 있다.
- [0174] 산화물 반도체막(403)은 바람직하게는 스퍼터링법에 의해, 기판 가열 온도를 100℃ 이상 600℃ 이하, 바람직하게는 150℃ 이상 550℃ 이하, 더 바람직하게는 200℃ 이상 500℃ 이하로 하고, 산소 가스 분위기로 형성한다. 산화물 반도체막(403)의 두께는 1nm 이상 40nm 이하, 바람직하게는 3nm 이상 20nm 이하로 한다. 성막시의 기판

가열 온도가 높을수록, 얻어지는 산화물 반도체막(403)의 불순물 농도는 낮아진다. 또, 산화물 반도체막(403) 중의 원자 배열이 정돈되고, 고밀도화되어 결정 또는 CAAC가 형성되기 쉬워진다. 또한, 산소 가스 분위기에서 성막하는 것이라도, 회가스 등의 불필요한 원자가 포함되지 않기 때문에, 결정 또는 CAAC가 형성되기 쉬워진다. 단, 산소 가스와 회가스의 혼합 분위기로해도 좋고, 그 경우는 산소 가스의 비율은 30체적% 이상, 바람직하게는 50체적% 이상, 더 바람직하게는 80체적% 이상으로 한다. 산화물 반도체막(403)은 얇을수록, 트랜지스터의 단채널 효과가 저감된다. 그러나, 산화물 반도체막(403)을 너무 얇게 하면 계면 산란의 영향이 강해져 전계 효과 이동도의 저하가 일어나는 경우가 있다.

[0175] 산화물 반도체막(403)으로서 In-Sn-Zn-O계 재료를 스퍼터링법으로 형성하는 경우, 바람직하게는, 원자수비가 In : Sn : Zn=2 : 1 : 3, In : Sn : Zn=1 : 2 : 2, In : Sn : Zn=1 : 1 : 1 또는 In : Sn : Zn=20 : 45 : 35로 나타나는 In-Sn-Zn-O 타겟을 이용한다. 상기한 조성비를 가지는 In-Sn-Zn-O 타겟을 이용하여 산화물 반도체막(403)을 성막함으로써, 결정 또는 CAAC가 형성되기 쉬워진다.

[0176] 다음으로, 제 1 가열 처리를 행한다. 제 1 가열 처리는 감압 분위기, 불활성 분위기 또는 산화성 분위기에서 행한다. 제 1 가열 처리에 의해, 산화물 반도체막(403) 중의 불순물 농도를 저감할 수 있다. 도 11(B)은 이상의 공정 후의 단면도에 해당한다.

[0177] 제 1 가열 처리는 감압 분위기 또는 불활성 분위기에서 가열 처리를 행한 후, 온도를 유지하면서 산화성 분위기로 전환하고, 가열 처리를 더 행하면 바람직하다. 감압 분위기 또는 불활성 분위기에서 가열 처리를 행함으로써, 산화물 반도체막(403) 중의 불순물 농도를 효과적으로 저감할 수 있고; 동시에 산소 결손도 생긴다. 따라서 이 때 생긴 산소 결손을 산화성 분위기에서의 가열 처리에 의해 저감할 수 있다.

[0178] 산화물 반도체막(403)은 성막시의 기관 가열로 가하여 제 1 가열 처리를 행함으로써, 막 중의 불순물 준위를 매우 작게 하는 것이 가능해진다. 그 결과, 트랜지스터의 전계 효과 이동도를 후술하는 이상적인 전계 효과 이동도 근처까지 높일 수 있게 된다.

[0179] 단, 산화물 반도체막(403)에 산소 이온을 주입하고, 가열 처리에 의해 산화물 반도체막(403)에 포함되는 수소 등의 불순물을 방출시켜, 이 가열 처리와 동시에 또는 그 후의 가열 처리에 의해 산화물 반도체막(403)을 결정화시켜도 좋다.

[0180] 또, 제 1 가열 처리 대신에 레이저 빔을 조사하여 선택적으로 산화물 반도체막(403)을 결정화해도 좋다. 또는, 제 1 가열 처리를 행하면서 레이저 빔을 조사하여 선택적으로 산화물 반도체막(403)을 결정화해도 좋다. 레이저 빔의 조사는 불활성 분위기, 산화성 분위기 또는 감압 분위기에서 행한다. 레이저 빔의 조사를 행하는 경우, 연속 발진형의 레이저 빔(CW 레이저 빔) 또는 펄스 발진형의 레이저 빔(펄스 레이저 빔)을 이용할 수 있다. 예를 들면, Ar 레이저, Kr 레이저 또는 엑시머 레이저 등의 기체 레이저, 또는 단결정 혹은 다결정의 YAG, YVO₄, 포스테라이트(Mg₂SiO₄), YAlO₃ 혹은 GdVO₄에 도펀트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm 및 Ta 중 일종 이상이 첨가되어 있는 것을 매질로 한 레이저, 혹은 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti : 사파이어 레이저 등의 고체 레이저, 또는 구리 증기 레이저 혹은 금 증기 레이저 중 일종 이상으로부터 발진되는 증기 레이저를 이용할 수 있다. 이러한 레이저 빔의 기본파, 또는 기본파의 제 2 고조파 내지 제 5 고조파의 몇 개의 레이저 빔을 조사함으로써, 산화물 반도체막(403)을 결정화할 수 있다. 단, 조사하는 레이저 빔은 산화물 반도체막(403)의 밴드 갭보다 에너지가 큰 것을 이용하면 바람직하다. 예를 들면, KrF, ArF, XeCl, 또는 XeF의 엑시머 레이저 발진기로부터 사출되는 레이저 빔을 이용해도 좋다. 단, 레이저 빔의 형상이 선 형상이어도 상관없다.

[0181] 단, 다른 조건 하에서 복수회의 레이저 빔 조사를 행할 수도 있다. 예를 들면, 1회째의 레이저 빔 조사를 회가스 분위기 또는 감압 분위기에서 행하고, 2회째의 레이저 빔 조사를 산화성 분위기에서 행하면, 산화물 반도체막(403)의 산소 결손을 저감하면서 높은 결정성을 얻을 수 있기 때문에 바람직하다.

[0182] 다음으로, 산화물 반도체막(403)을 포토리소그래피 공정 등에 의해 섬 형상으로 가공하여 산화물 반도체막(404)을 형성한다.

[0183] 다음으로, 게이트 절연층(402) 및 산화물 반도체막(404) 위에 도전막을 형성한 후, 포토리소그래피 공정 등에 의해 소스 전극(405A) 및 드레인 전극(405B)을 형성한다. 이 도전막의 성막은, 스퍼터링법, 증착법, PCVD법, PLD법, ALD법 또는 MBE법 등에 의하여 형성될 수도 있다. 소스 전극(405A) 및 드레인 전극(405B)은 게이트 전극층(401)과 마찬가지로, Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ag, Ta 및 W, 이들의 질화물, 산화물 및 합금으

로부터 일종 이상 선택하여 단층으로 또는 적층으로 이용하면 좋다.

- [0184] 다음으로, 상부 절연막이 되는 절연막(406)을 스퍼터링법, 증착법, PCVD법, PLD법, ALD법 또는 MBE법 등을 이용하여 성막한다. 도 11(C)은 이상의 공정 후의 단면도이다. 절연막(406)은 게이트 절연층(402)과 같은 방법으로 형성하면 좋다.
- [0185] 또 절연막(406)에 적층하여 보호 절연막을 형성해도 좋다(도시하지 않음). 보호 절연막은 250℃ 이상 450℃ 이하, 바람직하게는 150℃ 이상 800℃ 이하의 온도 범위에서, 예를 들면 1시간의 가열 처리를 행해도 산소를 투과하지 않는 성질을 가지면 바람직하다.
- [0186] 이상과 같은 성질을 갖는, 보호 절연막을 절연막(406)의 주변에 제공되는 구조로 할 때에, 절연막(406)으로부터 가열 처리에 의해 방출된 산소가 트랜지스터의 바깥쪽으로 확산해 가는 것을 억제할 수 있다. 이와 같이, 절연막(406)에 산소가 유지되기 때문에, 트랜지스터의 전계 효과 이동도의 저하를 방지하고, 문턱 전압의 편차를 저감시키고, 또한 신뢰성을 향상시킬 수 있다.
- [0187] 보호 절연막은 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화 지르코늄, 산화 이트륨, 산화 란탄, 산화 세슘, 산화 탄탈 및 산화 마그네슘의 일종 이상을 선택해, 단층 또는 적층으로 형성하면 좋다.
- [0188] 절연막(406)이 형성된 후, 제 2 가열 처리를 행한다. 이후의 공정이 도 11(D)에 도시하는 단면도에 대응한다. 제 2 가열 처리는 감압 분위기, 불활성 분위기 또는 산화성 분위기에 있어서, 150℃ 이상 550℃ 이하, 바람직하게는 250℃ 이상 400℃ 이하의 온도에서 행한다. 제 2 가열 처리를 행함으로써, 게이트 절연층(402) 및 절연막(406)으로부터 산소가 방출되고, 산화물 반도체막(404) 중의 산소 결손을 저감할 수 있다. 또한, 게이트 절연층(402)과 산화물 반도체막(404) 사이의 계면 준위 밀도, 및 산화물 반도체막(404)과 절연막(406) 사이의 계면 준위 밀도를 저감할 수 있기 때문에, 트랜지스터의 문턱 전압의 편차를 저감시키고, 또 신뢰성을 향상시킬 수 있다.
- [0189] 제 1 가열 처리 및 제 2 가열 처리를 거친 산화물 반도체막(404)을 포함한 트랜지스터는 전계 효과 이동도가 높고, 오프 전류는 작다. 구체적으로는, 채널폭이 1μm 당의 오프 전류를 1×10^{-18} A 이하, 1×10^{-21} A 이하 또는 1×10^{-24} A 이하로 할 수 있다.
- [0190] 산화물 반도체막(404)은 비단결정이면 바람직하다. 그 이유는 트랜지스터의 동작, 외부로부터의 광이나 열이 완전한 단결정인 산화물 반도체막(404)에 산소 결손을 생성하면, 산소 결손을 보상하기 위한 격자간 산소가 존재하지 않기 때문에 산화물 반도체막(404) 중에 이 산소 결손에 기인하는 캐리어를 생성하고; 그 결과 트랜지스터의 문턱 전압이 마이너스 방향으로 변동하는 경우가 있기 때문이다.
- [0191] 산화물 반도체막(404)은 결정성을 가지면 바람직하다. 예를 들면, 산화물 반도체막(403)으로서 다결정 산화물 반도체막 또는 CAAC-OS막을 적용하는 것이 바람직하다.
- [0192] 이상의 공정에 의해, 도 11(D)에 도시하는 트랜지스터를 제작할 수 있다.
- [0193] 또, 상기한 트랜지스터와 다른 구조를 가지는 트랜지스터에 대하여 도 12(A)~도 12(D)를 참조하여 설명한다. 단, 도 12(A)~도 12(D)는 이른바 에칭 스톱형(채널 스톱형, 채널 보호형이라고도 함)의 트랜지스터의 제작 공정을 도시하는 단면도이다.
- [0194] 또 도 12(A)~도 12(D)에 도시하는 트랜지스터는 도 11(A)~도 11(D)에 도시하는 트랜지스터와 비교시, 에칭 스톱막이 되는 절연막(408)을 가진다는 점에서 차이가 있다. 그러므로, 이하에서는 도 11(A)~도 11(D)와 중복되는 설명에 대하여 생략하고, 상기한 설명을 원용하는 것으로 한다.
- [0195] 상기한 공정을 행하는 것에 의해 도 12(A), 도 12(B)에 도시하는 단면도의 구조를 얻을 수 있다.
- [0196] 도 12(C)에 도시하는 절연막(408)은 게이트 절연층(402) 및 절연막(406)과 유사한 방법으로 형성할 수 있다. 즉, 절연막(408)으로서 가열 처리에 의해 산소를 방출하는 절연막을 이용하는 것이 바람직하다.
- [0197] 또 에칭 스톱막으로서 기능하는 절연막(408)을 형성함으로써, 포토리소그래피 공정 등에 의해 소스 전극(405A) 및 드레인 전극(405B)을 형성할 때에, 산화물 반도체막(404)이 에칭되는 것을 방지할 수 있다.
- [0198] 도 12(D)에 도시하는 절연막(406)의 형성 후에, 제 2 가열 처리가 행해지고 절연막(408) 및 절연막(406)으로부터, 산소가 방출된다. 따라서, 산화물 반도체막(404) 중의 산소 결손을 저감하는 효과를 더 높일 수 있다. 또

한, 게이트 절연층(402)과 산화물 반도체막(404) 사이의 계면 준위 밀도, 및 산화물 반도체막(404)과 절연막(408) 사이의 계면 준위 밀도를 저감할 수 있기 때문에, 트랜지스터의 문턱 전압의 편차를 저감시키고, 또한 신뢰성을 향상시킬 수 있다.

- [0199] 이상의 공정에 의해, 도 12(D)에 도시하는 트랜지스터를 제작할 수 있다.
- [0200] 도 11(D), 도 12(D)에 도시한 트랜지스터는, 주사선 구동 회로 및 화소에 포함될 수 있다. 일례로서 도 4(A)에 도시하는 트랜지스터(11)로서 이 트랜지스터를 적용하는 구성에 대하여 도 13(A) 및 도 13(B)를 참조하여 설명한다. 구체적으로 도 13(A)은 도 11(D)에 도시한 트랜지스터를 트랜지스터(11)로서 적용한 경우의 상면도를 도시하는 도면이며, 도 13(B)은 도 12(D)에 도시한 트랜지스터를 트랜지스터(11)로서 적용한 경우의 상면도이다. 또한, 도 13(A) 중의 선분 C1-C2에 있어서의 단면을 도시하는 도면이 도 11(D)이며, 도 13(B) 중의 선분 C1-C2에 있어서의 단면을 나타내는 도면이 도 12(D)이다.
- [0201] 도 13(A), 도 13(B)에 도시하는 각각의 트랜지스터에서는, 도 4(A)에 도시하는 신호선(6)으로서 기능하는 배선의 일부를 트랜지스터(11)의 소스 및 드레인 중 한쪽으로서 이용하고, 주사선(4)으로서 기능하는 배선의 일부를 트랜지스터(11)의 게이트로서 이용하고 있다. 이와 같이, 표시 장치에 형성되는 배선의 일부를 이용하여 트랜지스터의 각 단자를 구성하는 것도 가능하다.
- [0202] <액정 표시 장치를 탑재한 각종 전자 기기에 대하여>
- [0203] 이하에서는, 본 명세서에서 개시되는 액정표시 장치를 포함하는 전자기기의 예에 대하여 도 14(A) 내지 도 14(F)를 참조하여 설명한다.
- [0204] 도 14(A)는 본체(2201), 하우징(2202), 표시부(2203), 키보드(2204) 등을 포함하는 랩탑 컴퓨터를 도시한다.
- [0205] 도 14(B)는 표시부(2213)와 외부 인터페이스(2215)와 조작 버튼(2214)을 가지는 본체(2211)를 포함하는 휴대 정보 단말(PDA)을 도시한다. 또, 조작용의 스타일러스(2212)가 부속품으로 포함된다.
- [0206] 도 14(C)는 전자 페이퍼의 일례로서 전자 서적 리더(2220)를 도시하는 도면이다. 전자 서적 리더(2220)는 하우징(2221) 및 하우징(2223)의 2개의 하우징을 포함한다. 하우징(2221) 및 하우징(2223)은 축부(2237)에 의해 서로 결합되어 있고, 이 축부(2237)를 축으로서 개폐 동작을 행할 수 있다. 이러한 구성에 의해, 전자 서적 리더(2220)는 종이 서적과 같이 이용할 수 있다.
- [0207] 하우징(2221)에는 표시부(2225)가 결합되고, 하우징(2223)에는 표시부(2227)가 결합되어 있다. 표시부(2225) 및 표시부(2227)는 한 화면을 표시하거나 다른 화면을 표시해도 좋다. 표시부가 서로 다른 화면을 표시하는 구성일 때, 예를 들면 우측의 표시부(도 14(C)에서는 표시부(2225))에 문장을 표시하고, 좌측의 표시부(도 14(C)에서는 표시부(2227))에 화상을 표시할 수 있다.
- [0208] 또한, 도 14(C)에서는 하우징(2221)에 조작부 등이 구비되어 있다. 예를 들면, 하우징(2221)은 전원(2231), 조작 키(2233), 스피커(2235) 등을 구비하고 있다. 조작 키(2233)에 의해, 페이지를 넘길 수 있다. 단, 하우징의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비해도 좋다. 또한, 하우징의 뒷면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비해도 좋다. 또한 전자 서적 리더(2220)는 전자 사전으로서의 기능을 가지게 한 구성으로 해도 좋다.
- [0209] 또, 전자 서적 리더(2220)는 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 무선으로 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하고 다운로드하는 구성으로 할 수도 있다.
- [0210] 또 전자 페이퍼는 정보를 표시하는 것이라면 모든 분야에 적용하는 것이 가능하다. 예를 들면, 전자 서적 이외에도, 포스터, 전철 등 탈 것의 차내 광고, 신용카드 등 각종 카드에서의 표시 등에 적용할 수 있다.
- [0211] 도 14(D)는 휴대 전화기를 도시한다. 이 휴대 전화기는 하우징(2240) 및 하우징(2241)의 2개의 하우징을 포함한다. 하우징(2241)은 표시 패널(2242), 스피커(2243), 마이크로폰(2244), 포인팅 디바이스(2246), 카메라용 렌즈(2247), 외부 접속 단자(2248) 등을 구비하고 있다. 또, 하우징(2240)은 이 휴대 전화기의 충전을 행하는 태양전지 셀(2249), 외부 메모리 슬롯(2250) 등을 구비하고 있다. 또, 안테나는 하우징(2241)에 결합되어 있다.
- [0212] 표시 패널(2242)은 터치 패널 기능을 갖추고 있다. 도 14(D)에는 영상 표시되어 있는 복수의 조작 키(2245)를 점선으로 도시하고 있다. 단, 이 휴대 전화는 태양전지 셀(2249)로부터 출력되는 전압을 각 회로에 필요한 전

압에 승압하기 위한 승압 회로를 포함하고 있다. 또한, 상기 구성에 추가적으로, 비접촉 IC칩, 소형 기록 장치 등을 내장한 구성으로 할 수도 있다.

[0213] 표시 패널(2242)의 표시 방향은 사용 형태에 따라 적절히 변화한다. 또한, 표시 패널(2242)과 동일면 위에 카메라용 렌즈(2247)를 구비하고 있기 때문에, 화상 전화기로 사용될 수 있다. 스피커(2243) 및 마이크로폰(2244)은 음성 통화뿐만 아니라, 화상 전화, 녹음, 재생에 사용 가능하다. 또한 도 14(D)와 같이 전개하고 있는 상태에서의 하우징(2240)과 하우징(2241)은 슬라이드 하여, 서로 중첩된 상태로 할 수 있어, 휴대폰이 소형화될 수 있고, 이에 따라 휴대폰이 휴대하기에 더욱 적합해진다.

[0214] 외부 접속 단자(2248)는 AC 어댑터나 USB 케이블 등의 각종 케이블과 접속할 수 있고, 이는 충전이나 데이터 통신을 가능하게 한다. 또한, 외부 메모리슬롯(2250)에 기록 매체를 삽입하여, 보다 대량의 데이터가 저장 및 이동할 수 있다. 또한, 상기 기능에 더하여 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 것이어도 좋다.

[0215] 도 14(E)는 디지털 카메라를 도시하는 도면이다. 이 디지털 카메라는 본체(2261), 표시부(A)(2267), 접안부(2263), 조작 스위치(2264), 표시부(B)(2265), 배터리(2266) 등을 포함한다.

[0216] 도 14(F)는 텔레비전 장치를 도시한다. 텔레비전 장치(2270)에서는, 하우징(2271)에 표시부(2273)가 결합되어 있다. 표시부(2273)는 영상을 표시할 수 있다. 또한 여기에서는 스탠드(2275)에 의해 하우징(2271)이 지지된다.

[0217] 텔레비전 장치(2270)는 하우징(2271)이 구비하는 조작 스위치나, 별도의 리모콘 조작기(2280)에 의하여 동작될 수 있다. 리모콘 조작기(2280)의 조작 키(2279)에 의해, 채널이나 음량의 조종을 행할 수 있고, 표시부(2273)에 표시되는 영상을 조작할 수 있다. 또한, 리모콘 조작기(2280)에는 이 리모콘 조작기(2280)에서 출력하는 정보를 표시하는 표시부(2277)를 가질 수도 있다.

[0218] 단, 텔레비전 장치(2270)는 바람직하게는, 수신기나 모뎀 등을 구비한다. 수신기에 의해 일반적인 텔레비전 방송의 수신을 행할 수 있다. 또한, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속하였을 때, 한방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 사이, 혹은 수신자들간 등)의 정보 통신을 행할 수 있다.

부호의 설명

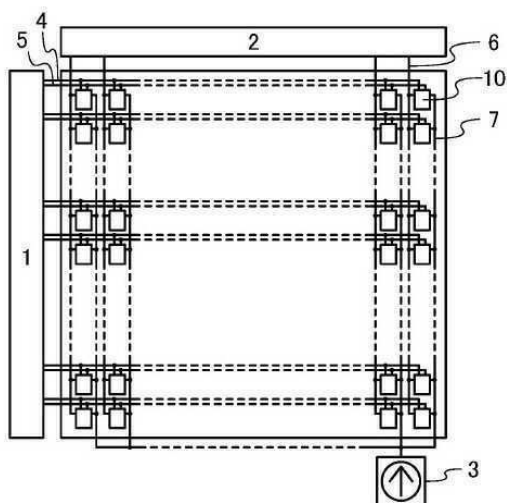
[0219] 1 : 주사선 구동 회로
2 : 신호선 구동 회로
3 : 전류원
4 : 주사선
5 : 반전 주사선
6 : 신호선
7 : 전원선
10 : 화소
11~16 : 트랜지스터
17 : 커패시터
18 : 유기 EL소자
20 : 펄스 출력 회로
21~27 : 단자
31~39 : 트랜지스터
50~53 : 트랜지스터
60 : 반전 펄스 출력 회로

61~63 : 단자
71~74 : 트랜지스터
80 : 커패시터
81 : 트랜지스터
400 : 기관
401 : 게이트 전극층
402 : 게이트 절연층
403 : 산화물 반도체막
404 : 산화물 반도체막
405A : 소스 전극
405B : 드레인 전극
406 : 절연막
408 : 절연막
2201 : 본체
2202 : 하우징
2203 : 표시부
2204 : 키보드
2211 : 본체
2212 : 스타일러스
2213 : 표시부
2214 : 조작 버튼
2215 : 외부 인터페이스
2220 : 전자 서적
2221 : 하우징
2223 : 하우징
2225 : 표시부
2227 : 표시부
2231 : 전원
2233 : 조작 키
2235 : 스피커
2237 : 축부
2240 : 하우징
2241 : 하우징
2242 : 표시 패널
2243 : 스피커
2244 : 마이크론

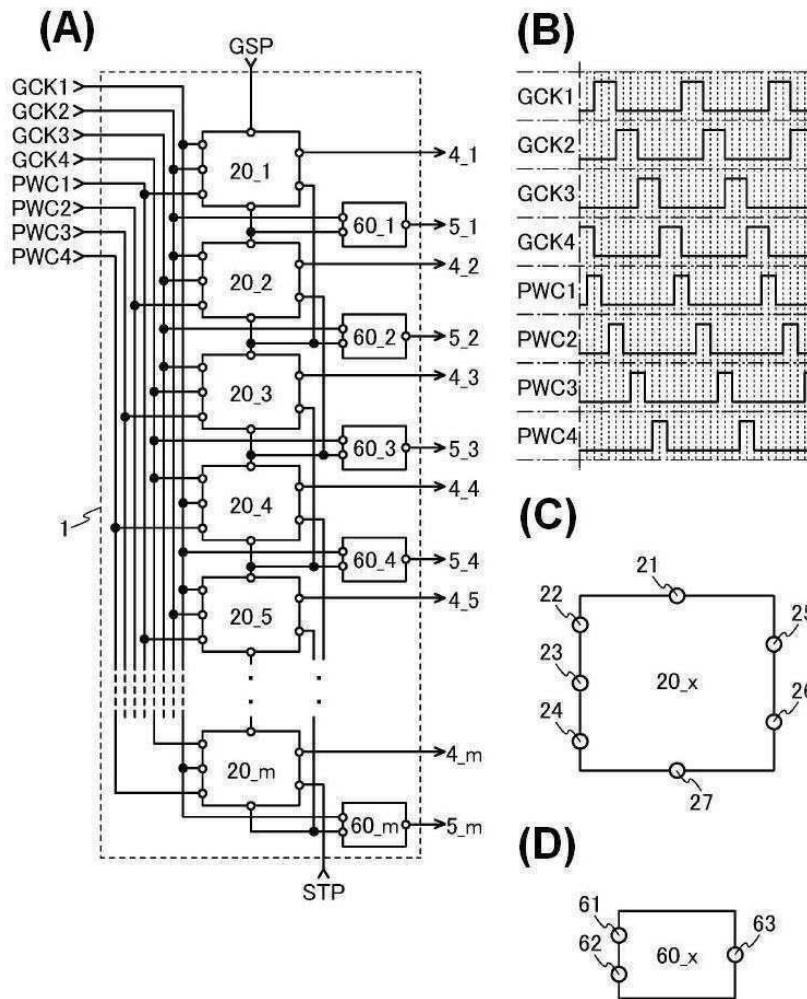
- 2245 : 조작 키
- 2246 : 포인팅 디바이스
- 2247 : 카메라용 렌즈
- 2248 : 외부 접속 단자
- 2249 : 태양전지 셀
- 2250 : 외부 메모리 슬롯
- 2261 : 본체
- 2263 : 접안부
- 2264 : 조작 스위치
- 2265 : 표시부(B)
- 2266 : 배터리
- 2267 : 표시부(A)
- 2270 : 텔레비전 장치
- 2271 : 하우징
- 2273 : 표시부
- 2275 : 스탠드
- 2277 : 표시부
- 2279 : 조작 키
- 2280 : 리모콘 조작기

도면

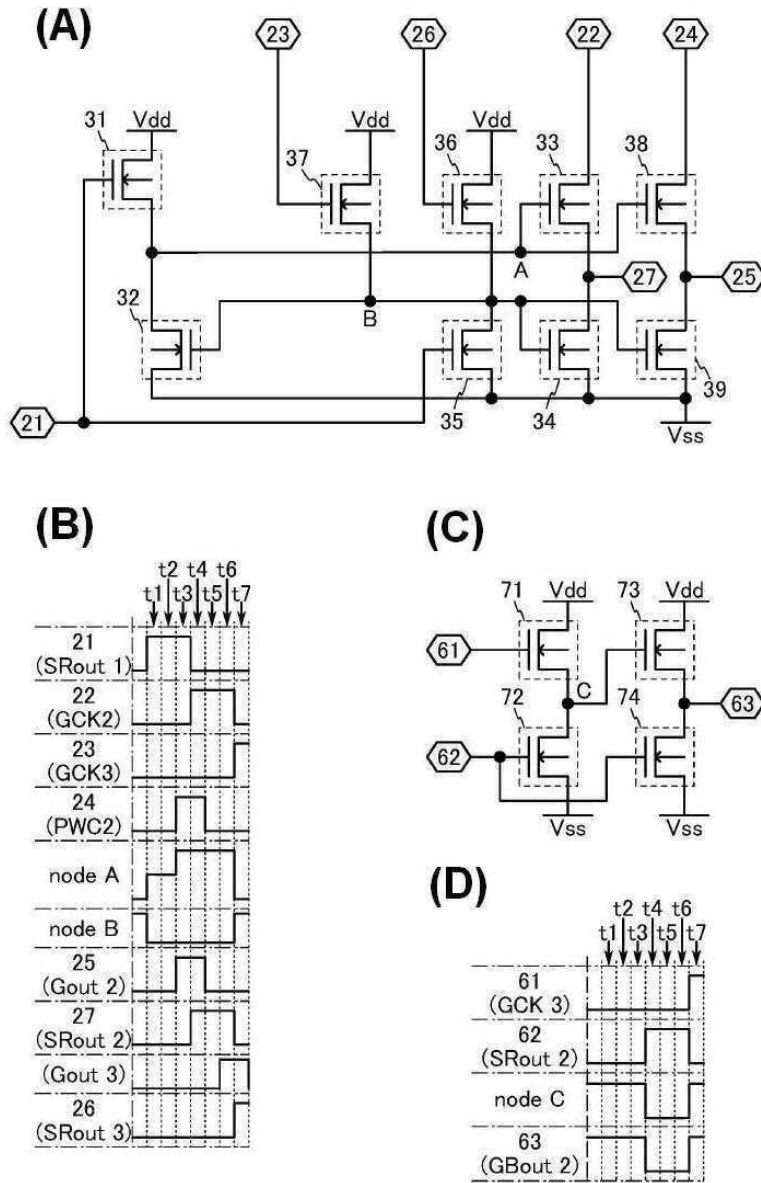
도면1



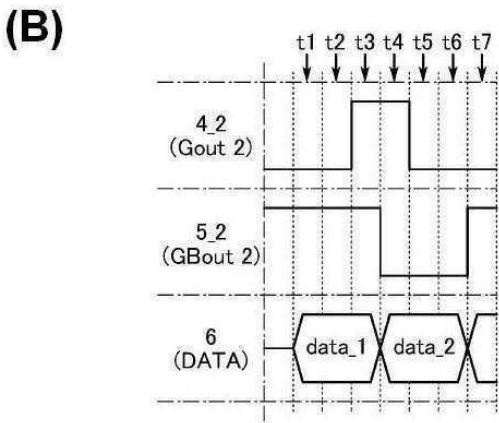
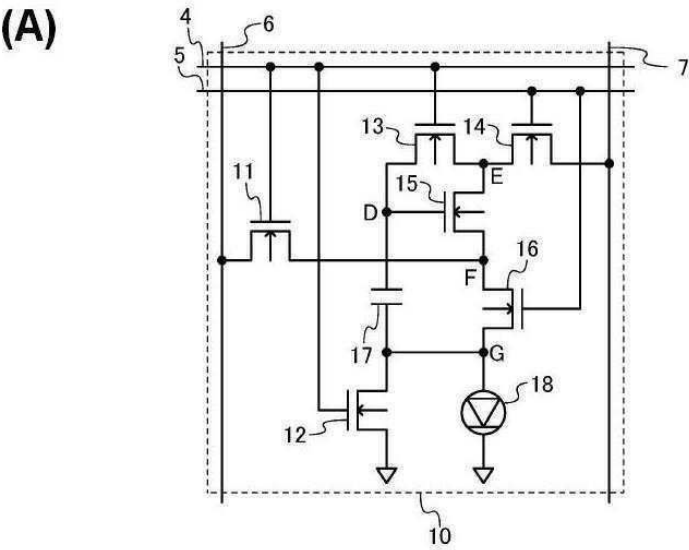
도면2



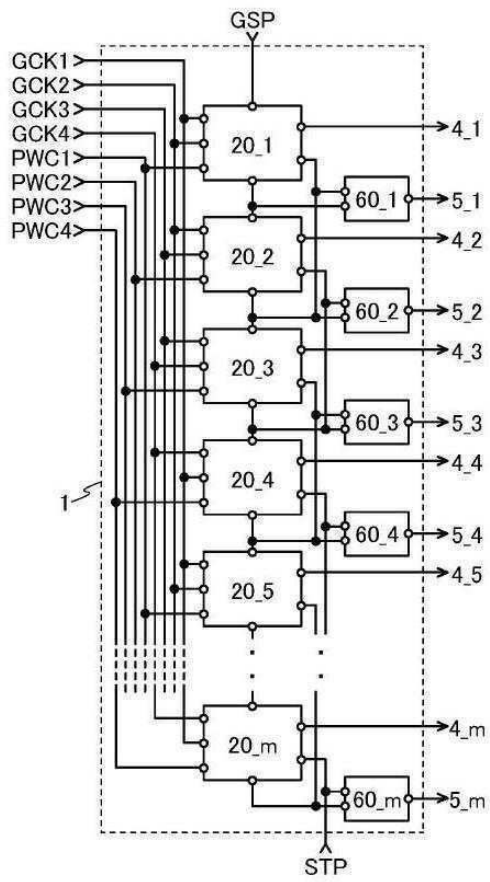
도면3



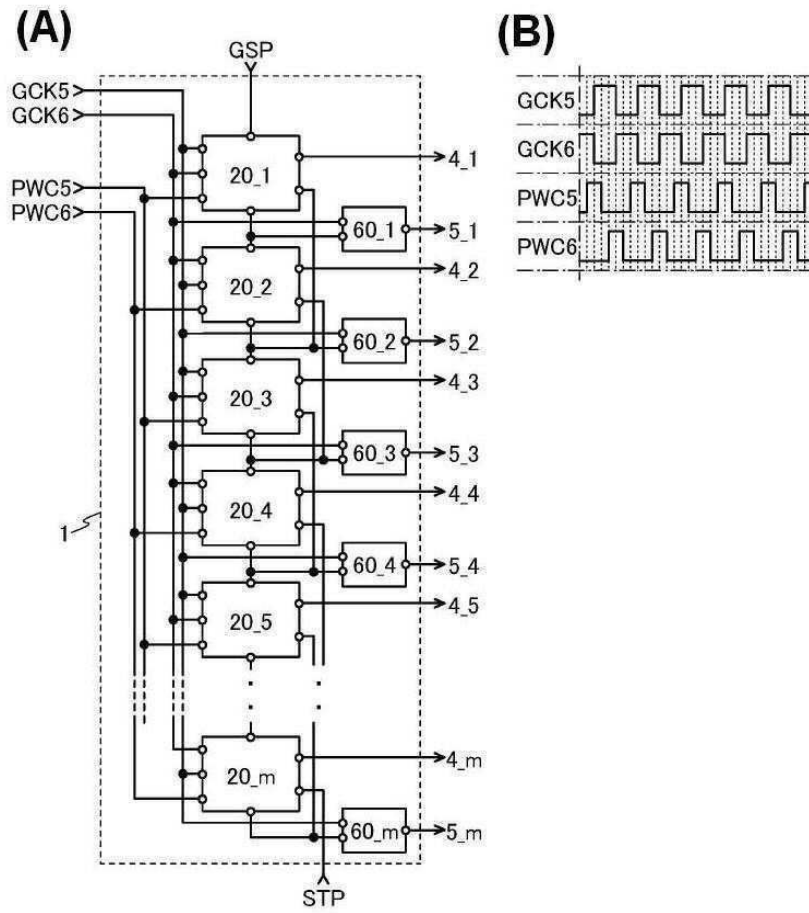
도면4



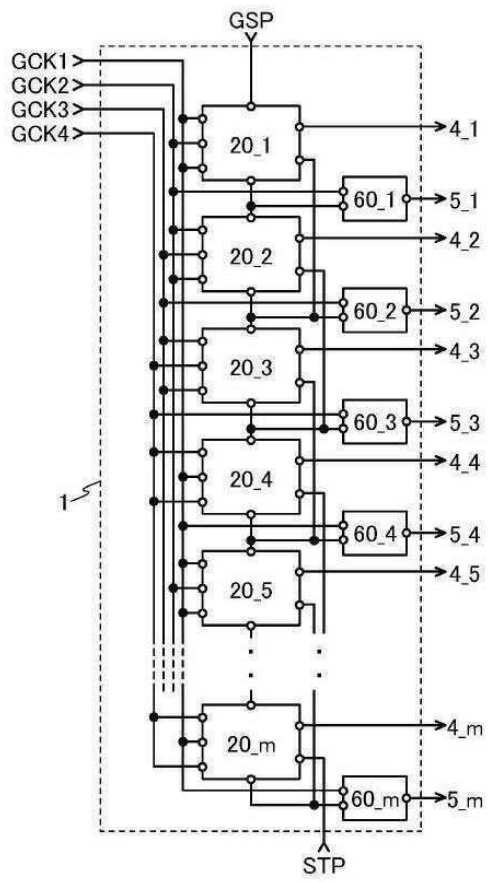
도면5



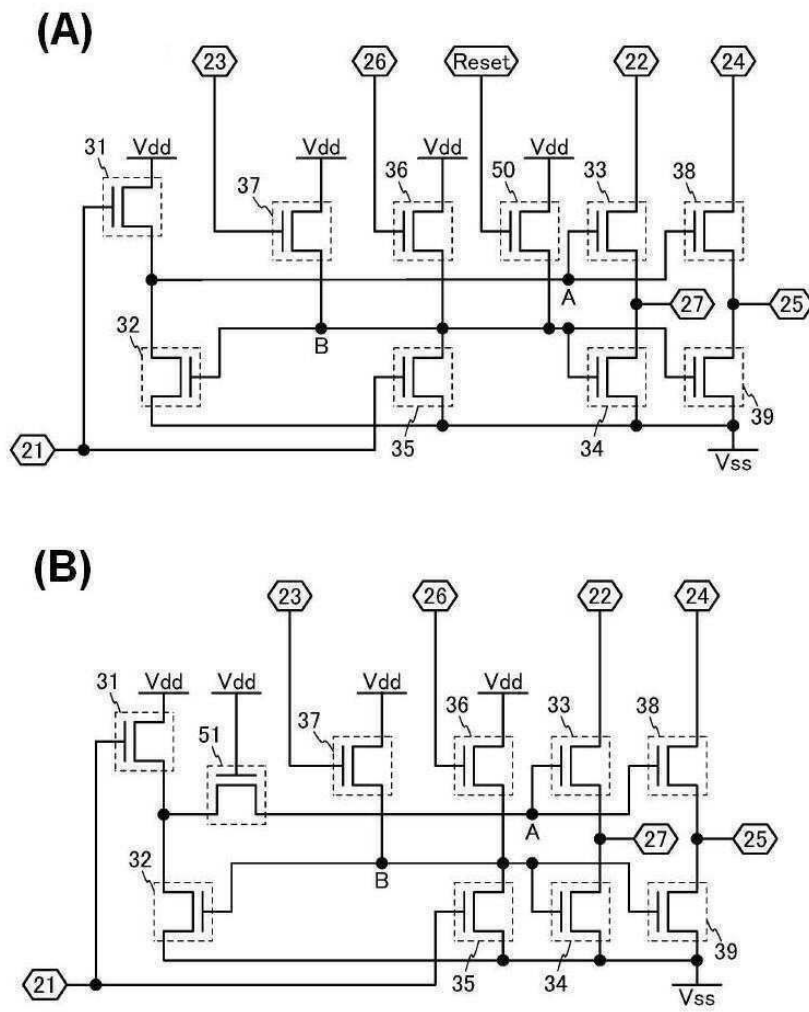
도면6



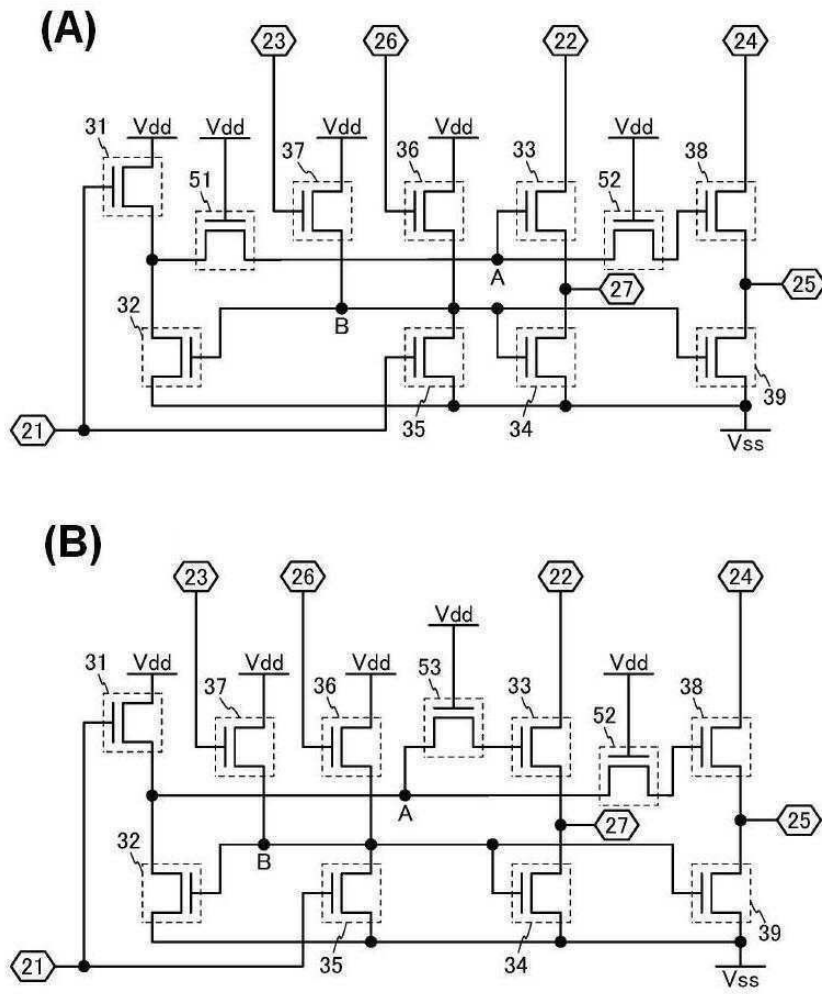
도면7



도면8

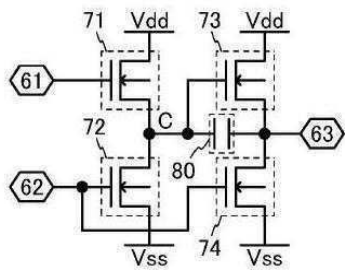


도면9

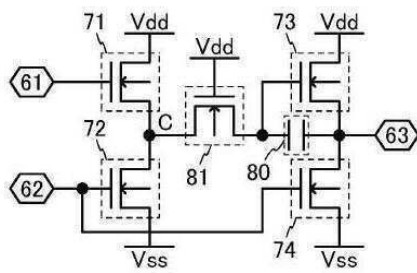


도면10

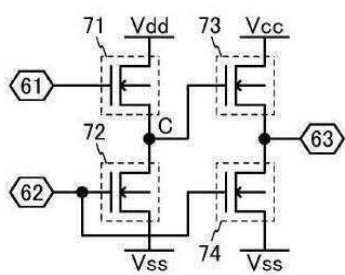
(A)



(B)

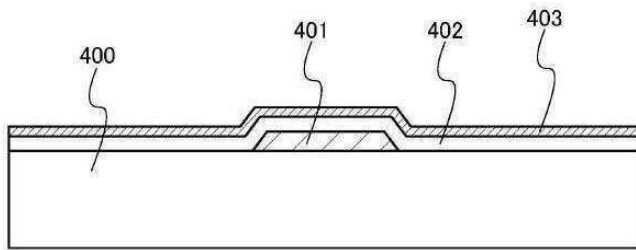


(C)



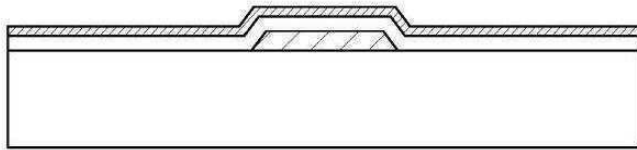
도면11

(A)

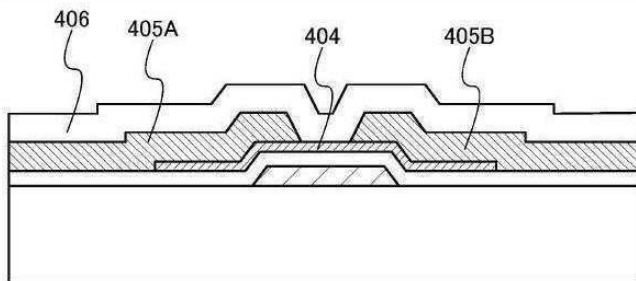


(B)

제 1 가열 처리

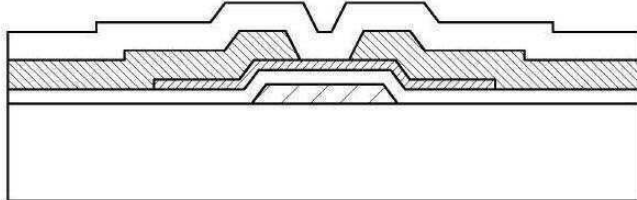


(C)

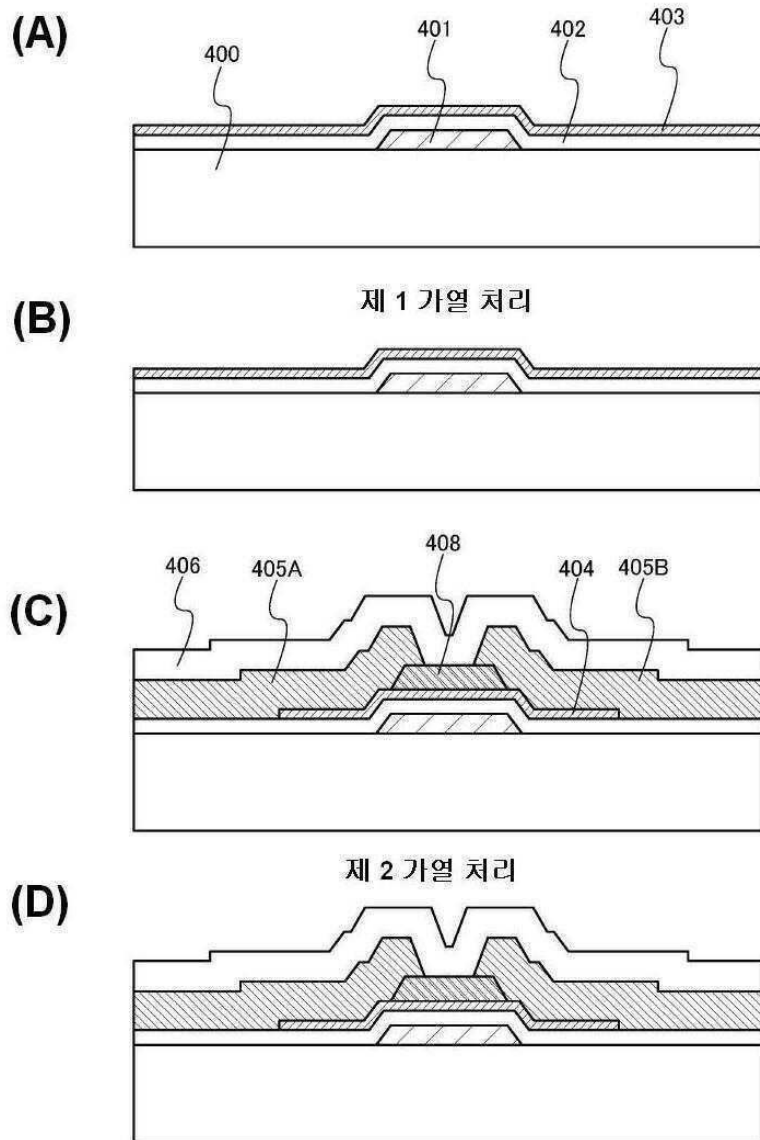


(D)

제 2 가열 처리

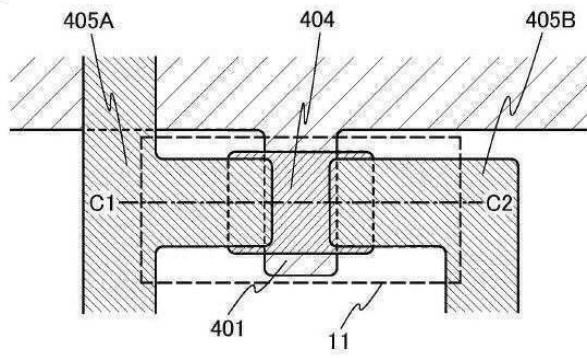


도면12

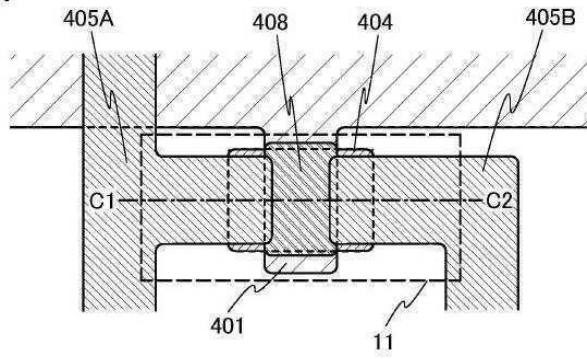


도면13

(A)



(B)



도면14

