



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0102609  
(43) 공개일자 2016년08월31일

(51) 국제특허분류(Int. Cl.)  
H01L 43/02 (2006.01) H01L 43/10 (2006.01)  
H01L 43/12 (2006.01)  
(52) CPC특허분류  
H01L 43/02 (2013.01)  
H01L 43/10 (2013.01)  
(21) 출원번호 10-2015-0024885  
(22) 출원일자 2015년02월23일  
심사청구일자 2015년02월23일

(71) 출원인  
고려대학교 산학협력단  
서울특별시 성북구 안암로 145, 고려대학교 (안암  
동5가)  
(72) 발명자  
임상호  
경기도 남양주시 와부읍 덕소로 180, 113동 1903  
호(두산위브아파트)  
윤석진  
경기도 구리시 건원대로 56, 302동 2003호 (인창  
동, 삼보아파트)  
이성래  
서울특별시 강남구 언주로130길 30, 101-201 (논  
현동, 동양파라곤)  
(74) 대리인  
김권석

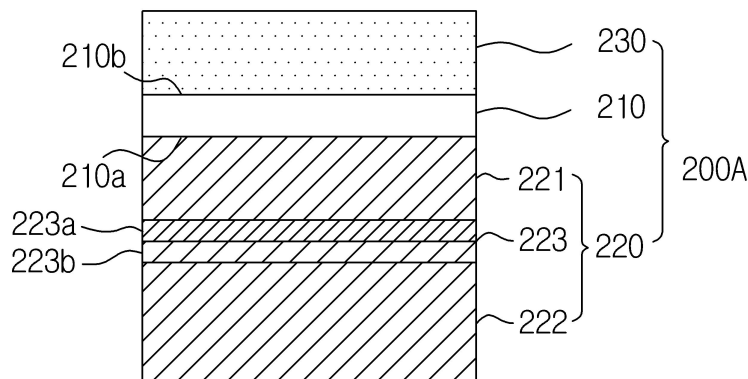
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 다층 자성 박막 스택 및 이를 포함하는 비휘발성 메모리 소자

(57) 요약

본 발명은 다층 자기 박막 스택 및 자기 터널링 접합(MTJ)를 이용한 비휘발성 자기 메모리 소자에 관한 것이다. 본 발명의 일 실시예에 따른 다층 자기 박막 스택은 터널링 장벽층, 상기 터널링 장벽층의 제 1 면 상의 자기 고정층, 및 상기 터널링 장벽층의 상기 제 1 면과 반대되는 제 2 면 상의 자기 자유층을 포함하는 자기 터널링 접합을 포함하는 다층 자기 박막 스택이다. 일 실시예에서, 상기 자기 고정층 및 상기 자기 자유층 중 적어도 하나는, 상기 터널링 장벽층에 인접한 체심 입방 구조를 가지며, 코발트(Co) 및 철(Fe)을 함유하는 CoFe계 제 1 자성층; 상기 CoFe계 자성층과 중간 자기 교환 결합되는 제 2 자성층; 및 상기 CoFe계 제 1 자성층과 상기 제 2 자성층 사이에 배치되고, 상기 CoFe계 자성층에 인접하는 탄탈륨(Ta)층 및 상기 제 2 자성층에 인접하는 루테튬(Ru)층의 적층 구조를 포함하는 제 1 복합 스페이서층을 포함한다.

대표도 - 도2a



(52) CPC특허분류

*H01L 43/12* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

터널링 장벽층, 상기 터널링 장벽층의 제 1 면 상의 자기 고정층, 및 상기 터널링 장벽층의 상기 제 1 면과 반대되는 제 2 면 상의 자기 자유층을 포함하는 자기 터널링 접합을 포함하는 다층 자기 박막 스택으로서,

상기 자기 고정층 및 상기 자기 자유층 중 적어도 하나는,

상기 터널링 장벽층에 인접한 체심 입방 구조를 가지며, 코발트 (Co) 및 철 (Fe)을 함유하는 CoFe계 제 1 자성층;

상기 CoFe계 자성층과 층간 자기 교환 결합되는 제 2 자성층; 및

상기 CoFe계 제 1 자성층과 상기 제 2 자성층 사이에 배치되고, 상기 CoFe계 자성층에 인접하는 탄탈륨 (Ta)층 및 상기 제 2 자성층에 인접하는 루테튬 (Ru)층의 적층 구조를 포함하는 제 1 복합 스페이서층을 포함하는 다층 자기 박막 스택.

#### 청구항 2

제 1 항에 있어서,

상기 터널링 장벽층은  $Al_2O_3$ , MgO,  $TiO_2$ , AlN, RuO, SrO, SiN,  $CaO_x$ ,  $HfO_2$ ,  $Ta_2O_5$ ,  $ZrO_2$ , SiC,  $SiO_2$ ,  $SiO_xN_y$ , 또는 이들 중 2 이상의 적층 구조를 포함하는 다층 자기 박막 스택.

#### 청구항 3

제 1 항에 있어서,

상기 CoFe계 제 1 자성층은, 코발트-철 (CoFe), 코발트-철-붕소 (CoFeB) 또는 이들 중 2 이상의 적층 구조를 포함하는 다층 자기 박막 스택.

#### 청구항 4

제 1 항에 있어서,

상기 제 2 자성층은 비자성 금속층 및 코발트 함유 자성층이 적어도 1회 이상 교번하여 적층된 다층구조를 포함하는 다층 자기 박막 스택.

#### 청구항 5

제 4 항에 있어서,

상기 비자성 금속층은 백금 (Pt), 로듐 (Rh), 하프늄 (Hf), 파라듐 (Pd), 탄탈륨 (Ta), 오스뮴 (Os), 게르마늄 (Ge), 이리듐 (Ir), 금 (Au), 및 은 (Ag) 중 어느 하나 또는 이들의 합금을 포함하는 다층 자기 박막 스택.

#### 청구항 6

제 4 항에 있어서,

상기 코발트 함유 자성층은 순수 코발트층, CoZr 합금층, CoFe 합금층, CoFeB 합금층 또는 이들의 적층 구조를 포함하는 다층 자기 박막 스택.

#### 청구항 7

제 1 항에 있어서,

상기 제 1 자성층과 상기 제 2 자성층은 반평행 층간 교환 결합을 하는 다층 자기 박막 스택.

#### 청구항 8

제 1 항에 있어서,

상기 제 1 복합 스페이서층의 상기 탄탈륨층은 0.2 nm 내지 0.6 nm의 두께를 가지며, 상기 루테튬층은 0.2 nm 내지 1.2 nm의 두께를 갖는 다층 자기 박막 스택.

#### 청구항 9

제 8 항에 있어서,

상기 루테튬층의 두께는 0.6 내지 0.9 nm의 범위 내인 다층 자기 박막 스택.

#### 청구항 10

제 1 항에 있어서,

상기 자기 고정층 및 상기 자기 자유층 중 다른 하나는,

상기 제 1 자성층과 접하는 상기 터널링 장벽층의 다른 면 상에 인접한 체심 입방 구조를 가지며, 코발트 (Co) 및 철 (Fe)을 함유하는 CoFe계 제 3 자성층;

상기 CoFe계 자성층과 층간 자기 교환 결합되는 제 4 자성층; 및

상기 CoFe계 제 3 자성층과 상기 제 4 자성층 사이에 배치되고, 상기 CoFe계 자성층에 인접하는 탄탈륨 (Ta)층 및 상기 제 2 자성층에 인접하는 루테튬 (Ru)층의 적층 구조를 포함하는 제 2 복합 스페이서층을 포함하는 다층 자기 박막 스택.

#### 청구항 11

체심 입방 구조의 (001) 배향의 성장면을 갖는 제 1 자성층;

최밀 결정 성장면을 갖는 제 2 자성층; 및

상기 제 1 자성층과 상기 제 2 자성층 사이에 삽입되고, 상기 제 1 자성층 측의 탄탈륨층 및 상기 제 2 자성층 측의 루테튬층의 복합 스페이서층을 포함하는 다층 자기 박막 스택.

#### 청구항 12

제 11 항에 있어서,

상기 제 1 자성층과 상기 제 2 자성층은 반평행 층간 교환 결합을 하는 다층 자기 박막 스택.

#### 청구항 13

제 1 항에 있어서,

상기 복합 스페이서층의 상기 탄탈륨층은 0.2 nm 내지 0.6 nm의 두께를 가지며, 상기 루테튬층은 0.2 nm 내지 1.2 nm의 두께를 갖는 다층 자기 박막 스택.

#### 청구항 14

제 13 항에 있어서,

상기 루테튬층의 두께는 0.6 내지 0.9 nm의 범위 내인 다층 자기 박막 스택.

#### 청구항 15

제 11 항에 있어서,

상기 복합 스페이서층과 접하는 상기 제 1 자성층의 면과 반대되는 면 상에 상기 제 1 자성층의 열처리에 의한 상기 (001) 배향의 성장면으로 결정화를 위한 템플릿 층을 더 포함하는 다층 자기 박막 스택.

#### 청구항 16

제 15 항에 있어서,

상기 템플릿 층은 MgO (001)을 포함하는 다층 자기 박막 스택.

#### 청구항 17

제 11 항에 있어서,

상기 다층 자기 박막 스택은 수직 이방성을 갖는 다층 자기 박막 스택.

#### 청구항 18

제 11 항에 있어서,

상기 제 1 자성층은 코발트-철 (CoFe), 코발트-철-붕소 (CoFeB) 또는 이들 중 2 이상의 적층 구조를 포함하는 다층 자기 박막 스택.

#### 청구항 19

제 11 항에 있어서,

상기 제 2 자성층은 백금 (Pt)층 및 코발트 (Co) 자성층이 적어도 1회 이상 교번하여 적층된 다층구조를 포함하는 다층 자기 박막 스택.

#### 청구항 20

제 1 항 또는 제 11 항 기재의 다층 자기 박막 스택을 포함하는 비휘발성 메모리 소자.

### 발명의 설명

### 기술 분야

[0001] 본 발명은 메모리 기술에 관한 것으로, 더욱 상세하게는, 다층 자성 박막 스택 및 이를 포함하는 비휘발성 메모리 소자에 관한 것이다.

### 배경 기술

[0002] 자기 랜덤 액세스 메모리 (magnetic RAM 또는 MRAM)는 나노 자성체 특유의 스핀 의존 전도 현상에 기초한 거대 자기저항 효과 또는 터널링 자기저항 효과를 이용하는 비휘발성 고체 자기 메모리 소자이다. 상기 MRAM은 다른 상변화 메모리 (PcRAM) 또는 저항성 메모리 (ReRAM)에 비하여 속도가 빠르고 반복 사용에 따른 내구성이 우수하여 최근에 많은 주목을 받고 있다.

[0003] 상기 MRAM 소자의 실현을 위하여, 가장 활발히 연구되는 스핀 트랜스퍼 토크 자기 랜덤 액세스 메모리 (STT-MRAM)는 고속 동작과 우수한 전력 효율을 갖고, 고집적화가 가능하기 때문에 유력한 차세대 메모리이다. 상기 STT-MRAM은 2개의 자성 박막 사이에 한 개의 터널링 장벽층을 삽입한 구조를 갖는 자기 터널링 접합 (magnetic tunnel junction; MTJ) 구조를 포함한다. 상기 MTJ 구조에 있어서, 수직 자기 이방성 (perpendicular magnetic anisotropy; 또는 PMA라 함)은 수평 자기 이방성 (in-plane magnetic anisotropy)에 비하여 자화 반전을 위한 낮은 스위칭 전류 밀도와 높은 열적 안정성을 가질 뿐만 아니라 스케일 측면에서도 이점을 갖는다.

[0004] 상기 PMA는 하나 이상의 자성층의 고유 결정자기 이방성 (intrinsic magnetocrystalline anisotropy) 또는 층들 사이의 계면 효과에 의한 이방성에 의해 얻어질 수 있다. 통상적으로, 고유 결정자기 이방성에 의하는 경우, 높은 기록 전류가 필요하고, 상기 자성 박막의 결정성을 얻기 위하여 500℃ 이상의 높은 제조 온도가 요구되기 때문에, 다층 박막 적층 구조를 통해 달성될 수 있는 계면 효과에 의한 이방성이 바람직하다. 상기 다층 박막 적층 구조는 통상의 스퍼터링 공정에 의해 형성할 수 있고 300℃ 이하의 낮은 온도에서 제조가 가능하기 때문에 제조 공정이 용이한 이점이 있다.

[0005] 그러나, 상기 계면 이방성을 이용한 수직 자화 방식은, 일반적으로, 열을 수반하는 후속 공정에서 수직 자화 특성이 열화되는 낮은 후열처리 안전성을 갖는 문제점이 있다. 이는 신뢰성 있는 데이터의 기록과 데이터 유지 특성 (data retention)에 직접적인 영향을 미치므로 이의 개선이 요구된다.

## 발명의 내용

### 해결하려는 과제

- [0006] 본 발명이 해결하고자 하는 과제는 높은 계면 이방성을 가지면서도 후열처리 안정성을 개선하여 신뢰성 있는 데이터의 기록과 장기간의 데이터 유지 특성을 갖는 신뢰성 있는 다층 자기 박막 스택을 제공하는 것이다.
- [0007] 또한, 본 발명이 해결하고자 하는 다른 과제는 전술한 이점을 갖는 다층 자기 박막 스택을 포함하는 비휘발성 메모리 소자를 제공하는 것이다.

### 과제의 해결 수단

- [0008] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 다층 자기 박막 스택은, 터널링 장벽층, 상기 터널링 장벽층의 제 1 면 상의 자기 고정층, 및 상기 터널링 장벽층의 상기 제 1 면과 반대되는 제 2 면 상의 자기 자유층을 포함하는 자기 터널링 접합을 포함한다. 상기 자기 고정층 및 상기 자기 자유층 중 적어도 하나는, 상기 터널링 장벽층에 인접한 체심 입방 구조를 가지며, 코발트 (Co) 및 철 (Fe)을 함유하는 CoFe계 제 1 자성층; 상기 CoFe계 자성층과 층간 자기 교환 결합되는 제 2 자성층; 및 상기 CoFe계 제 1 자성층과 상기 제 2 자성층 사이에 배치되고, 상기 CoFe계 자성층에 인접하는 탄탈륨 (Ta)층 및 상기 제 2 자성층에 인접하는 루테튬 (Ru)층의 적층 구조를 포함하는 제 1 복합 스페이서층을 포함한다.
- [0009] 일 실시예에서, 상기 터널링 장벽층은  $Al_2O_3$ , MgO,  $TiO_2$ , AlN, RuO, SrO, SiN,  $CaO_x$ ,  $HfO_2$ ,  $Ta_2O_5$ ,  $ZrO_2$ , SiC,  $SiO_2$ ,  $SiO_xN_y$ , 또는 이들 중 2 이상의 적층 구조를 포함한다. 상기 CoFe계 제 1 자성층은, 코발트-철 (CoFe), 코발트-철-붕소 (CoFeB) 또는 이들 중 2 이상의 적층 구조를 포함할 수 있다.
- [0010] 상기 제 2 자성층은 비자성 금속층 및 코발트 함유 자성층이 적어도 1회 이상 교번하여 적층된 다층구조를 포함할 수 있다. 이 경우, 상기 비자성 금속층은 백금 (Pt), 로듐 (Rh), 하프늄 (Hf), 팔라듐 (Pd), 탄탈륨 (Ta), 오스뮴 (Os), 게르마늄 (Ge), 이리듐 (Ir), 금 (Au), 및 은 (Ag) 중 어느 하나 또는 이들의 합금을 포함할 수 있다. 또한, 상기 코발트 함유 자성층은 순수 코발트층, CoZr 합금층, CoFe 합금층, CoFeB 합금층 또는 이들의 적층 구조를 포함할 수 있다.
- [0011] 일 실시예에서, 상기 제 1 자성층과 상기 제 2 자성층은 반평행 층간 교환 결합을 할 수 있다. 상기 제 1 복합 스페이서층의 상기 탄탈륨층은 0.2 nm 내지 0.6 nm의 두께를 가지며, 상기 루테튬층은 0.2 nm 내지 1.2 nm의 두께를 가질 수 있다. 또한, 상기 루테튬층의 두께는 0.6 내지 0.9 nm의 범위 내일 수 있다.
- [0012] 상기 자기 고정층 및 상기 자기 자유층 중 다른 하나는, 상기 제 1 자성층과 접하는 상기 터널링 장벽층의 다른 면 상에 인접한 체심 입방 구조를 가질 수 있다. 코발트 (Co) 및 철 (Fe)을 함유하는 CoFe계 제 3 자성층; 상기 CoFe계 자성층과 층간 자기 교환 결합되는 제 4 자성층; 및 상기 CoFe계 제 3 자성층과 상기 제 4 자성층 사이에 배치되고, 상기 CoFe계 자성층에 인접하는 탄탈륨 (Ta)층 및 상기 제 2 자성층에 인접하는 루테튬 (Ru)층의 적층 구조를 포함하는 제 2 복합 스페이서층을 포함할 수 있다.
- [0013] 상기 과제를 해결하기 위한 다른 실시예에 따른 다층 자기 박막 스택은, 체심 입방 구조의 (001) 배향의 성장면을 갖는 제 1 자성층; 최조밀 결정 성장면을 갖는 제 2 자성층; 및 상기 제 1 자성층과 상기 제 2 자성층 사이에 삽입되고, 상기 제 1 자성층 측의 탄탈륨층 및 상기 제 2 자성층 측의 루테튬층의 복합 스페이서층을 포함할 수 있다. 상기 제 1 자성층과 상기 제 2 자성층은 반평행 층간 교환 결합을 할 수 있다.
- [0014] 상기 복합 스페이서층의 상기 탄탈륨층은 0.2 nm 내지 0.6 nm의 두께를 가지며, 상기 루테튬층은 0.2 nm 내지 1.2 nm의 두께를 가질 수 있다. 상기 루테튬층의 두께는 0.6 내지 0.9 nm의 범위 내이다.
- [0015] 상기 다층 자기 박막 스택은, 상기 복합 스페이서층과 접하는 상기 제 1 자성층의 면과 반대되는 면 상에 상기 제 1 자성층의 열처리에 의한 상기 (001) 배향의 성장면으로 결정화를 위한 템플릿 층을 더 포함할 수 있다. 상기 템플릿 층은 MgO (001)을 포함할 수 있다. 상기 다층 자기 박막 스택은 수직 이방성을 가질 수 있다.
- [0016] 상기 제 1 자성층은 코발트-철 (CoFe), 코발트-철-붕소 (CoFeB) 또는 이들 중 2 이상의 적층 구조를 포함할 수 있다. 또한, 상기 제 2 자성층은 백금 (Pt)층 및 코발트 (Co) 자성층이 적어도 1회 이상 교번하여 적층된 다층 구조를 포함할 수 있다.

[0017] 또한, 본 발명의 실시예에 따르면, 상기 다층 자기 박막 스택을 포함하는 비휘발성 메모리 소자가 제공된다.

### 발명의 효과

[0018] 본 발명의 실시예에 따르면, 탄탈륨층 및 루테튬층의 적층 구조를 갖는 복합 스페이서층을 이용하여 우수한 터널링 자기저항 효과를 갖는 체심 입방 구조의 CoFe계 자성층과 열적 안정성이 우수한 수직 이방성을 갖는 비자성 금속층 및 코발트 함유 자성층을 포함하는 적어도 하나 이상의 단위 적층 구조를 포함하는 다층 자성층 사이의 완전한 구조적 탈결합과 자기적 결합을 통하여 높은 후열저리 안정성과 강한 수직 자기 이방성, 높은 터널링 자기저항 효과를 확보하여, 신뢰성 있는 데이터의 기록과 높은 데이터 유지 특성을 갖는 다층 자기 박막 스택이 제공될 수 있다. 또한, 본 발명의 실시예에 따르면, 체심 입방 구조의 결정 구조를 갖는 제 1 자성층과 최조밀 결정 구조를 갖는 제 2 자성층 사이를 구조적으로 탈결합함과 동시에 이들 자성층들을 자기적으로 결합시킬 수 있는 자성 구조의 특성 제어가 용이한 다층 자기 박막 스택이 제공될 수 있다.

[0019] 또한, 본 발명의 다른 실시예에 따르면, 전술한 이점을 갖는 다층 자기 박막 스택을 포함하는 비휘발성 메모리 소자가 제공될 수 있다.

### 도면의 간단한 설명

[0020] 도 1a 및 도 1b는 각각 본 발명의 일 실시예에 따른 수직 자화형 (magnetization perpendicular to the plane; MPP) 자기 터널링 접합 (MTJ)을 포함하는 비휘발성 메모리 소자의 메모리 셀의 단면도들이다.

도 2a 내지 도 2d는 본 발명의 다양한 실시예에 따른 자기 터널링 접합들을 도시하는 단면도이다.

도 3a는 본 발명의 일 실시예에 따른 복합 스페이서층을 포함하는 다층 자성 박막 스택을 도시하는 단면도이며, 도 3b는 비교 실험예로서 복합 스페이서층 대신에 Ru 층이 삽입된 비교예에 따른 다층 자성 박막 스택을 도시하는 단면도이다.

도 4a 내지 도 4c는 본 발명의 실시예에 따른 다층 자성 박막 스택의 면외 ( $H_{\perp}$ , ○) 면내 ( $H_{\parallel}$ , □)  $m$ - $H$  루프 그래프이며, 도 4d 내지 도 4f는 비교예에 따른 다층 자성 박막 스택의  $m$ - $H$  루프 그래프이다.

도 5a 및 도 5b는 각각 본 발명의 실시예에 따른 복합 스페이서를 포함하는 다층 자성 박막 스택의 탄탈륨층의 두께의 변화에 따른 자화값  $m_s$  및  $m_r$ 과 제 1 자성층인 코발트-철-붕소 (CoFeB)의 유효 수직 자기 이방성 에너지 밀도  $K_{\text{CoFeB}}$  및 제 1 자성층과 제 2 자성층 사이의 층간 교환 결합 에너지 밀도  $J_{\text{ex}}$  값을 나타내는 그래프이다.

도 6은 발명의 실시예에 따른 복합 스페이서층을 포함하는 다층 자성 박막 스택 (2000)의 면외 ( $H_{\perp}$ , ○) 및 면내 ( $H_{\parallel}$ , □)  $m$ - $H$  루프 그래프들이다.

도 7a 및 도 7b는 각각 도 6의 영역 (b) 및 (c)에서 측정된 면외 루프의 마이너 루프 부분을 확대한 것이다.

도 8a 및 도 8b는 복합 스페이서를 포함하는 본 발명의 실시예에 따른 다층 자성 박막 스택의 루테튬층의 두께에 따른 층간 교환 결합 에너지 ( $-J_{\text{ex}}$  또는  $-j_{\text{ex}}$ )를 도시한다.

도 9는 본 발명의 일 실시예들에 따른 비휘발성 메모리 소자를 포함하는 전자 시스템을 도시하는 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

[0021] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

[0022] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.

[0023] 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이며, 도면상에서 동일 부호는 동일한 요소를 지칭한다. 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.

[0024] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다.

본 명세서에서 사용된 바와 같이, 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다 (comprise)" 및/또는 "포함하는 (comprising)"은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.

[0025] 본 명세서에서 제 1, 제 2 등의 용어가 다양한 부재, 부품, 영역, 및/또는 부분들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 및/또는 부분들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역 또는 부분을 다른 영역 또는 부분과 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제 1 부재, 부품, 영역 또는 부분은 본 발명의 가르침으로부터 벗어나지 않고서도 제 2 부재, 부품, 영역 또는 부분을 지칭할 수 있다.

[0026] 또한, 어떤 층이 다른 층 "상에" 형성 또는 배치되어 있다고 하는 경우에, 이들 층들 사이에 중간층이 형성되거나 배치될 수 있다. 이와 유사하게, 어떤 재료가 다른 재료에 인접한다고 하는 경우에도 이들 재료들 사이에 중간 재료가 있을 수 있다. 반대로, 층 또는 재료가 다른 층 또는 재료 상에 "바로" 또는 "직접" 형성되거나 배치된다고 하는 경우 또는 다른 층 또는 재료에 "바로" 또는 "직접" 인접 또는 접촉된다고 하는 경우에는, 이들 재료 또는 층들 사이에 중간 재료 또는 층이 없다는 것을 이해하여야 한다.

[0027] 이하, 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 도면들을 참조하여 설명한다. 도면들에 있어서, 예를 들면, 부재들의 크기와 형상은 설명의 편의와 명확성을 위하여 과장될 수 있으며, 실제 구현시, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 된다.

[0028] 본 명세서에서, "기판"이라는 용어는 실리콘, 실리콘-온-절연체 (SOI) 또는 실리콘-온-사파이어 (SOS)와 같은 벌크형 기저 구조체에 한정되지 않으며, 반도체 층, 도핑되거나 도핑되지 않은 반도체층 및 변형된 반도체 층 또는 비반도체층도 지칭할 수 있다. 또한, 상기 반도체란 용어는 실리콘계 재료에 한정되지 않으며, 탄소, 폴리머, 또는 실리콘-게르마늄, 게르마늄 및 갈륨-비소계 화합물 재료와 같은 III-V족 반도체 재료, II-VI족 반도체 재료 또는 혼합 반도체 재료를 집합적으로 지칭한다. 상기 비반도체란 용어는 절연성 세라믹 재료, 금속 재료 또는 폴리머 재료를 지칭할 수 있으며, 이에 한정되지 않는다.

[0029] 도 1a 및 도 1b는 각각 본 발명의 일 실시예에 따른 수직 자화형 (magnetization perpendicular to the plane; MPP) 자기 터널링 접합 (MTJ; 100A, 100B)을 포함하는 비휘발성 메모리 소자의 메모리 셀 (1000A, 1000B)의 단면도들이다.

[0030] 도 1a를 참조하면, 메모리 셀 (1000A)은 정보 저장 부재이며, 비휘발성 자기 메모리 소자들 (1000A)의 단위 스토리지 노드를 구성할 수 있다. 메모리 셀 (1000A)의 자기 터널링 접합 (100A)의 일 단부에는, 메모리 셀의 선택을 위한 선택 소자, 예를 들면, 트랜지스터 (TR)가 결합될 수 있다. 트랜지스터 (TR)의 게이트는 제 1 배선, 예를 들면, 워드 라인 (WL)에 전기적으로 결합될 수 있다. 자기 터널링 접합 (100A)의 타 단부는, 예를 들면, 비트 라인 (BL)에 연결될 수 있다. 메모리 셀 (1000A)은 워드 라인 (WL) 및 비트 라인 (BL)에 결합되는 적합한 전극 (EL1, EL2)을 더 포함할 수 있다. 트랜지스터 (TR)는 선택 소자의 비제한적 예이며, 전계효과트랜지스터 또는 바이폴라 트랜지스터일 수 있다. 또는, 상기 선택 소자는, 그래핀 (graphene) 또는 나노 현상을 이용한 나노 스위칭 소자일 수도 있다.

[0031] 도 1b를 참조하면, 다른 실시예에서, 메모리 셀 (1000B)을 선택하기 위한 선택 소자는 이에 직접 결합된 다이오드 (DI)를 포함할 수 있다. 도 1b에 도시된 다이오드 (DI)는 PN 접합 다이오드를 예시한다. 다른 실시예에서, 다이오드 (DI)는 PN 접합 다이오드 (DI)와 함께 또는 이를 대체하여, 워드 라인 (WL)과 비트 라인 (BL)의 전위차에 따른 셀 선택성을 얻을 수 있는 여하의 다이오드일 수 있으며, 그 극성이 반전된 다이오드, 또는 단방향 스위칭과 같은 구동 방식을 위하여 양방향 정류 특성을 갖는 양방향 다이오드일 수 있다. 또 다른 실시예에서, 상기 다이오드 (DI)는 메모리 소자의 고용량화, 온 전류의 향상, 또는 멀티 비트 구동을 위하여, 쇼트키 장벽 다이오드, 제너 다이오드, 진성 (intrinsic) 반도체층이 결합된 p-i-n (p type semiconductor-intrinsic semiconductor-p type semiconductor) 접합 다이오드, 또는 금속층과의 접합을 통한 p-i-m (p type semiconductor-intrinsic semiconductor-metal) 구조의 다이오드를 포함할 수도 있다.

[0032] 도 1a와 도 1b에 도시된 비트 라인 (BL)과 워드 라인들 (WL)은 서로 다른 방향으로 연장된, 예를 들면 직교하는 다수의 스트라이프 패턴을 가질 수 있으며, 이들 패턴들이 교차하는 격자점마다 자기 터널링 접합 (100A, 100

B)이 배치되는 셀 어레이를 구성할 수 있다. 일 실시예에서, 메모리 셀들은  $4F^2$ 의 집적도를 만족하는 크로스 포인트(cross point) 어레이 구조를 가질 수 있다. 이러한 메모리 셀들의 어레이는 2차원 평면 구조에 한정되지 않고, 기관의 수직 방향으로 2 이상의 수평 어레이가 적층되는 3차원 구조를 갖거나, 기관의 수직 방향으로 신장된 채널층을 형성하여 얻어지는 3차원 구조를 가질 수도 있다.

[0033] 메모리 셀을 구성하는 자기 터널링 접합(100A, 100B)은 터널링 장벽층(110), 자기 고정층(120), 및 자기 자유층(130)을 포함할 수 있다. 자기 고정층(120)과 자기 자유층(130)의 적층 순서는 도 1a 및 도 1b에 도시된 바와 같이, 터널링 장벽층(110)을 사이에 두고 서로 역전될 수 있다. 단방향 화살표(A)는 자기 고정층(120)이 고정 자화를 갖고 있는 것을 나타내며, 양방향 화살표(B)는 자기 자유층(130)이 자기 고정층(120)의 자화 방향에 대하여 평행하게 자화되거나 역평행하게 자화될 수 있음을 나타낸다. 일 실시예에서, 자기 자유층(130)의 자화 방향의 변경은 자기 터널링 접합(100A, 100B)을 따라 흐르는 스핀 토크를 갖는 터널링 전류의 방향을 제어하여 달성될 수 있다.

[0034] 자기 고정층(120) 및 자기 자유층(130)은 수직 자기 이방성(perpendicular magnetic anisotropy; 또는 PMA라 함)을 갖는다. 도시하지는 않았지만, 자기 자유층(130) 상에 다른 터널링 장벽층과 자기 고정층을 추가적으로 적층하여 자기 자유층(130)을 사이에 두고 2개의 자기 고정층이 대향 배치된 대칭적인 자기 터널링 접합이 제공될 수도 있다. 이러한 대칭적 자기 터널링 접합은 프로그래밍 및 삭제를 위한 전류의 방향을 단방향으로 할 수 있는 이점이 있다.

[0035] 도 2a 내지 도 2d는 본 발명의 다양한 실시예에 따른 자기 터널링 접합들(200A, 200B, 200C, 200D)을 도시하는 단면도이다.

[0036] 도 2a를 참조하면, 자기 터널링 접합(200A)은, 터널링 장벽층(210), 터널링 장벽층(210)의 제 1면(210a)상의 자기 고정층(220), 및 터널링 장벽층(210)의 제 2면(210b)상의 자기 자유층(230)을 포함한다. 터널링 장벽층(210)을 사이에 두고 자기 고정층(220)과 자기 자유층(230)의 적층 순서는 역전될 수 있다. 자기 고정층(220) 및 자기 자유층(230)은 각각 단일 자성층, 서로 다른 종류의 자성층들의 적층체 또는 자성층과 비자성층의 적층체를 포함할 수 있다. 이에 관하여는 후술하도록 한다.

[0037] 터널링 장벽층(210)은, 예를 들면,  $Al_2O_3$ , MgO,  $TiO_2$ , AlN, RuO, SrO, SiN,  $CaO_x$ ,  $HfO_2$ ,  $Ta_2O_5$ ,  $ZrO_2$ , SiC,  $SiO_2$ ,  $SiO_xN_y$ , 또는 이들 중 2 이상의 적층 박막을 포함할 수 있다. 바람직하게는, 터널링 장벽층(210)은 NaCl 타입의 (001) 배향의 MgO 층(이하, MgO (001) 층이라 함)을 포함할 수 있다. 상기 MgO (001) 층은 단결정 또는 다결정질 일 수 있으며, 자기 터널링 접합(200A)을 구성하는 층들을 적층한 후 열처리시 이에 인접하는 자기 자유층(230) 또는 자기 고정층(220)을 구성하는 자성층(221)을 체심 입방 구조로 결정화를 유도하는 템플릿층으로 기능할 수 있다.

[0038] 일 실시예에서, 자기 고정층(220)은 도 2a에 도시된 바와 같이, 제 1 자성층(221), 제 2 자성층(222) 및 이들 자성층들(221, 222) 사이의 복합 스페이서층(223)을 포함할 수 있다. 제 1 자성층(221)은 강한 PMA 특성을 갖기 위한 체심 입방(body centered cubic; bcc) 구조의 (001) 결정 성장면을 갖는 자성층일 수 있다. 상기 bcc 구조의 자성층은, 예를 들면, CoFe계 자성층일 수 있다. 상기 CoFe계 자성층은, 코발트-철(CoFe), 코발트-철-붕소(CoFeB) 또는 이들 중 2 이상의 적층 구조를 포함할 수 있다. 상기 코발트-철-붕소 자성층은 스핀터널링 공정에 의해 형성시 비정질일 수 있지만, 다층 자기 박막 스택(200A)이 후열처리되거나 배선 공정과 같은 후속 공정에서 수반되는 열부하에 의해 열처리되는 경우(이하에서는, 자기 터널링 접합에 대해 열처리 효과가 나타나는 모든 후속 공정을 후열처리라고 통칭함), 크기가 작은 붕소가 인접층으로 확산하면서 상기 비정질의 코발트-철-붕소 자성층이 bcc 구조의 CoFe 화합물층으로 결정화될 수 있는 유리한 조건이 형성될 수 있다. 이 경우, 터널링 장벽층(210)이 예를 들면, (001) 구조를 갖는 MgO 층인 경우, 상기 MgO (001) 층의 템플릿 효과에 의해 성막시 비정질을 갖는 코발트-철-붕소로 이루어진 제 1 자성층(221)이 상기 붕소의 확산과 함께 (001) 결정화되어 bcc 구조를 갖는 코발트-철층을 포함하는 제 1 자성층(221)을 형성할 수 있다. 후술하는 바와 같이 터널링 장벽층(210)의 다른 면(210b) 상에도 코발트-철-붕소로 이루어진 자성층을 형성하고 적합한 열처리를 통하여 bcc (001) 구조를 갖는 CoFe층을 포함하는 자성층을 형성하는 경우 계면 이방성에 기초한 수직 이방성을 갖는 최대 자기터널저항 효과(tunneling magnetoresistance effect)를 갖는 자기터널 접합이 제공될 수 있다.

[0039] 일 실시예에서, 상기 CoFe계 자성층에서, 원자비 Co : Fe는 1 : 5 내지 7 : 3의 범위 내일 수 있다. 바람직하게는, 상기 원자비 내에서, Fe의 몰수가 Co의 몰수보다 더 큰 것이 바람직하다. 이것은, Fe의 몰수가 Co의 몰수

보다 클수록 상기 CoFe계 자성층이 안정된 bcc 구조를 확보하면서 동시에 높은 스핀 분극비(spin polarization ratio)가 얻어질 수 있기 때문이다.

- [0040] 제 2 자성층 (222)은 높은 수직 자기 이방성을 가지고 열적 안정성이 우수한 강자성층 또는 반강자성층을 포함할 수 있다. 제 2 자성층 (222)은 제 1 자성층과 자기적 결합에 의해 큰 자기터널저항 효과와 향상된 열적 안정성을 가지는 합성 페리 자성층 (synthetic ferri-magnetic layer) 또는 합성 반강자성층 (synthetic anti-ferro-magnetic layer)를 구현할 수 있다. 특히, 상기 합성 페리 자성층의 구현은 자기 터널링 접합을 이용한 메모리 소자의 스핀-전달 스위칭의 저전력화 및 초고집적화를 위하여 중요하다.
- [0041] 제 2 자성층 (222)은 후술하는 바와 같이 복합 스페이서층 (223)에 의해 제 1 자성층 (221)과 구조적으로 탈결합되기 때문에, 제 2 자성층 (222)의 결정 구조는 제 1 자성층 (221)에 영향을 미치지 않는다. 따라서, 제 2 자성층 (222)은, 특정 결정 구조에 한정되지 않고, 자기 터널링 접합 (200A)의 수직 이방성을 강화할 수 있는 여하의 결정 구조, 예를 들면 최조밀 결정 성장면 (close-packed growth plane), 예를 들면, (111) 면 또는 (110) 면으로 우선 배향되는 단일 자성층, 서로 다른 종류의 자성층들의 적층체, 또는 자성층과 비자성층의 적층체를 포함할 수 있다.
- [0042] 제 1 자성층 (221)은 강자성체를 포함하고, 제 2 자성층(222)은 반강자성체를 포함할 수도 있다. 상기 반강자성체는, 예를 들면, PtMn, IrMn, MnO, MnS, MnTe, MnF<sub>2</sub>, FeCl<sub>2</sub>, FeO, CoCl<sub>2</sub>, CoO, NiCl<sub>2</sub>, NiO 중 어느 하나 또는 2 이상을 포함할 수 있다. 전술한 제 1 자성층 (221)과 제 2 자성층 (222)의 구성은 예시적이며, 복합 스페이서층 (223)이 제 1 자성층 (221)과 제 2 자성층 (222)을 구조적으로 탈결합시키지만 제 1 자성층 (221)과 제 2 자성층 (222) 사이를 자기적으로 강하게 결합시킬 수 있으므로, 우수한 TMR 특성과 수직 이방성을 갖는 자기 터널링 접합을 포함하는 다층 자기 박막 스택이 제공될 수 있다.
- [0043] 복합 스페이서층 (223)은 탄탈륨층 (223a)과 루테튬층 (223b)의 적층 구조를 갖는다. 탄탈륨층 (223a)은 bcc 구조의 결정 성장면을 갖는 제 1 자성층(221)측에 인접하고, 루테튬층 (223b)는 bcc 구조와 다른 결정 구조를 갖는 제 2 자성층 (222)측에 인접한다. 탄탈륨층 (223a)에 의해 제 1 자성층 (221)과 제 2 자성층 (222) 사이에 구조적 탈결합이 이루어진다. 그러나, 탄탈륨층 (223a)만으로는 제 1 자성층 (221)과 제 2 자성층 (222) 사이에 자기적 탈결합이 일어나기 때문에 충분한 수직 이방성을 갖는 자기 고정층 (220)을 얻을 수 없다. 그러나, 이러한 탄탈륨층 (223a)의 결점은 제 1 자성층 (221)과 제 2 자성층(222) 사이에서 강한 자기적 결합을 유도하는 루테튬층 (223b)에 의해 보충된다. 이는 복합 스페이서층 (223)에서 루테튬층 (223b)에 의한 층간 교환 결합 (interlayer exchange coupling; IEC) 효과에 의해 얻어지며, 이에 관하여는 상세히 후술될 것이다.
- [0044] 일 실시예에서, 복합 스페이서층 (223)의 탄탈륨층 (223a)은 0.2 nm 내지 0.6 nm의 두께를 가진다. 탄탈륨층 (223a)의 두께가 0.2 nm 미만인 경우 제 1 자성층 (221)의 (001) 배향을 유도하기 어려우며, 0.6 nm를 초과하는 경우 이를 사이에 두고 대향 배치되는 자성층들, 즉 제 1 자성층(221)과 제 2 자성층(222)의 층간 교환 결합 특성이 저하된다.
- [0045] 루테튬층 (223b)은 0.2 nm 내지 1.2 nm의 두께를 가질 수 있다. 복합 스페이서층 (223)의 루테튬층 (223b)의 두께의 최소값은 본 발명의 실시예에 따르면 0.2 nm까지 감소될 수 있다. 이 영역에서 통상적으로 루테튬층 (223b)에는 핀홀 (pin hole)이 형성되어 IEC 효과가 나타나기 어렵지만 인접하는 탄탈륨층 (223a)에 의해 보강되어 IEC 효과를 보이는 루테튬층 (223b)의 두께가 최소화되어 이론적 또는 실용적 이점을 얻을 수 있도록 한다. 탄탈륨층 (223a)의 두께  $t_{Ta}$ 가 0.4 nm 이고 루테튬층 (223b)의 두께  $t_{Ru}$ 가 0.8 nm일 때, IEC 절대값은 최대값인  $7.9 \times 10^{-2} \text{ erg/cm}^{-2}$  에 이른다. 바람직하게는, 루테튬층 (223b)의 두께는 0.3 nm 내지 0.9 nm의 범위 내이며, 더욱 바람직하게는, 후술하는 바와 같이 합성 페리 자성체를 얻을 수 있는 반평행 층간 교환 결합이 나타나는 0.4 nm 내지 0.9 nm의 범위 내이며, 더욱 더 바람직하게는, 375℃ 이상에서도 안정된 층간 교환 결합이 얻어지는 0.6 nm 내지 0.9 nm의 범위 내이다.
- [0046] 본 발명의 다른 실시예에 따르면, 제 2 자성층 (222)은 다층 구조를 포함할 수 있다. 예를 들면, 제 2 자성층 (222)은, 도 2b에 도시된 바와 같이 비자성 금속층(nonmagnetic metal layer; 이하 NM이라 함, 222a)과 코발트 (Co) 함유 자성층 (222b)의 단위 적층 구조가 적어도 1회 이상 적층된 [NM/Co]<sub>N</sub> 다층 구조를 포함할 수 있다. 상기 [NM/Co]<sub>N</sub> 다층 구조는 비자성 금속층 (222a)과 코발트 함유 자성층 (222b)의 초격자 구조를 가질 수 있다.
- [0047] 일 실시예에서, 비자성 금속층 (222a)은 백금(Pt)을 포함하고, 코발트 함유 자성층 (222b)은 순수 코발트를 포함하는 [Pt/Co]<sub>N</sub> 또는 [Co/Pt]<sub>N</sub> (여기서, N은 적층 회수로서 1 이상의 정수임) 다층 구조를 포함할 수 있다. 상

기 N은 1 내지 20 이하의 범위 내일 수 있다. 다른 실시예에서, 비자성 금속층 (222a)은, 로듐(Rh), 하프늄(Hf), 팔라듐(Pd), 탄탈륨(Ta), 오스뮴(Os), 게르마늄(Ge), 이리듐(Ir), 금(Au), 및 은(Ag) 중 어느 하나 또는 이들의 합금을 포함할 수 있다. 다른 실시예에서, 코발트 함유 자성층 (222b)는 CoZr 합금층, CoFe 합금층, CoFeB 합금층, 또는 이들의 적층 구조와 같은 코발트 함유 합금층을 포함할 수도 있다.

[0048] [NM/Co]<sub>N</sub> 다층 구조 (222)는 최조밀 성장면이 fcc (111) 면인 경우 스퍼터링을 통하여 이의 형성이 용이하게 달성될 수 있을 뿐만 아니라, 계면 이방성에 의한 강한 수직 자기 이방성(PMA)을 가지며, 동시에 높은 열적 안정성을 갖기 때문에 고집적 자기 메모리의 비휘발성 메모리 셀의 구현을 위해 매우 중요하다. 또한, 상기 다층 구조의 구성층들의 두께, 적층 회수 N, 또는 비자성 금속층의 종류라는 다양한 선택성에 기반한 제어 변수를 갖기 때문에 자화율의 크기와 같은 특성 조절이 용이한 이점이 있다. 예를 들면, 상기 [Pt/Co]<sub>N</sub> 다층 구조는 구성층들의 두께의 조절을 통해 300℃ 이상의 높은 온도에서도 PMA 특성이 유지되는 온도 내구성을 얻을 수 있다. 예를 들면, 본 출원인의 한국 특허 출원 제10-1287370호(본 명세서에 동 특허의 전체 개시 사항이 참조에 의해 포함됨)에 개시된 바와 같이, 상기 [Pt/Co]<sub>N</sub> 다층 구조 (222)에서, 자성층인 코발트층 (222b)의 두께가 백금층 (222a)의 두께보다 더 큰 반전 구조를 갖도록 하여 PMA 특성의 내열성을 향상시킬 수 있다. 예를 들면, 코발트층 (222b)의 두께는 0.4 내지 0.5 nm이고 백금층 (222a)의 두께는 0.2 nm인 경우이다. [NM/Co]<sub>N</sub> 다층 구조 (222), 바람직하게는 반전 구조의 [Pt/Co]<sub>N</sub> 다층 구조(222)는 500℃ 부근까지도 상기 PMA 특성을 유지할 수 있으며, 이로써 이를 포함하는 자기 고정층(220) 전체의 PMA 특성이 유지될 수 있다.

[0049] [Pt/Co]<sub>N</sub> 다층 구조를 갖는 제 2 자성층 (222)은 최밀 성장면이 fcc (111)면이지만, [Pt/Co]<sub>N</sub> 다층 구조의 제 2 자성층 (222)과 (001) bcc 구조의 제 1 자성층(221) 사이에 삽입된 복합 스페이서층(223)이 제 1 자성층 (221)과 제 2 자성층 (222) 사이를 구조적으로 탈결합시킨다. 그에 따라, 제 1 자성층 (221)은 제 2 자성층 (222)의 결정 조직으로부터 영향을 받지 않게 되며, 인접하는 다른 층인 MgO (001) 터널링 장벽층 (210)의 영향을 지배적으로 받을 수 있다.

[0050] 자기 터널링 접합을 형성하기 위해 순차대로 [Pt/Co]<sub>N</sub> 다층 구조를 갖는 제 2 자성층 (222)/복합 스페이서층 (223)/비정질의 CoFeB 층을 포함하는 제 1 자성층 (221)/MgO (001) 터널링 장벽층 (210)/비정질의 CoFeB층을 포함하는 자기 자유층 (230)으로 된 다층 자성 박막 스택 (200B)을 형성할 수 있다. 다층 자기 박막 스택 (200B)은 후열처리 동안, 복합 스페이서층 (223)의 구조적 탈결합 효과에 의해 비정질의 제 1 자성층 (221)이 MgO (001) 터널링 장벽층 (210)에 의해서만 템플릿 효과를 겪게 될 뿐, 제 2 자성층 (222)의 fcc (111) 면으로 부터는 영향을 받지 않을 수 있다. 이로써, 상기 비정질의 CoFeB 층을 포함하는 제 1 자성층 (221)은 (001) bcc 구조로 안정적으로 결정화되고, CoFeB 층을 포함하는 자기 자유층 (230)도 (001) bcc 구조로 안정화되어 TMR 특성을 최대화할 수 있다.

[0051] 도 2b의 구조에서, 상기 (001) bcc 구조로 안정화된 층이 CoFe계 자성층 (221)인 경우, 우수한 열적 안정성을 가지면서도 강한 PMA 특성을 갖는 [Pt/Co]<sub>N</sub> 다층 구조를 갖는 제 2 자성층 (222)은 (001) bcc 구조의 CoFe 또는 CoFeB를 포함하는 제 1 자성층 (221)과 함께 반평행 층간 교환 결합 (antiparallel IEC; AP-IEC)에 의해 합성 페리 자성층을 구현할 수 있다. 상기 합성 페리 자성층은 고정 자성층 (220)에서 발생하는 스트레이 필드들 (stray fields)을 감소시키거나 억제함으로써 저전력 구동이 가능한 메모리 소자를 제공할 수 있다. 특히 나노미터 스케일의 고집적 메모리 셀의 경우에 상기 스트레이 필드가 악영향을 미칠 수 있기 때문에 본 발명의 실시예에 따른 합성 페리 자성층은 바람직하다. 이에 관하여는 실험예를 통하여 상세히 후술하도록 한다.

[0052] 도 2b와 함께 다시 도 2a를 참조하면, 터널링 장벽층 (210)의 제 1 면 (210a)과 반대되는 제 2 면 (210b) 상에 자기 자유층 (230)이 더 형성되어 자기 터널링 접합(200A, 200B)이 제공될 수 있다. 자기 자유층 (230)은, 강자성체를 포함할 수 있다. 상기 강자성체는, 예를 들면, 전술한 CoFe계 자성층을 포함하는, Fe, Co, Ni 또는 이들의 합금인 CoFe, NiFe, CoNiFe 또는 도핑된 합금인 CoX, CoNiFeX, CoFeX (여기서, X는 B, Cu, Re, Ru, Rh, Hf, Pd, Pt, Ta, Os, Ge, Ir, Au, Ag, 및 C 중 어느 하나 또는 이들의 조합일 수 있음)에서 적절히 선택될 수 있다. 또는, 상기 강자성체는 Fe<sub>3</sub>O<sub>4</sub>, CrO<sub>2</sub>, NiMnSb, PtMnSb 및 BiFeO와 같은 반금속성 강자성 재료를 포함할 수 있다. 이들 재료들은 예시적이며, 본 발명이 이에 제한되는 것은 아니다. 예를 들면, 자기 자유층 (230)은 Gd, Dy, Y<sub>3</sub>Fe<sub>5</sub>O<sub>12</sub>, MnSb, MnAs와 같은 다른 공지의 강자성 재료 또는 전술한 재료들에 B, Cu, Re, Ru, Rh, Hf, Pd, Pt, Os, Ir, Au 및 Ag, 및 C 중 어느 하나 또는 이들의 조합을 더 포함할 수도 있다.

[0053] 상기 bcc (001) 구조의 CoFe계 자성층을 포함하는 자기 자유층 (230)도 제 1 자성층 (221)과 동일하게 MgO

(001) 터널링 장벽층 (210)의 템플릿 효과에 의해 후열처리를 통해서 얻어질 수 있다. 일부 실시예에서, 자기 자유층 (230)과 제 1 자성층 (221)이 모두 CoFe (001)일 수 있으며, 이 경우, 높은 터널링 자기저항 (tunneling magneto-resistance; TMR)을 얻을 수 있는 이점이 있다.

[0054] 도 2c를 참조하면, 다른 실시예에 따른 자기 터널링 접합 (200C)은, 터널링 장벽층 (210), 터널링 장벽층 (210)의 제 1 면 (210a) 상의 자기 고정층 (220), 및 터널링 장벽층 (210)의 제 2 면 (210b) 상의 자기 자유층 (230)을 포함한다. 자기 고정층 (220)은 각각 단일 자성층, 서로 종류의 자성층들의 적층체 또는 자성층과 비자성층의 적층체를 포함할 수 있다.

[0055] 자기 자유층 (230)은 제 1 자성층 (231), 제 2 자성층 (232) 및 자성층들 (231, 232) 사이의 구조적 탈결합 및 자기 결합을 위하여 복합 스페이서층 (233)을 포함할 수 있다. 제 1 자성층 (231)은 bcc (001) 구조의 자성층을 포함할 수 있다. 전술한 바와 같이, 제 1 자성층 (231)은 강자성체를 포함할 수 있다. 예를 들면, 상기 bcc (001) 구조의 제 1 자성층 (231)은 코발트-철(CoFe), 코발트-철-붕소(CoFeB) 또는 이들의 적층 구조를 포함할 수 있다. 바람직하게는, 제 1 자성층 (231)은, 코발트-철-붕소 (CoFeB)를 포함할 수 있다.

[0056] 제 2 자성층 (232)은 제 1 자성층 (232)과 자기적으로 결합될 수 있는 여하의 층일 수 있다. 제 2 자성층 (232)은 복합 스페이서층 (233)에 의해 제 1 자성층 (231)과 구조적으로 탈결합될 수 있다. 또한, 제 1 자성층 (231)과 제 2 자성층 (232)은 합성 페리 자성층 또는 합성 반강자성층을 형성할 수도 있음은 전술한 바와 같다. 복합 스페이서층 (233)은 제 1 자성층 (231)에 인접한 탄탈륨층 (233a)과 제 2 자성층 (232)에 인접하는 루테튬층 (233b)의 적층 구조를 포함할 수 있으며, 이는 도 2b의 경우와 대비시 역전된 구조를 갖는다.

[0057] 일 실시예에서, 제 2 자성층 (232)은 도 2b를 참조하여 설명한 것과 같이 계면 효과에 의해 수직 이방성을 나타내는 코발트 (Co) 함유 자성층과 비자성 금속층 (nonmagnetic metal layer; 이하 NM이라 함)의 초격자 구조를 갖는 단위 적층 구조가 적어도 1 회 이상 적층된 다층 자성층 구조일 수 있다. 예를 들면, 제 2 자성층 (232)은 상기 비자성 금속층이 백금 (Pt)을 포함하는 다층 구조  $[Pt/Co]_N$  또는  $[Co/Pt]_N$  (여기서, N은 적층 회수로서 1 이상의 정수임)을 포함할 수 있다. 전술한 바와 같이, 다층 구조  $[Pt/Co]_N$ 는 Co 박막의 두께가 Pt 박막의 두께보다 더 큰 반전 구조를 가질 수 있으며, 바람직하게는, 백금층 (223a)을 먼저 증착하고, 백금층 (223a) 상에 코발트 함유 자성층 (223b)을 증착하는 것에 의해 형성될 수 있다.

[0058] 다른 실시예에서, 자기 자유층 (230)은 강자성체층 및 상기 강자성체층에 반강자성체층이 교환 결합 되어, 합성 페리 자성층 또는 합성 반강자성층을 구현하는 적층 자성체 구조를 가질 수도 있다. 또한, 제 1 자성층 (231)은 강자성체를 포함하고, 제 2 자성층 (232)은 반강자성체 또는 합성 반강자성체를 포함할 수도 있다. 또는, 제 1 자성층 (231)이 반강자성체를 포함하고, 제 2 자성층 (232)이 강자성체를 포함할 수도 있다. 이 경우, 복합 스페이서층 (233)은 제 1 자성층 (231)과 제 2 자성층 (232)을 구조적으로 탈결합시키지만, 동시에 이들 층들 사이를 자기적으로 결합시킬 수 있다. 다른 실시예에서, 자기 자유층 (230)의 제 1 자성층 (231)과 제 2 자성층 (232) 중 적어도 하나는 연자성층을 포함할 수도 있을 것이다.

[0059] 일 실시예에서, 제 1 자성층 (231)이 MgO (001) 터널링 장벽층 (210)의 제 2 면 (210b) 상에 형성된 경우, 제 2 면 (210b)과 반대되는 제 1 면 (210a) 상에 제 3 자성층 (220)이 더 형성되어 자기 터널링 접합(200C)이 제공될 수 있다. 제 3 자성층(220)도 제 1 자성층 (231)과 동일하게 (001) bcc 구조를 갖는 강자성체층을 포함할 수 있다. 제 3 자성층 (220)에 관하여는 제 1 자성층 (231)에 대한 전술한 개시 사항을 참조할 수 있다.

[0060] 도 2d를 참조하면, 다층 자기 박막 스택 (200D)은 터널링 절연층 (210), 자기 고정층 (220) 및 자기 자유층 (230)을 포함한다. 자기 고정층 (220) 및 자기 자유층 (230)은 서로 역전되어 터널링 절연층 (210)의 상부에 도시된 바와 같은 상기 자기 고정층이 형성되고, 터널링 절연층 (220)의 하부에 자기 자유층이 형성될 수도 있다. 터널링 장벽층 (210)은, 예를 들면,  $Al_2O_3$ , MgO,  $TiO_2$ , AlN, RuO, SrO, SiN,  $CaO_x$ ,  $HfO_2$ ,  $Ta_2O_5$ ,  $ZrO_2$ , SiC,  $SiO_2$ ,  $SiO_xN_y$ , 또는 이들 중 2 이상의 적층 박막을 포함할 수 있다. 바람직하게는, 터널링 장벽층(220)은 NaCl 타입의 MgO (001) 층을 포함할 수 있다.

[0061] 일 실시예에서, 자기 고정층 (220)은 제 1 복합 스페이서층 (223)에 의해 분리된 제 1 자성층 (221) 및 다층 구조  $[Pt/Co]_N$ 의 제 2 자성층 (222)을 포함할 수 있다. 자기 자유층 (230)도 제 2 복합 스페이서층 (233)에 의해 분리된 제 3 자성층 (231) 및 다층 구조  $[Pt/Co]_N$ 의 제 4 자성층 (232)을 포함할 수 있다. 또한, 도시하지는 아니하였지만, 제 1 복합 스페이서층 (223)에 의해 분리된 제 1 자성층 (221) 및 다층 구조  $[Pt/Co]_N$ 의 제 2 자성층 (222)이 자기 자유층을 구성하고, 제 2 복합 스페이서층 (233)에 의해 분리된 제 3 자성층 (231) 및 다층 구

조  $[Pt/Co]_N$ 의 제 4 자성층 (232)이 자기 고정층을 구성할 수도 있다.

[0062] 제 1 자성층(221) 및 제 3 자성층(231)은 CoFe, NiFe, CoNiFe 또는 도핑된 합금인 CoX, CoNiFeX, CoFeX (여기서, X는 B, Cu, Re, Ru, Rh, Hf, Pd, Pt, Ta, Os, Ge, Ir, Au, Ag, 및 C 중 어느 하나 또는 이들의 조합일 수 있음)에서 적절히 선택될 수 있다. 또는, 상기 강자성체는  $Fe_3O_4$ ,  $CrO_2$ , NiMnSb, PtMnSb 및 BiFeO와 같은 반금속성 강자성 재료를 포함할 수 있다. 이들 재료들은 예시적이며, 본 발명이 이에 제한되는 것은 아니다. 예를 들면, 자기 자유층 (230)은 Gd, Dy,  $Y_3Fe_5O_{12}$ , MnSb, MnAs와 같은 다른 공지의 강자성 재료 또는 전술한 재료들에 B, Cu, Re, Ru, Rh, Hf, Pd, Pt, Os, Ir, Au 및 Ag, 및 C 중 어느 하나 또는 이들의 조합을 더 포함할 수도 있다. 바람직하게는, 제 1 자성층 (221) 및 제 3 자성층 (231)은 bcc 001) 구조의 CoFe계 자성층을 포함할 수 있다.

[0063] 제 1 자성층 (221)의 하지에는 도 2b를 참조하여 설명한 것과 같이 복합 스페이서층 (223)과 다층 구조  $[Pt/Co]_N$ 의 제 2 자성층 (222)이 형성될 수 있다. 제 1 자성층 (221)이 (001) bcc 구조의 CoFe계 자성층인 경우, 제 1 복합 스페이서층 (223)은, 제 1 자성층 (221)에 인접하는 탄탈륨층 (223a)과 다층 구조  $[Pt/Co]_N$ 의 제 2 자성층 (222)에 인접하는 루테튬층 (223b)을 포함할 수 있다.

[0064] 유사하게, 제 3 자성층이 (001) bcc 구조의 CoFe계 자성층인 경우, 제 3 복합 스페이서층 (233)은 제 3 자성층 (231)에 인접하는 탄탈륨층 (233a)과 다층 구조  $[Co/Pt]_N$ 의 제 4 자성층 (232)에 인접하는 루테튬층 (233b)을 포함할 수 있다.

[0065] 제 1 자성층 (221)과 제 2 자성층 (222)은 반평행 층간 교환 결합(antiparallel IEC; AP-IEC)에 의해 합성 페리 자성층을 포함하는 자기 고정층을 구현할 수 있다. 또한, 제 3 자성층 (231)과 제 4 자성층 (232)도 반평행 층간 교환 결합(antiparallel IEC; AP-IEC)에 의해 합성 페리 자성층을 포함하는 자기 자유층을 구현할 수 있을 것이다.

[0066] 도 2a 내지 도 2d에서는 터널 장벽층 (210)의 제 1 면 (210a)에 자기 고정층이 형성되고, 제 2 면 (210b) 상에는 자기 자유층이 형성된 것이 개시되고 있지만, 제 1 면 (210a) 상에 전술한 자기 자유층이 형성되고, 제 2 면 (210b) 상에 전술한 자기 고정층이 형성된 실시예도 본 발명의 범위 내에 포함된다.

[0067] 일부 실시예에서는, 기판 (미도시) 상에 자기 터널링 접합 (200A - 200D)을 형성하기 전에, 자성층들의 균일한 성장을 위해 씨드층이 형성될 수도 있다. 다른 실시예에서, 상기 자기 터널링 접합 (200A - 200D) 상에는 보호층이 더 형성될 수도 있다. 또 다른 실시예에서, 상기 자성층들 사이에는 버퍼층이 더 형성될 수도 있으며, 이에 관하여는 후술하도록 한다. 이들 씨드층, 버퍼층 및 보호층들은, 금 (Au), 구리 (Cu), 팔라듐 (Pd), 백금 (Pt), 탄탈륨 (Ta), 루테튬 (Ru) 또는 이의 합금을 포함할 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 이들 씨드층, 버퍼층 또는 보호층과 같은 보조층으로서, 탄탈륨과 루테튬이 사용되는 경우, 이의 조합을 이용하여 복합 스페이서층을 제공할 수 있기 때문에, 단일 스핀터 장치 내에서 타겟의 교체 없이 보조층과 본 발명의 실시예에 따른 복합 스페이서층을 형성할 수 있는 제조 공정상의 유리한 이점이 있다.

[0068] 본 발명의 실시예에 따르면, 탄탈륨층 (223a) 및 루테튬층 (223b)의 적층 구조를 갖는 복합 스페이서층 (223)을 이용하여 높은 수직 이방성을 갖는 체심 입방 구조의 자성층, 예를 들면 CoFe계 자성층 (221)과 열적 안정성이 우수한 수직 이방성을 갖는 비자성 금속층 및 코발트 함유 자성층을 포함하는 적어도 하나 이상의 단위 적층 구조를 포함하는 다층 자성층 사이의 완전한 구조적 탈결합을 통하여 후열처리 온도가 높아지는 경우에도 층간 안정성과 강한 수직 자기 이방성을 확보하여 신뢰성 있는 데이터의 기록이 가능하고, 높은 데이터 유지 특성을 갖는 다층 자기 박막 스택이 제공될 수 있다. 또한, 본 발명의 실시예에 따르면, 체심 입방 구조의 결정 성장면을 갖는 제 1 자성층 (221)과 최조밀 결정 성장면을 갖는 제 2 자성층 (222) 사이를 구조적으로 탈결합함과 동시에 이들 자성층들 (221, 222)을 자기적으로 결합시킬 수 있으며, 상기 다층 자성층의 두께 제어를 통해 자성 구조의 자화율과 같은 특성 제어를 수행하여 합성 페리 자성층을 형성함으로써, 초고집적 및 저전력 구동이 가능한 자성 메모리 소자가 제공될 수 있다.

[0069] 실험예

[0070] 본 발명의 실시예에 따른 탄탈륨 (Ta)층 및 루테튬 (Ru)층 기반의 복합 스페이서층의 구조적 탈결합 및/또는 자기적 결합의 효과를 확인하기 위하여, 도 3a에 도시된 바와 같이 습식 산화막이 형성된 실리콘 기판 상에 상기

복합 스페이서층 (223)을 포함하는 다층 자성 박막 스택 (2000)을 형성하여 다양한 특성을 평가하였다.

- [0071] 상기 실리콘 기판의 습식 산화막 (10) 상에 순차대로 버퍼/씨드층 (20)인 Ta (두께 5 nm; 21)/Pt (두께 10 nm; 22)/Ru (두께 30 nm; 23)를 형성하고, PMA 강화를 위한 제 2 자성층 (222)으로서 [Pt (두께 0.2 nm; 223a)/Co (두께 0.4 nm; 223b)]<sub>6</sub>를 형성하였다. 이후, 결과물 상에 복합 스페이서층 (223)으로서 두께 ( $t_{Ru}$ )를 갖는 루테튬층 (223b)/두께 ( $t_{Ta}$ )를 갖는 탄탈륨층 (223a)을 형성하고, 그 위에 제 1 자성층인 CoFeB 자성층 (두께 1 nm; 221)/MgO 터널링 장벽층 (두께 1 nm; 210)을 형성하고, 보호층인 Ru (두께 3 nm; 30)를 형성하여, 도 3a에 도시된 바와 같은 PMA를 갖는 다층 자성 박막 스택 (2000)을 형성하였다. 제 2 자성층 (222)의 아래층자 6은 Pt/Co의 단위 적층 구조가 6 회 반복 적층되었음을 의미한다. 도 3b는 비교 실험예로서 복합 스페이서층 대신에 Ru 층 (223')이 삽입된 비교예에 따른 다층 자성 박막 스택 (2000R)을 도시한다.
- [0072] 도 3a 및 도 3b에 도시된 다층 자성 박막 스택들 (2000, 2000R)은 하나 이상의 챔버를 갖는 초고진공 마그네트론 스퍼터링 시스템 (ultrahigh vacuum magnetron sputtering system)을 이용하여  $10^{-8}$  Torr 내지  $10^{-7}$  Torr에서 제조되었지만, 본 발명이 이에 한정되는 것은 아니다. 스택들 (2000, 2000R)의 제조 동안, 제조 중간 결과물들의 챔버간 전달은 일정한 압력을 유지한 채로 로봇 시스템에 의해 이루어졌다. 후열처리는 일반적으로 메모리 제조를 위한 배선 공정과 같은 후단의 고온 공정에 의해서도 이루어지기 때문에, 이를 모사하여, 증착된 상태 그대로의 다층 자성 박막 스택들 (2000, 2000R)에 대하여 300°C, 350°C 및 375°C의 온도 범위 및  $1 \times 10^{-6}$  Torr의 진공 분위기에서 약 1 시간 정도 열처리를 수행하였다.
- [0073] 제 1 자성층 (222)인 CoFeB 자성층은 Co<sub>20</sub>Fe<sub>60</sub>B<sub>20</sub> (첨자는 원자%임)의 조성을 갖는 합금 타겟을 사용하여 증착하였다. MgO 터널링 장벽층 (210)은  $1 \times 10^{-3}$  Torr (아르곤 분위기)에서 증착되었고, 다른 층들은  $2 \times 10^{-3}$  Torr (아르곤 분위기)에서 증착되었다. 전술한 스퍼터링 방법은 예시적이며, 본 발명이 이에 제한되는 것은 아니다. 예를 들면, 전자빔 증발법과 같은 다른 물리기상증착 또는 적합한 전구체를 이용한 화학기상증착법, 또는 원자층 증착법에 의해 이들 스택들이 형성될 수도 있다.
- [0074] Magnetic moment-applied magnetic field ( $m$ - $H$ ) 루프는 진동 샘플 마그네토미터 (vibrating sample magnetometer)를 이용하여 면외 (out-of-plane,  $H_{\perp}$ ) 및 면내(in-plane,  $H_{\parallel}$ ) 자기장 하에서 각 다층 자성 박막 스택들의 자기적 특성을 평가하여 얻어진 것이다.
- [0075] 도 4a 내지 도 4c는 본 발명의 실시예에 따른 다층 자성 박막 스택 (2000)의 면외 ( $H_{\perp}$ , ○) 면내 ( $H_{\parallel}$ , □)  $m$ - $H$  루프 그래프이며, 도 4d 내지 도 4f는 비교예에 따른 다층 자성 박막 스택 (2000R)의  $m$ - $H$  루프 그래프이다. 복합 스페이서에서, 루테튬층의 두께 ( $t_{Ru}$ )는 약 0.8 nm이고, 탄탈륨층의 두께 ( $t_{Ta}$ )는 약 0.4 nm이다. 비교예에서, 루테튬층의 두께 ( $t_{Ru}$ )는 약 0.8 nm이다. 도 4a 및 도 4d는 증착한 상태에서의 루프 특성이며, 도 4b 및 도 4e는 300°C에서 열처리한 위의 루프 특성이고, 도 4c 및 도 4f는 375°C에서 열처리한 뒤의 루프 특성이다. 도 4b 및 도 4e의 실선들은 총 에너지 방정식으로부터 계산된 면내 루프이며 총 에너지 방정식으로부터 유일한 핏팅 파라미터인 CoFeB 자성층의 유효 수직 자기 이방성 에너지 밀도 (effective magnetic anisotropic energy density;  $K$ )인  $K_{CoFeB}$  값이 추출되었다.
- [0076] 본 발명의 실시예에 따르면, 증착 상태 (도 4a 참조)에서는 PMA가 관찰되지 않는다. 그러나, 300°C (도 4b 참조) 및 350°C에서는 PMA가 형성됨을 확인할 수 있다. 이는 복합 스페이서에 의해 CoFeB 자성층의 bcc (001) 방향으로의 결정화가 일어났음을 나타낸다. 도 4b를 참조하면, 마이너 루프를 구성하는 CoFeB 자성층 (221)의 역전 (reverse)이 갑자기 나타나고, 중간 평탄 영역 (intermediate plateau)가 뒤를 이으며, 강한 PMA를 갖는 [Pt/Co]<sub>6</sub> 다층 자성층 (222)의 역전이 일어날 때까지 유지된다. 상기 중간 평탄 영역에서, CoFeB 자성층 (221)와 [Pt/Co]<sub>6</sub> 다층 자성층 (222)가 반평행 (antiparallel)한 상태를 갖는다. 더욱 상세하게는, CoFeB 자성층 (221)은 인가된 자장 ( $H$ )에 반평행하게 자화된 자기 모멘트를 갖지만, [Pt/Co]<sub>6</sub> 다층 자성층 (222)는 CoFeB 자성층 (221)의 자기 모멘트에 비해 더 크며, 자장 ( $H$ )의 방향에 평행한 자기 모멘트를 갖는다. 상기 중간 평탄 영역은 본 발명의 실시예에 따른 CoFeB 자성층 (221)와 [Pt/Co]<sub>6</sub> 다층 자성층 (222)이 복합 스페이서 (223)를 사이에 두고 반평행 중간 교환 결합 (anti-parallel interlayer exchange coupling; AP-IEC)되는 것을 뒷받침

하여 이에 의해 초고집적 STT-MRAM 소자에 적합한 합성 페리 자성체가 제공될 수 있음을 알 수 있다.

- [0077] 그러나, 비교예에 따른 다층 자성 박막 스택 (2000R)의 경우에는, 증착대로의 상태 (도 4d 참조)에서도 열처리 후에도 (도 4e 및 도 4f 참조), 자장  $H$ 가 포화 값으로부터 감소하여도 자기 모멘트값  $m$ 은 포화 자기 모멘트값으로부터 지속적으로 감소할 뿐이어서, 이로부터 CoFeB 자성층 (221)에 어떠한 PMA도 형성되지 않았음을 알 수 있다.
- [0078] 일 실시예에서, CoFeB 자성층 (221)에 PMA가 형성될 때, 교환 필드 (exchange field;  $H_{ex}$ )는 CoFeB 자성층 (221)와 [Pt/Co]<sub>6</sub> 다층 자성층 (222)의 역전 사이에서 나타나는 간격 (span)으로부터 직접 결정될 수 있다. CoFeB 자성층 (221)에서 PMA가 형성되지 않는다면,  $H_{ex}$  은, 도 4e 및 도 4f에서, 평탄 영역과 포화 영역 사이에서  $m$  값이 중간쯤에 있을 때의  $H$  값으로 결정될 수 있다. 층간 교환 결합 에너지 밀도 (interlayer exchange coupling energy density;  $J_{ex}$ )는 하기의 식 1로부터 얻어질 수 있다. 도 4a 내지 도 4f의 루프들을 비교하면,  $H_{ex}$ 는 비교예의 경우가 더 큼을 알 수 있다.
- [0079] [식 1]
- [0080]  $J_{ex} = -m_{CoFeB} \times H_{ex} / A$ , 여기서  $m_{CoFeB}$ 는 CoFeB 자성층의 자기 모멘트이며,  $A$ 는 측정 샘플의 측면적이다.
- [0081] 다시, 도 4a 내지 도 4f를 참조하면, 포화 자기 모멘트 ( $m_s$ )는 본 발명의 다층 자기 박막 스택 (2000)보다 비교예의 자기 박막 스택 (2000R)에서 더 작다. 이는 데드 영역 또는 자성 데드층 (magnetic dead layer; MDL)의 차이에 기인하는 것으로 추측된다. 비교예의 MDL은 Ru 층 (223')과 CoFeB 자성층 (221) 사이의 계면에서 나타나며, 본 발명의 Ta 층 (223a)과 CoFeB 자성층 (221) 사이의 계면에서보다 더 클 수 있다.
- [0082] 포화 자화값  $m_s$ 은 열처리 온도에 의해서도 영향을 받는다. 비교예에 따른 다층 자기 박막 스택 (2000R)은, 증착 상태에서 자기  $m_s$  값이 273  $\mu$ emu이며, 어닐링 온도가 300℃에서 375℃까지 증가하면 자기  $m_s$  값은 303  $\mu$ emu로부터 311  $\mu$ emu로 증가한다. 실시예에 따른 다층 자성 박막 스택 (2000)에서는, 300℃에서 열처리 후에 포화 자기 모멘트값 ( $m_s$ )이 355  $\mu$ emu로부터 363  $\mu$ emu로 증가하고, 375℃의 최고 열처리 온도에서는 336  $\mu$ emu이다. 어느 경우이나 본 발명의 실시예에 따른 다층 자성 박막 스택 (2000)이 비교예에 따른 다층 자성 박막 스택 (2000R)에 비하여 더 높은 포화 자기 모멘트값을 가짐을 확인할 수 있다.
- [0083] 도 5a 및 도 5b는 각각 본 발명의 실시예에 따른 복합 스페이서 (223)를 포함하는 다층 자성 박막 스택 (2000)의 탄탈륨층 (223a)의 두께의 변화에 따른 자화값  $m_s$  및  $m_r$ 과 제 1 자성층, 실시예에 따라 코발트-철-붕소 (CoFeB),의 유효 수직 자기 이방성 에너지 밀도  $K_{CoFeB}$  및 제 1 자성층과 제 2 자성층 사이의 층간 교환 결합 에너지 밀도  $J_{ex}$  값을 나타내는 그래프이다. 측정된 샘플들은 300℃에서 열처리되었으며, 복합 스페이서층 (223)에서 루테튬층 (223b)의 두께는 0.3 nm 내지 0.9 nm 범위에서 선택된 0.8 nm이며, 탄탈륨층의 두께 ( $t_{Ta}$ )는 0.2 nm 내지 0.6 nm 범위 사이에서 선택된 0.2 nm, 0.4 nm 및 0.6 nm의 값이다.
- [0084] 도 5a를 참조하면,  $\square$ -은 자화값 ( $m_s$ )을,  $\bigcirc$ -는 잔류 자화값 ( $m_r$ )을,  $\triangle$ -는 CoFeB 자성층 (221)의 자화값 ( $m_{CoFeB}$ )을 나타낸다. 탄탈륨층 (223a)의 두께 ( $t_{Ta}$ )가 증가할수록, 자기  $m_s$ 값은 초기에 증가하다가 탄탈륨층 (223a)의 두께가 0.2 nm에 이르면서 빠르게 포화된다. 이는 자기  $m_s$  값이 비교예에 따른 루테튬층 (223')에 비하여 본 발명에 따른 복합 스페이서 (223)가 더 높은 것을 의미하며, 비교예에 따른 다층 자기 박막 스택 (2000R)이 본 발명의 다층 자기 박막 스택 (2000)에 비해 더 큰 자성 데드층 (magnetic dead layer; MDL)이 형성된 것에 기인하는 것은 것으로 추측된다. 유사한 거동이  $m_{CoFeB}$  값의 변화에서도 관찰된다. 탄탈륨층 (223a)의 두께 ( $t_{Ta}$ )의 변화에 대한  $m_r$  값은 자기  $m_s$  값 및  $m_{CoFeB}$  값과 거의 반대의 거동을 가지며, 이것은 잔류 자화 상태 (Remanence state)에서, 2 개의 자성층들 (221, 222)이 반평형 상태에 있다는 것을 뒷받침할 수 있다.
- [0085] 도 5b를 참조하면, 탄탈륨층 (223a)의 두께 ( $t_{Ta}$ )가 증가할수록, 2 개의 자기 파라미터  $K_{CoFeB}$  및  $J_{ex}$  중 자기  $K_{CoFeB}$  값은 증가하지만,  $J_{ex}$ 의 절대값은 감소한다. 자기  $K_{CoFeB}$  값에서 관찰되는 거동은 열처리 동안 CoFeB 자성층 (221)으로부터 확산되는 붕소 (B)를 흡수하는 탄탈륨층 (223a)의 역할에 기인한다. 자기 2 개의 자기 파라미

터의 역비례성 때문에 탄탈륨층 (223a)의 두께 ( $t_{Ta}$ )의 최적값을 결정하는 것은 어렵다. 그러나, 층간 교환 결합이 탄탈륨 층(223a)의 두께 ( $t_{Ta}$ )가 최대값을 갖는  $0.6 \text{ nm}$  을 초과하면  $1.3 \times 10^{-2} \text{ erg/cm}^2$  미만으로 감소되므로, 탄탈륨층 (223a)의 두께 ( $t_{Ta}$ )의 최적값은  $0.2 \text{ nm}$  내지  $0.4 \text{ nm}$ 의 범위 내일 수 있다.

[0086] 도 6은 발명×의 실시예에 따른 복합 스페이서 (223)를 포함하는 다층 자성 박막 스택 (2000)의 면외 ( $H_{\perp}$ , ○) 및 면내 ( $H_{\parallel}$ , □)  $m$ - $H$  루프 그래프들이다. 복합 스페이서 (223)는 탄탈륨층 (223a)의 두께 ( $t_{Ta}$ )는  $0.2 \text{ nm}$  내지  $0.6 \text{ nm}$  범위에서 선택된 약  $0.4 \text{ nm}$ 이고, 루테튬층 (223b)의 두께 ( $t_{Ru}$ )는 자기 결합이 일어나는  $0.2 \text{ nm}$  내지  $1.2 \text{ nm}$  범위에서 선택된  $0.3 \text{ nm}$  및  $0.5 \text{ nm}$ 와  $1.0 \text{ nm}$  및  $1.2 \text{ nm}$ 이며, 루테튬층 (223b)의 두께 ( $t_{Ru}$ ) 변화에 따른 자기 특성의 측정 결과를 각각 영역 (a), (b), (c) 및 (d)에 도시하였다. 도 7a 및 도 7b는 각각 도 6의 영역 (b) 및 (c)에서 측정된 면외 루프의 마이너 루프 부분을 확대한 것이다. 도 6 및 도 7a와 도 7b의 모든 측정된 샘플들은  $350^{\circ}\text{C}$ 에서 열처리되었다.

[0087] 루테튬층 (223b)의 두께 ( $t_{Ru}$ )가 약  $0.3 \text{ nm}$  (영역 (a))에서는 층간 교환 결합에 관한 특성이 미약하게 나타난다. 이것은, CoFeB 자성층 (221)의 역전 (reverse)에 의한 마이너 루프가 상기 마이너 루프로부터 분리되기에는 평행 층간 결합 (parallel IEC) 특성이 강하기 때문이다. 도 6의 영역(b) 및 도 7a를 참조하면, 루테튬층 (223b)의 두께 ( $t_{Ru}$ )가  $0.5 \text{ nm}$ 에서, 명확한 반평행 층간 결합 (AP-IEC) 특성이 나타나며, 이는 자기장  $H$ 가 0에 도달하기 전에 CoFeB 자성층 (221)의 역전이 일어났기 때문이다. 역으로, 도 6의 영역 (c) 및 도 7b를 참조하면, 루테튬층 (223b)의 두께 ( $t_{Ru}$ )가  $1.0 \text{ nm}$ 에서도 평행 층간 결합이 나타난다.

[0088] 도 8a 및 도 8b는 복합 스페이서를 포함하는 본 발명의 실시예에 따른 다층 자성 박막 스택의 루테튬층의 두께에 따른 층간 교환 결합 에너지 ( $-J_{ex}$  또는  $-j_{ex}$ )를 도시한다. 여기서  $j_{ex}$ 는 최대  $J_{ex}$ 로 환산한 (normalized) 값이다.

[0089] 도 8a는  $300^{\circ}\text{C}$ 에서 열처리한 후의 측정 결과이다. 도 8a에서, -□-는 본 발명의 실시예에 따른 복합 스페이서의 측정 결과이며, -○-는 2012년판 Appl. Phys. Lett. 101의 J. H. Jung, S. H. Lim, 및 S.R. Lee가 저자인 논문 "Interlayer exchange coupling between [Pd/Co] multilayers and CoFeB/MgO layers with perpendicular magnetic anisotropy"으로부터 얻어진 결과이며, -△-는 1991년판 Phys. Rev. B 44, 7131의 S. S. P. Parkin 및 D. Mauri가 저자인 논문 "Spin engineering: Direct determination of the Ruderman-Kittel-Kasuya-Yosida far-field range function in ruthenium"으로부터 얻어진 결과이다. 이들 결과값의 대비를 위하여  $-J_{ex}$  값은 정규화된 값이다. 도 8b는  $300^{\circ}\text{C}$  (-□-),  $350^{\circ}\text{C}$  (-▽-) 및  $375^{\circ}\text{C}$  (-◇-)에서 열처리한 결과를 도시한다. 이들 그래프들에서, 이력 루프로부터  $J_{ex}$  값을 결정할 수 없는 경우에는, 임의로 0으로 설정하고 X 표로 표시하였다. 상기 복합 스페이서층의 탄탈륨층의 두께 ( $t_{Ta}$ )는  $0.4 \text{ nm}$ 이다.

[0090] 도 7a 및 도 7b를 참조하면, 루테튬층 (223b)의 두께가 비교적 좁은 범위이지만 루테튬층 (223b)의 두께가 증가함에 따라, 층간 교환 결합 (IEC)의 강도가 진동하고 감쇄하는 공통의 경향성이 확인되었다. 또한, 복합 스페이서 (223)의 중요한 특징은 층간 교환 결합에 대한 루테튬층 (223b)의 두께 ( $t_{Ru}$ )의 의존성은 탄탈륨층 (223a)의 존재와 거의 무관하며, 이것은 층간 교환 결합이 탄탈륨층 (223a)을 통해서만 발생하는 것에서 알 수 있다. 그러나, 본 발명의 실시예에 따르면, 반평행 층간 결합을 나타내는 루테튬층 (223b)의 두께의 최소값은  $0.4 \text{ nm}$ 에 이르며, 이 경우 평행 층간 결합을 초래하는 핀홀의 형성을 억제하는 역할을 한다. 그 결과, 반평행 층간 결합은  $0.4 \text{ nm}$  정도로 얇은 두께의 루테튬층 (223b)을 갖는 복합 스페이서층 (223)에서도 관찰될 수 있다.

[0091] 도 8b를 참조하면, 탄탈륨층 (223a)은 후열처리 특성을 향상시킴을 알 수 있다. 반평행 층간 결합은 루테튬층 (223b)의 두께 ( $t_{Ru}$ )가  $0.4 \text{ nm}$  내지  $0.9 \text{ nm}$ 의 범위 내에서 일어난다.  $0.2 \text{ nm}$  내지  $1.2 \text{ nm}$  범위에서 이 범위 밖에서는 평행 층간 결합이 일어난다. 또한, 루테튬층 (223b)의 두께가  $0.8 \text{ nm}$  및  $0.9 \text{ nm}$ 에서의 층간 결합의 강도는 열처리 온도에서 실질적으로 변하지 않으며 후열처리 안정성이 적어도  $375^{\circ}\text{C}$ 까지임이 확인되었다. 루테튬층 (223b)의 두께 ( $t_{Ru}$ )가  $0.6 \text{ nm}$ 인 경우, 후열처리 안정성의 최대값은  $350^{\circ}\text{C}$ 로 감소되며, 이때의 층간 교환 결합의 강도는  $1.0 \times 10^{-2} \text{ erg/cm}^2$ 이다. 루테튬층의 두께 ( $t_{Ru}$ )가  $0.4 \text{ nm}$ 인 경우에서도 유사한 거동이 관찰되며, 이 두께에서의 열적 안정성은  $300^{\circ}\text{C}$ 로 약간 감소된다. 본 발명의 실시예에 따른 복합 스페이서층 (223)의 최대 층

간 교환 결합의 강도는 루테튬층의 두께가 0.8 nm 에서  $7.9 \times 10^{-2} \text{ erg/cm}^2$  로 이것은 루테튬층만으로된 비교예의 강도인  $3.4 \times 10^{-1} \text{ erg/cm}^2$  대비 23 %에 상당하는 값이다.

[0092] 루테튬층 (223b)의 두께 ( $t_{Ru}$ )가 작은 0.2 nm 내지 0.3 nm에서는 300℃의 열처리 후에 평행 층간 교환 결합이 관찰될 뿐 반평형 층간 결합은 관찰되지 않는다. 이와 같이 작은 루테튬층 (223b)의 두께 ( $t_{Ru}$ )에서도 층간 교환 결합이 관찰되는 것은 탄탈륨층 (223a)에 의해 핀홀이 억제되었기 때문인 것으로 추측된다. 그러나, 열처리 온도가 증가하면 이러한 탄탈륨층 (223a)의 핀홀 억제력은 소실되고 층간 교환 결합은 소멸된다.

[0093] 루테튬층 (223b)의 두께 ( $t_{Ru}$ )가 큰 1.0 nm 및 1.2 nm 에서도 평행 층간 교환 결합이 나타난다. 루테튬층의 두께 ( $t_{Ru}$ )가 1.0 nm에서는 300℃에서 열처리 후에 층간 교환 결합의 강도는 약하지만 열처리 온도가 증가하면 함께 증가하는 이점이 있다. 루테튬층 (223b)의 두께 ( $t_{Ru}$ )가 1.2 nm가되면 더 큰 평행 층간 교환 결합이 나타난다. 그러나, 평행 층간 교환 결합은 너무 강하여 마이너 루프가 메이저 루프로부터 분리될 수 없기 때문에, 층간 교환 결합의 강도는 350℃의 열처리 온도에서는 결정될 수 없다. 이것은 도 6의 영역(d)의 면외 이력 루프 및 도 8의 375℃의 × 값의 표기로 반영되어 있다.

[0094] 본 발명의 실시예에 따르면, 자기 터널링 접합 (200A - 200D)의 열처리 동안 탄탈륨층 (223a)이 인접하는 CoFe 계 자성층 (221)로부터 붕소를 흡수하면서  $K_{CoFeB}$  값이 증가하게 되고, 후열처리 온도가 최대 375℃까지 증가하더라도 자기 터널링 접합 (200A - 200D)의 특성이 유지되는 이점이 있다.

[0095] 본 명세서에 첨부된 도면들을 참조하여 개시된 다양한 자기 터널링 접합은 단일 메모리 소자로 구현되거나, 하나의 웨이퍼 칩 내에서 다른 이종 장치들, 예를 들면, 논리 프로세서, 이미지 센서, RF 소자와 같은 다른 장치들과 함께 SOC (system on chip)의 형태로 구현될 수도 있을 것이다. 또한, 상기 메모리 소자가 형성된 웨이퍼 칩과 이종 장치가 형성된 다른 웨이퍼 칩을 접착층, 솔더링 또는 웨이퍼 본딩 기술을 이용하여 접합하고, 관통전극 (through silicon via)과 같은 배선 기술을 통해 하나의 칩 형태로 구현될 수도 있을 것이다. 또한, 자기 터널링 접합의 저항 변화 특성은 논리 프로세서와 같은 다른 장치들에서 퓨즈 또는 안티퓨즈로서 활용될 수도 있다.

[0096] 또한, 전술한 실시예들에 따른 메모리 소자들은 다양한 형태들의 반도체 패키지 (semiconductor package)화될 수 있다. 예를 들면, 본 발명의 실시예들에 따른 비휘발성 메모리 소자들은 PoP (Package on Package), Ball grid arrays (BGAs), Chip scale packages (CSPs), Plastic Leaded Chip Carrier (PLCC), Plastic Dual In-Line Package (PDIP), Die in Wafer Pack, Die in Wafer FoSM, Chip On Board (COB), Ceramic Dual In-Line Package (CERDIP), Plastic Metric Quad Flat Pack (MQFP), Thin Quad Flatpack (TQFP), Small Outline (SOIC), Shrink Small Outline Package (SSOP), Thin Small Outline (TSOP), Thin Quad Flatpack (TQFP), System In Package (SIP), Multi Chip Package (MCP), Wafer-level Fabricated Package (WFP) 또는 Wafer-Level Processed Stack Package (WSP) 등의 방식으로 패키징될 수 있다. 본 발명의 실시예들에 따른 메모리 소자들이 실장된 패키지는 이를 제어하는 컨트롤러 및/또는 논리 소자들을 더 포함할 수도 있다.

[0097] 도 9는 본 발명의 일 실시예들에 따른 비휘발성 메모리 소자를 포함하는 전자 시스템 (4000)을 도시하는 블록도이다.

[0098] 도 9를 참조하면, 본 발명의 실시예에 따른 전자 시스템 (4000)은 컨트롤러 (4010), 입출력 장치 (I/O; 4020), 기억 장치 (storage device; 4030), 인터페이스 (4040) 및 버스 (bus; 4050)를 포함할 수 있다. 컨트롤러 (4010), 입출력 장치 (4020), 기억 장치 (4030) 및/또는 인터페이스 (4040)는 버스 (4050)를 통하여 서로 결합될 수 있다. 버스 (4050)는 단일 또는 복합 버스일 수 있다.

[0099] 컨트롤러 (4010)는 마이크로프로세서, 디지털 신호 프로세스, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 입출력 장치 (4020)는 키패드 (keypad), 키보드 또는 디스플레이 장치를 포함할 수 있다. 기억 장치 (4030)는 데이터 및/또는 명령어를 저장할 수 있으며, 기억 장치 (4030)는 본 명세서에 개시된 다양한 실시예들에 따른 자기 터널링 접합 또는 다층 자성 박막 스택을 포함하는 메모리 셀을 포함할 수 있다.

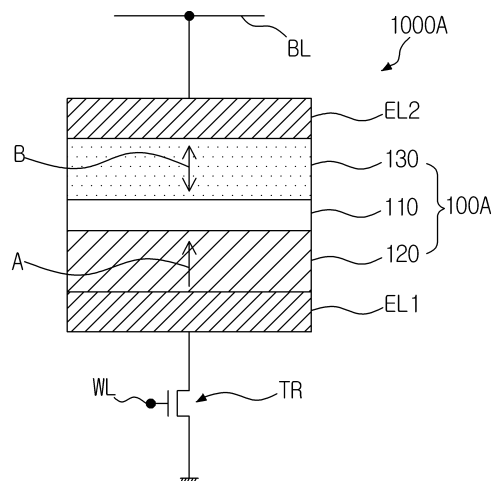
[0100] 일부 실시예에서, 기억 장치 (4030)는 다른 형태의 반도체 메모리 소자 (예를 들면, 디램 장치 및/ 또는 에스램 장치 등)를 더 포함하는 혼성 구조를 가질 수도 있다. 인터페이스 (4040)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 인터페이스 (4040)는 유선 또는 무선 형태일 수 있다. 이를 위하여, 인터페이스 (4040)는 안테나 또는 유무선 트랜시버를 포함할 수 있다. 도시하지 않았지만, 전자 시스템 (4000)은 컨트롤러 (4010)의 동작을 향상시키기 위한 동작 메모리로서, 고속의 디램 및/ 또는 에스램을 더 포함할 수도 있다.

[0101] 전자 시스템 (4000)은 개인 휴대용 정보 단말기 (PDA, personal digital assistant) 포터블 컴퓨터 (portable computer), 태블릿 피씨 (tablet PC), 무선 전화기(wireless phone), 모바일 폰 (mobile phone), 디지털 뮤직 플레이어 (digital music player), 메모리 카드 (memory card), 고상 저장 소자 (SSD), 컴퓨터, 디스플레이, 디지털라이저 및 마우스와 같은 입력 수단, 또는 정보를 무선환경에서 송신 및/ 또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.

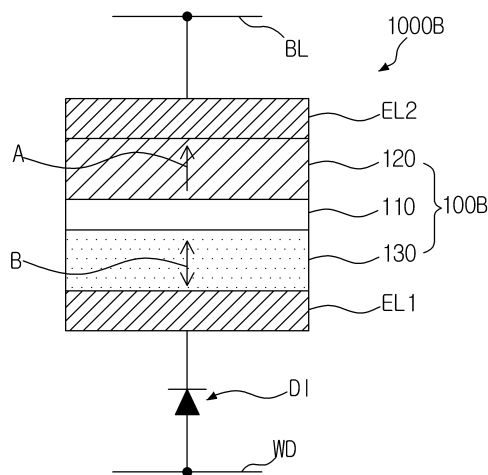
[0102] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

## 도면

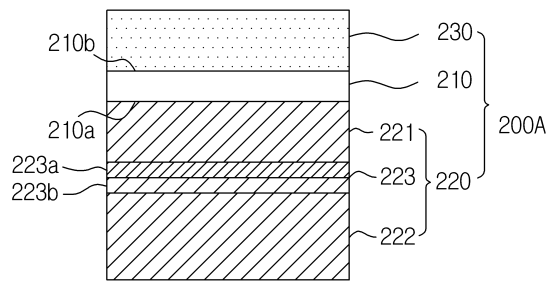
### 도면1a



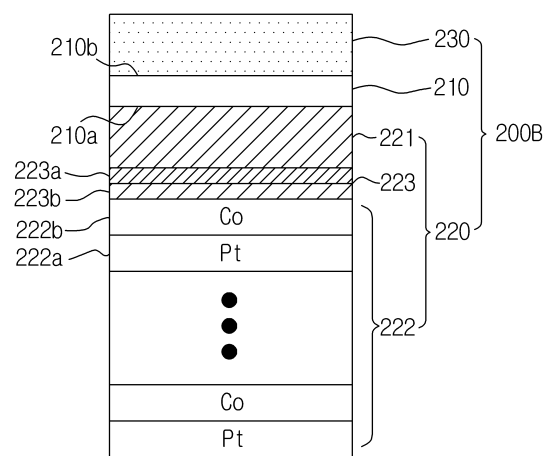
### 도면1b



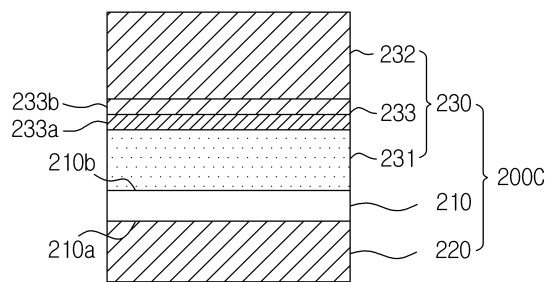
도면2a



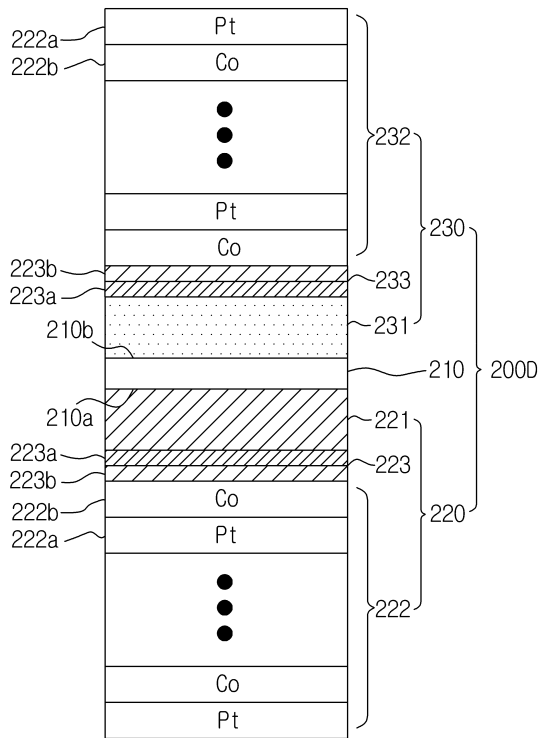
도면2b



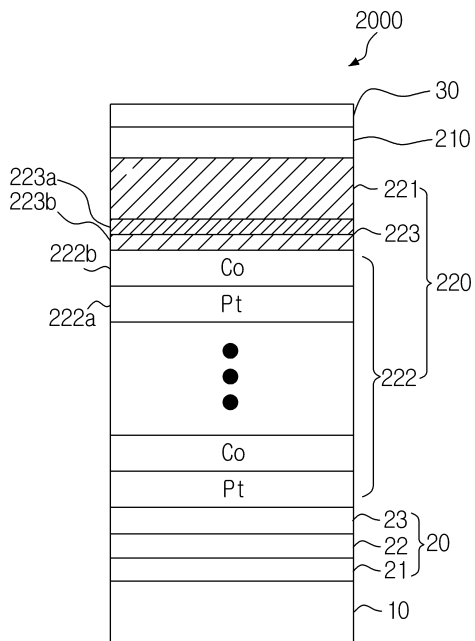
도면2c



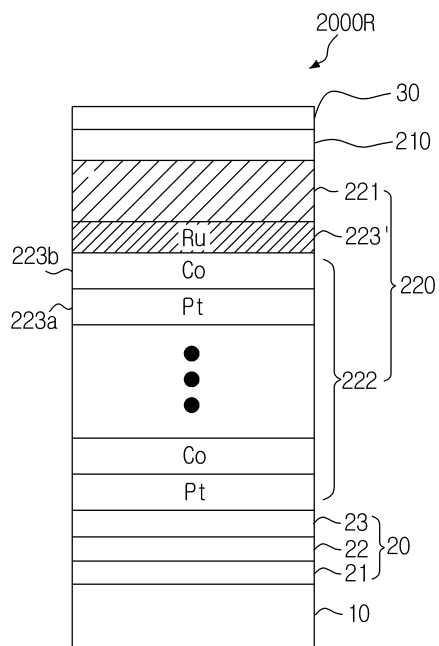
도면2d



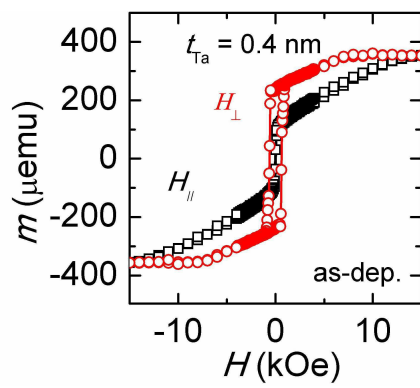
도면3a



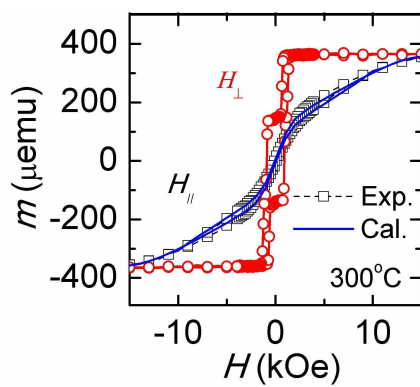
도면3b



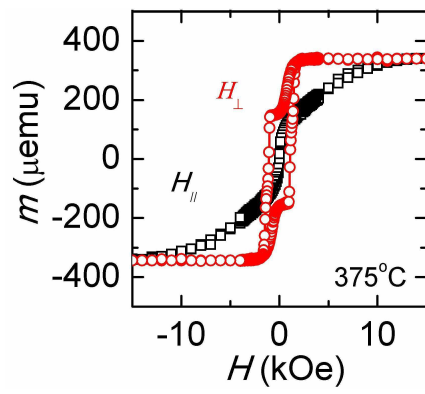
도면4a



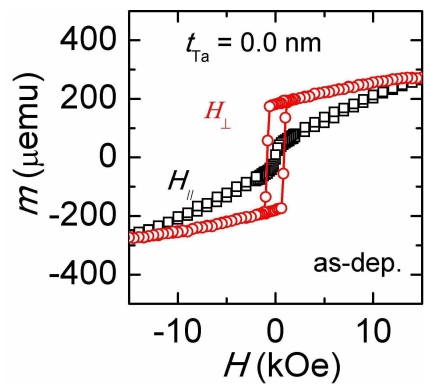
도면4b



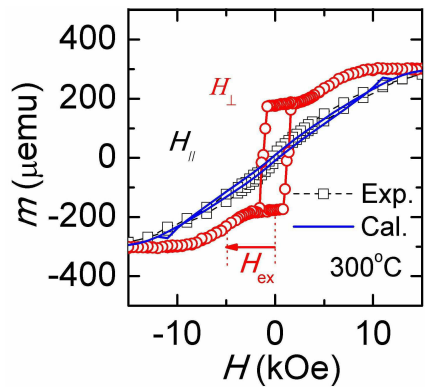
도면4c



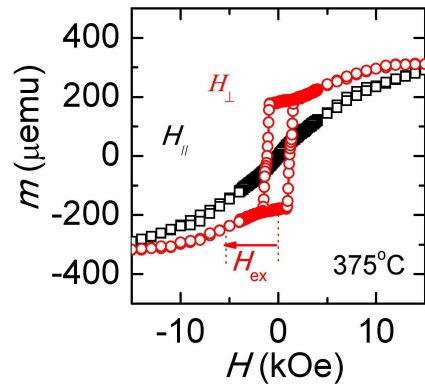
도면4d



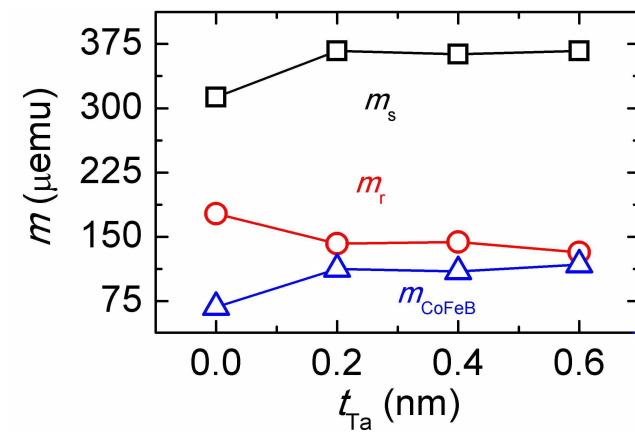
도면4e



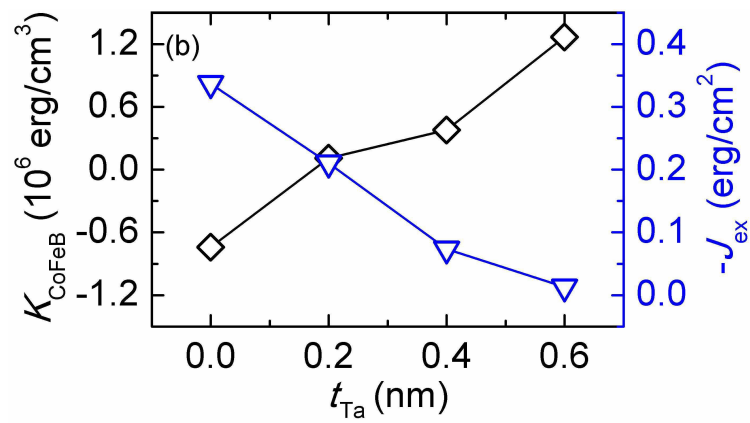
도면4f



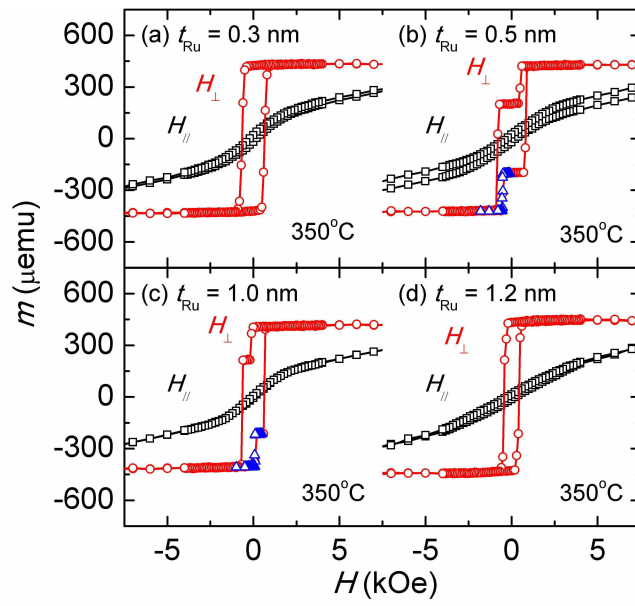
도면5a



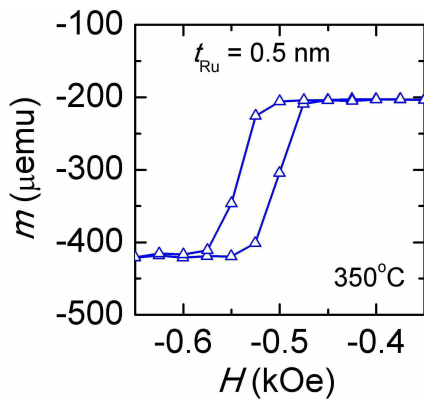
도면5b



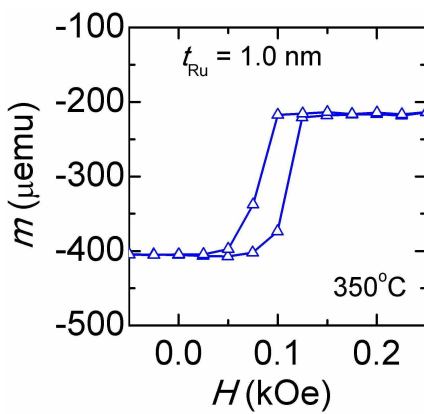
도면6



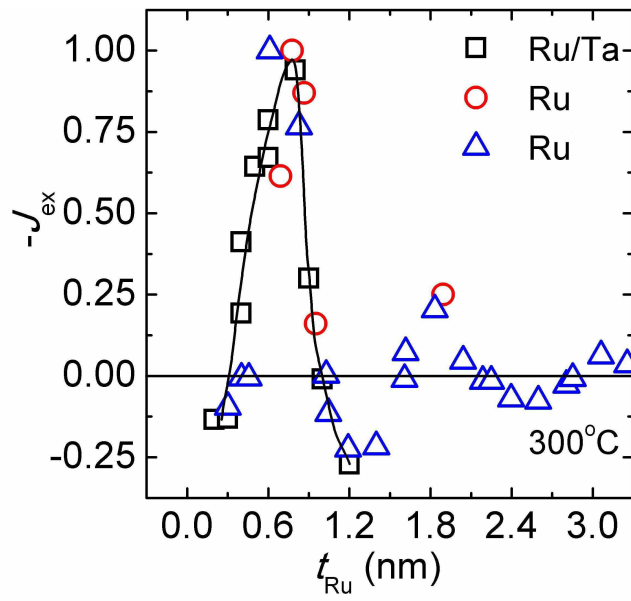
도면7a



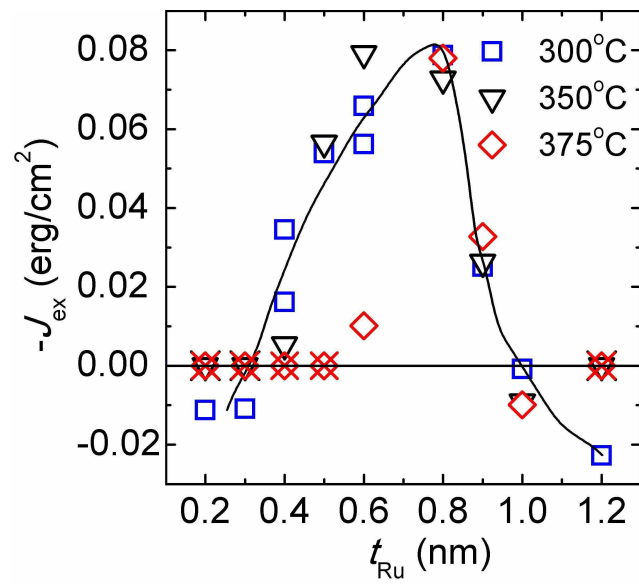
도면7b



도면8a



도면8b



도면9

