



(12) 发明专利申请

(10) 申请公布号 CN 102158077 A

(43) 申请公布日 2011.08.17

(21) 申请号 201010608344.2

(22) 申请日 2010.12.23

(30) 优先权数据

2010-005956 2010.01.14 JP

(71) 申请人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 长泽俊夫

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 于英慧

(51) Int. Cl.

H02M 3/155(2006.01)

H02J 7/00(2006.01)

H01L 25/00(2006.01)

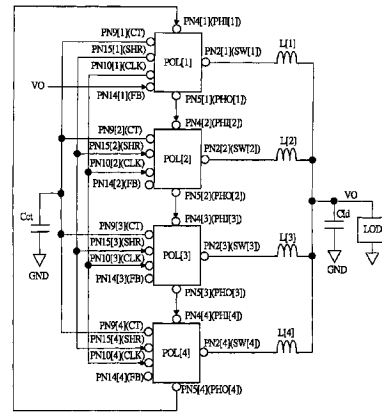
权利要求书 6 页 说明书 23 页 附图 22 页

(54) 发明名称

半导体器件和电源器件

(57) 摘要

本发明提供了一种半导体器件和电源器件。提供一种可容易更改相位数的多相式电源器件。例如,设置与相位数相应的多个驱动单元 POL[1] ~ POL[4],各 POL[n] 接收成为脉冲信号的相位输入信号 PHI[n],产生使相位输入信号 PHI[n] 以时钟信号 CLK 的预定的周期量延迟的相位输出信号 PHO[n]。各 POL[n] 的 PHI[n]、PHO[n] 呈环状连接,各 POL[n] 以 PHI[n] 或 PHO[n] 为起点来进行开关动作。此时,各 POL[n] 分别利用相等的电流来对共用连接于各 POL[n] 的电容 Cct 进行充放电,并基于所述充放电速度来决定 CLK 的频率。即,如果相位数为 n 倍,则 CLK 的频率自动控制成 n 倍。



1. 一种半导体器件,其特征在于,
具有:

第一晶体管和第二晶体管,所述第一晶体管和第二晶体管分别构成 DC/DC 转换器的高压侧晶体管和低压侧晶体管;

第一节点;

充放电电路,所述充放电电路对所述第一节点进行充放电,并具有规定充电速度或放电速度的恒流源以及切换充电和放电的切换开关;

时钟信号产生电路,所述时钟信号产生电路通过判定所述第一节点的电压电平来产生第一时钟信号;

第二节点,所述第二节点传输共用时钟信号;

第一开关,所述第一开关在被驱动为导通时连接所述时钟信号产生电路与所述第二节点,并将所述第一时钟信号作为所述共用时钟信号进行传输;

第三节点,所述第三节点被输入脉冲输入信号;

第四节点,所述第四节点输出脉冲输出信号;

脉冲信号产生电路,所述脉冲信号产生电路产生使所述脉冲输入信号以所述共用时钟信号的预定周期量延迟后的延迟脉冲信号,并将所述延迟脉冲信号作为所述脉冲输出信号进行传输;以及

PWM 控制电路,所述 PWM 控制电路以所述脉冲输入信号或所述脉冲输出信号为起点,通过 PWM 信号来切换控制所述第一晶体管和所述第二晶体管。

2. 如权利要求 1 所述的半导体器件,其特征在于,

所述充放电电路包括:

第一恒流源,所述第一恒流源设置在所述第一节点与高电位侧电源电压之间;和

切换开关和第二恒流源,所述切换开关和第二恒流源串联设置在所述第一节点与低电位侧电源电压之间,

所述切换开关通过所述共用时钟信号来控制通断;

所述时钟信号产生电路在所述第一节点的电压电平达到高电位侧阈值电压和低电位侧阈值电压时分别使输出电压电平发生跳变,从而产生所述第一时钟信号。

3. 如权利要求 1 所述的半导体器件,其特征在于,还包括:

第二开关,所述第二开关在被驱动为导通时将所述充放电电路连接到所述第一节点;
和

选择开关电路,所述选择开关电路选择是将所述脉冲输入信号作为所述脉冲输出信号进行传输,还是将所述延迟脉冲信号作为所述脉冲输出信号进行传输。

4. 如权利要求 3 所述的半导体器件,其特征在于,

所述第一晶体管和所述第二晶体管通过外部电感器向外部负载提供电源;

所述 PWM 控制电路以所述脉冲输入信号或所述脉冲输出信号为起点,分别将所述第一晶体管控制为导通、将所述第二晶体管控制为断开,当流经所述第一晶体管的电流达到反映了针对所述外部负载的电源检测结果的判定电平时,分别将所述第一晶体管控制为断开、将所述第二晶体管控制为导通。

5. 如权利要求 4 所述的半导体器件,其特征在于,

还包括检测所述判定电平的大小来控制使能信号的激活与非激活的使能检测电路；

当所述使能信号为激活状态时，将所述第二开关控制为导通，所述选择开关电路将所述延迟脉冲信号作为所述脉冲输出信号进行传输，当所述使能信号为非激活状态时，将所述第二开关控制为断开，所述选择开关电路将所述脉冲输入信号作为所述脉冲输出信号进行传输。

6. 如权利要求 1 所述的半导体器件，其特征在于，

所述第一节点至所述第四节点是外部端子；

所述半导体器件被安装在一个半导体封装内。

7. 一种半导体器件，其特征在于，

具有：

第一晶体管和第二晶体管，所述第一晶体管和第二晶体管分别构成 DC/DC 转换器的高压侧晶体管和低压侧晶体管，并向外部负载提供电源；

第一节点；

充放电电路，所述充放电电路对所述第一节点进行充放电，并具有规定充电速度或放电速度的恒流源以及切换充电与放电的切换开关；

时钟信号产生电路，所述时钟信号产生电路通过判定所述第一节点的电压电平来产生第一时钟信号；

第二节点，所述第二节点传输共用时钟信号；

第一开关，所述第一开关在被驱动为导通时连接所述时钟信号产生电路与所述第二节点，并将所述第一时钟信号作为所述共用时钟信号进行传输；

第三节点，所述第三节点被输入脉冲输入信号；

第四节点，所述第四节点输出脉冲输出信号；

脉冲信号产生电路，所述脉冲信号产生电路产生使所述脉冲输入信号以所述共用时钟信号的预定的周期量延迟后的延迟脉冲信号，并将所述延迟脉冲信号作为所述脉冲输出信号进行传输；以及

PWM 控制电路，所述 PWM 控制电路通过 PWM 信号来切换控制所述第一晶体管和所述第二晶体管，

其中，所述 PWM 控制电路包括：

第五节点，所述第五节点成为所述外部负载的电源电压的检测节点；

误差放大器电路，所述误差放大器电路以基准电压电平为基准来放大所述第五节点的电压电平，并输出误差放大器信号；

第六节点，所述第六节点传输判定电压电平；

导通控制电路，所述导通控制电路控制所述误差放大器电路的输出节点与所述第六节点的导通与非导通；

电流检测电路，所述电流检测电路检测流经所述第一晶体管的电流，并产生将所述电流转换为电压后的电流检测信号；

第一比较器电路，所述第一比较器电路在所述电流检测信号达到所述判定电压电平时输出第一信号；以及

锁存电路，所述锁存电路以所述脉冲输入信号或所述脉冲输出信号为起点，使 PWM 信

号跳变至导通电平,并以所述第一信号为起点,使所述 PWM 信号跳变至断开电平;

其中,当所述 PWM 信号为导通电平时,分别将所述第一晶体管控制为导通、将所述第二晶体管控制为断开,当所述 PWM 信号为断开电平时,分别将所述第一晶体管控制为断开、将所述第二晶体管控制为导通。

8. 如权利要求 7 所述的半导体器件,其特征在于,

还包括主从检测电路,所述主从检测电路在所述第五节点的电压电平大于第一电压电平时输出从信号,在所述第五节点的电压电平小于所述第一电压电平时输出主信号;

其中,所述第五节点耦合于所述外部负载的电源节点,或者被施加比所述第一电压电平大的固定电压;

所述第一开关接收所述主信号而被驱动为导通,接收所述从信号而被驱动为断开。

9. 如权利要求 7 所述的半导体器件,其特征在于,还包括:

第二开关,所述第二开关在被驱动为导通时将所述充放电电路连接于所述第一节点;

和

第一选择开关电路,所述第一选择开关电路选择是将所述脉冲输入信号作为所述脉冲输出信号进行传输,还是将所述延迟脉冲信号作为所述脉冲输出信号进行传输,

所述第二开关在使能信号为激活状态时被驱动为导通、在使能信号为非激活状态时被驱动为断开;

所述第一选择开关电路在所述使能信号为激活状态时将所述延迟脉冲信号作为所述脉冲输出信号进行传输,在所述使能信号为非激活状态时将所述脉冲输入信号作为所述脉冲输出信号进行传输。

10. 如权利要求 9 所述的半导体器件,其特征在于,还具有:

使能检测电路,所述使能检测电路通过迟滞比较器来判定所述第六节点的所述判定电压电平的大小,并根据判定结果将所述使能信号控制为激活与非激活。

11. 如权利要求 10 所述的半导体器件,其特征在于,还包括:

第七节点;和

第二选择开关电路,所述第二选择开关电路选择将所述第七节点连接于所述误差放大器电路的输出节点还是连接于所述迟滞比较器,

其中,所述迟滞比较器的迟滞特性能够通过连接于所述第七节点的外部元件来进行可变设定。

12. 如权利要求 7 所述的半导体器件,其特征在于,

所述第一节点至所述第六节点为外部端子;

所述半导体器件被安装在一个半导体封装内。

13. 一种电源器件,其特征在于,

具有:

第一至第 m 半导体器件,其中 m 是 2 以上的整数;

第一至第 m 电感器,所述第一至第 m 电感器的一端共用连接于输出电源节点;和

外部电容,

其中,所述第一半导体器件包括第一充放电端子、第一时钟端子、第一输出端子、第一脉冲输入端子和第一脉冲输出端子;

所述第 m 半导体器件包括第 m 充放电端子、第 m 时钟端子、第 m 输出端子、第 m 脉冲输入端子和第 m 脉冲输出端子；

所述第一至第 m 充放电端子共用连接于所述外部电容的一端；

所述第一至第 m 时钟端子共用连接并且传输共用时钟信号；

所述第一至第 m 输出端子分别连接于所述第一至第 m 电感器的另一端；

所述第一脉冲输入端子连接于所述第 m 脉冲输出端子；

第 k 脉冲输出端子依次连接于第 (k+1) 脉冲输入端子,其中 k 为满足 $1 \leq k \leq (m-1)$ 的整数；

所述第一半导体器件还包括：

第一高压侧晶体管,所述第一高压侧晶体管的一端连接于所述第一输出端子；

第一低压侧晶体管,所述第一低压侧晶体管的一端连接于所述第一输出端子；

第一充放电电路,所述第一充放电电路对所述第一充放电端子进行充放电,并具有规定充电速度或放电速度的第一恒流源以及切换充电与放电的第一切换开关；

第一时钟信号产生电路,所述第一时钟信号产生电路通过判定所述第一充放电端子的电压电平以产生第一时钟信号；

第一时钟开关,所述第一时钟开关在被驱动为导通时,连接所述第一时钟信号产生电路与所述第一时钟端子；

第一脉冲信号产生电路,所述第一脉冲信号产生电路产生使从所述第一脉冲输入端子输入的第一脉冲输入信号以所述共用时钟信号的预定的周期量延迟后的第一脉冲输出信号,并将所述第一脉冲输出信号传输至所述第一脉冲输出端子；以及

第一 PWM 控制电路,所述第一 PWM 控制电路以所述第一脉冲输入信号或所述第一脉冲输出信号为起点,通过第一 PWM 信号切换控制所述第一高压侧晶体管及所述第一低压侧晶体管；

所述第 m 半导体器件还包括：

第 m 高压侧晶体管,所述第 m 高压侧晶体管的一端连接于所述第 m 输出端子；

第 m 低压侧晶体管,所述第 m 低压侧晶体管的一端连接于所述第 m 输出端子；

第 m 充放电电路,所述第 m 充放电电路对所述第 m 充放电端子进行充放电,并具有规定充电速度或放电速度的第 m 恒流源以及切换充电与放电的第 m 切换开关；

第 m 时钟信号产生电路,所述第 m 时钟信号产生电路通过判定所述第 m 充放电端子的电压电平以产生第 m 时钟信号；

第 m 时钟开关,所述第 m 时钟开关在被驱动为导通时,连接所述第 m 时钟信号产生电路与所述第 m 时钟端子；

第 m 脉冲信号产生电路,所述第 m 脉冲信号产生电路产生使从所述第 m 脉冲输入端子输入的第 m 脉冲输入信号以所述共用时钟信号的预定的周期量延迟后的第 m 脉冲输出信号,并将所述第 m 脉冲输出信号传输至所述第 m 脉冲输出端子；以及

第 m PWM 控制电路,所述第 m PWM 控制电路以所述第 m 脉冲输入信号或所述第 m 脉冲输出信号为起点,通过第 m PWM 信号切换控制所述第 m 高压侧晶体管及所述第 m 低压侧晶体管；

其中,所述第一时钟开关被驱动为导通,所述第 m 时钟开关被驱动为断开,从而将所述

第一时钟信号作为所述共用时钟信号进行传输；

所述第一恒流源至所述第 m 恒流源的电流值均相等。

14. 如权利要求 13 所述的电源器件,其特征在于,

所述第一充放电电路包括:

第一高电位侧恒流源,所述第一高电位侧恒流源设置在所述第一充放电端子与高电位侧电源电压之间;和

所述第一切换开关和第一低电位侧恒流源,所述第一切换开关和第一低电位侧恒流源串联设置在所述第一充放电端子与低电位侧电源电压之间,

其中,所述第一切换开关通过所述共用时钟信号来控制导通或断开;

所述第 m 充放电电路包括:

第 m 高电位侧恒流源,所述第 m 高电位侧恒流源设置在所述第 m 充放电端子与高电位侧电源电压之间;和

所述第 m 切换开关和第 m 低电位侧恒流源,所述第 m 切换开关和第 m 低电位侧恒流源串联设置在所述第 m 充放电端子与低电位侧电源电压之间,

其中,所述第 m 切换开关通过所述共用时钟信号来控制导通或断开。

15. 如权利要求 13 所述的电源器件,其特征在于,

所述第一半导体器件还包括:

第一时钟控制开关,所述第一时钟控制开关在第一使能信号为激活状态时,将所述第一充放电电路连接于所述第一充放电端子;和

第一脉冲选择开关电路,所述第一脉冲选择开关电路在所述第一使能信号为激活状态时,将来自所述第一脉冲信号产生电路的所述第一脉冲输出信号传输至所述第一脉冲输出端子,并在所述第一使能信号为非激活状态时,将所述第一脉冲输入信号传输至所述第一脉冲输出端子,

所述第 m 半导体器件还包括:

第 m 时钟控制开关,所述第 m 时钟控制开关在第 m 使能信号为激活状态时,将所述第 m 充放电电路连接于所述第 m 充放电端子;以及

第 m 脉冲选择开关电路,所述第 m 脉冲选择开关电路在所述第 m 使能信号为激活状态时,将来自所述第 m 脉冲信号产生电路的所述第 m 脉冲输出信号传输至所述第 m 脉冲输出端子,在所述第 m 使能信号为非激活状态时,将所述第 m 脉冲输入信号传输至所述第 m 脉冲输出端子。

16. 如权利要求 15 所述的电源器件,其特征在于,

所述第一半导体器件还包括:第一判定电平端子和第一反馈端子;

所述第 m 半导体器件还包括:第 m 判定电平端子和第 m 反馈端子;

所述第一判定电平端子至所述第 m 判定电平端子共用连接并且传输共用判定电压电平;

所述第一反馈端子耦合于所述输出电源节点;

对所述第 m 反馈端子施加预定的固定电压;

所述第一 PWM 控制电路包括:

第一误差放大器电路,所述第一误差放大器电路检测所述第一反馈端子的电压电平,

并输出反映了该检测结果的第一判定电压电平；

第一导通控制电路,所述第一导通控制电路控制所述第一误差放大器电路的输出节点与所述第一判定电平端子的导通与非导通；

第一电流检测电路,所述第一电流检测电路检测流经所述第一高压侧晶体管的电流,并产生将所述电流转换为电压后的第一电流检测信号；

第一比较器电路,所述第一比较器电路在所述第一电流检测信号达到所述共用判定电压电平时输出第一信号；以及

第一锁存电路,所述第一锁存电路以所述第一脉冲输入信号或所述第一脉冲输出信号为起点,使所述第一 PWM 信号跳变至导通电平,并以所述第一信号为起点,使所述第一 PWM 信号跳变至断开电平；

所述第 m PWM 控制电路包括：

第 m 误差放大器电路,所述第 m 误差放大器电路检测所述第 m 反馈端子的电压电平,并输出反映了所述检测结果的第 m 判定电压电平；

第 m 导通控制电路,所述第 m 导通控制电路控制所述第 m 误差放大器电路的输出节点与所述第 m 判定电平端子的导通与非导通；

第 m 电流检测电路,所述第 m 电流检测电路检测流经所述第 m 高压侧晶体管的电流,并产生将所述电流转换为电压后的第 m 电流检测信号；

第 m 比较器电路,所述第 m 比较器电路在所述第 m 电流检测信号达到所述共用判定电压电平时输出第 m 信号；以及

第 m 锁存电路,所述第 m 锁存电路以所述第 m 脉冲输入信号或所述第 m 脉冲输出信号为起点,使所述第 m PWM 信号跳变至导通电平,并以所述第 m 信号为起点,使所述第 m PWM 信号跳变至断开电平；

其中,所述第一导通控制电路被控制成为导通状态；

所述第 m 导通控制电路被控制成为非导通状态。

17. 如权利要求 16 所述的电源器件,其特征在于,

所述第一半导体器件还包括:第一使能检测电路,所述第一使能检测电路通过第一迟滞比较器来判定所述共用判定电压电平的大小,并根据该判定结果来控制所述第一使能信号的激活与非激活；

所述第 m 半导体器件还包括:第 m 使能检测电路,所述第 m 使能检测电路通过第 m 迟滞比较器来判定所述共用判定电压电平的大小,并根据该判定结果来控制所述第 m 使能信号的激活与非激活。

半导体器件和电源器件

技术领域

[0001] 本发明涉及一种半导体器件和使用了该半导体器件的电源器件,例如涉及一种对将高电压转换成低电压的开关电源器件适用并有效的技术。

背景技术

[0002] 例如,在专利文献 1 中,公开了一种将与各相位对应的多个半导体设备连接成环状的多相电源(图 1)。在专利文献 2 中,公开了下述多相型 DC/DC 转换器器件,即使用多个转换器控制集成电路(IC:integrated circuit),以各不相同的相位来对负载提供电源(图 1)。另外,在专利文献 3 中,公开了下述多相转换器,即其具有 n 个相位 IC 和对所述各相位 IC 提供共用的控制信号的控制 IC(图 1、图 2)。

[0003] 专利文献 1:日本特开 2009-2191 84 号公报

[0004] 专利文献 2:日本特开 2006-50891 号公报

[0005] 专利文献 3:日本特开 2007-135390 号公报

发明内容

[0006] 例如在个人电脑(以下称作 PC(personal computer))或伺服器等的布线基板(主机板等)印刷电路板(PCB:printed circuitboard)上,搭载 DDR-SDRAM(Double-Data-Rate Synchronous Dynamic Random Access Memory:以双倍数据率同步动态随机存取存储器)或 CPU(Central Processing Unit:中央处理器)等为代表的各种电路单元。如前所述的各种电路单元的电源是通过在布线基板 PCB 上安装在各种电路单元附近且被称作 POL(Point Of Load:载荷点)转换器等而降压型的非绝缘型 DC/DC 转换器(降压型转换器)来提供。

[0007] 近年来,为了提高处理能力,各种电路单元的动作频率逐年高速化,且电源电压也正向低电压化推进。由此,各种电路单元的消耗电流随着高速化而趋于增加,漏电流也随着低电压化而趋于增加。为了应对此类大电流化以及低电压化的要求,正推进 POL 转换器使用多个相位(phase)来依序进行电力供应的所谓多相化技术。当使用多相型 POL 转换器时,布线基板 PCB 上所需的安装面积随着相位数的增加而扩大,但是另一方面,随着系统的多样化或电子设备的小型化,分配给 POL 转换器的安装面积正趋于缩小。因此,多相型 POL 转换器的小面积化(小型化)也变得很重要。

[0008] 而且,近年来,环境问题正受到重视。因而在如上所述的各种电路单元中进行省电设计,例如根据系统状况来仅激活最小限度的必要电路组件,因此,消耗电流的变动幅度(电流范围)也随之扩大。对此,对于 POL 转换器要求在宽幅度的电流范围内提高电力转换效率。对于多相型 POL 转换器而言,相位数越多,则能够应对越大的电流,但如果在此状态下驱动轻负载(消耗电流少的各种电路单元),电力转换效率将会下降。即,根据负载的消耗电流,存在电力转换效率达到最佳的相位数,优选 POL 转换器以相位数可动态变更的方式来构成。

[0009] 图 19 所示的是作为本发明的前提所研究的电源器件,图 19A 所示的是其概略结构

例的框图,图 19B 所示的是图 19A 的动作例的波形图。图 19A 所示的电源器件包括:控制单元 CTLU、多个(本例中为四个)驱动单元 POLb[1] ~ POLb[4]、一端共用连接于输出电源节点 V0 的多个电感器 L[1] ~ L[4]、以及一端连接于 V0 的电容 C1d。CTLU 对 POLb[1] ~ POLb[4] 输出相位分别相差 90° 的相位输入信号 PHI[1] ~ PHI[4]。POLb[1] ~ POLb[4] 分别以 PHI[1] ~ PHI[4] 为起点来进行预定的动作,并通过开关信号 SW[1] ~ SW[4] 来控制流经 L[1] ~ L[4] 的电流。在 L[1] ~ L[4] 中,流过相位分别相差 90° 的电流,其中一部分被提供给上述各种电路单元相当的负载 LOD,一部分被提供给电容 C1d。LOD 将 V0 的电压作为电源电压,通过从 L[1] ~ L[4] 以及 C1d 提供的电源电流来进行预定的动作。

[0010] 当使用图 19 所示的电源器件(多相型 POL 转换器)时,可以通过适当变更相位输入信号 PHI[1] ~ PHI[4] 的波形状态来变更相位数,但是需要控制单元 CTLU,因此由于还需要留有控制单元 CTLU 的安装面积,从而难以实现电源器件的小型化。而且,相位数的变更幅度受到 CTLU 的引脚数限制,因此要想增加相位数,就必须也进一步追加 CTLU。图 20 所示的是不使用控制单元 CTLU 的结构。

[0011] 图 20 所示的是作为本发明的前提所研究的另一电源器件,图 20A 所示的是其概略结构例的框图,图 20B 所示的是图 20A 的动作例的波形图。图 20A 所示的电源器件包括:多个(本例中为四个)驱动单元 POLa[1] ~ POLa[4]、一端共用连接于输出电源节点 V0 的多个电感器 L[1] ~ L[4] 以及一端连接于 V0 的电容 C1d。POLa[1] 产生与连接于外部的电容 Cct 相应的频率的时钟信号 CLK,并将其共同提供给 POLa[2] ~ POLa[4]。

[0012] 而且, POLa[n] (n = 1 ~ 4) 输入成为单触发脉冲信号的相位输入信号 PHI[n],并输出成为延迟了一个 CLK 周期的信号的相位输出信号 PHO[n]。并且,通过设定 PHO[n] = PHI[n+1],并使来自最终段的 PHO[4] 返回初段的 PHI[1],可使 PHI[1] ~ PHI[4] 成为相位分别相差 90° 的信号。各 POLa[n] 分别以 PHI[n] (或 PHO[n]) 为起点进行与图 19 同样的动作,通过由此实现的多相动作来驱动连接于输出电源节点 V0 的负载 LOD。

[0013] 当使用图 20 所示的电源器件(多相型 POL 转换器)时,由于不需要控制单元 CTLU,因此能够实现电源器件的小型化。但是,图 20A 的电源器件虽然在相位数固定时不会特别产生问题,但在想要变更相位数时,需要有适当的变更方法。

[0014] 因此,本发明的目的之一在于提供一种能够易于变更相位数的多相式电源器件以及成为其构成要素的半导体器件。另外,本发明的所述内容及所述内容以外的目的和新特征在本说明书的描述及附图说明中写明。

[0015] 下面简要说明关于本专利申请书中所公开的发明中具有代表性的实施方式的概要。

[0016] 本实施方式的电源器件使用 m 个半导体器件来实现最大 m 相位的开关动作。各半导体器件具有高压侧晶体管及低压侧晶体管、第一至第四端子、充放电电路、时钟信号产生电路、第一开关、脉冲信号产生电路以及 PWM 控制电路。其中,充放电电路具有规定充电速度或放电速度的恒流源以及切换充电与放电的切换开关,并对第一端子进行充放电。时钟信号产生电路通过判定第一端子的电压电平以产生第一时钟信号。对第二端子传输共用时钟信号。第一开关在被驱动为导通时,连接时钟信号产生电路与第二端子,并将第一时钟信号作为共用时钟信号进行传输。脉冲信号产生电路使从第三端子输入的脉冲输入信号以共用时钟信号的预定的周期量延迟,并将由此而产生的脉冲输出信号传输至第四端子。PWM 控

制电路以脉冲输入信号或脉冲输出信号为起点而产生 PWM 信号, 切换控制高压侧晶体管及低压侧晶体管。

[0017] 本例中, 各半导体器件的第二端子共用连接。而且, 第 k 段半导体器件的第四端子依次连接于第 (k+1) 段半导体器件的第三端子, 成为最终段的第 m 段半导体器件的第四端子返回成为初段的第 1 段半导体器件的第三端子。通过如前所述的环路连接, 各半导体器件中的脉冲输入信号 (脉冲输出信号) 的相位分别存在规定的单位差异, 由此能够实现多相动作。

[0018] 而且, 各半导体器件的第一端子共用连接于外部电容, 第一段半导体器件的第一开关被驱动为导通, 除此以外的半导体器件的第一开关被驱动为断开, 由此, 从第一段半导体器件的时钟信号产生电路朝向各半导体器件输出共用时钟信号。由于当共用连接于上述外部电容的半导体器件的数量 (即相位数) 增加到 n 倍时, 充电速度及 / 或放电速度会自动达到 n 倍, 因此所述共用时钟信号的频率也会提高 n 倍。如上所述, 通过根据相位数 n 来使共用时钟信号的频率自动变成 n 倍, 能够不拘于相位数而容易地实现固定的开关频率下的多相动作。

[0019] 此外, 上述电源器件在各半导体器件中, 在充放电电路与第一端子之间设置第二开关, 除此以外, 最好还设置使第三端子与第四端子短路并且阻断脉冲信号产生电路与第四端子的导通的开关电路。通过控制所述第二开关及开关电路, 能够根据外部负载的消耗电流来动态地变更相位数, 以提高电力转换效率。另外, 所述相位数的动态变更例如在各半导体器件进行所谓的峰值电流控制方式的开关动作时, 也可以通过监控用于规定所述峰值电流的判定电压电平而自动地进行。

[0020] 下面简要说明关于本专利申请书中所公开的发明中根据具有代表性的实施方式所得到的效果, 在多相式电源器件中, 能够容易地实现相位数的变更。

附图说明

[0021] 图 1 所示的是本发明实施方式 1 的电源器件的一例概略结构的框图。

[0022] 图 2 所示的是图 1 的电源器件主要部分的详细结构例的电路框图。

[0023] 图 3 所示的是图 2 的电源器件的振荡电路组件详细结构例的电路框图。

[0024] 图 4 所示的是图 3 的振荡电路组件更详细结构例的电路图。

[0025] 图 5 所示的是图 2 的电源器件的相位信号产生电路的详细内容, 图 5A 所示的是该结构例的电路框图, 图 5B 所示的是图 5A 的动作例的波形图。

[0026] 图 6 所示的是图 2 的电源器件中, 变更相位数时的时钟信号、相位输入信号及相位输出信号的动作例的波形图。

[0027] 图 7 所示的是图 2 的电源器件中, 三相位动作时各驱动单元的详细动作例的波形图。

[0028] 图 8 所示的是本发明实施方式 2 的电源器件主要部分的详细结构例的电路框图。

[0029] 图 9 所示的是图 8 的电源器件的振荡电路组件详细结构例的电路图。

[0030] 图 10 所示的是本发明实施方式 3 的电源器件主要部分的详细结构例的电路框图。

[0031] 图 11 所示的是图 10 的电源器件的使能检测电路详细结构例的电路图。

[0032] 图 12 所示的是本发明实施方式 4 的电源器件中所含的半导体器件 (驱动单元)

的详细结构例的框图。

[0033] 图 13A 所示的是图 12 的半导体器件为主设备时开关组件外围的详细结构例的电路图,图 13B 所示的是图 13A 中的使能检测电路及误差放大器电路的状态的等价电路图。

[0034] 图 14A 所示的是图 12 的半导体器件为从设备时开关组件外围的详细结构例的电路图,图 14B 所示的是图 14A 中的使能检测电路及误差放大器电路的状态的等价电路图。

[0035] 图 15 所示的是图 12 的半导体器件(驱动单元)的概略封装结构例的平面图。

[0036] 图 16A 所示的是图 15 中的 X-X' 间的结构例的剖面图,图 16B 所示的是图 15 中的 Y-Y' 间的结构例的剖面图。

[0037] 图 17 所示的是图 12 的半导体器件中,形成有高压侧晶体管(功率晶体管)的半导体芯片的设备结构例的剖面图。

[0038] 图 18 为图 3 的变形例,图 18A、B 为不同结构例的电路框图。

[0039] 图 19 所示的是作为本发明的前提所研究的电源器件,图 19A 所示的是其概略结构例的框图,图 19B 所示的是图 19A 的动作例的波形图。

[0040] 图 20 所示的是作为本发明的前提所研究的另一电源器件,图 20A 所示的是其概略结构例的框图,图 20B 所示的是图 20A 的动作例的波形图。

[0041] 标号说明

[0042]	10	电镀层
[0043]	11	粘合层
[0044]	21	半导体衬底
[0045]	22	场绝缘膜
[0046]	23、24、31	半导体区域
[0047]	25	槽
[0048]	26	栅极绝缘膜
[0049]	27	栅极电极
[0050]	28	绝缘膜
[0051]	29	接触孔
[0052]	30G	栅极布线
[0053]	30S	源极布线
[0054]	32	保护膜
[0055]	33	开口部
[0056]	34	金属层
[0057]	9	电镀层
[0058]	ACS	激活电流检测电路
[0059]	AD	与运算电路
[0060]	BE	背面电极
[0061]	BK	消隐电路
[0062]	BSC	升压开关
[0063]	BW	接合线
[0064]	C	电容

[0065]	CKG	时钟信号产生电路
[0066]	CLK	时钟信号
[0067]	CMP	比较器电路
[0068]	CS	电流检测信号
[0069]	CT	时钟控制信号
[0070]	CTLU	控制单元
[0071]	D	二极管
[0072]	DP_HS、DP_LS、DP_CT	芯片焊垫
[0073]	DV	驱动器电路
[0074]	EA	误差放大器电路
[0075]	EN	使能信号
[0076]	ENDET	使能检测电路
[0077]	FB	反馈信号
[0078]	GND、SGND、PGND	接地电源电压
[0079]	Gh、G1	栅极电极
[0080]	HSCP、LSCP、CTLCP	半导体芯片
[0081]	IB	偏压电流源
[0082]	IS	恒定电流电路
[0083]	IS'	恒流源
[0084]	IV	逆变器电路
[0085]	L	电感器
[0086]	LD	导线
[0087]	LDB	导线布线
[0088]	LGC	控制逻辑电路
[0089]	LOD	负载
[0090]	LP	环路补偿电路
[0091]	LT	锁存电路
[0092]	MB	金属板
[0093]	MN	n 沟道型 MOS 晶体管
[0094]	MP	p 沟道型 MOS 晶体管
[0095]	MS	主从控制信号
[0096]	MSDET	主从检测电路
[0097]	OCP	过电流检测信号
[0098]	OCPCTL	过电流控制电路
[0099]	OPG	单触发脉冲产生电路
[0100]	OR	或运算电路
[0101]	OSC	振荡电路
[0102]	OSC_BK	振荡电路组件
[0103]	OVP	过电压检测信号

[0104]	PA	半导体封装
[0105]	PD	电极
[0106]	PG	相位信号产生电路
[0107]	PG_BK	相位信号产生电路组件
[0108]	PHI	相位输入信号
[0109]	PHO	相位输出信号
[0110]	PN	外部端子
[0111]	POL	驱动单元
[0112]	PWL	p 型阱
[0113]	PWM	PWM 信号
[0114]	PWMCTL	PWM 信号控制电路
[0115]	Q	晶体管
[0116]	QH、QL	晶体管
[0117]	R	电阻
[0118]	RS	复位信号
[0119]	SC	开关
[0120]	SC_BK	开关组件
[0121]	SHR	共用控制信号
[0122]	SLPBK	斜率补偿电路组件
[0123]	SV	系统监控电路
[0124]	SW	开关信号
[0125]	SYSEN	系统使能信号
[0126]	Sh、S1	源极电极
[0127]	UVLO	内部电源电压检测信号
[0128]	UVLOC	内部电源电压检测电路
[0129]	VCIN	电源电压
[0130]	VIN	输入电源电压
[0131]	VO	输出电源节点
[0132]	VOF	失调电压源

具体实施方式

[0133] 在以下实施方式中,为了方便,在必要时将几个部分或将实施方式分割来说明,除了需要特别说明的以外,这些都不是彼此独立且无关系的,而是与其它一部分或者全部的变形例、详细内容及补充说明等相互关联的。另外,在以下实施方式中提及要素数等(包括个数、数值、量、范围等)时,除了特别说明及原理上已经明确限定了特定的数量等除外,所述的特定数并非指固定的数量,而是可大于等于所述特定数或可小于等于所述特定数。

[0134] 而且,在以下实施方式中,除了特别说明及原理上已经明确了是必要时除外,所述的构成要素(包括要素步骤等)也并非必须的要素。同样地,在以下实施方式中提及的构成要素等的形状、位置关系等时,除了特别说明时及原理上已经明确了并非如此时,实质

上包括与前述形状等相近或者类似的。同理,前述的数值及范围也同样包括与其相近的。

[0135] 而且,构成实施方式的各功能组件的电路元件并无特别限制,可以通过 CMOS(互补型 MOS 晶体管)等集成电路技术形成在单晶硅之类的半导体衬底上。另外,实施方式中,在记载为 MOSFET(Metal Oxide Semiconductor Field Effect Transistor:金属氧化物半导体场效应晶体管)(或简称作 MOS 晶体管)时,并不排除将非氧化膜作为栅极绝缘膜。

[0136] 以下根据附图详细说明本发明实施方式。另外,为了说明实施方式的所有图中,原则上对同一构件采用同一符号,省略掉重复的说明。

[0137] (实施方式 1)

[0138] 《电源器件整体的概略结构》

[0139] 图 1 所示的是本发明实施方式 1 的电源器件的概略结构一例的框图。图 1 所示的电源器件具有多个(本例中为四个)驱动单元(半导体器件)POL[1]~POL[4]、多个电感器 L[1]~L[4]、以及电容 Cct、C1d。各驱动单元 POL[n](n=1~4)分别具有相同的内部结构,具有七个外部端子 PN2[n]、PN4[n]、PN5[n]、PN9[n]、PN10[n]、PN14[n]、PN15[n]。POL[1] 为主设备用的驱动单元,POL[2]~POL[4] 为从设备用的驱动单元。L[1]~L[4] 的一端共用连接于输出电源节点 V0 上,各 L[n] 的另一端分别各自连接于 PN2[n]。C1d 设置在 V0 与接地电源电压 GND 之间。

[0140] 各 POL[n] 的外部端子 PN9[n] 共用连接于电容 Cct 的一端,并传输时钟控制信号 CT。Cct 的另一端连接于接地电源电压 GND。POL[1] 基于所述 CT 以产生时钟信号 CLK,并将其从外部端子 PN10[1] 输出。经由外部端子 PN10[2]~PN10[4] 对 POL[2]~POL[4] 输入来自所述 POL[1] 的 CLK。

[0141] 对于各 POL[n] 的外部端子 PN4[n],输入成为单触发脉冲信号的相位输入信号 PHI[n]。各 POL[n] 使所述 PHI[n] 以预定的 CLK 的周期量(具有代表性的设定方法是延迟一个周期)延迟,再将其作为相位输出信号 PHO[n] 而从外部端子 PN5[n] 输出。本例中,各 POL[n] 的 PN4[n]、PN5[n] 呈环状连接。即,POL[n] 的 PN5[n] 依次连接于 POL[n+1] 的 PN4[n+1],而且,成为终点的 POL[4] 的 PN5[4] 返回成为起点的 POL[1] 的 PN4[1]。由此,PHI[1]~PHI[4](及 PHO[1]~PHO[4])成为频率相同而相位分别相差 90° 的信号。

[0142] 对于 POL[1] 的外部端子 PN14[1],输入成为输出电源节点 V0 的电压信号的反馈信号 FB,并从外部端子 PN15[1] 输出反映了所述 FB 的共用控制信号 SHR。对于 POL[2]~POL[4],经由外部端子 PN15[2]~PN15[4] 输入来自所述 POL[1] 的 SHR。各 POL[n] 以 PHI[n](或 PHO[n])为起点开始动作,并通过外部端子 PN2[n] 中的开关信号 SW[n] 对电感器 L[n] 蓄积电力。随后,各 POL[n] 在监控 SHR 的同时,基于其结果来停止对 L[n] 提供电力,并形成 L[n] 中的回流电流的路径。

[0143] 由此,在各电感器 L[n] 中,流过相位分别相差 90° 的电流,其中一部分被提供给连接于输出电源节点 V0 的负载 LOD,一部分被提供给电容 C1d。LOD 将 V0 的电压作为电源电压,通过从各 L[n] 以及 C1d 提供的电源电流进行预定的动作。各驱动单元 POL[n] 例如分别由个别的半导体封装所实现,且在主机板或各种扩展板(图形板等)之类的布线基板(PCB)上,安装在成为负载 LOD 的各种电路单元(例如 CPU、GPU、存储器等)的附近。但是,并不限于此,例如也可为如同将 POL[1] 和 POL[2] 安装在一个半导体封装内,将 POL[3] 和 POL[4] 安装在一个半导体封装内,并以此汇总多个驱动单元的结构。

[0144] 《电源器件整体的主要部分的详细结构》

[0145] 图 2 所示的是图 1 的电源器件的主要部分的详细结构例的电路框图。图 2 中表示使用三个驱动单元 POL[1] ~ POL[3] 及电感器 L[1] ~ L[3] 和电容 Cct、Cl d 的结构例。由于各 POL[n] (n = 1 ~ 3)、各 L[n] 及 Cct、Cl d 间的连接结构与图 1 相同,因此略去详细的说明。但是由于此例中使用了三个 POL[n],因此 POL[3] 的外部端子 PN5[3] 传出的相位输出信号 PHO[3] 作为来自 POL[1] 的外部端子 PN4[1] 的相位输入信号 PHI[1] 而返回。

[0146] 各 POL[n] 除了图 1 所述的七个外部端子 PN2[n]、PN4[n]、PN5[n]、PN9[n]、PN10[n]、PN14[n]、PN15[n] 以外,还具有四个外部端子 PN1[n]、PN3[n]、PN11[n]、PN17[n]。对于 PN1[n],例如供给 12V 等的输入电源电压 VIN,对 PN3[n] 供给接地电源电压 GND。PN17[n] 上连接有电流检测用的外部电阻 Rcs[n]。PN11[n] 的外部连接结构根据是主设备用(即 POL[1])还是从设备用(即 POL[2]、POL[3])而不同。在 POL[1] 的 PN11[1] 上,在与输入来自上述输出电源节点 VO 的反馈信号 FB 的外部端子 PN14[1] 之间连接环路补偿电路(低通滤波器电路)LP。另一方面,在 POL[2]、POL[3] 的 PN11[2]、PN11[3] 上,未特别连接任何部分,而且,对 PN14[2]、PN14[3] 输入不同于 PN14[1] 的‘H’电平信号。

[0147] POL[1] 具有振荡电路组件 OSC_BKa[1]、相位信号产生电路组件 PG_BKa[1]、PWM 信号控制电路 PWMCTL[1]、激活电流检测电路 ACS[1]、控制逻辑电路 LGC[1]、驱动器电路 DVh[1]、DV1[1] 以及晶体管(功率晶体管)QH[1]、QL[1]。其中,QH[1] 及 QL[1] 分别是 DC/DC 转换器的高压侧晶体管及低压侧晶体管,本例中使用 n 沟道型的金属氧化物半导体场效应晶体管(MOSFET;MetalOxide Semiconductor Field Effect Transistor)(功率 MOSFET)。QH[1] 的漏极连接于 PN1[1] (VIN),栅极连接于 DVh[1] 的输出节点,源极连接于成为开关信号 SW[1] 输出端子的外部端子 PN2[1]。QL[1] 的漏极连接于 PN2[1] (SW[1]),栅极连接于 DV1[1] 的输出节点,源极连接于外部端子 PN3[1] (GND)。本例中,将连接于高电压电源侧的晶体管定义为高压侧晶体管,连接于低电压电源侧的晶体管定义为低压侧晶体管。

[0148] 振荡电路组件 OSC_BKa[1] 具有振荡电路 OSC[1] 及开关 SC1[1]。如后所述,OSC[1] 通过连接于外部端子 PN9[1] 的电容 Cct 进行充放电来产生时钟控制信号 CT,并基于所述 CT 产生时钟信号 CLK。所述 CLK 经由 SC1[1] 输出至外部端子 PN10[1] 以及相位信号产生电路组件 PG_BKa[1]。PG_BKa[1] 具有相位信号产生电路 PG[1]。如后所述,PG[1] 使经由外部端子 PN4[1] 而输入的相位输入信号 PHI[1] 延迟一个 CLK 周期,并将其作为相位输出信号 PHO[1] 而从外部端子 PN5[1] 输出。而且,PG[1] 输出与 PHI[1] 或 PHO[1] 成为同一相位的复位信号 RS[1]。

[0149] 激活电流检测电路 ACS[1] 检测流经 QH[1] 的源极/漏极间的电流,并将反映了所述电流大小的电流输出至外部端子 PN17[1]。所述电流由连接于 PN17[1] 的电阻 Res[1] 转换成电压,所述电压信号成为电流检测信号 CS[1]。PWM 信号控制电路 PWMCTL[1] 具有误差放大器电路 EA[1]、二极管 D[1]、比较器电路 CMP_CS[1] 及锁存电路 LTp[1]。

[0150] 误差放大器电路 EA[1] 对 (-) 输入节点输入来自外部端子 PN14[1] 的反馈信号 FB,并以施加至 (+) 输入节点的基准电压 VREF 为基准将其放大,且输出误差放大器信号 E0。所述 E0 被输出至外部端子 PN11[1],并且通过连接于 PN11[1] 的环路补偿电路 LP 而稳定化。而且,二极管 D[1] 的阳极连接于 EA[1] 的输出节点,阴极连接于外部端子 PN15[1] 及比较器电路 CMP_CS[1] 的 (-) 输入节点。因此,E0 经由 D[1] 输出至 PN15[1],所述信号成

为共用控制信号 SHR。

[0151] 比较器电路 CMP_CS[1] 对 (-) 输入节点施加 SHR, 对 (+) 输入节点施加上述的电流检测信号 CS[1], 当 CS[1] 的电压电平达到 SHR 的电压电平时输出 ‘H’ 电平信号。锁存电路 LTp[1] 是置位复位型锁存电路, 对复位 (R) 节点输入来自上述相位信号产生电路 PG[1] 的复位信号 RS[1], 对置位 (S) 节点输入来自 CMP_CS[1] 的输出信号。并且, LTp[1] 从负极输出节点 (/Q) 输出 PWM 信号 PWM[1]。控制逻辑电路 LGC[1] 使用所述 PWM[1], 经由驱动器电路 DVh 来驱动 QH[1], 并通过 PWM[1] 的互补信号, 经由驱动器电路 DVl 来驱动 QL[1]。

[0152] POL[2] 及 POL[3] 的内部电路结构也与上述 POL[1] 相同。另外, 图 2 中, 通过 [n] 的值来区别每个 POL[n] ($n = 1 \sim 3$) 的上述的各种内部电路。但是, 随着各种控制信号的不同, POL[2] 及 POL[3] 与 POL[1] 产生动作上的差异。

[0153] 第一个差异就是, POL[1] 的振荡电路组件 OSC_BKa[1] 根据主从控制信号 MS[1] 来控制开关 SC1[1] 的导通 / 断开, 但 MS[1] 被驱动成表示主设备的电压电平, 而且 SC1[1] 被驱动为导通。另一方面, POL[2]、POL[3] 的振荡电路组件 OSC_BKa[2]、OSC_BKa[3] 中, 主从控制信号 MS[2]、MS[3] 被驱动成表示从设备的电压电平, 而且 SC1[2]、SC1[3] 被驱动为断开。由此, 从 POL[1] 的 OSC_BKa[1] 产生的 CLK 可由 POL[1] ~ POL[3] 的相位信号产生电路组件 PG_BKa[1] ~ PG_BKa[3] 共同使用。

[0154] 第二个差异是, POL[1] 的 PWM 信号控制电路 PWMCTL[1] 基于从外部端子 PN14[1] 输入的反馈信号 FB, 而从外部端子 PN15[1] 输出共用控制信号 SHR。另一方面, POL[2]、POL[3] 的 PWM 信号控制电路 PWMCTL[2]、PWMCTL[3] 由于对外部端子 PN14[2]、PN14[3] 输入 ‘H’ 电平, 因此误差放大器电路 EA[2]、EA[3] 的输出被固定为 ‘L’ 电平。而且, PWMCTL[2]、PWMCTL[3] 中, EA[2]、EA[3] 的输出节点与外部端子 PN15[2]、PN15[3] 通过二极管 D[2]、D[3] 而被分隔。由此, 从 POL[1] 的 PN15[1] 输出的 SHR 可由 POL[1] ~ POL[3] 的比较器电路 CMP_CS[1] ~ CMP_CS[3] 共同使用。

[0155] 如上所述, 通过由各 POL[n] 共用时钟信号 CLK 和共用控制信号 SHR, 能够实现稳定的多相动作。另外, 如上所述, 二极管 D[2]、D[3] 作为导通控制电路发挥作用, 因此也可以置换成例如通过主从控制信号 MS[2]、MS[3] 来控制导通 / 断开的开关等。

[0156] 《振荡电路组件的详细说明》

[0157] 图 3 所示的是图 2 的电源器件的振荡电路组件 OSC_BKa 的详细结构例的电路框图。图 3 中显示了驱动单元 POL[1]、POL[2] 中所具有的振荡电路组件 OSC_BKa[1]、OSC_BKa[2] 的结构例的一例。其中, OSC_BKa[1] 具有振荡电路 OSCa[1] 及开关 SC1[1], OSCa[1] 具有恒定电流电路 ISa[1]、ISb[1]、n 沟道型 MOS 晶体管 MN1[1] 及时钟信号产生电路 CKGa[1]。

[0158] ISa[1] 使恒定电流 I_a 从电源电压 VCIN 朝向外部端子 PN9[1] 流动。MN1[1] 及 ISb[1] 串联插入 PN9[1] 与接地电源电压 GND 之间, 在 MN1[1] 被驱动为导通时, 恒定电流 $I_b (> I_a)$ 从 PN9[1] 朝向 GND 流动。因此, 当 MN1[1] 断开时, 朝向电容 Cct 的充电电流 I_a 流经 PN9[1], 当 MN1[1] 导通时, 来自电容 Cct 的放电电流 $(I_b - I_a)$ 流经 PN9[1]。CKGa[1] 在 PN9[1] 中的时钟控制信号 CT 的电压电平超过高电位侧阈值电压 V_h 时, 使时钟信号 CLK 跳变至 ‘H’ 电平, 在低于低电位侧阈值电压 V_l 时, 使 CLK 跳变至 ‘L’ 电平。所述 CLK 经由被驱动为导通的开关 SC1[1] 输出至外部端子 PN10[1] 的同时, 输入至 MN1[1] 的栅极。

[0159] 同样地, OSC_BKa[2] 具有振荡电路 OSCa[2] 及开关 SC1[2], 其中, OSCa[2] 具有恒定电流电路 ISa[2]、ISb[2]、n 沟道型 MOS 晶体管 MN1[2] 及时钟信号产生电路 CKGa[2]。关于这些结构, 与上述 OSC_BKa[1] 的情况相同。但是, 对于 OSC_BKa[2] 而言, 由于开关电路 SC1[2] 被驱动为断开, 因此通过从外部端子 PN10[1] 经由外部端子 PN10[2] 而输入的时钟信号 CLK 来驱动 MN1[2] 的栅极。而且, 由于 SC1[2] 被驱动为断开, 因此相当于不存在 CKGa[2]。

[0160] 如果使用图 3 所示的结构例, 首先, 当 CLK 为 ‘L’ 电平时, MN1[1]、MN1[2] 断开, 通过 PN9[1]、PN9[2] 中的充电电流 ($= 2 \times I_a$) 来对电容 Cct 进行充电。而且, 如果时钟控制信号 CT 的电压电平因进行所述充电而超过 V_h 时, CLK 通过 CKGa[1] 跳变至 ‘H’ 电平。当 CLK 跳变至 ‘H’ 电平时, MN1[1]、MN1[2] 导通, 通过 PN9[1]、PN9[2] 中的放电电流 ($= 2 \times (I_b - I_a)$) 使电容 Cct 放电。如果 CT 的电压电平因进行所述放电而低于 V_1 时, CLK 通过 CKGa[1] 跳变至 ‘L’ 电平, 之后, 重复进行同样的动作。

[0161] 因此, 当如图 3 所示对电容 Cct 连接两个振荡电路组件 (OSC_BKa[1]、OSC_BKa[2]), 例如设 $I_b = 2 \times I_a$ 时, 充电电流及放电电流分别成为 $2 \times I_a$, 因此时钟信号 CLK 的频率 (Fclk(2)) 成为公式 (1)。此外, 同样地, 当对 Cct 连接 n 个振荡电路组件时, 充电电流及放电电流分别成为 $n \times I_a$, 因此 CLK 的频率 (Fclk(n)) 成为公式 (2)。如上所述, 当使用图 3 的结构例时, CLK 的频率与多相的相位数 n 的增加成正比而增高 n 倍。

$$[0162] \quad F_{clk}(2) = 1 / (2 \times C_{ct} \times (V_h - V_1) / (2 \times I_a)) \quad (1)$$

$$[0163] \quad F_{clk}(n) = 1 / (2 \times C_{ct} \times (V_h - V_1) / (n \times I_a)) \quad (2)$$

[0164] 图 4 所示的是图 3 的振荡电路组件 OSC_BKa 的更详细的结构例的电路图。如图 4 所示, 图 3 中的恒定电流电路 ISa、ISb 由恒流源 IS' a、多个 n 沟道型 MOS 晶体管 MN10、MN11、MN12a、MN12b 以及多个 PMOS 晶体管 MP10、MP11 构成。此时, 假设 MN10、MN11、MN12a 及 MN12b 全部具有相同的晶体管尺寸, 而 MP10 与 MP11 也具有相同的晶体管尺寸。

[0165] IS' a 的一端连接于电源电压 V_{CIN} , 并输出电流 I_a 。MN10 的源极连接于接地电源电压 GND, 栅极与漏极共用连接于 IS' a 的另一端。MN11 的源极连接于接地电源电压 GND, 栅极连接于 MN10 的栅极。MP10 的源极连接于 V_{CIN} , 栅极与漏极共用连接于 MN11 的漏极。MP11 的源极连接于 V_{CIN} , 栅极连接于 MP10 的栅极。MN12a、MN12b 的源极均连接于图 3 中的 n 沟道型 MOS 晶体管 MN1 的漏极, 栅极均连接于 MN10 的栅极, 漏极均连接于 MP11 的漏极。并且, 在所述 MP11、MN12a、MN12b 的漏极上产生时钟控制信号 CT。

[0166] 在图 4 中, 来自 IS' a 的电流 I_a 经由由 MN10 和 MN11 构成的电流镜电路被转加至 MN11, 其经由具有 MP10 和 MP11 的电流镜电路被转加至 MP11。而且, 当 MN1 被驱动为导通时, 来自 IS' a 的 I_a 经由具有 MN10 和 MN12a、MN12b 的电流镜电路, 作为 $2 \times I_a$ 而被转加至 MN12a、MN12b。因此, 作为时钟控制信号 CT 的电流, 在 MN1 被驱动为导通时流动的是 I_a 的放电电流, 在 MN1 被驱动为断开时流动的是 I_a 的充电电流。

[0167] 而且, 如图 4 所示, 图 3 中的时钟信号产生电路 CKGa 具有锁存电路 LT1 以及比较器电路 CMP1、CMP2。CMP1 在时钟控制信号 CT 的电压电平超过高电位侧阈值电压 V_h 时输出 ‘H’ 电平信号。CMP2 在时钟控制信号 CT 的电压电平低于低电位侧阈值电压 V_1 时输出 ‘H’ 电平信号。即, 当 CT 的电压电平高于 V_h 时, 从 CMP1 输出 ‘H’ 电平信号, 从 CMP2 输出 ‘L’ 电平信号, 当大于 V_1 而小于 V_h 时, 从 CMP 1、CMP2 均输出 ‘L’ 电平信号, 当低于 V_1 时, 从

CMP1 输出 ‘L’ 电平信号,从 CMP2 输出 ‘H’ 电平信号。

[0168] LT1 具有“与运算电路”AD10、“或运算电路”OR10 及逆变器电路 IV10。AD10 经由 IV10 对二输入中的一方输入 CMP2 的输出信号,对二输入中的另一方输入 OR10 的输出信号。OR10 对二输入中的一方输入 CMP1 的输出信号,对另一方返回 AD10 的输出信号。通过所述结构,LT1 作为置位复位型锁存电路进行动作,即将 CMP1 的输出输入至置位 (S),将 CMP2 的输出输入至复位 (R),并将 AD10 的输出作为正极输出节点 (Q)。因此,时钟控制信号 CT 的电压电平因所述充电电流而超过 V_h 时,LT1 随着置位输入而输出 ‘H’ 电平信号。CT 中的充电电流也因此而被切换成放电电流。LT1 在 CT 的电压电平低于 V_1 时,伴随复位输入而使输出从 ‘H’ 电平信号跳变至 ‘L’ 电平信号。随后,CT 中的放电电流再次切换成充电电流,并重复进行同样的动作。

[0169] 《相位信号产生电路的详细说明》

[0170] 图 5 所示的是图 2 的电源器件的相位信号产生电路 PG 的详细内容,图 5A 所示的是结构例的电路框图,图 5B 所示的是图 5A 的动作例的波形图。图 5A 所示的相位信号产生电路 PG 具有“与运算电路”AD20、AD21、单触发脉冲产生电路 OPG_F1、OPG_F2、OPG_R1 及锁存电路 LTs。

[0171] AD20 输入相位输入信号 PHI 和时钟信号 CLK,并输出所述两种信号的与运算结果。OPG_F1 在检测到 AD20 的输出中的下降沿时,输出单触发脉冲信号。LTs 是置位复位型锁存电路,对置位 (S) 节点输入来自 OPG_F1 的输出,对复位 (R) 节点输入来自 OPG_F2 的输出。AD21 输入来自 LTs 的正极输出节点 (Q) 的信号和 CLK,并将其与运算结果作为相位输出信号 PHO 而输出。OPG_F2 在检测到 PHO 中的下降沿时,输出单触发脉冲信号。OPG_R1 在检测到 PHO 中的上升沿时,输出成为单触发脉冲信号的复位信号 RS。

[0172] 如果使用如上所述的结构例,如图 5B 所示,可输入相位输入信号 PHI,并产生相位输出信号 PHO,所述相位输出信号 PHO 成为使相位输入信号 PHI 延迟时钟信号 CLK 的一个周期的信号。而且,可根据所述 PHO 来产生复位信号 RS。另外,相位信号产生电路 PG 并不仅限于上述结构例,可以进行适当地变更,即,只要是使 PHI 延迟 CLK 的一个周期并产生 PHO 的电路即可。而且,所述延迟量也未必限定于一个周期,也可以视情况设定为两个周期等。此外,RS 未必与 PHO 相应,例如也可以与 PHI 相应。

[0173] 《电源器件整体的主要部分的详细动作》

[0174] 图 6 所示的是图 2 的电源器件中,变更相位数时的时钟信号 CLK、相位输入信号 PHI 及相位输出信号 PHO 的动作例的波形图。如图 6 所示,首先,如果对图 2 的电容 C_{ct} 只连接一个驱动单元 POL[1],则进行将 CLK 的 1 个周期设为开关周期 T_{sw} 的一相位动作。接下来,如果对电容 C_{ct} 连接两个 POL[1]、POL[2],则进行将 CLK 的 2 个周期设为 T_{sw} 的二相位动作。但是,如图 3 所述,此时,CLK 的频率 F_{sw} 与一相位时相比达到两倍, T_{sw} 与一相位时相等。此外,如果对电容 C_{ct} 连接三个 POL[1] ~ POL[3],则进行将 CLK 的 3 个周期设为 T_{sw} 的三相位动作。此时,CLK 的 F_{sw} 与一相位时相比也达到三倍,因此 T_{sw} 与一相位及二相位时相等。

[0175] 图 7 所示的是图 2 的电源器件中,三相位动作时的各驱动单元 POL[1] ~ POL[3] 的详细动作例的波形图。如图 7 所示,首先,POL[1] 根据时钟控制信号 CT 产生时钟信号 CLK。此时,相位信号产生电路 PG[1] 在与任一个 CLK 周期同步输入相位输入信号 PHI[1] 时,与

下一个 CLK 周期同步输出相位输出信号 PHO[1], 并且, 在经过预定的延迟期间后输出复位信号 RS[1]。锁存电路 LTp[1] 收到所述 RS[1] 后, 并将 PWM 信号 PWM[1] 从 ‘L’ 电平驱动为 ‘H’ 电平, 结果, 将晶体管 QH[1] 驱动为导通、并将 QL[1] 驱动为断开。

[0176] 当 QH[1] 被驱动为导通时, 流经电感器 L[1] 的电流 IL[1] 将逐渐增加。而且, 当 QH[1] 被驱动为导通时, 在经过预定的消隐期间之后, 经由激活电流检测电路 ACS[1] 等而成为反映了所述 IL[1] 信号的电流检测信号 CS[1] 的电压电平上升。另一方面, 误差放大器电路 EA[1] 以预定的电压 (VREF) 为基准来放大输出电源节点 VO 的电压电平, 从而产生共用控制信号 SHR。此时, 当 CS[1] 的峰值电压达到 SHR 的电压电平时, 由比较器电路 CMP_CS[1] 产生脉冲信号。收到所述脉冲信号后, 锁存电路 LTp[1] 将 PWM[1] 从 ‘H’ 电平驱动为 ‘L’ 电平, 并将 QH[1] 驱动为断开、将 QL[1] 驱动为导通。所以, IL[1] 经由 QL[1] 回流的同时将逐渐减少。随后, 当再次输入 PHI[1] 时, 重复进行同样的动作。如上所述, 以使 IL[1] (CS[1]) 的峰值成为规定值 (SHR) 的控制方式被称作峰值电流控制方式等。

[0177] 而且, POL[2] 将从 POL[1] 输出的相位输出信号 PHO[1] 作为相位输入信号 PHI[2], 与 POL[1] 同样地输出相位输出信号 PHO[2], 并且与 POL[1] 同样地控制电感器 L[2] 的电流。此时, 从 POL[1] 共同提供时钟信号 CLK 或共用控制信号 SHR。此外, POL[3] 将从 POL[2] 输出的相位输出信号 PHO[2] 作为相位输入信号 PHI[3], 与 POL[1] 同样地输出相位输出信号 PHO[3], 并且与 POL[1] 同样地控制电感器 L[3] 的电流。此时, 从 POL[1] 共同提供 CLK 或 SHR。并且, 通过使所述 PHO[3] 作为 PHI[1] 而返回 POL[1], 从而反复进行三相位的开关动作。

[0178] 《主要效果的说明》

[0179] 以上, 通过使用本实施方式 1 的电源器件, 具有代表性地说明了能够获得易于更改相位数的多相式电源器件。即, 通过对电容 Cct 连接与相位数相应的驱动单元 POL, 无论相位数 n 如何, 均能够自动调整成同一开关频率, 且通过将各 POL 环路连接, 可将各相位间的相位差自动调整成规定值 ($= n/360^\circ$)。而且, 如上所述, 由于不需要控制单元, 因此还能够实现电源器件的小型化。此外, 通过使各 POL 以峰值电流控制方式进行动作, 能够容易地实现与时钟信号 CLK (相位输入信号 PHI 或相位输出信号 PHO) 同步的开关动作, 并且能够控制对每个相位提供均等的电流, 因此还能够实现多相动作的稳定化。但是, 不是必须通过峰值电流控制方式, 只要是具有平均电流控制方式等的电流模式控制方式, 就可以获得同样的效果。

[0180] (实施方式 2)

[0181] 《电源器件整体的主要部分的详细结构及动作》

[0182] 本实施方式 2 中, 说明对实施方式 1 的图 2 中的电源器件进一步追加功能的结构例。图 8 所示的是本发明实施方式 2 的电源器件的主要部分的详细结构例的电路框图。图 8 所示的电源器件与图 2 的电源器件相比较, 各驱动单元 POL[1] ~ POL[3] 内的各振荡电路组件 OSC_BKb[1] ~ OSC_BKb[3] 以及各相位信号产生电路组件 PG_BKb[1] ~ PG_BKb[3] 的内部结构不同。此外, 对于各 POL[1] ~ POL[3] 内的控制逻辑电路 LGC[1] ~ LGC[3], 分别输入使能信号 EN[1] ~ EN[3]。除此以外的结构由于与图 2 的电源器件相同, 因此略去详细的说明。各 LGC[n] 在 EN[n] 为非激活状态时, 将晶体管 QH[n]、QL[n] 固定为断开, 并停止开关动作。

[0183] POL[1] 内的振荡电路组件 OSC_BKb[1] 除了具有与图 2 的振荡电路组件 OSC_BKa[1] 同样的振荡电路 OSC[1] 及开关 SC1[1] 以外,还具有开关 SC2[1]。SC1[1] 与图 2 的情况相同,随着主从控制信号 MS[1] 为主侧的电压电平而被驱动为导通,将来自 OSC[1] 的时钟信号 CLK 传递至外部端子 PN10[1] 等。SC2[1] 在使能信号 EN[1] 为激活状态时被驱动为导通。EN[1] 在启用 POL[1] 的动作时(即启用所述相位时)设为激活状态,在禁用时(即禁用所述相位时)设为非激活状态。由于 POL[1] 为主设备,因此 EN[1] 设为激活状态,SC2[1] 被驱动为导通。SC2[1] 在被驱动为导通时,将 OSC[1] 连接于外部端子 PN9[1](即电容 Cct)。

[0184] POL[2] 内的振荡电路组件 OSC_BKb[2] 与 OSC_BKb[1] 同样具有振荡电路 OSC[2] 及开关 SC1[2]、SC2[2]。SC1[2] 随着主从控制信号 MS[2] 为从侧的电压电平而被驱动为断开。而且,图 8 的示例中,使能信号 EN[2] 设为激活状态,结果 SC2[2] 被驱动为导通。POL[3] 内的振荡电路组件 OSC_BKb[3] 与 OSC_BKb[1] 同样具有振荡电路 OSC[3] 及开关 SC1[3]、SC2[3]。SC1[3] 随着主从控制信号 MS[3] 为从侧的电压电平而被驱动为断开。而且,图 8 的示例中,使能信号 EN[3] 设为非激活状态,结果 SC2[3] 被驱动为断开。

[0185] 即,图 8 的电源器件表示下述示例,即将三个驱动单元 POL[1] ~ POL[3] 内的一个驱动单元(本例中为 POL[3])的动作设定为禁用(即禁用所述相位),由此,实现二相位动作。本例中,由于开关 SC2[3] 被驱动为断开,因此电容 Cct 未与振荡电路 OSC[3] 连接,而 Cct 与振荡电路 OSC[1]、OSC[2] 连接。因此,从 OSC[1] 输出的时钟信号 CLK 的频率如图 6 的二相位时所示,成为一相位时(即在 Cct 上只连接有 OSC[1] 时)的两倍。

[0186] 而且,在图 8 的电源器件中,POL[1] 内的相位信号产生电路组件 PG_BKb[1] 除了具有与图 2 的电源器件同样的相位信号产生电路 PG[1] 以外,还具有“与运算电路”AD1[1] 及开关 SC3[1]、SC4[1]。AD1[1] 对二输入中的一方输入外部端子 PN10[1] 上传输的时钟信号 CLK,对二输入中的另一方输入来自外部端子 PN4[1] 的相位输入信号 PHI[1],并输出与运算结果。SC3[1] 在被驱动为导通时,将来自 AD1[1] 的输出信号作为相位输出信号 PHO[1] 而传输至外部端子 PN5[1]。SC4[1] 在被驱动为导通时,将来自 PG[1] 的相位输出信号 PHO[1] 传输至 PN5[1]。

[0187] SC3[1] 与 SC4[1] 根据使能信号 EN[1] 的状态而排他性地控制导通/断开。当 EN[1] 为激活状态时,SC4[1] 侧导通,来自 PG[1] 的 PHO[1] 被传输至 PN5[1]。另一方面,当 EN[1] 为非激活状态时,SC3[1] 侧导通,来自 PN4[1] 的 PHI[1] 经由 AD1[1] 被传输至 PN5[1]。即,当 EN[1] 为激活状态时,从 PN5[1] 输出使 PHI[1] 以预定的 CLK 周期量延迟的 PHO[1],当 EN[1] 为非激活状态时,从 PN5[1] 直接输出 PHI[1] 作为 PHO[1]。图 8 的示例中,由于 EN[1] 为激活状态,因此 SC4[1] 侧导通。另外,AD1[1] 是用于使 PHI[1] 与 CLK 同步(即实现时序的微调),视情况也可以省略。

[0188] POL[2] 内的相位信号产生电路组件 PG_BKb[2] 与 PG_BKb[1] 同样具有相位信号产生电路 PG[2]、“与运算电路”AD1[2] 及开关 SC3[2]、SC4[2]。图 8 的示例中,由于使能信号 EN[2] 为激活状态,因此 SC4[2] 侧导通。POL[3] 内的相位信号产生电路组件 PG_BKb[3] 与 PG_BKb[1] 同样具有相位信号产生电路 PG[3]、“与运算电路”AD1[3] 及开关 SC3[3]、SC4[3]。图 8 的示例中,由于使能信号 EN[3] 为非激活状态,因此 SC3[3] 侧导通。

[0189] 当使用上述结构例时,从 POL[2] 的外部端子 PN5[2] 输出的相位输出信号 PHO[2]

经由 POL[3] 的外部端子 PN4[3]、开关 SC3[3]、外部端子 PN5[3] 而直接返回 POL[1] 的外部端子 PN4[1]。由此,如图 6 的二相位时所示,通过 POL[1] 和 POL[2],能够实现使用等间隔的相位差(180°)的二相位动作。

[0190] 《振荡电路组件的详细说明》

[0191] 图 9 所示的是图 8 的电源器件的振荡电路组件 OSC_BKb 的详细结构例的电路图。图 9 所示的 OSC_BKb 与图 4 所示的振荡电路组件 OSC_BKa 相比,在结构上追加了开关 SC2、SC10a、SC10b。除此以外的结构由于与图 4 的 OSC_BKa 相同,因此略去详细的说明。

[0192] SC2 如图 8 所述,在被驱动为导通时,将恒定电流电路 ISa、ISb 连接于时钟控制信号 CT(电容 Cct)。SC10a 设置在电源电压 VCIN 与恒流源 IS' a 之间,SC10b 在被驱动为导通时,将时钟信号 CLK 连接于 n 沟道型 MOS 晶体管 MN1 的栅极。SC10a、SC10b 与上述 SC2 一同在使能信号 EN 为激活状态时被驱动为导通,为非激活状态时被驱动为断开。因此,当 EN 为非激活状态时,随着 SC2 的断开,ISa、ISb 与 CT(电容 Cct) 的连接被阻断,并且随着 SC10a、SC10b 的断开,ISa、ISb 中停止产生恒定电流。由此,在动作被禁用的驱动单元中可降低消耗电力。另外,当 SC10a、SC10b 被驱动为断开时,通常,P 沟道型 MOS 晶体管 MP11 及 n 沟道型 MOS 晶体管 MN12a、MN12b 的漏极节点成为高阻抗状态。这与断开 SC2 的情况等价,因此也可以视情况省略 SC2,而使 SC10a、SC10b 具有该功能。

[0193] 《主要效果的说明》

[0194] 以上,通过使用本实施方式 2 的电源器件,具有代表性地说明了能够与实施方式 1 一样获得易于更改相位数的多相式电源器件。而且,还能够实现电源器件的小型化或多相动作的稳定化等。此外,除了实施方式 1 的效果以外,还能够容易地实现多相的相位数的动态变更。即,在图 8 中,例如只要将使能信号 EN[1]、EN[2]、EN[3] 全部设为激活状态,便能够实现三相位动作,只要将 EN[3] 变更为非激活状态,就能够实现二相位动作,再将 EN[2] 也变更为非激活状态,就能够实现一相位动作。因此,能够动态选择与负载的消耗电流相应的最佳相位数,从而可提高电力变更效率等。

[0195] (实施方式 3)

[0196] 《电源器件整体的主要部分的详细结构》

[0197] 本实施方式 3 中,说明对实施方式 2 的图 8 所述的电源器件进一步追加功能的结构例。图 10 所示的是本发明实施方式 3 的电源器件的主要部分的详细结构例的电路框图。图 10 所示的电源器件与图 8 的电源器件相比较,在结构上,各驱动单元 POL[n] (n = 1 ~ 3) 内追加了外部端子 PN11b[n]、PN12[n] 和使能检测电路 ENDET[n]。除此以外的结构由于与图 8 的电源器件相同,因此略去详细的说明。

[0198] 《使能检测电路的详细说明》

[0199] 图 11 所示的是图 10 的电源器件的使能检测电路 ENDET 的详细结构例的电路图。图 11 所示的使能检测电路 ENDET 包括:比较器电路 CMP_EN,所述比较器电路 CMP_EN 将上述共用控制信号 SHR 作为(-)输入,且将来自外部端子 PN12 的信号作为(+)输入;以及逆变器电路 IV20,所述逆变器电路 IV20 将比较器电路 CMP_EN 输出的反转信号作为使能信号 EN 进行输出。CMP_EN 的输出经由外部端子 PN11b 输出至外部,并经由外部电阻 R11 而返回输入至 PN12。而且,在 PN12 与电源电压 VCIN 之间连接有外部电阻 R10,在 PN12 与接地电源电压 GND 之间连接有外部电阻 R12。

[0200] 当使用上述结构例时,PN12 的电压电平在 CMP_EN 的输出为 ‘H’ 电平 (VCIN 电平) 时,由 R10 及 R11 的并联电阻与 R12 的电阻分压所决定,在 CMP_EN 的输出为 ‘L’ 电平 (GND 电平) 时,由 R10 与 R12 及 R11 的并联电阻的电阻分压所决定。即, CMP_EN 具有迟滞比较器的功能。当 SHR 的电压电平较低时 (即当 CMP_EN 的输出为 ‘H’ 电平时),随后 SHR 的电压电平上升,在超过相对较高的阈值电压时, CMP_EN 的输出跳变至 ‘L’ 电平 (EN 为 ‘H’ 电平 (激活状态))。而且,当 SHR 的电压电平较高时 (即当 CMP_EN 的输出为 ‘L’ 电平时),随后 SHR 的电压电平下降,在低于相对较低的阈值电压时, CMP_EN 的输出跳变至 ‘H’ 电平 (EN 为 ‘L’ 电平 (非激活状态))。

[0201] 另一方面,共用控制信号 SHR 是规定如图 7 所述流经晶体管 QH 的电流 (换言之就是,流经电感器 L 的电流) 的峰值电流的信号。POL[1] 进行环路控制,以使得流经电感器 L 的电流的平均值等于负载 LOD 的消耗电流,因此 LOD 的消耗电流越大, SHR 的电压电平就越高, LOD 的消耗电流越小, SHR 的电压电平就越低。即,可以根据 SHR 的电压电平来判别 LOD 的消耗电流,因此只要监控所述 SHR 的电压电平并自动切换相位数,就可提高电力转换效率等。

[0202] 因此,通过图 11 的比较器电路 CMP_EN 来监控所述 SHR 的电压电平,并控制使能信号 EN,便可自动切换上述相位数。例如,对各 POL[1] ~ POL[3] 的每一个适当调整如图 11 所述的电阻 R10、R11、R12 的值,使 POL[1]、POL[2]、POL[3] 的 EN[1]、EN[2]、EN[3] 跳变至激活状态时的上述相对较高的阈值电压 (即 PN12 的电压电平) 分别设为 V1、V2、V3 ($V1 < V2 < V3$)。由此,负载 LOD 的消耗电流越大,越可自动增加相位数。另外,只要以始终启用主设备的动作为前提,V1 就能够固定为 GND 电平 (0V) 等,从而也可以省略 POL[1] 中的图 11 的 R10 ~ R12。而且,上述 CMP_EN[1] ~ CMP_EN[3] 的迟滞特性是为了防止 EN 随着 SHR 的噪声变动而出现切换而设置的。

[0203] 《主要效果的说明》

[0204] 以上,通过使用本实施方式 3 的电源器件,具有代表性地说明了能够与实施方式 2 一样获得易于更改相位数 (包括动态变更) 的多相式电源器件。而且,还能够实现电源器件的小型化或多相动作的稳定化以及提高电力变更效率等。此外,除了实施方式 3 的效果以外,也能够自动进行多相的相位数的动态变更。

[0205] (实施方式 4)

[0206] 《半导体器件的电路结构》

[0207] 本实施方式 4 中,说明构成实施方式 3 中所述的电源器件的各半导体器件 (驱动单元 POL) 的更详细结构例。图 12 所示的是本发明实施方式 4 的电源器件中所含的半导体器件 (驱动单元) 的详细结构例的框图。如图 12 所示,驱动单元 POL 大致具有:高压侧的晶体管 (功率晶体管)QH;低压侧的晶体管 (功率晶体管)QL;以及各种控制电路,所述各种控制电路为由所述晶体管以外的电路群构成,并对各晶体管进行控制。其中,QH、QL 例如为 n 沟道型 MOSFET。QH 形成于高压侧用的半导体芯片 HSCP 内,QL 形成于低压侧用的半导体芯片 LSCP 内,除此以外的各种控制电路形成于控制用的半导体芯片 (后述的 CTLCP) 内。所述各半导体芯片如后所述,例如安装在一个半导体封装内。

[0208] 晶体管 QH 的栅极由驱动器电路 DVh 进行驱动,漏极连接于提供输入电源电压 VIN 的外部端子 PN1,源极连接于成为开关信号 SW 的产生端子的外部端子 (输出端子)PN2。QL

的栅极由驱动器电路 DV1 驱动,漏极连接于 PN2 (SW),源极连接于提供接地电源电压 PGND 的外部端子 PN3。所述 PN3 (PGND) 成为 QH、QL 专用的端子,且与各种控制电路等的接地电源电压 SGND 隔离设置,以避免对其他的各种控制电路等造成开关噪声的影响。

[0209] 激活电流检测电路 ACS 例如具有在半导体芯片 HSCP 内构成晶体管 QH 和电流镜电路的晶体管 (设为 QH')。所述晶体管 (QH') 例如由 QH 的 $1/N$ ($N = 21000$ 等) 的晶体管尺寸构成,由此来检测流经 QH 的电流 I_{dh} 。由 ACS 检测到的电流 (I_{dh}/N) 被输入消隐电路 BK。BK 将 QH 及 QL 的开关期间设为屏蔽期间 (例如设为 50ns 等),除了所述期间以外,将来自 ACS 的电流 (I_{dh}/N) 提供给外部端子 PN17。在 PN17 (CS) 上,连接有电流/电压转换用的外部电阻 R_{cs} ,由此,将来自 ACS 的电流 (I_{dh}/N) 作为电流检测信号 CS 而转换成电压。另外,在 PN17 (CS) 上,连接有用于实现稳定化的偏压电流源 IB1。

[0210] 驱动器电路 DVh 基于来自控制逻辑电路 LGC 的控制来驱动晶体管 QH,驱动器电路 DV1 基于来自 LGC 经由“或运算电路”OR30 的控制来驱动晶体管 QL。OR30 对二输入中的一方输入来自 LGC 的控制信号,对二输入中的另一方输入过电压检测信号 OVP。当 OVP 为激活状态 (输出电源节点 V0 为过电压状态) 时,经由 OR30,QL 被驱动为导通,由此,实现从过电压状态返回。从锁存电路 LTov 输出 OVP。LTov 根据来自比较器电路 CMP_OV 的‘H’电平信号,将 OVP 驱动成激活状态,并根据系统使能信号 SYSEN 的激活状态,将 OVP 驱动成非激活状态。CMP_OV 在从外部端子 PN14 输入并成为反映了输出电源节点 V0 的电压的信号的反馈信号 FB 大于预定的比较电压 VC2 时,输出‘H’电平信号。

[0211] 将内部电路动作的电源电压 VCIN (例如为 5V 等) 供给外部端子 PN6。在 PN6 上连接有稳定电压用的外部电容 C1 或内部电源电压检测电路 UVLOC。UVLOC 在 VCIN 达到预定的电压电平时,激活内部电源电压检测信号 UVLO。产生升压电压 BOOT 并将之作为驱动器电路 DVh 的电源电压供给外部端子 PN7。PN7 (BOOT) 与 PN6 (VCIN) 之间经由升压开关 BSC 而连接,并且与外部端子 (输出端子) PN2 (SW) 之间经由升压用外部电容器 C_b 而连接。当晶体管 QH 断开时,经由 BSC 及 PN7 (BOOT) 对所述 C_b 施加电源电压 VCIN。之后,当 QH 导通时,通过所述 C_b 对传递至 PN2 (SW) 的输入电源电压 VIN 进行升压后提供给 DVh。由此,DVh 能够产生 QH 的阈值以上的电压。

[0212] 将用于从外部启用/禁用所述驱动单元的导通断开信号 ONOF 输入到外部端子 PN8。例如,在实施方式 2 中的图 8 所示的电源器件的情况下,只要将所述 ONOF 设为使能信号 EN 即可。系统监控电路 SV 在导通断开信号 ONOF 及使能信号 EN 均为激活状态时,激活系统使能信号 SYSEN。在外部端子 PN18 上,连接有外部电阻 R_{ir} 。图中虽未示出,但 POL 产生与所述 R_{ir} 相应的基准电流 IREF,并由各种内部电路来使用。对于外部端子 PN14,提供各种控制电路用的接地电源电压 SGND。

[0213] 在外部端子 PN9、PN10 上,连接有实施方式 3 中的振荡电路组件 OSC_BK。PN9 中产生时钟控制信号 CT,并对 PN10 传输时钟信号 CLK。而且,在 PN9 与接地电源电压 SGND 之间,连接有 n 沟道型 MOS 晶体管 MN31。所述 MN31 在上述的过电压检测信号 OVP 为激活状态时被驱动为导通,停止 OSC_BK 的振荡动作。OSC_BK 接收主从控制信号 MS 和取代图 10 所述的使能信号 EN 的上述系统使能信号 SYSEN,以控制上述内部的各开关。例如,为了启用实施方式 3 中所述的相位的自动切换功能,来自 PN8 的导通断开信号 ONOF 被始终设为激活状态,同时,SYSEN 成为与 EN 相应的信号。另一方面,当想要从外部强制停止相位时,将对应

的 ONOF 设为非激活状态,使 SYSEN 被驱动成非激活状态。

[0214] 在外部端子 PN4、PN5 上,连接有实施方式 3 中所述的相位信号产生电路组件 PG_BK。对于 PN4 输入相位输入信号 PHI,从 PN5 输出相位输出信号 PHO。PG_BK 与振荡电路组件 OSC_BK 一样,取代图 10 所述的使能信号 EN 而接收上述系统使能信号 SYSEN,以控制上述内部的各开关。而且,PG_BK 除了 PHO 以外,还输出复位信号 RS 及最大延迟信号 MXD。例如,RS 在从 PHO 的上升沿算起经过 50ns 后将被输出,MXD 以与 PHO 的上升沿相同的时序被输出。

[0215] 在外部端子 PN11、PN12 上,连接有后述的开关组件 SC BK。PN11 为兼用作输出来自误差放大器电路 EA 的误差放大器信号 E0、和输出来自实施方式 3 中所述的使能检测电路 ENDET 的使能信号 EN 的端子。PN12 是兼用作对 EA 施加外部基准电压 VREFI、和设定实施方式 3 中所述的 ENDET 的迟滞特性 (POS) 的端子。ENDET 具有实施方式 3 中所述的比较器电路 CMP_EN。CMP_EN 以经由 SC_BK 输入并具有迟滞特性的阈值电压为基准,判定通过外部端子 PN15 获取的共用控制信号 SHR,并输出使能信号 EN。

[0216] 向外部端子 PN13 输入软启动控制信号 SS。在 PN13 与 SGND 之间,连接有 n 沟道型 MOS 晶体管 MN32,在经由“或运算电路”OR31 且 SYSEN 为非激活状态或 UVLO 为非激活状态时,MN32 被驱动为导通。图中虽未示出,但在 PN13 上例如连接有外部电容以及适合所述外部电容的充电电路。因此,当 SYSEN 为非激活状态(将所述 POL 设定为禁用的状态)或 UVLO 为非激活状态(电源电压 VCIN 的电压不够充分的状态)时,连接于 PN13 的外部电容成为放电状态,随后,SYSEN 或 UVLO 跳变至激活状态时开始外部电容的充电动作。由此,PN13 获得电压电平逐渐上升的 SS。

[0217] 误差放大器电路 EA 对 (-) 输入节点输入来自外部端子 PN14 的反馈信号 FB,对三个 (+) 输入节点分别输入来自 PN12 并经由 SC_BK 的 VREFI、内部产生的基准电压 VREF、上述软启动控制信号 SS。EA 将三个 (+) 输入节点中的最低的电压作为基准来放大 FB,并输出误差放大器信号 E0。所述 E0 被输入集电极连接于 VCIN 的双极晶体管 Q10 的基极,并经由 Q10 的发射极而输出至外部端子 PN15。所述 PN15 所获得的信号成为共用控制信号 SHR。另外,Q10 起着二极管的作用。

[0218] SHR 经过电阻 R1、R2 的电阻分压被施加至比较器电路 CMP_CS 的 (-) 输入节点。对于 CMP_CS 的 (+) 输入节点,经由电阻 R3 及失调电压源 VOF 输入上述电流检测信号 CS。在 VOF 与 R3 的连接节点上,连接有斜率补偿电路组件 SLPBK。SLPBK 也经由外部端子 PN16 而连接于斜率补偿用的外部电容 Csp。SLPBK 为了防止上述峰值电流方式可能产生的所谓次谐波振荡,而对 CS 进行斜率补偿。

[0219] 比较器电路 CMP_CS 的输出连接于“或运算电路”OR32 的其中一个输入节点。对于 OR32 的另一个输入节点,输入来自上述相位信号产生电路组件 PG_BK 的最大延迟信号 MXD。OR32 的输出连接于置位复位型锁存电路 LTp 的置位 (S) 输入节点。对于 LTp 的复位 (R) 输入节点,输入来自上述 PG_BK 的复位信号 RS。LTp 从负极输出节点 (/Q) 输出 PWM 信号 PWM。另外,MXD 是用于在 PWM 的导通占空比达到将近 100%时将 PWM 强制驱动为断开电平的信号。

[0220] 控制逻辑电路 LGC 使用来自锁存电路 LTp 的 PWM,并经由驱动器电路 DVh、DV1 对晶体管 QH、QL 进行切换控制。而且,对 LGC 输入上述内部电源电压检测信号 UVLO、系统使能

信号 SYSEN 及过电流检测信号 OCP。OCP 是基于比较器电路 CMP_OC 以比较电压 VC1 为基准的电流检测信号 CS 的判定结果,而由过电流控制电路 OCPCTL 所产生。LGC 在 UVLO 为非激活状态(电源电压 VCIN 不够充分的状态)、SYSEN 为非激活状态(将所述 POL 设定为禁用的状态)、或 OCP 为激活状态(晶体管 QH 中流有过剩的电流的状态)时,晶体管 QH、QL 均被驱动为断开。

[0221] 而且,在外部端子 PN14(FB)上,连接有主从检测电路 MSDET。MSDET 具有比较器电路 CMP_MS, CMP_MS 以比较电压 VC3 为基准来判定 PN14 的电压电平,并输出主从控制信号 MS。即,如图 10 等所示,在主设备(POL[1])的情况下,对 PN14 输入反馈信号 FB,在从设备(POL[2]、POL[3])的情况下,PN14 被固定为‘H’电平(VCIN(5V 等)电平)。如后所述,FB 的电压电平是对输出电源节点 V0 的电压(例如 1.2V 等)进行电阻分压后的值。因此,例如只要将 VC3 设定为比 VCIN 电平稍低的电压(VCIN×70%等),便能够判别是主设备还是从设备。

[0222] 外部端子 PN19 上产生电源良好信号 PGD。在 PN19 与接地电源电压 SGND 之间,连接有 n 沟道型 MOS 晶体管 MN30。MN30 通过“或运算电路”OR33 的输出来控制导通/断开。对于 OR33 的其中一个输入节点,输入过电压检测信号 OVP。OR33 的另一个输入节点连接于比较器电路 CMP_PG 的输出。CMP_PG 是以比较电压 VC4 为基准来判定反馈信号 FB 的电压电平,以检测 FB 的电压电平不会过低的电路。因此,PGD 在 FB 的电压电平(即输出电源节点 V0 的电压电平)处于适当(不过低也过高)的范围时成为激活状态(‘H’电平)。

[0223] 《开关组件外围的详细说明》

[0224] 图 13A 所示的是图 12 的半导体器件为主设备时的开关组件 SC_BK 外围的详细结构例的电路图,图 13B 所示的是图 13A 中的使能检测电路 ENDET 及误差放大器电路 EA 的状态的等价电路图。图 14A 所示的是图 12 的半导体器件为从设备时的开关组件 SC_BK 外围的详细结构例的电路图,图 14B 所示的是图 14A 中的使能检测电路 ENDET 及误差放大器电路 EA 的状态的等价电路图。

[0225] 在图 13A 中,开关组件 SC_BK 具有四个开关 SC20 ~ SC23。其中,SC20 及 SC21 的一端连接于外部端子 PN11。SC20 的另一端连接于使能检测电路 ENDET 中所含的比较器电路 CMP_EN 的输出。SC21 的另一端连接于误差放大器电路 EA 的输出。SC22 及 SC23 的一端连接于外部端子 PN12。SC22 的另一端连接于 CMP_EN 的(+)输入节点。SC23 的另一端连接于 EA 的(+)输入节点。SC21 及 SC23 在主从控制信号 MS 为主侧的电压电平时被驱动为导通,为从侧的电压电平时被驱动为断开。另一方面,SC20 及 SC22 在 MS 为从侧的电压电平时被驱动为导通,为主侧的电压电平时被驱动为断开。图 13A 是主设备(图 10 的 POL[1])的例子,因此 SC21 及 SC23 被驱动为导通。

[0226] 在外部端子 PN11 与 PN14 之间,从 PN11 侧开始依次串联连接有外部电阻 R13 及外部电容 C2。R13 及 C2 相当于图 10 的 POL[1] 中的环路补偿电路 LP。而且,在 PN14 与输出电源节点 V0 之间,连接有外部电阻 R14,在 PN14 与接地电源电压 GND 之间,连接有外部电阻 R15。R14 及 R15 具有例如为数十至数百 kΩ 且均相同的电阻值。

[0227] 当使用上述结构例时,比较器电路 CMP_EN 及误差放大器电路 EA 成为图 13B 所示的等价状态。即,CMP_EN 的(+)输入节点成为高阻抗(Hi-Z)状态,此时通过将(+)输入节点设为 GND 电平,从 CMP_EN 始终输出‘L’电平,经由逆变器电路 IV20 的反转动作,使能信

号 EN 始终成为 ‘H’ 电平（激活状态）。而且，误差放大器电路 EA 以基准电压 VREF（例如 0.6V 等）或来自 PN12 的外部基准电压 VREFI 为对象，将以 R14 及 R15 对 VO 的电压电平进行电阻分压后的值进行放大，并输出误差放大器信号 E0。

[0228] 另一方面，在图 14A 中，开关组件 SC_BK 的结构与图 13A 的情况相同，但是本例中为从设备（图 10 的 POL[2]、POL[3]）的例子，因此 SC20 及 SC22 被驱动为导通。而且，与图 13A 的情况不同，在外部端子 PN11 与 PN12 之间连接有外部电阻 R11，在 PN12 与电源电压 VCIN 之间连接有外部电阻 R10，在 PN12 与 GND 之间连接有外部电阻 R12。此外，在外部端子 PN14 与 VCIN 之间连接有外部电阻 R16。

[0229] 当使用上述结构例时，比较器电路 CMP_EN 及误差放大器电路 EA 成为图 14B 所示的等价状态。即，CMP_EN 具有图 11 中的迟滞比较器的功能，根据共用控制信号 SHR 的电压电平来控制使能信号 EN 的激活状态 / 非激活状态。而且，误差放大器电路 EA 对 (-) 输入节点输入电源电压 VCIN，因此以 (+) 输入节点的 VREF 为对象来进行放大，其输出被固定为 ‘L’ 电平（大致为 0V 电平）。因此，从设备中，图 12 中的 EA 的输出与外部端子 PN15 中的共用控制信号 SHR 通过晶体管 Q10 而被绝缘。

[0230] 如上所述，当使用图 12 的半导体器件时，在将外部端子 PN11、PN12 设为在主设备与从设备时发挥不同功能的兼用端子的状态下，能够实现图 10 的电源器件。由此，能够削减外部端子数，从而能够实现电源器件（半导体器件）的小型化等。另外，本例中，通过开关组件 SC_BK，将 PN11 连接于 CMP_EN 的输出或 EA 的输出，将 PN12 连接于 CMP_EN 的输入或 EA 的输入，但是可适当地进行组合变更，例如将 PN11 连接于 CMP_EN 的输入或 EA 的输出，将 PN12 连接于 CMP_EN 的输出或 EA 的输入等。

[0231] 《半导体器件的封装结构》

[0232] 图 15 所示的是图 12 的半导体器件（驱动单元）POL 的概略封装结构例的平面图。图 16A 所示的是图 15 中的 X-X’ 间的结构例的剖面图，图 16B 所示的是图 15 中的 Y-Y’ 间的结构例的剖面图。

[0233] 图 15 所示的半导体器件（驱动单元）POL 例如具有四侧无引脚扁平封装（QFN：Quad Flat Non-leaded package）型的面安装型的半导体封装（密封体）PA。PA 的材料例如为环氧类的树脂等。PA 具有：分别搭载半导体芯片的三个芯片焊垫 DP_HS、DP_LS、DP_CT；导线布线 LDB；以及成为外部端子的多根导线 LD。DP_HS、DP_LS、DP_CT、LDB 分别具有大致矩形的平面形状。DP_HS 与 DP_LS 在 PA 内的平面区域的约 2/3 的区域内相互邻接配置，DP_CT 配置在剩余的约 1/3 的区域内。LDB 配置在 DP_LS 的一边和与其接近并相向的 PA 上的一边之间。

[0234] 在芯片焊垫 DP_HS、DP_LS、DP_CT 的上表面，分别经由电镀层来搭载半导体芯片 HSCP、LSCP、CTLCP。如图 12 所述，在半导体芯片 HSCP 上，形成高压侧的晶体管（功率晶体管）QH、QH’，在半导体芯片 LSCP 上，形成低压侧的晶体管（功率晶体管）QL，在半导体芯片 CTLCP 上，形成除此以外的各种控制电路。本例中，LSCP 的面积被设计成比 HSCP 的面积大两倍左右。例如，在将 12V 的输入电源电压 VIN 转换成 1.2V 的输出电源电压时，使 QL 导通的时间比使 QH 导通的时间长十倍左右。因此，通过增大 LSCP 的面积，能够降低导通电阻，并提高电源器件的电力效率。而且，各芯片焊垫 DP_HS、DP_LS、DP_CT 的下表面从 PA 的背面露出（参照图 16）。其中，DP_LS 的露出面积最大，其次是 DP_HS 的露出面积。由此，在降低

QL 的导通电阻的同时,还能够提高散热性。

[0235] 半导体芯片 HSCP 的背面具有漏极电极,表面具有源极电极 Sh1 ~ Sh3 和栅极电极 Gh。由此,漏极电极与 DP_HS 电连接。源极电极 Sh1 ~ Sh3 分别通过 HSCP 的内部布线而连接。而且,半导体芯片 LSCP 的背面具有漏极电极,表面具有源极电极 S11、S12 和栅极电极 G1。所述漏极电极与 DP_LS 电连接。源极电极 S11、S12 分别通过 LSCP 的内部布线而连接。而且,半导体芯片 CTLCP 的表面具有电极 PDh1、PDh2、PD11、PD12 的多个电极。CTLCP 的背面与 DP_CT 电连接。

[0236] 在芯片焊垫 DP_HS 的外围,配置成为输入电源电压 VIN 用的多根(本例中为八根)导线(外部端子)LD 和成为开关信号 SW 用的导线 LD。其中,成为 VIN 用的多根导线 LD 是与 DP_HS 一体化而形成。因此,HSCP 的漏极电极经由 DP_HS 而与 VIN 用的导线 LD 电连接。在芯片焊垫 DP_LS 的外围,配置成为 SW 用的多根(本例中为七根)导线 LD。成为所述 SW 用的多根导线 LD 是与 DP_LS 一体化而形成。因此,LSCP 的漏极电极经由 DP_LS 而与 SW 用的导线 LD 电连接。在导线布线 LDB 的外围,配置成为接地电源电压 PGND 用的多根(本例中为五根)导线 LD。成为所述 PGND 用的多根导线 LD 是与 LDB 一体化而形成。

[0237] 在芯片焊垫 DP_CT 的外围,配置有成为接地电源电压 SGND 用的多根(本例中为三根)导线 LD。成为所述 SGND 用的多根导线 LD 是与 DP_CT 一体化形成。因此,CTLCP 的背面经由 DP_CT 而与 SGND 用的导线 LD 电连接。此外,在 DP_CT 的外围,配置有十六根导线 LD。这些导线分别如图 12 所示,分别为 BOOT 用、CLK 用、PHI 用、PH0 用、CT 用、CS 用、CSLP 用、VCIN 用、IREF 用、PGD 用、SHR 用、EO/EN 用、VREF1/POS 用、FB 用、SS 用、ONOF 用的导线。这些导线 LD 分别经由电镀层及接合线 BW 而连接于 CTLCP 的表面所具有的规定电极。

[0238] 图 15 所示的封装 PA 还具有两个金属板(导体板)MB1、MB2。MB1、MB2 例如由以铜(Cu)为代表的高导电性及导热性的金属所形成。MB1 连接半导体芯片 HSCP 上所具有的源极电极 Sh1 与芯片焊垫 DP_LS。由此,HSCP 中的晶体管 QH 的源极连接于开关信号 SW 用的导线 LD。MB2 连接半导体芯片 LSCP 上所具有的源极电极 S11 与导线布线 LDB。由此,LSCP 中的晶体管 QL 的源极连接于接地电源电压 PGND 用的导线 LD。

[0239] 半导体芯片 HSCP 上所具有的源极电极 Sh3 经由接合线 BW 而连接于配置于上述 DP_HS 外围的 SW 用的导线 LD。HSCP 上所具有的栅极电极 Gh 及源极电极 Sh2 分别经由 BW 而连接于半导体芯片 CTLCP 上所具有的电极 PDh1 及 PDh2。LSCP 上所具有的栅极电极 G1 及源极电极 S12 分别经由 BW 而连接于 CTLCP 上所具有的电极 PD11 及 PD12。PDh1 及 PDh2 相当于图 12 中的驱动器电路 DVh 的输出节点及基准电压节点,PD11 及 PD12 相当于图 12 中的驱动器电路 DV1 的输出节点及基准电压节点。

[0240] 而且,如图 16A、B 所示,在封装 PA 的背面露出的导线 LD 的下表面及芯片焊垫 DP_HS、DP_LS、DP_CT 的下表面上,形成有电镀层 10。电镀层 10 为焊锡层,是封装 PA 形成后形成的电镀层。电镀层 10 是为了在布线基板(PCB)上安装 POL 时使与 PCB 的焊接变得容易而设置的。半导体芯片 HSCP 经由电镀层 9a 及粘合层 11a 而连接在 DP_HS 的上表面上。半导体芯片 LSCP 经由电镀层 9b 及粘合层 11a 而连接在 DP_LS 的上表面上。半导体芯片 CTLCP 经由电镀层 9d 及粘合层 11a 而连接在 DP_CT 的上表面上。

[0241] 此外,HSCP、LSCP 经由粘合层 11b 分别连接于金属板 MB1、MB2。MB1 经由粘合层 11c 及电镀层 9c 而连接于 DP_LS 上。而且,来自 CTLCP 的接合线 BW 经由电镀层 9f 而连接于导

线 LD。粘合层 11a ~ 11c 由焊锡形成。各芯片焊垫 DP_HS、DP_LS、DP_CT、导线布线 LDB 及导线 LD 例如以铜 (Cu) 等金属为主材料而形成。各电镀层 9a、9b、9c、9d、9f 例如为银 (Ag) 电镀层或金 (Au) 电镀层等。

[0242] 如上所述,通过将多个半导体芯片集成(封装)到一个半导体封装内,除了能够实现电源器件的小型化以外,还可获得因缩小布线寄生电感而实现的高频化、高效率化。而且,通过使各芯片焊垫 DP_HS、DP_LS、DP_CT 的下表面从封装 PA 的背面作为电极而露出,可使电极低电阻化或提高散热性。此外,使用两个金属板(导体板)MB1、MB2 进行连接,与使用接合线 BW 进行连接的情况相比,可使所述连接部分低电阻化或提高散热性。

[0243] 《半导体器件的设备结构》

[0244] 图 17 所示的是图 12 的半导体器件中,形成有高压侧的晶体管(功率晶体管)的半导体芯片 HSCP 的设备结构例的剖面图。本例中以高压侧的晶体管 QH(及 QH') 为例,但对于低压侧的晶体管 QL 的结构也同样适用。晶体管 QH(QH') 形成在半导体衬底 21 的主表面上,其中,半导体衬底 21 具有由 n+ 型单晶硅等构成的衬底本体 21a 和由 n- 型硅单晶构成的外延层 21b。在所述外延层 21b 的主表面上,形成有例如由氧化硅等构成的场绝缘膜(元件分隔区域)22。

[0245] 由所述场绝缘膜 22 与其下层的 p 型阱 PWL1 围成的激活区域内,形成有构成 QH、QH' 的多个单位晶体管单元。QH 是通过使所述多个单位晶体管单元并联连接而形成。另一方面,QH' 例如为通过将所述并联连接的单位晶体管单元的个数设为 QH 的 1/21000 等而形成。各单位晶体管单元例如由沟槽栅极结构的 n 沟道型的功率 MOS 晶体管形成。

[0246] 衬底本体 21a 及外延层 21b 具有作为上述单位晶体管单元的漏极区域的功能。在半导体衬底 21 的背面,形成有漏极电极用的背面电极 BE。所述背面电极 BE 例如为从半导体衬底 21 的背面依次层叠钛 (Ti) 层、镍 (Ni) 层及金 (Au) 层而形成。在图 16A、B 所示的 POL 中,所述背面电极 BE 经由粘合层 11a 而耦合并电连接于芯片焊垫 DP_HS(电镀层 9a) 上。

[0247] 而且,外延层 21b 中形成的 p 型半导体区域 23 具有作为上述单位晶体管单元的沟道形成区域的功能。此外,所述 p 型半导体区域 23 的上部所形成的 n+ 型半导体区域 24 具有作为单位晶体管单元的源极区域的功能。而且,在半导体衬底 21 上,形成从其主表面朝向半导体衬底 21 的厚度方向延伸的槽 25。槽 25 以以下方式形成,即,从 n+ 型半导体区域 24 的上表面贯穿 n+ 型半导体区域 24 及 p 型半导体区域 23,并在其下层的外延层 21b 中终止。在所述槽 25 的底面及侧面形成有例如由氧化硅构成的栅极绝缘膜 26。

[0248] 在槽 25 内,经由栅极绝缘膜 26 而埋入栅极电极 27。栅极电极 27 例如具有添加有 n 型杂质的多晶硅膜。栅极电极 27 具有作为上述单位晶体管单元的栅极电极的功能。而且,在场绝缘膜 22 上的一部分,还形成有由与栅极电极 27 为同一层的导电性膜构成的栅极引出用的布线部 27a,栅极电极 27 与栅极引出用的布线部 27a 是一体地形成并彼此电连接。另外,在图 17 的剖面图未示出的区域中,栅极电极 27 与栅极引出用的布线部 27a 一体地连接。栅极引出用的布线部 27a 通过接触孔 29a 而与栅极布线 30G 电连接,其中,所述接触孔 29a 形成于覆盖布线部 27a 的绝缘膜 28。

[0249] 另一方面,源极布线 30S 通过形成于绝缘膜 28 上的接触孔 29b 而与源极用的 n+ 型半导体区域 24 电连接。而且,源极布线 30S 与 p 型半导体区域 23 的上部且与 n+ 型半导体

区域 24 的相邻形成的 p+ 型半导体区域 31 电连接,并以此与沟道形成用的 p 型半导体区域 23 电连接。栅极布线 30G 及源极布线 30S 可以通过下述方式形成,即在形成有接触孔 29a、29b 的绝缘膜 28 上,以埋入接触孔 29a、29b 的方式形成金属膜(例如铝膜),并对所述金属膜进行图案化。

[0250] 栅极布线 30G 及源极布线 30S 被由聚酰亚胺树脂等构成的保护膜(绝缘膜)32 所覆盖。所述保护膜 32 是半导体芯片 HSCP 的最上层的膜(绝缘膜)。在保护膜 32 的一部分上,形成露出其下层的栅极布线 30G 或源极布线 30S 的一部分的开口部 33,从所述开口部 33 露出的栅极布线 30G 部分是上述栅极电极 Gh,从开口部 33 露出的源极布线 30S 部分是上述源极电极 Sh1 ~ Sh3。如上所述,源极电极 Sh1 ~ Sh3 在最上层被保护膜 32 隔离,但通过源极布线 30S 而彼此电连接。

[0251] 在电极 Gh、Sh1 ~ Sh3 的表面(即在开口部 33 的底部露出的栅极布线 30G 部分及源极布线 30S 部分上),通过电镀法等形成金属层 34。金属层 34 由栅极布线 30G 或源极布线 30S 上形成的金属层 34a 和其上形成的金属层 34b 的层叠膜所形成。下层的金属层 34a 例如由镍(Ni)等构成,主要具有抑制或防止底层的栅极布线 30G 或源极布线 30S 的铝发生氧化的功能。而且,其上层的金属层 34b 例如由金(Au)构成,主要具有抑制或防止底层的金属层 34a 的镍发生氧化的功能。

[0252] 如上所述的高压侧的功率 MOS 晶体管 QH、QH' 中的位晶体管单元的动作电流在漏极用的外延层 21b 与源极用的 n+ 型半导体区域 24 之间,电流沿着栅极电极 27 的侧面(即槽 25 的侧面)而在衬底 21 的厚度方向上流动。即,沟道沿着半导体芯片 HSCP 的厚度方向而形成。如上所述,半导体芯片 HSCP 是形成具有沟槽型栅极结构的纵型 MOSFET(功率 MOSFET)的半导体芯片。本例中,所谓纵型 MOSFET 是指对应于源极/漏极间的电流在半导体衬底(衬底 21)的厚度方向(与半导体衬底的主表面大致垂直的方向)上流动的 MOSFET。

[0253] 《主要效果的说明》

[0254] 以上,通过使用本实施方式 4 的电源器件,具有代表性地说明了能够与实施方式 3 一样获得易于更改相位数(包括动态变更以及其自动变更)的多相式电源器件。而且,还能够实现电源器件的小型化或多相动作的稳定化以及提高电力变更效率等。此外,能够以小型的半导体器件来实现实施方式 3 的电源器件的功能。

[0255] 以上,利用实施方式对本申请发明人所完成的发明进行了详细的说明,但是,本发明并不受上述实施方式的限制,本发明能够在不脱离其要旨的范围内作出各种变更。

[0256] 《振荡电路组件的变形例》

[0257] 图 18 所示的是图 3 的变形例,图 18A、B 分别为不同结构例的电路框图。在上述的图 3 中,利用放电时间和充电时间这两者来生成时钟信号 CLK,但是也可以视情况而定,如图 18A 所示,只利用放电时间或充电时间的其中一方(图 18A 的示例中为充电时间)来产生 CLK。与图 3 的振荡电路组件 OSC_BKa 相比,图 18A 所示的振荡电路组件 OSC_BKc 在结构上具有如下不同,即:ISb 及 MN1 被置换成 n 沟道型 MOS 晶体管 MN20,时钟信号产生电路 CKGa 被置换成时钟信号产生电路 CKGb,此外,在图 18A 所示的振荡电路组件 OSC_BKc 中,还对 MN20 的栅极追加了开关 SC40。

[0258] CKGb 在时钟控制信号 CT 的电压电平超过高电位侧阈值电压 Vh 时,输出具有规定脉冲宽度 Tw 的单触发‘H’脉冲信号作为时钟信号 CLK,并且输出具有规定脉冲宽度的单触

发‘H’脉冲信号作为放电信号 DIS。所述 DIS 在开关 SC40 导通时被施加至 MN20 的栅极。SC40 根据主从控制信号 MS, 在主设备的情况下被驱动为导通, 在从设备的情况下被驱动为断开。

[0259] 因此, 如图 18A 所示, 在将两个 OSC_BKc[1]、OSC_BKc[2] 连接于电容 Cct 时, 以 $2 \times I_a$ 来对 Cct 进行充电动作, 当 Cct 的电压电平达到 V_h 时, Cct 的电荷通过 OSC_BKc[1] 内的 MN20[1] 瞬间放电后, 再次进行充电动作。当振荡电路组件 OSC_BKc 的连接数为 n 时, 充电电流达到 $n \times I_a$, 与此相应, CLK 的频率也增加了 n 倍。但是, 如前所述的结构例中, 由于电容 Cct 的放电动作, 有可能导致无法对与振荡电路组件的连接数相应的 CLK 频率进行精度良好的调整。而且, CLK 的占空比会根据振荡电路组件的连接数而发生变化。从此观点出发, 如图 3 所示, 优选同时采用放电时间和充电时间这两者的方式。

[0260] 而且, 在图 3 中, 采用了在接地电源电压 GND 侧的恒定电流路径上设置切换开关 (n 沟道型 MOS 晶体管 MN1) 的结构, 但是也可以如图 18B 所示, 采用在电源电压 VCIN 侧的恒定电流路径上设置切换开关 (p 沟道型 MOS 晶体管 MP1) 的结构来代替图 3 的结构。此时, 与图 3 的结构例相反, 在 VCIN 侧设置恒定电流电路 ISb, 在接地电源电压 GND 侧设置恒定电流电路 ISa。并且, 通过时钟信号 CLK 来控制 VCIN 侧所设的 MP1 的导通 / 断开。此外, 还可以考虑下述结构: 结合图 3 与图 18B 的结构, 在电源电压 VCIN 侧和接地电源电压 GND 侧这两侧设置切换开关, 并且在恒定电流电路中流过相同的电流, 从而排他性地控制所述切换开关。

[0261] 但是, 上述结构中, 需要具有 p 沟道型 MOS 晶体管。通常, n 沟道型 MOS 晶体管的导通电阻要小于 p 沟道型 MOS 晶体管, 因此为了实现小面积化或高精度化, 优选图 3 所示的结构。

[0262] 而且, 例如在图 3 的各振荡电路组件 OSC_BKa 中, 也可以考虑下述控制方式, 即: 将恒定电流电路 ISa、ISb 作为可变电流电路, 只在主设备上连接电容 Cct, 并根据相位数来使 ISa、ISb 的电流 I_a 、 I_b 设为 n 倍。但是, 此时, 必须对主设备设定相位数的信息, 或者因在各半导体器件中搭载可变电流电路而导致半导体器件的大型化。从此观点出发, 优选图 3 所示的结构。

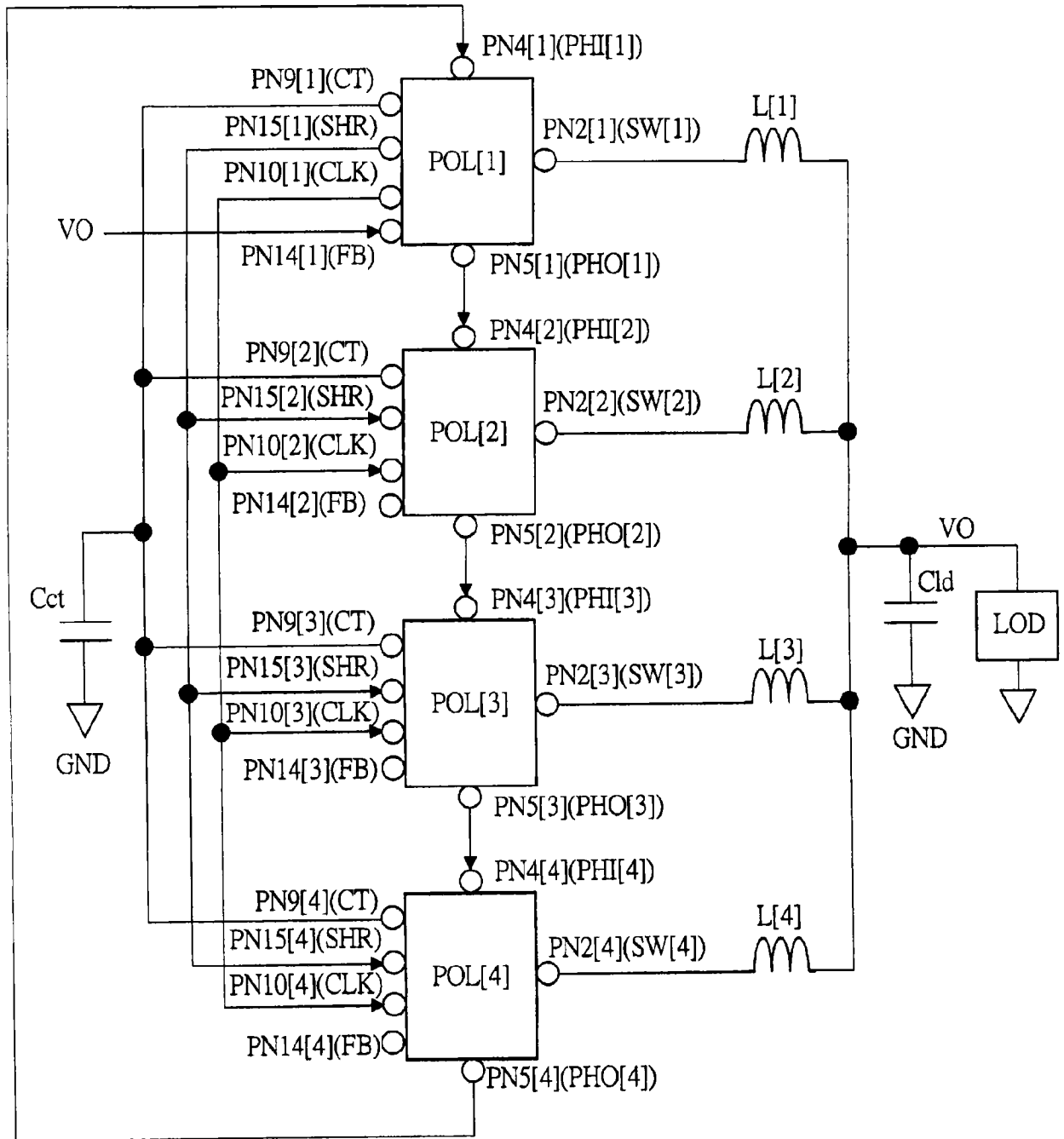


图 1

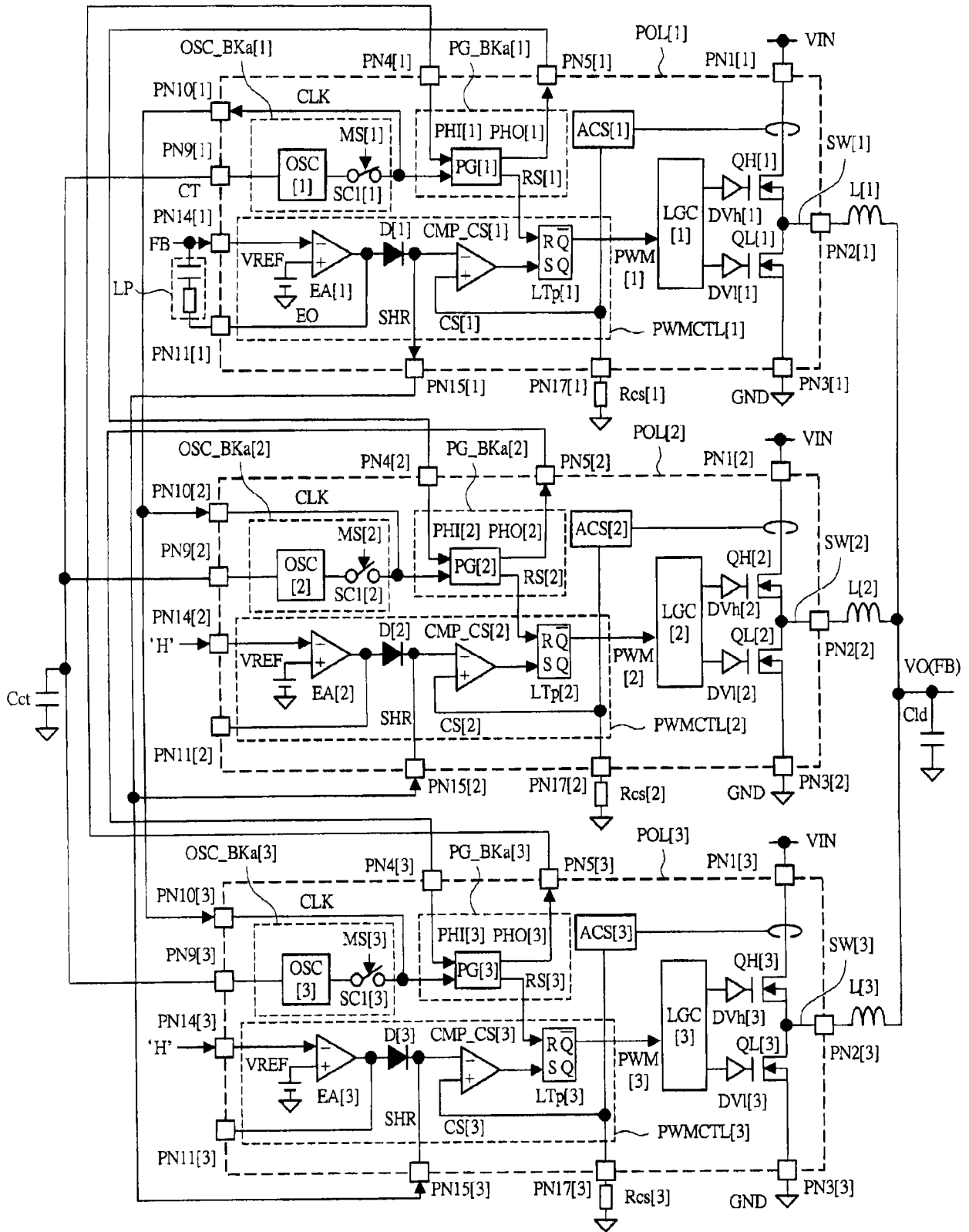


图 2

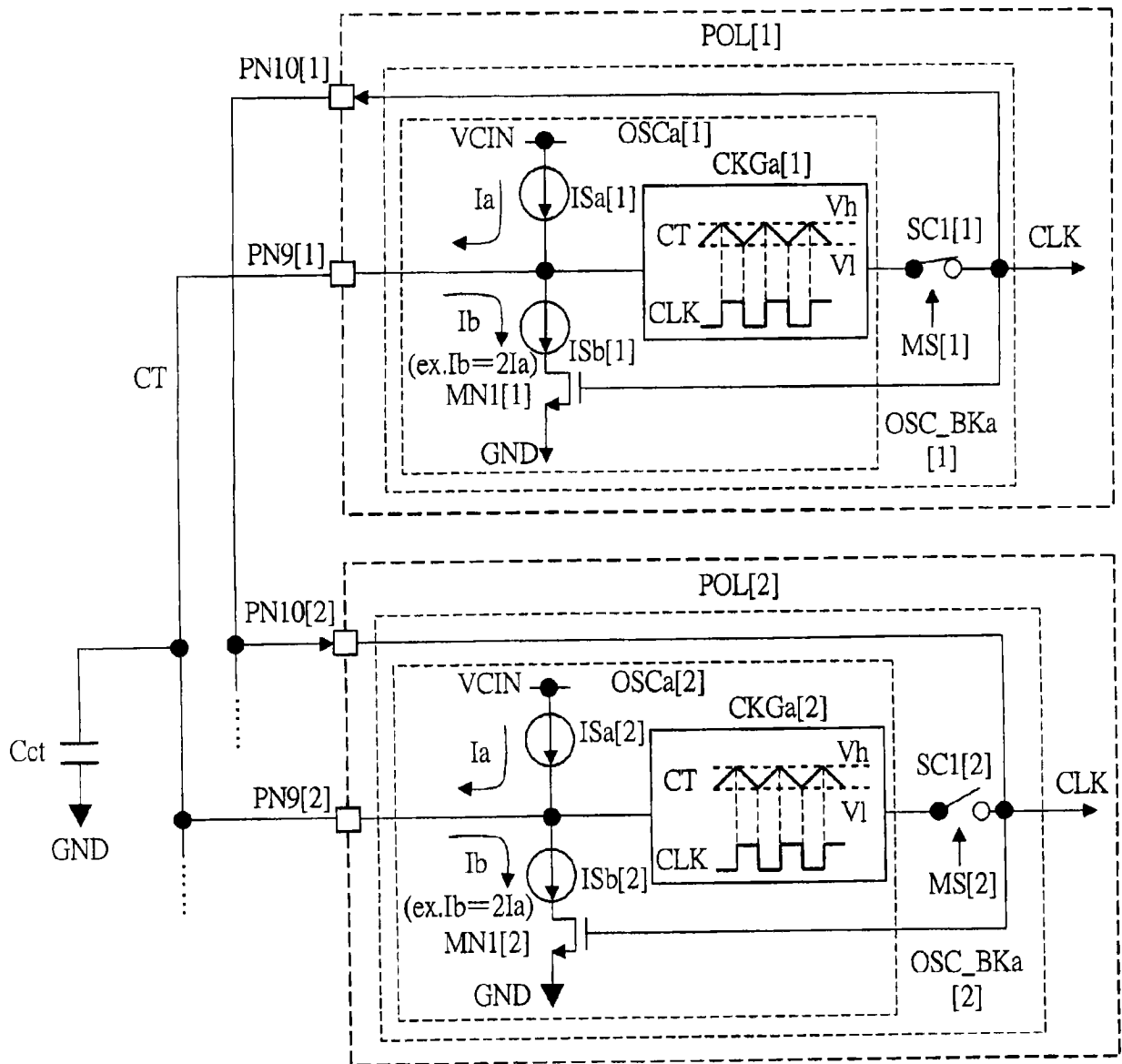


图 3

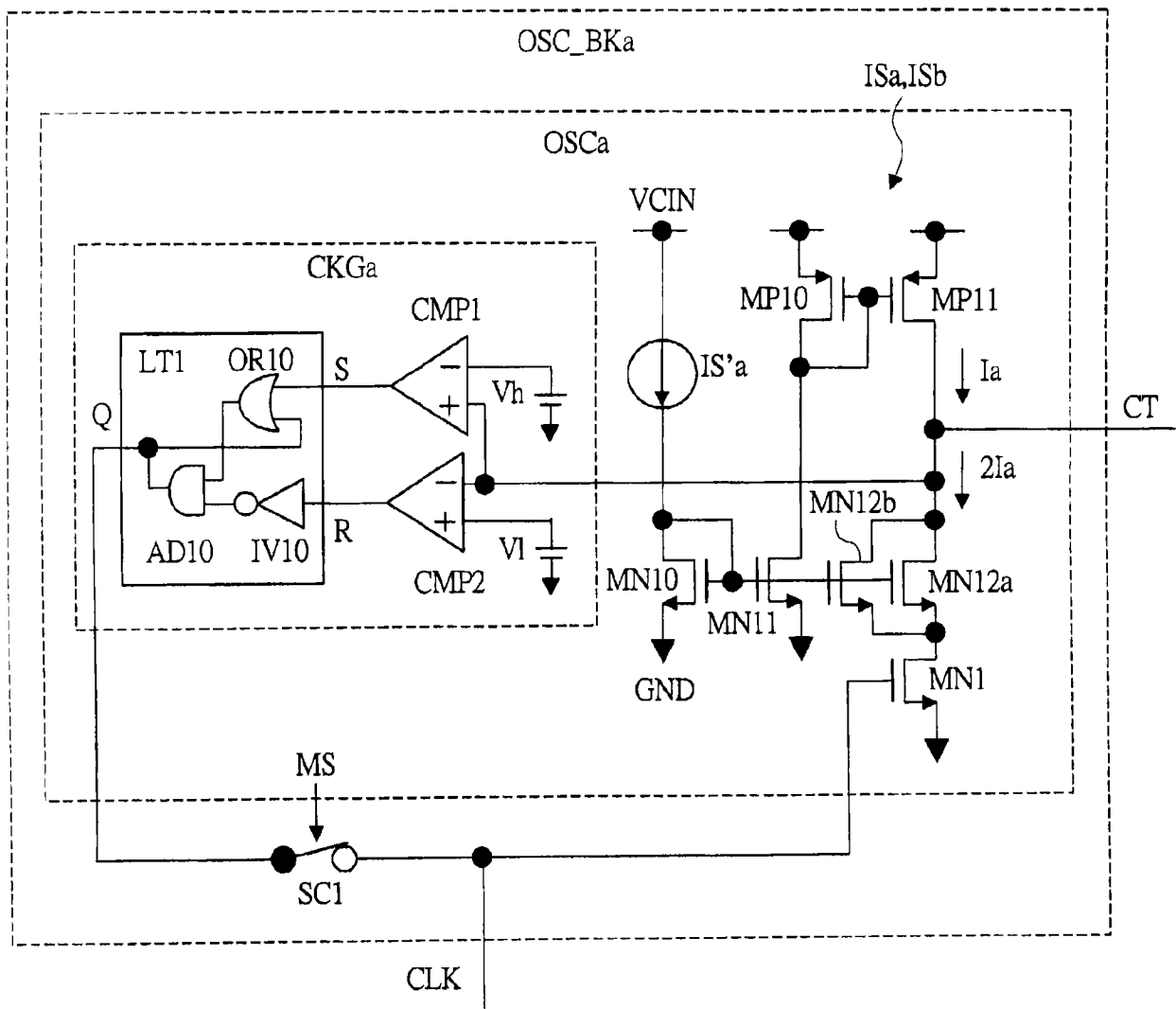


图 4

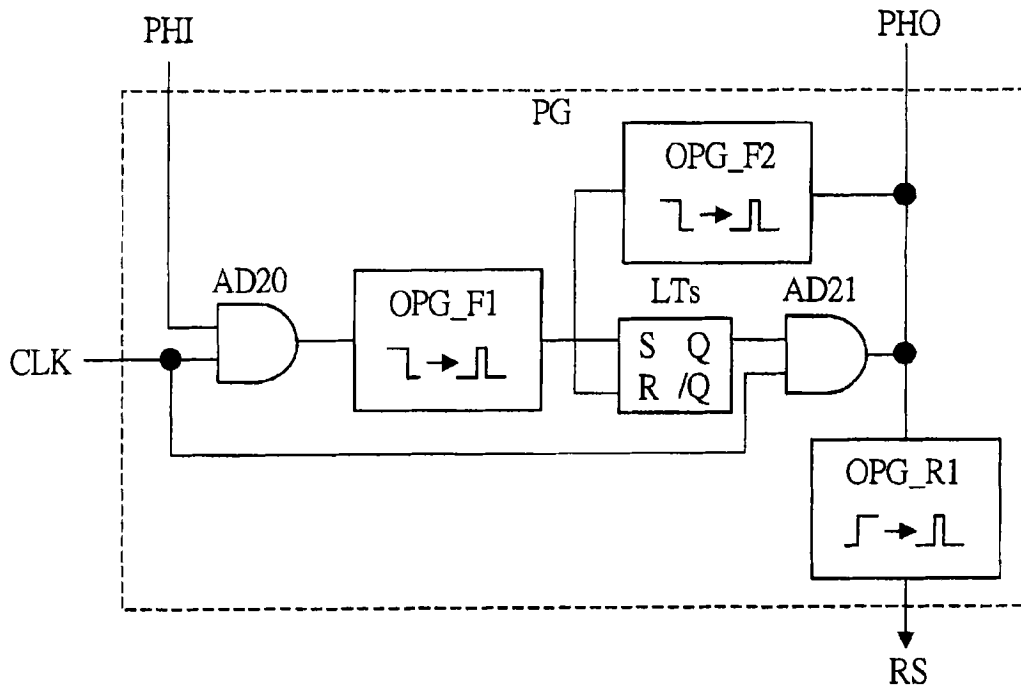


图 5A

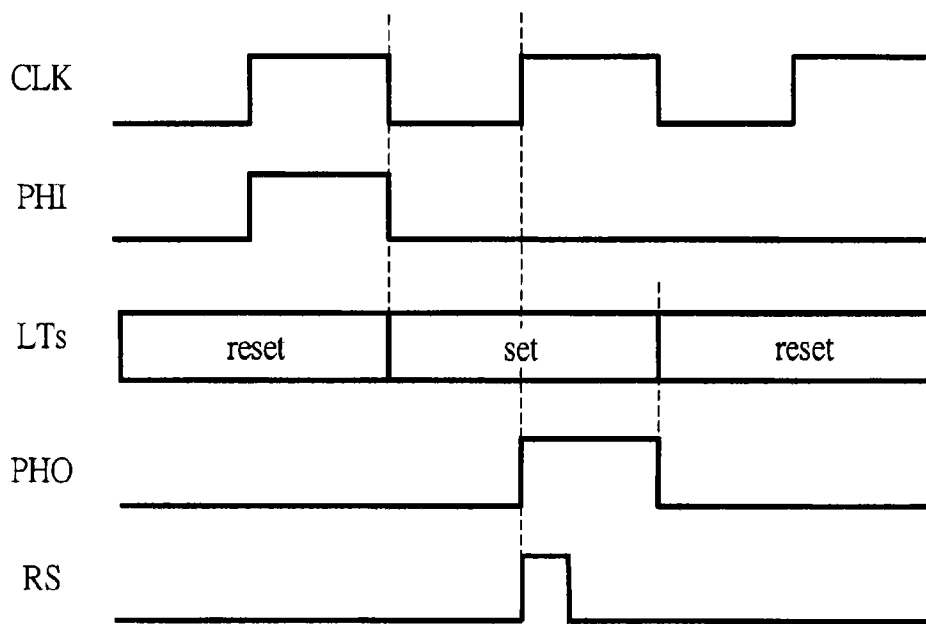


图 5B

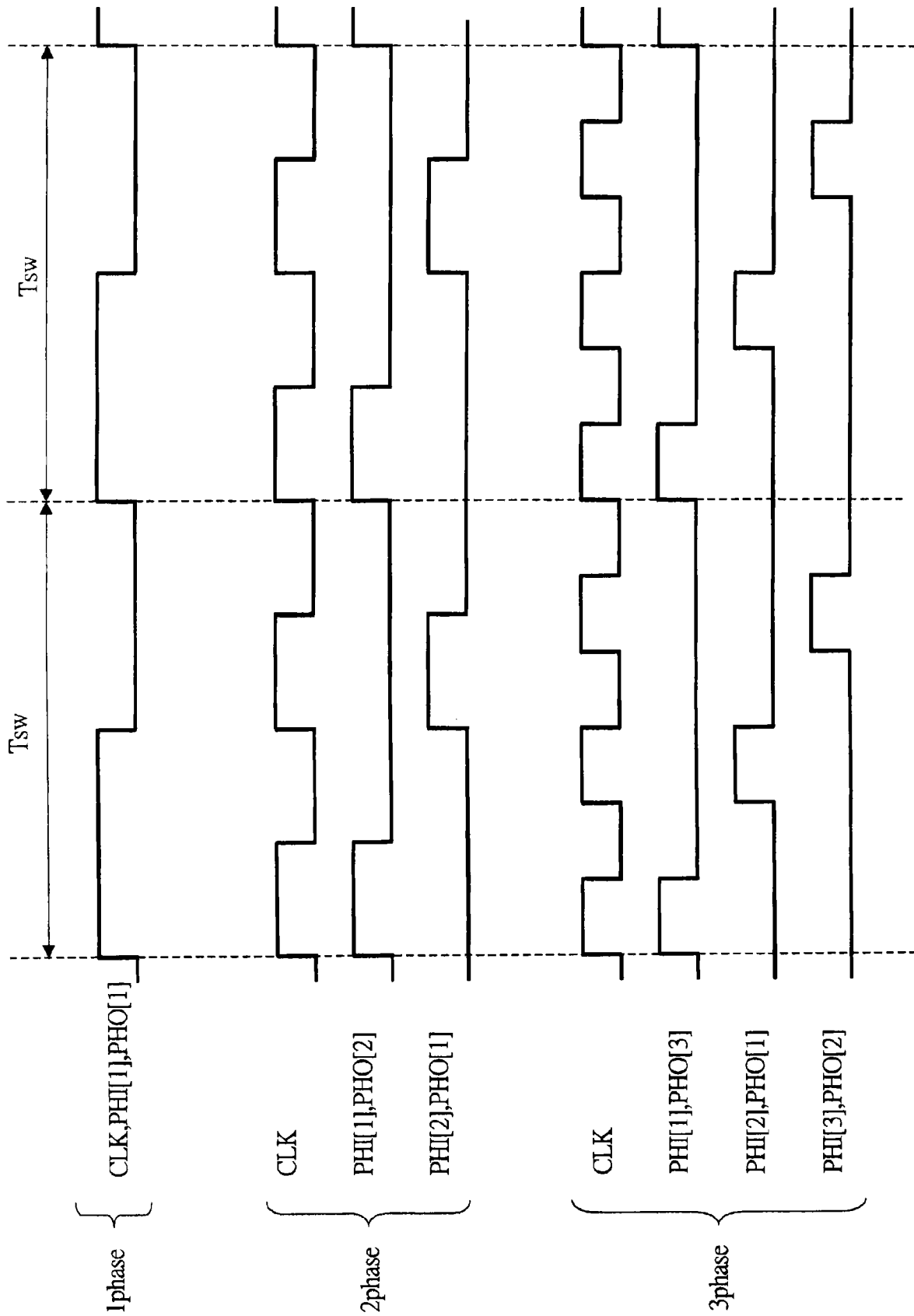


图 6

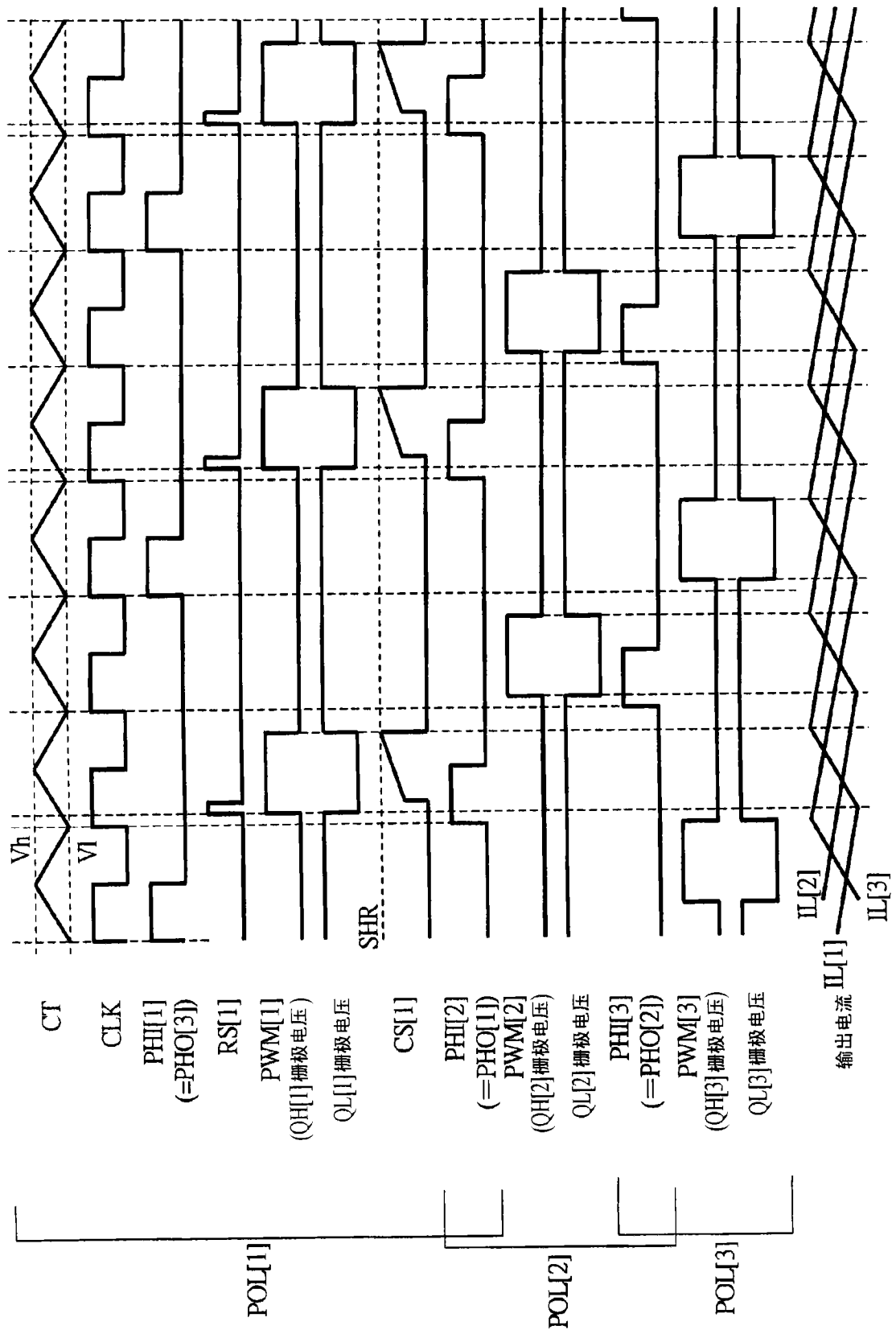


图 7

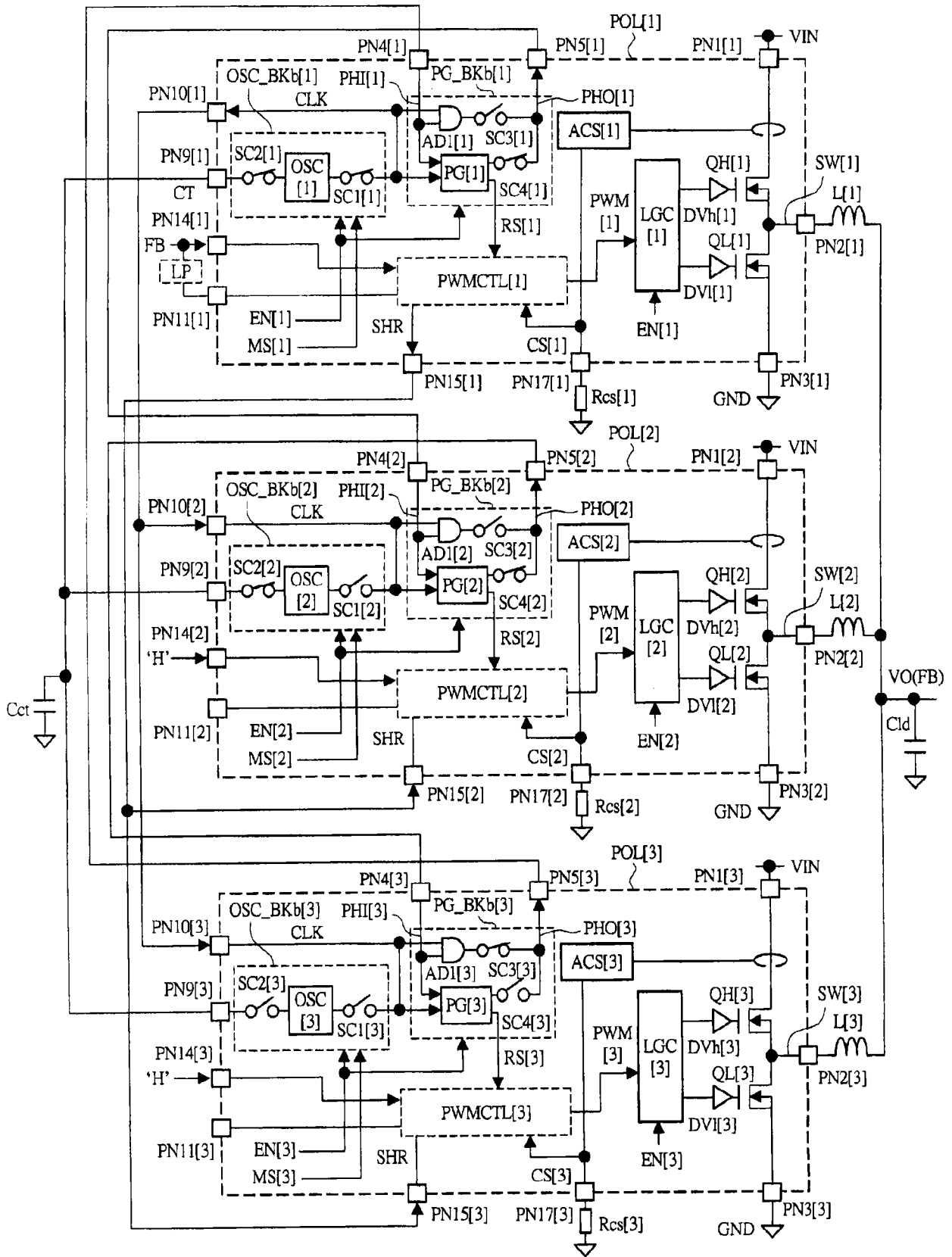


图 8

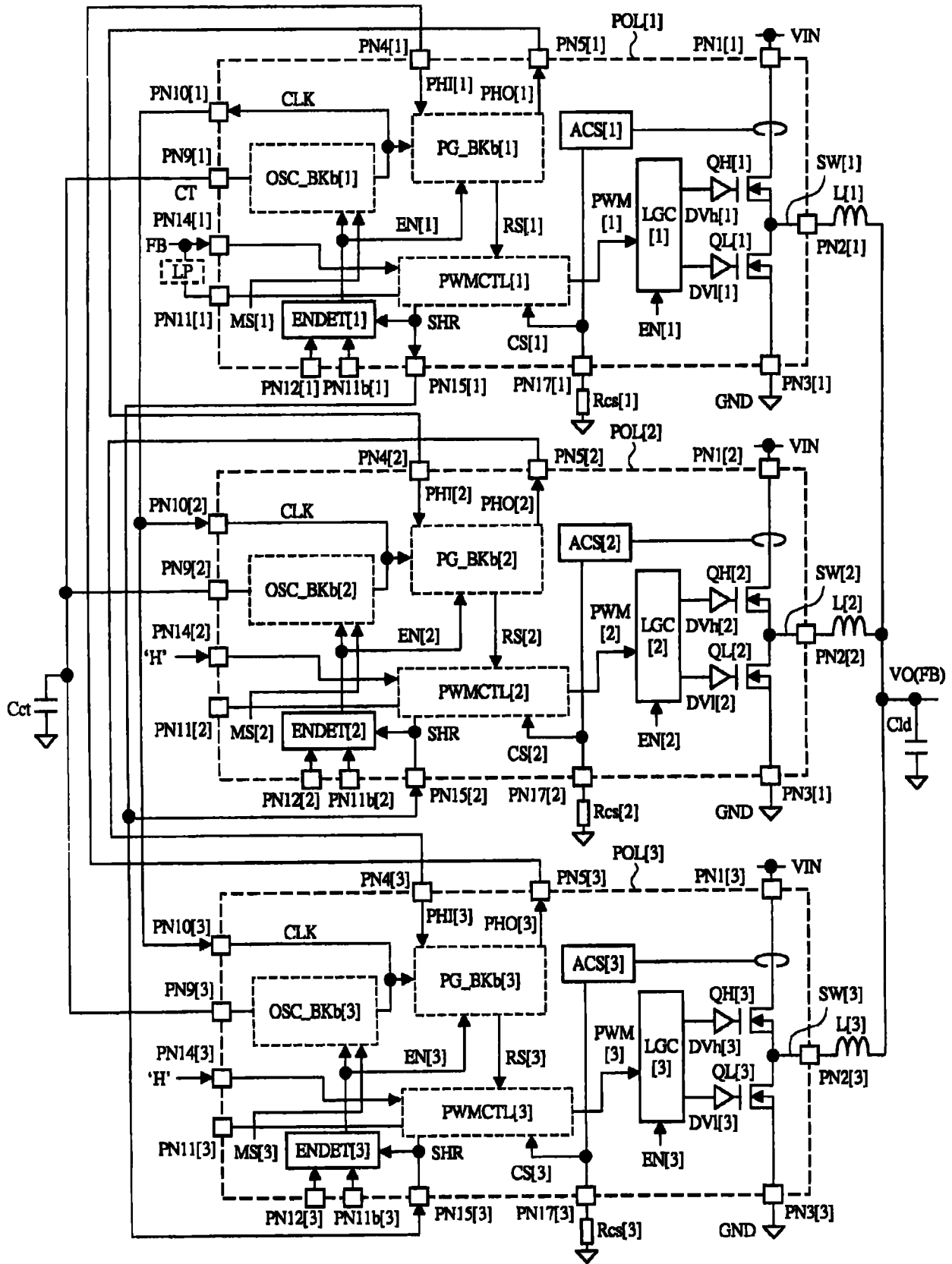


图 10

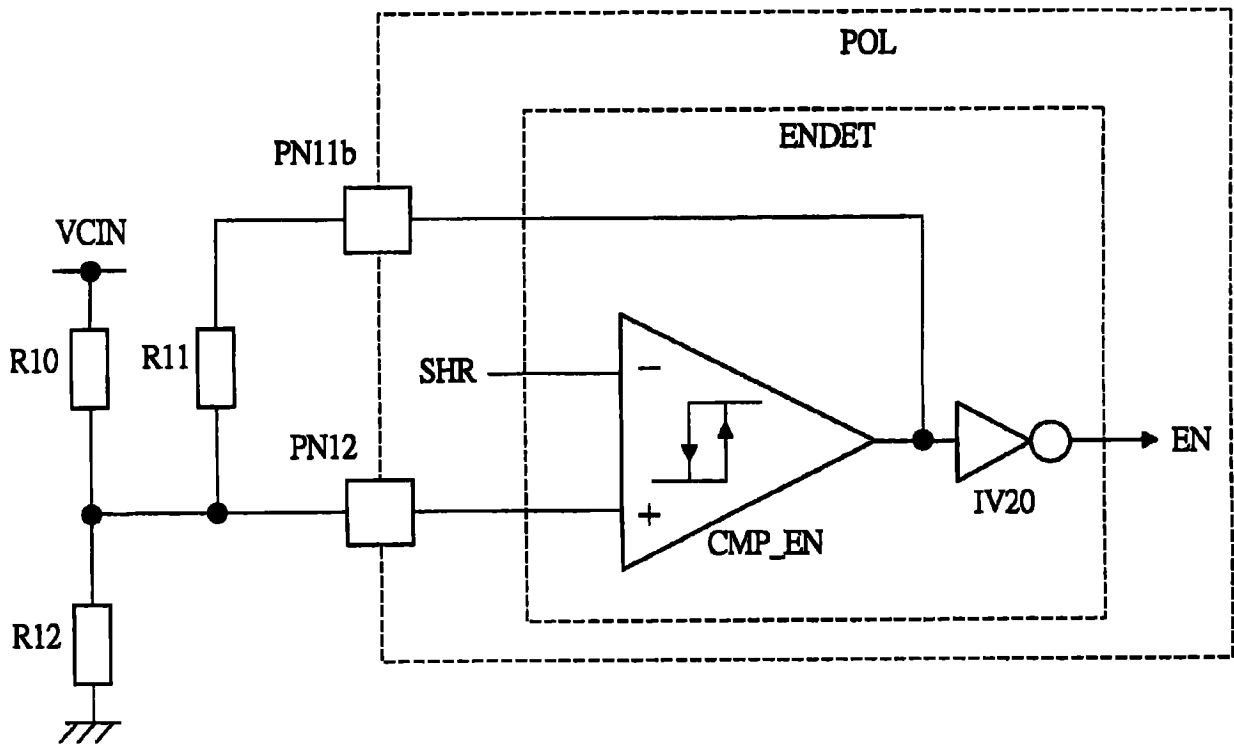


图 11

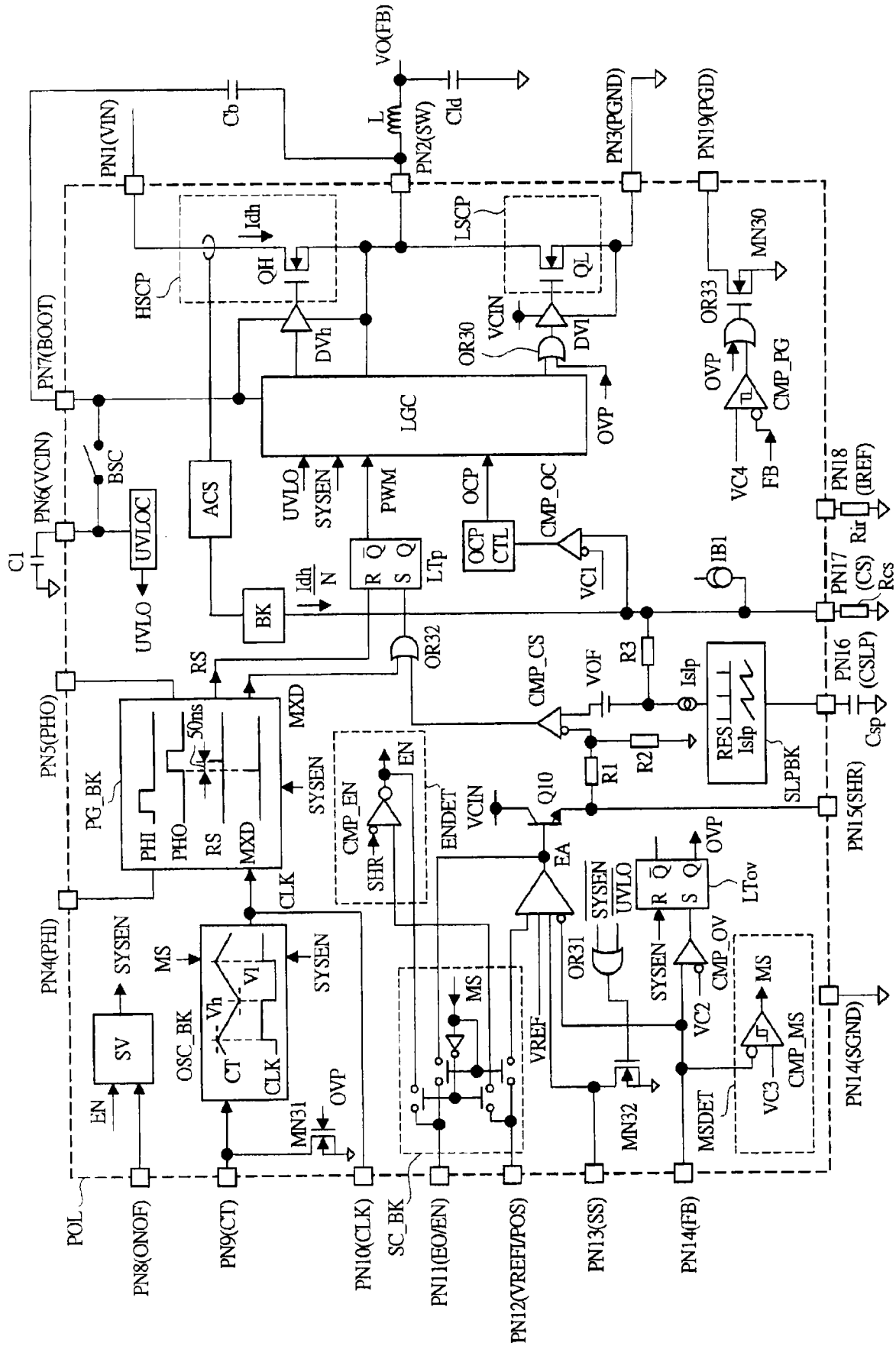


图 12

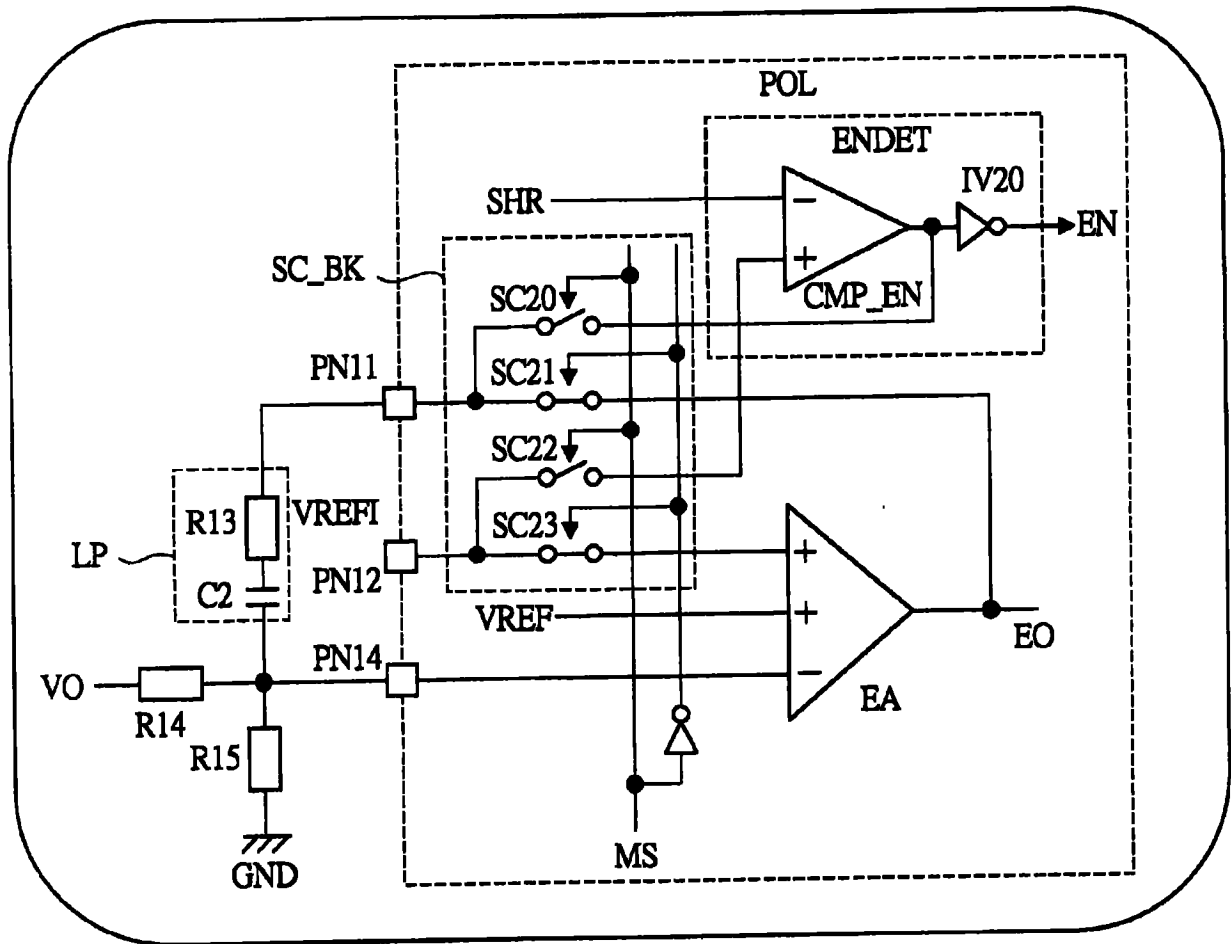


图 13A

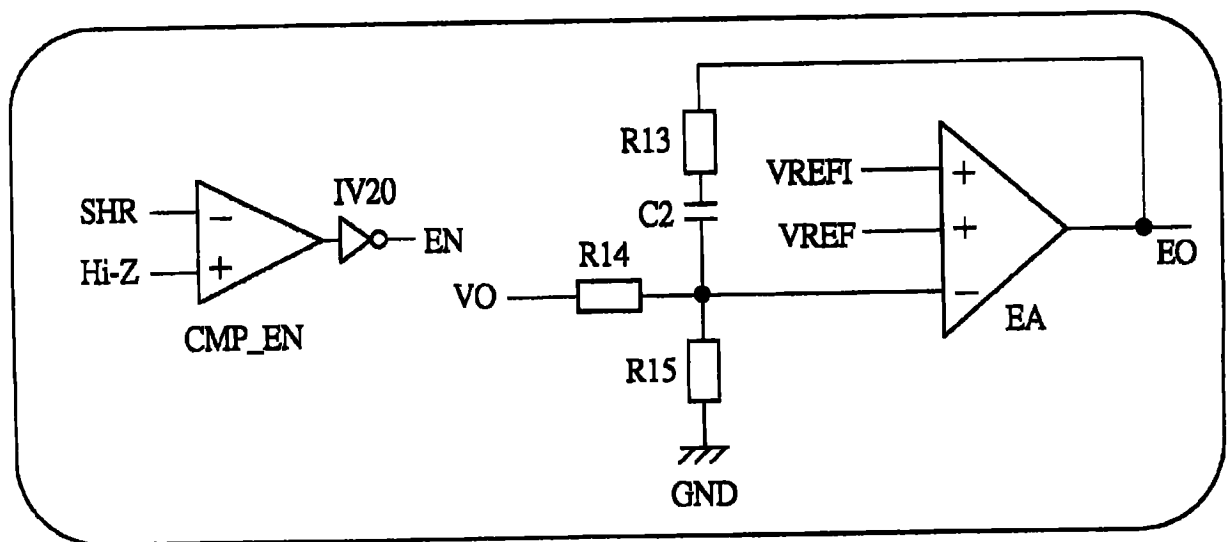


图 13B

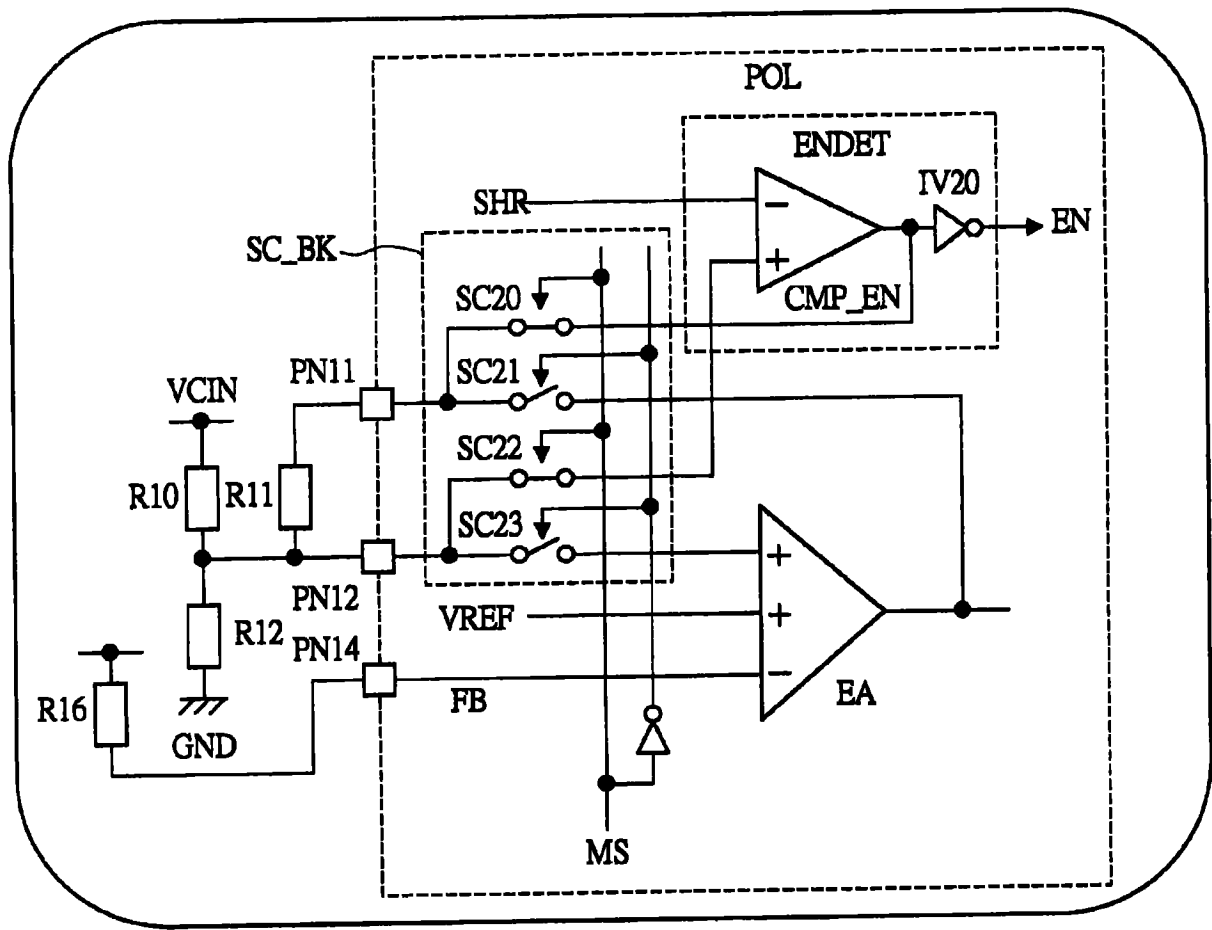


图 14A

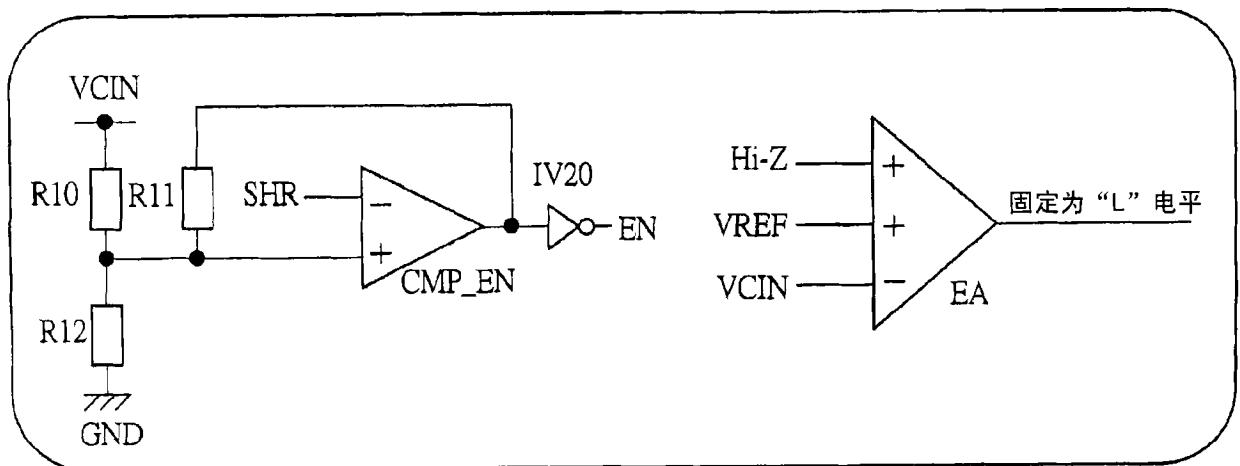


图 14B

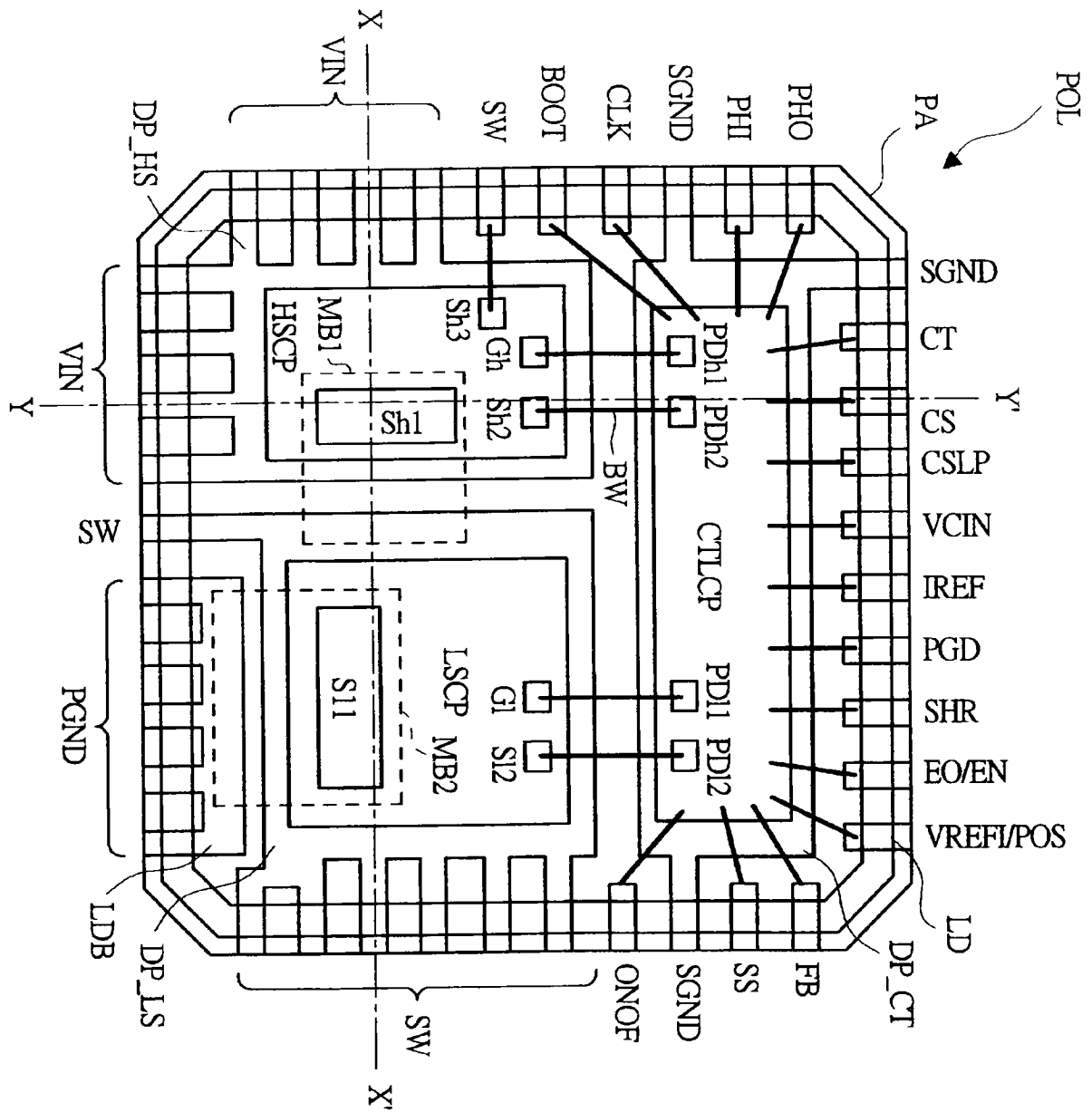


图 15

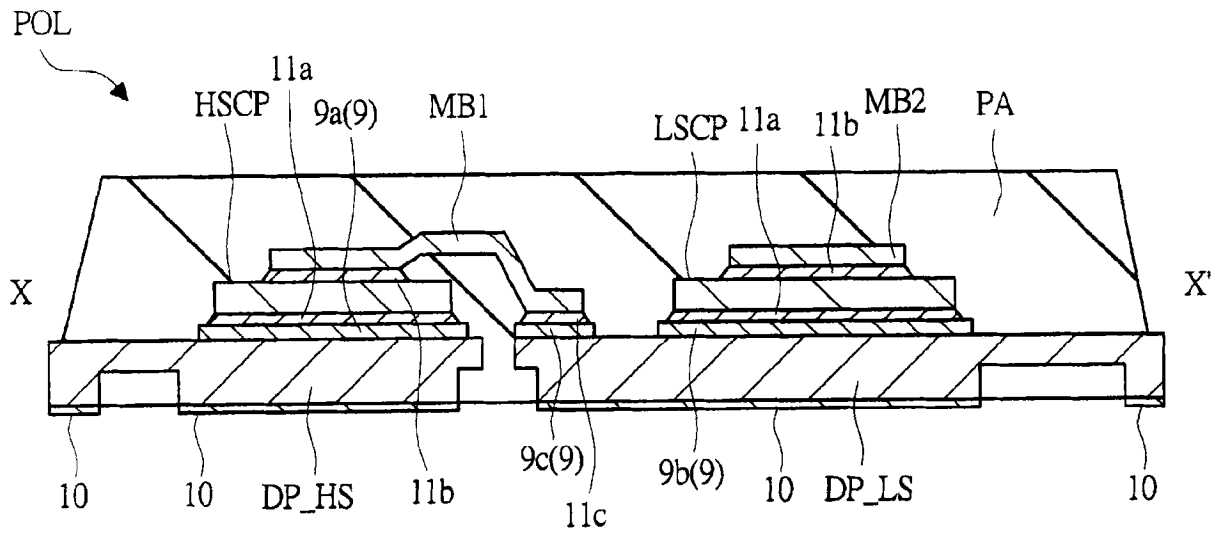


图 16A

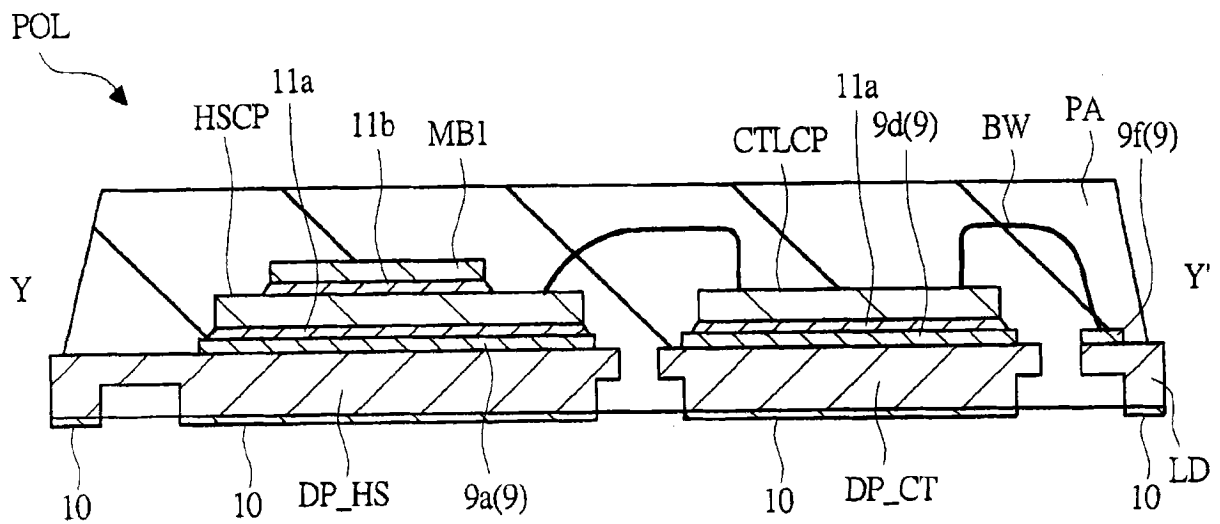


图 16B

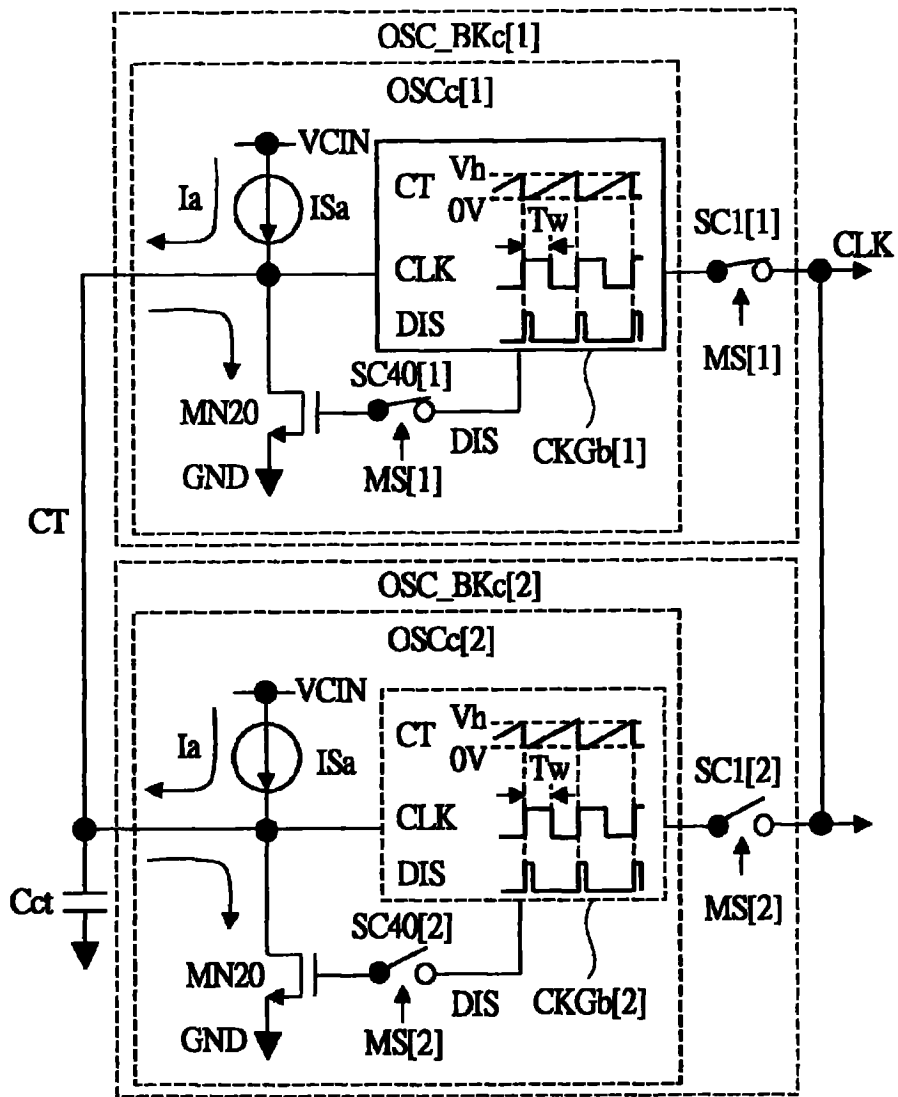


图 18A

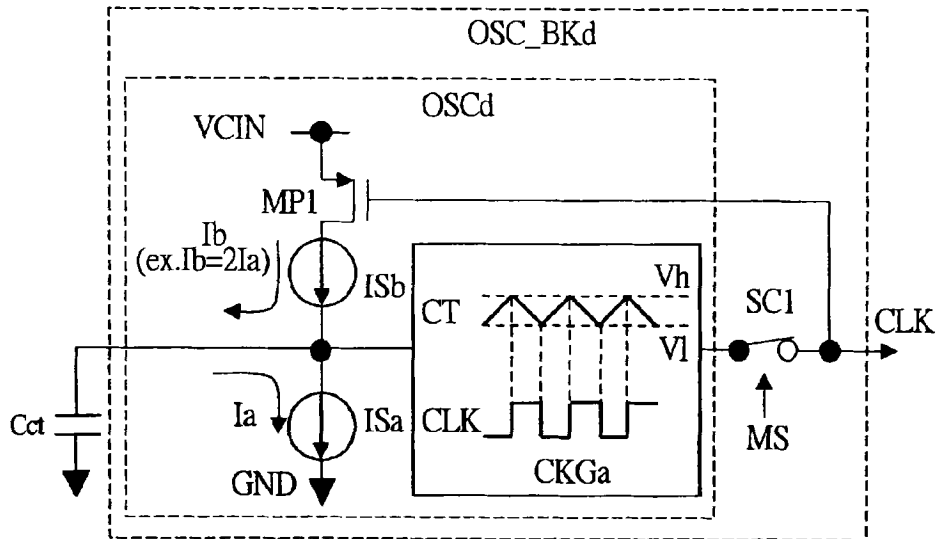


图 18B

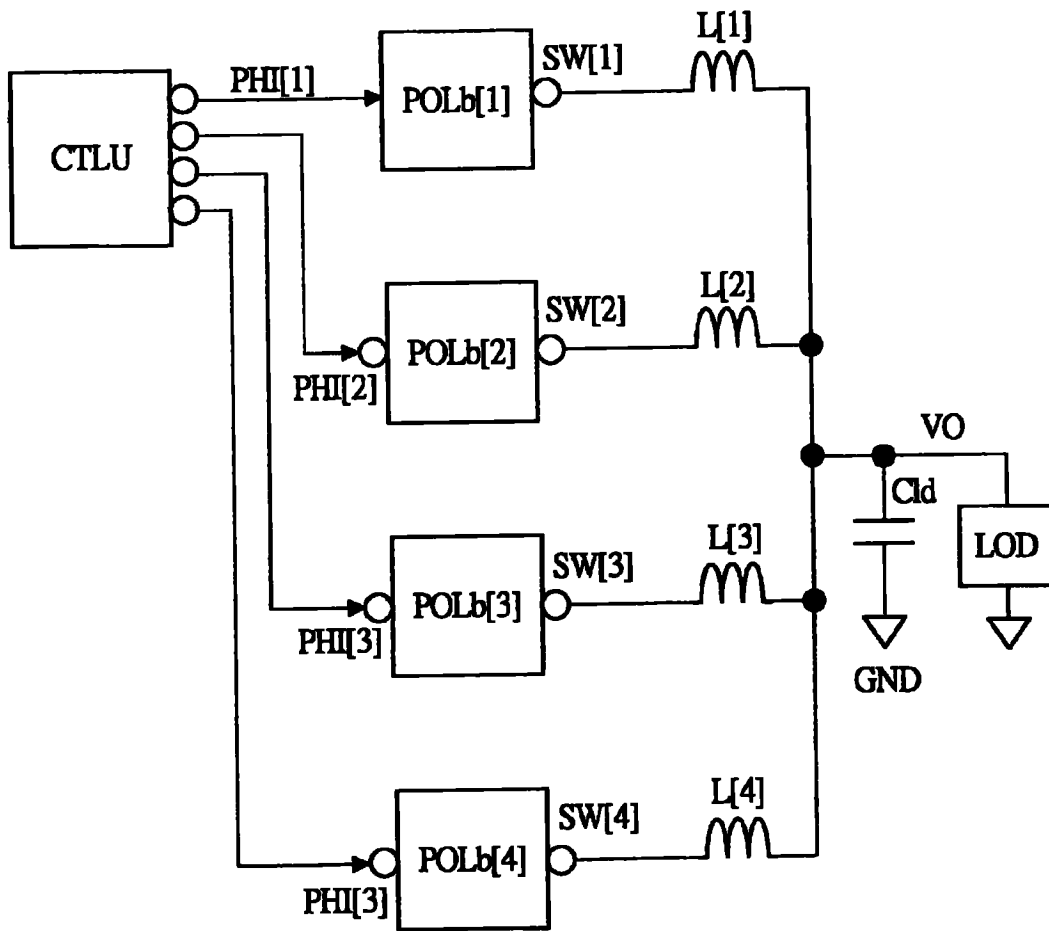


图 19A

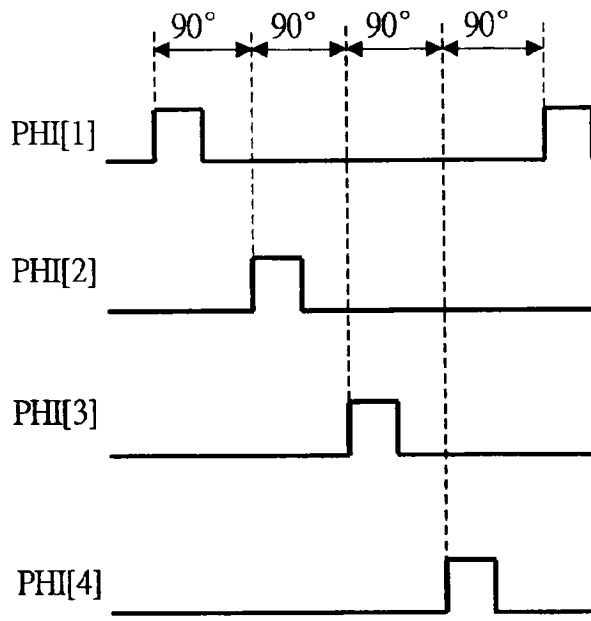


图 19B

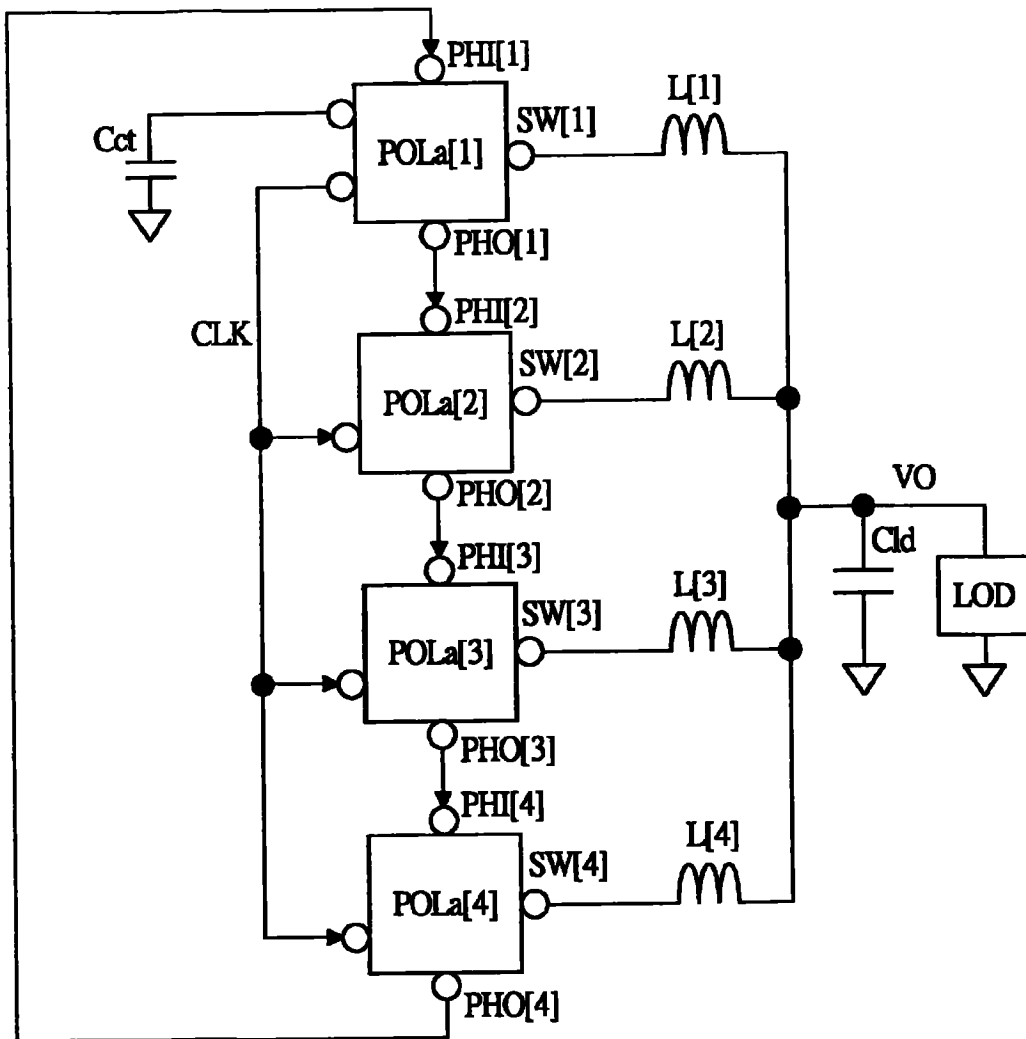


图 20A

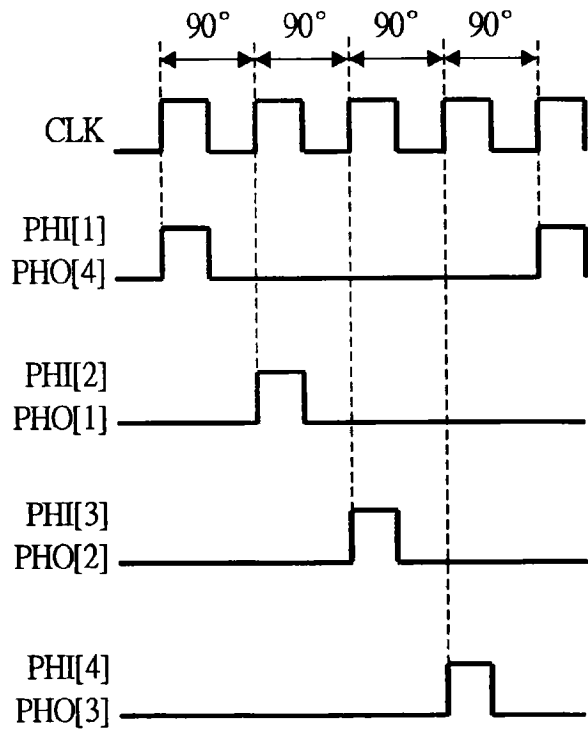


图 20B