



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0124031
 (43) 공개일자 2012년11월12일

(51) 국제특허분류(Int. Cl.)
 H03K 17/12 (2006.01) H02M 1/08 (2006.01)
 (21) 출원번호 10-2012-0044400
 (22) 출원일자 2012년04월27일
 심사청구일자 2012년04월27일
 (30) 우선권주장
 JP-P-2011-102779 2011년05월02일 일본(JP)
 JP-P-2012-054269 2012년03월12일 일본(JP)

(71) 출원인
미쓰비시덴키 가부시카이가이사
 일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고
 (72) 발명자
후세인 칼리드 하산
 일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고 미쓰비시덴키 가부시카이가이사 나이
쿠마가이 토시유키
 일본국 후쿠오카켄 후쿠오카시 니시쿠 이마쥬쿠히가시 1초메 1반 1고 멜코 세미컨덕터 엔지니어링 가부시카이가이사 나이
사이토 쇼지
 일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고 미쓰비시덴키 가부시카이가이사 나이
 (74) 대리인
이화익, 김홍두

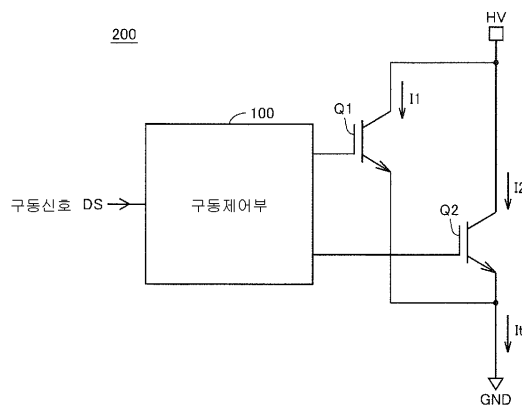
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 **병렬접속된 복수의 스위칭 소자를 갖는 전력용 반도체장치**

(57) 요약

전력용 반도체장치(200)는, 서로 병렬로 접속된 제1 및 제2 전력용 반도체 소자(Q1,Q2)와, 구동제어부(100)를 구비한다. 구동제어부(100)는, 외부에서 반복해서 받는 온 지령 및 오프 지령에 따라 제1 및 제2 전력용 반도체 소자의 각각을 온 상태 또는 오프 상태로 한다. 구체적으로는, 구동제어부(100)는, 온 지령에 대해, 제1 및 제2 전력용 반도체 소자(Q1,Q2)를 동시에 온 상태로 하는 경우와, 제1 및 제2 전력용 반도체 소자(Q1,Q2)의 한쪽을 온 상태로 한 후에 다른쪽을 온 상태로 하는 경우에서 전환가능하다. 구동제어부(100)는, 오프 지령에 대해, 제1 및 제2 전력용 반도체 소자(Q1,Q2)의 한쪽을 오프 상태로 한 후에 다른쪽을 오프 상태로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

서로 병렬로 접속된 제1 및 제2 전력용 반도체 소자와,

외부에서 반복해서 받는 온 지령 및 오프 지령에 따라 상기 제1 및 제2 전력용 반도체 소자의 각각을 온 상태 또는 오프 상태로 하는 구동제어부를 구비하고,

상기 구동제어부는, 상기 온 지령에 대해, 상기 제1 및 제2 전력용 반도체 소자를 동시에 온 상태로 하는 경우와, 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 온 상태로 한 후에 다른쪽을 온 상태로 하는 경우에서 전환 가능하고,

상기 구동제어부는, 상기 오프 지령에 대해, 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 오프 상태로 한 후에 다른쪽을 오프 상태로 하는, 전력용 반도체장치.

청구항 2

제 1항에 있어서,

상기 전력용 반도체장치는, 상기 제1 및 제2 전력용 반도체 소자의 적어도 한쪽을 흐르는 전류 또는 양쪽을 흐르는 전류의 합을 검출하는 전류 검출부를 더 구비하고,

상기 구동제어부는, 상기 온 지령을 받아 상기 제1 및 제2 전력용 반도체 소자를 온 상태로 했을 때에 상기 전류 검출부에 의해 얻어진 전류 검출값이 제1 임계값 이하인지 아닌지를 판정하는 판정 동작을 행하고,

상기 구동제어부는, 상기 전류 검출값이 상기 제1 임계값 이하인 경우에는, 다음의 상기 판정 동작까지의 사이에 호평을 받은 상기 온 지령에 대해 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 온 상태로 한 후에 다른쪽을 온 상태로 하고,

상기 구동제어부는, 상기 전류 검출값이 상기 제1 임계값을 초과하고 있는 경우에는, 다음의 상기 판정 동작까지의 사이에 받은 상기 온 지령에 대해 상기 제1 및 제2 전력용 반도체 소자를 동시에 온 상태로 하는, 전력용 반도체장치.

청구항 3

서로 병렬로 접속된 제1 및 제2 전력용 반도체 소자와,

외부에서 반복해서 받는 온 지령 및 오프 지령에 따라 상기 제1 및 제2 전력용 반도체 소자의 각각을 온 상태 또는 오프 상태로 하는 구동제어부를 구비하고,

상기 구동제어부는, 상기 온 지령에 대해, 상기 제1 및 제2 전력용 반도체 소자를 동시에 온 상태로 하는 경우와, 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 온 상태로 한 후에 다른쪽을 온 상태로 하는 경우에서 전환 가능하고,

상기 구동제어부는, 상기 오프 지령에 대해, 상기 제1 및 제2 전력용 반도체 소자를 동시에 오프 상태로 하는 경우와, 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 오프 상태로 한 후에 다른쪽을 오프 상태로 하는 경우에서 전환가능한, 전력용 반도체장치.

청구항 4

제 3항에 있어서,

상기 전력용 반도체장치는, 상기 제1 및 제2 전력용 반도체 소자의 적어도 한쪽을 흐르는 전류 또는 양쪽을 흐

르는 전류의 합을 검출하는 전류 검출부를 더 구비하고,

상기 구동제어부는, 상기 온 지령을 받아 상기 제1 및 제2 전력용 반도체 소자를 온 상태로 했을 때에 상기 전류 검출부에 의해 얻어진 전류 검출값을 제1 임계값 및 상기 제1 임계값보다 큰 제2 임계값과 각각 비교하는 판정 동작을 행하고,

상기 구동제어부는, 상기 전류 검출값이 상기 제1 임계값 이하인 경우에는, 다음의 상기 판정 동작까지의 사이에 받은 상기 온 지령에 대해 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 온 상태로 한 후에 다른쪽을 온 상태로 하는 동시에, 다음의 상기 판정 동작까지의 사이에 받은 상기 오프 지령에 대해 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 오프 상태로 한 후에 다른쪽을 오프 상태로 하고,

상기 구동제어부는, 상기 전류 검출값이 상기 제1 임계값을 초과하고 또한 상기 제2 임계값 이하인 경우에는, 다음의 상기 판정 동작까지의 사이에 받은 상기 온 지령에 대해 상기 제1 및 제2 전력용 반도체 소자를 동시에 온 상태로 하는 동시에, 다음의 상기 판정 동작까지의 사이에 받은 상기 오프 지령에 대해 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 오프 상태로 한 후에 다른쪽을 오프 상태로 하고,

상기 구동제어부는, 상기 전류 검출값이 상기 제2 임계값을 초과하는 경우에는, 다음의 상기 판정 동작까지의 사이에 받은 상기 온 지령에 대해 상기 제1 및 제2 전력용 반도체 소자를 동시에 온 상태로 하는 동시에, 다음의 상기 판정 동작까지의 사이에 받은 상기 오프 지령에 대해 상기 제1 및 제2 전력용 반도체 소자를 동시에 오프 상태로 하는, 전력용 반도체장치.

청구항 5

서로 병렬로 접속된 제1 및 제2 전력용 반도체 소자와,

외부에서 반복해서 받는 온 지령 및 오프 지령에 따라 상기 제1 및 제2 전력용 반도체 소자의 각각을 온 상태 또는 오프 상태로 하는 구동제어부를 구비하고,

상기 구동제어부는, 상기 온 지령에 대해, 상기 제1 및 제2 전력용 반도체 소자를 동시에 온 상태로 하고,

상기 구동제어부는, 상기 오프 지령에 대해, 상기 제1 및 제2 전력용 반도체 소자를 동시에 오프 상태로 하는 경우와, 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 오프 상태로 한 후에 다른쪽을 오프 상태로 하는 경우에서 전환가능한, 전력용 반도체장치.

청구항 6

제 5항에 있어서,

상기 전력용 반도체장치는, 상기 제1 및 제2 전력용 반도체 소자의 적어도 한쪽을 흐르는 전류 또는 양쪽을 흐르는 전류의 합을 검출하는 전류 검출부를 더 구비하고,

상기 구동제어부는, 상기 온 지령을 받아 상기 제1 및 제2 전력용 반도체 소자를 온 상태로 했을 때에 상기 전류 검출부에 의해 얻어진 전류 검출값이 제2 임계값 이하인지 아닌지를 판정하는 판정 동작을 행하고,

상기 구동제어부는, 상기 전류 검출값이 상기 제2 임계값 이하인 경우에는, 다음의 상기 판정 동작까지의 사이에 받은 상기 오프 지령에 대해 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 오프 상태로 한 후에 다른쪽을 오프 상태로 하고,

상기 구동제어부는, 상기 전류 검출값이 상기 제2 임계값을 초과하고 있는 경우에는, 다음의 상기 판정 동작까지의 사이에 받은 상기 오프 지령에 대해 상기 제1 및 제2 전력용 반도체 소자를 동시에 오프 상태로 하는, 전력용 반도체장치.

청구항 7

제 2항, 제 4항 또는 제 6항 중 어느 한 항에 있어서,

상기 제1 및 제2 전력용 반도체 소자의 각각은, 주전류의 일부가 분류(分流)해서 흐르는 센스 전극을 갖고,
상기 전류 검출부는,
상기 제1 전력용 반도체 소자의 상기 센스 전극에 접속된 제1 검출용 저항소자와,
상기 제2 전력용 반도체 소자의 상기 센스 전극에 접속된 제2 검출용 저항소자를 포함하는, 전력용 반도체장치.

청구항 8

서로 병렬로 접속된 제1 및 제2 전력용 반도체 소자와,
외부에서 반복해서 받는 온 지령 및 오프 지령에 따라 상기 제1 및 제2 전력용 반도체 소자의 각각을 온 상태 또는 오프 상태로 하는 구동제어부를 구비하고,
상기 구동제어부는, 상기 온 지령에 대해, 상기 제1 및 제2 전력용 반도체 소자를 동시에 온 상태로 하고,
상기 구동제어부는, 상기 오프 지령에 대해, 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 오프 상태로 한 후에 다른쪽을 오프 상태로 하는, 전력용 반도체장치.

청구항 9

제 1항, 제 3항, 제 5항 또는 제 8항 중 어느 한 항에 있어서,
온 상태에 있어서의 상기 제1 전력용 반도체 소자의 포화 전압은, 상기 제2 전력용 반도체 소자의 포화 전압보다도 작고,
상기 구동제어부는, 상기 오프 지령에 대해 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 오프 상태로 한 후에 다른쪽을 오프 상태로 하는 경우에는, 상기 제1 전력용 반도체 소자를 상기 제2 전력용 반도체 소자보다도 먼저 오프 상태로 하는, 전력용 반도체장치.

청구항 10

제 1항, 제 3항, 제 5항 또는 제 8항 중 어느 한 항에 있어서,
상기 제1 및 제2 전력용 반도체 소자의 각각은, 제어 전극을 갖고, 제어 전극에 인가되는 전압이 임계전압 이하로 되었을 때에 온 상태로부터 오프 상태로 전환하고,
상기 제1 전력용 반도체 소자의 임계전압은, 상기 제2 전력용 반도체 소자의 임계전압보다 크고,
상기 구동제어부는, 상기 오프 지령에 대해 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 오프 상태로 한 후에 다른쪽을 오프 상태로 하는 경우에는, 상기 제1 전력용 반도체 소자를 상기 제2 전력용 반도체 소자보다도 먼저 오프 상태로 하는, 전력용 반도체장치.

청구항 11

제 1항, 제 3항, 제 5항 또는 제 8항 중 어느 한 항에 있어서,
상기 제1 전력용 반도체 소자는, 바이폴러 트랜지스터이고,
상기 제2 전력용 반도체 소자는, 유니폴러 트랜지스터이며,
상기 구동제어부는, 상기 오프 지령에 대해 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 오프 상태로 한 후에 다른쪽을 오프 상태로 하는 경우에는, 상기 제1 전력용 반도체 소자를 상기 제2 전력용 반도체 소자보다도 먼저 오프 상태로 하는, 전력용 반도체장치.

청구항 12

제 1항 또는 제 3항에 있어서,

상기 구동제어부는, 상기 온 지령에 대해 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 온 상태로 한 후에 다른쪽을 온 상태로 하는 경우에는, 상기 온 지령을 받을 때마다, 먼저 온 상태로 하는 전력용 반도체 소자와 나중에 온 상태로 하는 전력용 반도체 소자를 전환하는, 전력용 반도체장치.

청구항 13

제 1항, 제 3항, 제 5항 또는 제 8항 중 어느 한 항에 있어서,

상기 구동제어부는, 상기 오프 지령에 대해 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 오프 상태로 한 후에 다른쪽을 오프 상태로 하는 경우에는, 상기 오프 지령을 받을 때마다, 먼저 오프 상태로 하는 전력용 반도체 소자와 나중에 오프 상태로 하는 전력용 반도체 소자를 전환하는, 전력용 반도체장치.

청구항 14

제 1항, 제 3항, 제 5항 또는 제 8항 중 어느 한 항에 있어서,

상기 제1 및 제2 전력용 반도체 소자의 각각은, 제어 전극을 갖고, 제어 전극에 인가되는 전압에 따라 온 상태 또는 오프 상태로 전환하고,

상기 구동제어부는, 제1 및 제2 노드 사이에 접속된 구동용 전원과,

상기 온 지령 및 상기 오프 지령에 각각 대응해서 논리 레벨이 변화하는 구동신호를 받고, 상기 구동신호에 따라 변화하는 제1~제4 제어신호를 출력하는 제어회로와,

상기 제1 전력용 반도체 소자의 제어 전극에 일단이 접속된 제1 저항소자와,

상기 제1 저항소자의 타단과 상기 제1 노드 사이에 접속되고, 제어 전극에 상기 제1 제어신호를 받는 제1 구동용 트랜지스터와,

상기 제1 전력용 반도체 소자의 제어 전극에 일단이 접속된 제2 저항소자와,

상기 제2 저항소자의 타단과 상기 제2 노드 사이에 접속되고, 제어 전극에 상기 제2 제어신호를 받는 제2 구동용 트랜지스터와,

상기 제2 전력용 반도체 소자의 제어 전극에 일단이 접속된 제3 저항소자와,

상기 제3 저항소자의 타단과 상기 제1 노드 사이에 접속되고, 제어 전극에 상기 제3 제어신호를 받는 제3 구동용 트랜지스터와,

상기 제2 전력용 반도체 소자의 제어 전극에 일단이 접속된 제4 저항소자와,

상기 제4 저항소자의 타단과 상기 제2 노드 사이에 접속되고, 제어 전극에 상기 제4 제어신호를 받는 제4 구동용 트랜지스터를 포함하는, 전력용 반도체장치.

청구항 15

제 8항에 있어서,

상기 제1 및 제2 전력용 반도체 소자의 각각은, 제어 전극을 갖고, 제어 전극에 인가되는 전압에 따라 온 상태 또는 오프 상태로 전환하고,

상기 구동제어부는,

제1 및 제2 노드 사이에 접속된 구동용 전원과,

상기 온 지령 및 상기 오프 지령에 각각 대응해서 논리 레벨이 변화하는 구동신호를 받고, 상기 구동신호에 따라 변화하는 제1 및 제2 제어신호를 출력하는 제어회로와,
 상기 제1 전력용 반도체 소자의 제어 전극에 일단이 접속된 제1 저항소자와,
 상기 제1 저항소자의 타단과 상기 제1 노드 사이에 접속되고, 제어 전극에 상기 제1 제어신호를 받는 제1 구동용 트랜지스터와,
 상기 제1 전력용 반도체 소자의 제어 전극에 일단이 접속된 제2 저항소자와,
 상기 제2 저항소자의 타단과 상기 제2 노드 사이에 접속되고, 제어 전극에 상기 제2 제어신호를 받는 제2 구동용 트랜지스터와,
 상기 제1 제어신호를 받고, 상기 제1 제어신호의 상승 엣지 및 하강 엣지 중의 한쪽을 지연시키는 제1 지연회로와,
 상기 제2 제어신호를 받고, 상기 제2 제어신호의 상승 엣지 및 하강 엣지 중 한쪽을 지연시키는 제2 지연회로와,
 상기 제2 전력용 반도체 소자의 제어 전극에 일단이 접속된 제3 저항소자와,
 상기 제3 저항소자의 타단과 상기 제1 노드 사이에 접속되고, 제어 전극에 상기 제1 지연회로의 출력을 받는 제3 구동용 트랜지스터와,
 상기 제2 전력용 반도체 소자의 제어 전극에 일단이 접속된 제4 저항소자와,
 상기 제4 저항소자의 타단과 상기 제2 노드 사이에 접속되고, 제어 전극에 상기 제2 지연회로의 출력을 받는 제4 구동용 트랜지스터를 포함하고,
 상기 제1 지연회로는, 상기 제3 구동용 트랜지스터의 오프 상태로의 전환에 대응하는 엣지를 지연시키고,
 상기 제2 지연회로는, 상기 제4 구동용 트랜지스터의 온 상태로의 전환에 대응하는 엣지를 지연시키는, 전력용 반도체장치.

청구항 16

제 5항에 있어서,
 상기 제1 및 제2 전력용 반도체 소자의 각각은, 제어 전극을 갖고, 제어 전극에 인가되는 전압에 따라 온 상태 또는 오프 상태로 전환하고,
 상기 구동제어부는,
 제1 및 제2 노드 사이에 접속된 구동용 전원과,
 상기 온 지령 및 상기 오프 지령에 각각 대응해서 논리 레벨이 변화하는 구동신호를 받고, 상기 구동신호에 따라 변화하는 제1?제3 제어신호를 출력하는 제어회로와,
 제1 주전극이 상기 제1 노드와 접속되고, 제어 전극에 상기 제1 제어신호를 받는 제1 구동용 트랜지스터와,
 상기 제1 전력용 반도체 소자의 제어 전극에 일단이 접속된 제1 저항소자와,
 상기 제1 저항소자의 타단과 상기 제1 구동용 트랜지스터의 제2 주전극 사이에, 상기 제1 구동용 트랜지스터가 온 상태일 때에 도통상태가 되는 극성으로 접속된 제1 다이오드와,
 상기 제1 전력용 반도체 소자의 제어 전극에 일단이 접속된 제2 저항소자와,
 상기 제2 저항소자의 타단과 상기 제2 노드 사이에 접속되고, 상기 제2 제어신호를 제어 전극에 받는 제2 구동용 트랜지스터와,
 상기 제2 전력용 반도체 소자의 제어 전극에 일단이 접속된 제3 저항소자와,
 상기 제3 저항소자의 타단과 상기 제1 구동용 트랜지스터의 상기 제2 주전극 사이에, 상기 제1 구동용 트랜지스

터가 온 상태일 때에 도통상태가 되는 극성으로 접속된 제2 다이오드와,
 상기 제2 전력용 반도체 소자의 제어 전극에 일단이 접속된 제4 저항소자와,
 상기 제4 저항소자의 타단과 상기 제2 노드 사이에 접속되고, 상기 제3 제어신호를 제어 전극에 받는 제3 구동용 트랜지스터를 포함하는, 전력용 반도체장치.

청구항 17

제 8항에 있어서,
 상기 제1 및 제2 전력용 반도체 소자의 각각은, 제어 전극을 갖고, 제어 전극에 인가되는 전압에 따라 온 상태 또는 오프 상태로 전환하고,
 상기 구동제어부는,
 제1 및 제2 노드간에 접속된 구동용 전원과,
 상기 온 지령 및 상기 오프 지령에 각각 대응해서 논리 레벨이 변화하는 구동신호를 받고, 상기 구동신호에 따라 변화하는 제1 및 제2 제어신호를 출력하는 제어회로와,
 제1 주전극이 상기 제1 노드와 접속되고, 제어 전극에 상기 제1 제어신호를 받는 제1 구동용 트랜지스터와,
 상기 제1 전력용 반도체 소자의 제어 전극에 일단이 접속된 제1 저항소자와,
 상기 제1 저항소자의 타단과 상기 제1 구동용 트랜지스터의 제2 주전극 사이에, 상기 제1 구동용 트랜지스터가 온 상태일 때에 도통상태가 되는 극성으로 접속된 제1 다이오드와,
 상기 제1 전력용 반도체 소자의 제어 전극에 일단이 접속된 제2 저항소자와,
 상기 제2 저항소자의 타단과 상기 제2 노드 사이에 접속되고, 상기 제2 제어신호를 제어 전극에 받는 제2 구동용 트랜지스터와,
 상기 제2 제어신호를 받고, 상기 제2 제어신호의 상승 엣지 및 하강 엣지 중 한쪽을 지연시키는 지연회로와,
 상기 제2 전력용 반도체 소자의 제어 전극에 일단이 접속된 제3 저항소자와,
 상기 제3 저항소자의 타단과 상기 제1 구동용 트랜지스터의 상기 제2 주전극 사이에, 상기 제1 구동용 트랜지스터가 온 상태일 때에 도통상태가 되는 극성으로 접속된 제2 다이오드와,
 상기 제2 전력용 반도체 소자의 제어 전극에 일단이 접속된 제4 저항소자와,
 상기 제4 저항소자의 타단과 상기 제2 노드 사이에 접속되고, 제어 전극에 상기 지연회로의 출력을 받는 제3 구동용 트랜지스터를 포함하고,
 상기 지연회로는, 상기 제3 구동용 트랜지스터의 온 상태로의 전환에 대응하는 엣지를 지연시키는, 전력용 반도체장치.

청구항 18

제 8항에 있어서,
 상기 제1 및 제2 전력용 반도체 소자의 각각은, 제어 전극을 갖고, 제어 전극에 인가되는 전압에 따라 온 상태 또는 오프 상태로 전환하고,
 상기 구동제어부는,
 제1 및 제2 노드 사이에 접속된 구동용 전원과,
 상기 온 지령 및 상기 오프 지령에 각각 대응해서 논리 레벨이 변화하는 구동신호를 받는 입력 노드와,
 상기 입력 노드에서 받은 상기 구동신호의 논리 레벨을 반전하는 인버터와,

상기 제1 전력용 반도체 소자의 제어 전극에 일단이 접속된 제1 저항소자와,
 상기 제1 저항소자의 타단과 상기 제1 노드 사이에 접속되고, 제어 전극에 상기 구동신호를 받는 제1 구동용 트랜지스터와,
 상기 제1 전력용 반도체 소자의 제어 전극에 일단이 접속된 제2 저항소자와,
 상기 제2 저항소자의 타단과 상기 제2 노드 사이에 접속되고, 제어 전극에 상기 인버터의 출력을 받는 제2 구동용 트랜지스터와,
 상기 구동신호를 받고, 상기 구동신호의 상승 엣지 및 하강 엣지 중 한쪽을 지연시키는 제1 지연회로와,
 상기 인버터의 출력을 받고, 상기 인버터의 출력의 상승 엣지 및 하강 엣지 중 한쪽을 지연시키는 제2 지연회로와,
 상기 제2 전력용 반도체 소자의 제어 전극에 일단이 접속된 제3 저항소자와,
 상기 제3 저항소자의 타단과 상기 제1 노드 사이에 접속되고, 제어 전극에 상기 제1 지연회로의 출력을 받는 제3 구동용 트랜지스터와,
 상기 제2 전력용 반도체 소자의 제어 전극에 일단이 접속된 제4 저항소자와,
 상기 제4 저항소자의 타단과 상기 제2 노드 사이에 접속되고, 제어 전극에 상기 제2 지연회로의 출력을 받는 제4 구동용 트랜지스터를 포함하고,
 상기 제1 지연회로는, 상기 제3 구동용 트랜지스터의 오프 상태로의 전환에 대응하는 엣지를 지연시키고,
 상기 제2 지연회로는, 상기 제4 구동용 트랜지스터의 온 상태로의 전환에 대응하는 엣지를 지연시키는, 전력용 반도체장치.

청구항 19

제 15항 내지 제 18항 중 어느 한 항에 있어서,
 상기 구동용 전원의 출력 전압이 상기 제1 및 제2 저항소자에 의해 분압된 전압은, 상기 제1 전력용 반도체 소자가 온 상태로 전환하는 임계전압보다도 작은, 전력용 반도체장치.

청구항 20

제 6항에 있어서,
 상기 제1 및 제2 전력용 반도체 소자의 각각은, 제어 전극을 갖고, 상기 제어 전극에 구동전압을 받았을 경우에 오프 상태에서부터 온 상태로 전환하고,
 상기 구동제어부는,
 제1 및 제2 노드 사이에 접속되고, 상기 구동전압을 출력하는 구동용 전원과,
 상기 온 지령 및 상기 오프 지령에 각각 대응해서 논리 레벨이 변화하는 구동신호를 받는 입력 노드와,
 상기 입력 노드에서 받은 상기 구동신호의 논리 레벨을 반전하는 인버터와,
 상기 전류 검출부에 의해 얻어진 전류 검출값이 상기 제2 임계값 이하인지 아닌지를 판정하는 논리회로와,
 상기 구동신호를 받고, 상기 구동신호의 상승 엣지 및 하강 엣지의 양쪽을 제1 지연시간만큼 지연시키는 제1 지연회로와,
 상기 인버터의 출력을 받고, 상기 인버터의 출력의 상승 엣지 및 하강 엣지의 양쪽을 제2 지연시간만큼 지연시키는 제2 지연회로와,
 상기 제1 전력용 반도체 소자의 제어 전극에 일단이 접속된 제1 저항소자와,

상기 제1 저항소자의 타단과 상기 제1 노드 사이에 접속되고, 제어 전극에 상기 제1 지연회로의 출력을 받는 제 1 구동용 트랜지스터와,

상기 제1 전력용 반도체 소자의 제어 전극에 일단이 접속된 제2 저항소자와,

상기 제2 저항소자의 타단과 상기 제2 노드 사이에 접속되고, 제어 전극에 상기 제2 지연회로의 출력을 받는 제 2 구동용 트랜지스터와,

상기 구동신호를 받고, 상기 구동신호의 상승 엣지 및 하강 엣지의 양쪽을 지연시키는 제3 지연회로와,

상기 인버터의 출력을 받고, 상기 인버터의 출력의 상승 엣지 및 하강 엣지의 양쪽을 지연시키는 제4 지연회로와,

상기 제2 전력용 반도체 소자의 제어 전극에 일단이 접속된 제3 저항소자와,

상기 제3 저항소자의 타단과 상기 제1 노드 사이에 접속되고, 제어 전극에 상기 제3 지연회로의 출력을 받는 제 3 구동용 트랜지스터와,

상기 제2 전력용 반도체 소자의 제어 전극에 일단이 접속된 제4 저항소자와,

상기 제4 저항소자의 타단과 상기 제2 노드 사이에 접속되고, 제어 전극에 상기 제4 지연회로의 출력을 받는 제 4 구동용 트랜지스터를 포함하고,

상기 제3 지연회로는, 상기 논리회로의 판정 결과를 더 받고, 상기 제3 구동용 트랜지스터의 온 상태로의 전환에 대응하는 엣지를 상기 제1 지연시간만큼 지연시키고, 상기 제3 구동용 트랜지스터의 오프 상태로의 전환에 대응하는 엣지를, 상기 전류 검출값이 상기 제2 임계값 이하인 경우에 상기 제1 지연시간보다도 큰 제3 지연시간만큼 지연시키고, 상기 전류 검출값이 상기 제2 임계값을 초과하는 경우에 상기 제1 지연시간만큼 지연시키고,

상기 제4 지연회로는, 상기 논리회로의 판정 결과를 더 받고, 상기 제4 구동용 트랜지스터의 온 상태로의 전환에 대응하는 엣지를 상기 제2 지연시간만큼 지연시키고, 상기 제4 구동용 트랜지스터의 오프 상태로의 전환에 대응하는 엣지를, 상기 전류 검출값이 상기 제2 임계값 이하인 경우에 상기 제2 지연시간보다도 큰 제4 지연시간만큼 지연시키고, 상기 전류 검출값이 상기 제2 임계값을 초과하는 경우에 상기 제2 지연시간만큼 지연시키는, 전력용 반도체장치.

청구항 21

서로 병렬로 접속된 제1 및 제2 전력용 반도체 소자와,

외부에서 반복해서 받는 온 지령 및 오프 지령에 따라 상기 제1 및 제2 전력용 반도체 소자의 각각을 온 상태 또는 오프 상태로 하는 구동제어부를 구비하고,

상기 구동제어부는, 상기 온 지령에 대해, 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 온 상태로 한 후에 다른쪽을 온 상태로 하고,

상기 구동제어부는, 상기 오프 지령에 대해, 상기 제1 및 제2 전력용 반도체 소자를 동시에 오프 상태로 하는 경우와, 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 오프 상태로 한 후에 다른쪽을 오프 상태로 하는 경우에서 전환가능한, 전력용 반도체장치.

청구항 22

제 21항에 있어서,

상기 전력용 반도체장치는, 상기 제1 및 제2 전력용 반도체 소자의 적어도 한쪽을 흐르는 전류 또는 양쪽을 흐르는 전류의 합을 검출하는 전류 검출부를 더 구비하고,

상기 구동제어부는, 상기 온 지령을 받아 상기 제1 및 제2 전력용 반도체 소자를 온 상태로 했을 때에 상기 전류 검출부에 의해 얻어진 전류 검출값이 제2 임계값 이하인지 아닌지를 판정하는 판정 동작을 행하고,

상기 구동제어부는, 상기 전류 검출값이 상기 제2 임계값 이하인 경우에는, 다음의 상기 판정 동작까지의 사이에 받은 상기 오프 지령에 대해 상기 제1 및 제2 전력용 반도체 소자의 한쪽을 오프 상태로 한 후에 다른쪽을 오프 상태로 하고,

상기 구동제어부는, 상기 전류 검출값이 상기 제2 임계값을 초과하고 있는 경우에는, 다음의 상기 판정 동작까지의 사이에 받은 상기 오프 지령에 대해 상기 제1 및 제2 전력용 반도체 소자를 동시에 오프 상태로 하는, 전력용 반도체장치.

청구항 23

제 22항에 있어서,

상기 제1 및 제2 전력용 반도체 소자의 각각은, 제어 전극을 갖고, 상기 제어 전극에 구동전압을 받았을 경우에 오프 상태에서부터 온 상태로 전환하고,

상기 구동제어부는,

제1 및 제2 노드간에 접속되고, 상기 구동전압을 출력하는 구동용 전원과,

상기 온 지령 및 상기 오프 지령에 각각 대응해서 논리 레벨이 변화하는 구동신호를 받는 입력 노드와,

상기 입력 노드에서 받은 상기 구동신호의 논리 레벨을 반전하는 인버터와,

상기 전류 검출부에 의해 얻어진 전류 검출값이 상기 제2 임계값 이하인지 아닌지를 판정하는 논리회로와,

상기 구동신호를 받고, 상기 구동신호의 상승 엣지 및 하강 엣지의 양쪽을 제1 지연시간만큼 지연시키는 제1 지연회로와,

상기 인버터의 출력을 받고, 상기 인버터의 출력의 상승 엣지 및 하강 엣지의 양쪽을 제2 지연시간만큼 지연시키는 제2 지연회로와,

상기 제1 전력용 반도체 소자의 제어 전극에 일단이 접속된 제1 저항소자와,

상기 제1 저항소자의 타단과 상기 제1 노드와의 사이에 접속되고, 제어 전극에 상기 제1 지연회로의 출력을 받는 제1 구동용 트랜지스터와,

상기 제1 전력용 반도체 소자의 제어 전극에 일단이 접속된 제2 저항소자와,

상기 제2 저항소자의 타단과 상기 제2 노드 사이에 접속되고, 제어 전극에 상기 제2 지연회로의 출력을 받는 제2 구동용 트랜지스터와,

상기 구동신호를 받고, 상기 구동신호의 상승 엣지 및 하강 엣지의 양쪽을 지연시키는 제3 지연회로와,

상기 인버터의 출력을 받고, 상기 인버터의 출력의 상승 엣지 및 하강 엣지의 양쪽을 지연시키는 제4 지연회로와,

상기 제2 전력용 반도체 소자의 제어 전극에 일단이 접속된 제3 저항소자와,

상기 제3 저항소자의 타단과 상기 제1 노드 사이에 접속되고, 제어 전극에 상기 제3 지연회로의 출력을 받는 제3 구동용 트랜지스터와,

상기 제2 전력용 반도체 소자의 제어 전극에 일단이 접속된 제4 저항소자와,

상기 제4 저항소자의 타단과 상기 제2 노드 사이에 접속되고, 제어 전극에 상기 제4 지연회로의 출력을 받는 제4 구동용 트랜지스터를 포함하고,

상기 제3 지연회로는, 상기 논리회로의 판정 결과를 더 받고, 상기 제3 구동용 트랜지스터의 온 상태로의 전환에 대응하는 엣지를 상기 제1 지연시간보다도 큰 제3 지연시간만큼 지연시키고, 상기 제3 구동용 트랜지스터의 오프 상태로의 전환에 대응하는 엣지를, 상기 전류 검출값이 상기 제2 임계값 이하인 경우에 상기 제3 지연시간만큼 지연시키고, 상기 전류 검출값이 상기 제2 임계값을 초과하는 경우에 상기 제1 지연시간만큼 지연시키고,

상기 제4 지연회로는, 상기 논리회로의 판정 결과를 더 받고, 상기 제4 구동용 트랜지스터의 온 상태로의 전환

에 대응하는 엡지를 상기 제2 지연시간보다 큰 제4 지연시간만큼 지연시키고, 상기 제4 구동용 트랜지스터의 오프 상태로의 전환에 대응하는 엡지를, 상기 전류 검출값이 상기 제2 임계값 이하인 경우에 상기 제4 지연시간만큼 지연시키고, 상기 전류 검출값이 상기 제2 임계값을 초과하는 경우에 상기 제2 지연시간만큼 지연시키는, 전력용 반도체장치.

청구항 24

제 20항 또는 제 23항에 있어서,

상기 제1 및 제2 전력용 반도체 소자의 각각은, 주전류의 일부가 분류(分流)해서 흐르는 센스 전극을 갖고,

상기 전류 검출부는,

상기 제1 전력용 반도체 소자의 상기 센스 전극에 접속된 제1 검출용 저항소자와,

상기 제2 전력용 반도체 소자의 상기 센스 전극에 접속된 제2 검출용 저항소자를 포함하고,

상기 논리회로는,

상기 제1 검출용 저항소자에 걸리는 전압이, 상기 제2 임계값에 대응하는 전압을 초과하였는지 아닌지를 판정하는 제1 비교기와,

상기 제1 검출용 저항소자에 걸리는 전압이, 상기 제2 임계값에 대응하는 전압을 초과하였는지 아닌지를 판정하는 제2 비교기와,

상기 제1 및 제2 비교기의 논리합을, 상기 논리회로의 판정 결과로 출력하는 OR회로를 포함하는, 전력용 반도체장치.

명세서

기술분야

[0001] 본 발명은 전력 변환기기 등에 사용되는 전력용 반도체장치에 관한 것이다.

배경기술

[0002] 파워 MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)나 IGBT(Insulated Gate Bipolar Transistor) 등의 전력용 반도체 소자는, 모터 구동용 인버터, 무정전 전원장치, 및 주파수 변환장치 등의 전력기기의 제어에 사용된다. 이들 전력기기의 정격전압 및 정격전류는 증가 경향에 있기 때문에, 전력용 반도체 소자도 고내압화 및 대전류화가 요구된다.

[0003] 전력용 반도체 소자에 의해 제어가능한 전류량을 증대시키는 방법으로서, 복수의 전력용 반도체 소자를 병렬접속하는 방법이 알려져 있다(예를들면, 일본국 특개 2000-92820호 공보 참조).

[0004] 상기한 문헌과 같이 복수의 전력용 반도체 소자가 병렬접속되는 경우, 이들 복수의 소자는, 통상, 동일한 구동신호를 사용함으로써 동시에 스위칭된다. 이 때문에, 전력용 반도체 소자의 병렬수가 많아질수록, 또는, 스위칭 주파수가 높아질수록, 스위칭 손실(턴온 손실 및 턴오프 손실)이 증대하게 된다.

[0005] 병렬접속된 전력용 반도체 소자의 턴오프 손실을 저감시키기 위한 방법으로서, 예를 들면, 일본국 특개 평 5-291913호 공보에 기재된 방법이 알려져 있다. 이 문헌의 방법에서는, 낮은 포화 전압 및 긴 하강 시간을 갖는 제1 IGBT와 높은 포화 전압 및 짧은 하강 시간을 갖는 제2 IGBT가 병렬접속되고, 제2 IGBT의 게이트는 입력 저항이 삽입된다. 제1 및 제2 IGBT를 공통의 구동신호로 동작시키면, 제2 IGBT의 차단 시점이 제1 IGBT의 차단 시점보다도 지연되므로, 제2 IGBT의 짧은 하강 시간에 근거하여 턴오프 동작을 행할 수 있다.

[0006] 스위칭 손실의 저감을 목적이라고 한 것은 아니지만, 유사한 기술이 일본국 특개평 6-209565호 공보 및 일본국 특개평 6-209666호 공보에 기재되어 있다. 어느쪽의 문헌도, 주 반도체 소자와 이것에 병렬접속되는 검출용 반도체 소자로 이루어진 스위칭 회로를 직렬접속한 것에 대해 개시한다. 구체적으로, 전자의 일본국 특개평 6-209565호 공보에 기재된 기술에서는, 주 반도체 소자의 게이트와 게이트 구동회로가 오프 지연회로를 거쳐

접속되고, 검출용 반도체 소자의 게이트와 게이트 구동회로가 온 지연회로를 거쳐 접속된다. 후자의 일본국 특개평 6-209666호 공보에 기재된 기술에서는, 검출용 반도체 소자의 게이트와 게이트 구동회로가 오프 지연회로를 거쳐 접속되고, 주 반도체 소자의 게이트와 게이트 구동회로가 온 지연회로를 거쳐 접속된다.

[0007] 상기한 일본국 특개평 5-291913호 공보에서는, 스위칭 손실의 저감에 대해 고려되어 있지만, 턴오프 손실의 저감만에 주목하여, 턴온 손실에 대해서는 고려되지 않고 있다. 더구나, 이 문헌에 기재된 방법은, 낮은 포화 전압 및 긴 하강 시간을 갖는 제1 IGBT와 높은 포화 전압 및 짧은 하강 시간을 갖는 제2 IGBT를 병렬접속한다고 하는 것이므로, 동일한 특성을 갖는 전력용 반도체 소자가 병렬접속된 경우에는 적용할 수 없다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 목적은, 복수의 전력용 반도체 소자를 병렬접속하는 경우에 있어서, 스위칭 손실을 종래보다도 저감하는 것이다.

[0009] 본 발명의 일국면에 따른 전력용 반도체장치는, 서로 병렬로 접속된 제1 및 제2 전력용 반도체 소자와, 구동제어부를 구비한다. 구동제어부는, 외부에서 반복하여 받는 온 지령 및 오프 지령에 따라 제1 및 제2 전력용 반도체 소자의 각각을 온 상태 또는 오프 상태로 한다. 구체적으로는, 구동제어부는, 온 지령에 대해, 제1 및 제2 전력용 반도체 소자를 동시에 온 상태로 하는 경우와, 제1 및 제2 전력용 반도체 소자의 한쪽을 온 상태로 한 후에 다른쪽을 온 상태로 하는 경우에서 전환가능하다. 구동제어부는, 오프 지령에 대해, 제1 및 제2 전력용 반도체 소자의 한쪽을 오프 상태로 한 후에 다른쪽을 오프 상태로 한다.

[0010] 본 발명에 따르면, 온 지령에 대해서는, 제1 및 제2 전력용 반도체 소자를 동시에 온 상태로 하는 경우와 서로 타이밍을 어긋나게 하여 온 상태로 하는 경우에서 전환가능하게 하고, 오프 지령에 대해서는, 제1 및 제2 전력용 반도체 소자를 서로 타이밍을 어긋나게 하여 오프 상태로 한다. 따라서, 본 발명의 주된 이점은, 스위칭 손실을 종래보다도 저감할 수 있는 것이다.

[0011] 본 발명의 상기 및 다른 목적, 특징, 국면 및 이점은, 첨부도면과 관련되어 이해되는 본 발명에 관한 다음의 상세한 설명으로부터 명확해질 것이다.

도면의 간단한 설명

- [0012] 도 1은, 본 발명의 실시형태 1에 따른 전력용 반도체장치(200)의 구성도다.
- 도 2은, 구동신호 DS와 전력용 반도체 소자 Q1, Q2의 게이트 전압의 관계를 나타내는 타이밍도다.
- 도 3은, 온 상태일 때 IGBT Q1, Q2을 흐르는 전체 전류 I_t 의 크기와 (A) 턴온 손실 E_{on} 및 (B) 턴오프 손실 E_{off} 의 크기의 관계를 도시한 도면이다.
- 도 4은, IGBT Q1, Q2의 턴오프시의 타이밍 제어에 대해 설명하기 위한 개념도다.
- 도 5은, IGBT의 스위칭 손실과 콜렉터 전류의 관계를 도시한 도면이다.
- 도 6은, IGBT의 스위칭 손실과 게이트 저항의 관계를 도시한 도면이다.
- 도 7은, 콜렉터 전류밀도 J_c 과 포화 전압 $V_{CE(sat)}$ 의 관계를 도시한 도면이다.
- 도 8은, 턴오프 손실 E_{off} 와 포화 전압 $V_{CE(sat)}$ 의 관계를 도시한 도면이다.
- 도 9은, IGBT의 콜렉터 전류 I_c 과 턴온 손실 E_{on} 의 관계를 도시한 도면이다.
- 도 10은, 병렬접속된 IGBT를 순차 스위칭시킨 경우의 시뮬레이션 결과를 도시한 도면이다.
- 도 11은, 도 10의 턴온시의 확대도다.
- 도 12은, 도 10의 턴오프시의 확대도다.
- 도 13은, 병렬접속된 IGBT에 대해 온 상태로의 전환은 동시에 행하고, 오프 상태로의 전환은 순차 행한

경우의 시뮬레이션 결과를 도시한 도면이다.

도 14은, 도 13의 턴온시의 확대도다.

도 15은, 도 13의 턴오프시의 확대도다.

도 16은, 병렬접속된 IGBT Q1, Q2에 흐르는 전체 전류 It와 턴온 손실 Eon의 관계를 도시한 도면이다.

도 17은, 본 발명의 실시형태 2에 따른 전력용 반도체장치(201)의 구성을 나타낸 회로도다.

도 18은, 도 17의 집적회로(5)로부터 출력되는 제어신호의 타이밍도의 일례를 도시한 도면이다.

도 19은, 본 발명의 실시형태 3에 따른 전력용 반도체장치(202)의 구성을 나타낸 회로도다.

도 20은, 도 19의 집적회로(5a)로부터 출력되는 제어신호의 타이밍도의 일례를 도시한 도면이다.

도 21은, 본 발명의 실시형태 4에 따른 전력용 반도체장치(203)의 구성을 나타낸 회로도다.

도 22은, 본 발명의 실시형태 5에 따른 전력용 반도체장치(204)의 구성을 나타낸 회로도다.

도 23은, 도 22의 집적회로(5b)로부터 출력되는 제어신호의 타이밍도의 일례를 도시한 도면이다.

도 24은, 본 발명의 실시형태 6에 따른 전력용 반도체장치(205)의 구성을 나타낸 회로도다.

도 25은, 본 발명의 실시형태 7에 따른 전력용 반도체장치(206)의 구성을 나타낸 회로도다.

도 26은, 본 발명의 실시형태 8에 따른 전력용 반도체장치(207)의 구성을 나타낸 회로도다.

도 27은, 본 발명의 실시형태 9에 따른 전력용 반도체장치(208)의 구성을 나타낸 회로도다.

도 28은, 도 27의 집적회로(5d)로부터 출력되는 제어신호의 타이밍도의 일례를 도시한 도면이다.

도 29은, 본 발명의 실시형태 10에 따른 전력용 반도체장치(209)의 구성을 나타낸 회로도다.

도 30은, 본 발명의 실시형태 11에 의한 전력용 반도체장치(210)의 구성을 나타낸 회로도다.

도 31은, 본 발명의 실시형태 12에 의한 전력용 반도체 장치에서 사용되는 IGBT Q1, Q2의 사양에 대해 설명하기 위한 도면이다.

도 32은, 본 발명의 실시형태 13의 변형예에 의한 전력용 반도체장치(211)의 구성도다.

도 33은, 실시형태 2, 9, 10에 의한 전력용 반도체장치 201, 208, 209에 있어서, 구동제어부 101, 108, 109에 의한 IGBT Q1, Q2의 스위칭 제어방법의 변형예에 대해 설명하기 위한 도면이다.

도 34은, 실시형태 5, 11에 의한 전력용 반도체장치 204, 210에 있어서, 구동제어부 104, 110에 의한 IGBT Q1, Q2의 스위칭 제어방법의 변형예에 대해 설명하기 위한 도면이다.

도 35은, 실시형태 2, 9, 10에 의한 전력용 반도체장치 201, 208, 209에 있어서, 구동제어부 101, 108, 109에 의한 IGBT Q1, Q2의 스위칭 제어방법의 다른 변형예에 대해 설명하기 위한 도면이다.

도 36은, 본 발명의 실시형태 19에 의한 전력용 반도체장치(212)의 구성을 나타낸 회로도다.

도 37은, 도 36의 전류 검출 센서(99)의 출력 파형의 일례를 도시한 도면이다.

도 38은, 본 발명의 실시형태 20에 의한 전력용 반도체장치(213)의 구성을 나타낸 회로도다.

도 39은, 본 발명의 실시형태 21에 의한 전력용 반도체장치(214)의 구성을 나타낸 회로도다.

도 40은, 본 발명의 실시형태 22에 의한 전력용 반도체장치(215)의 구성을 나타낸 회로도다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 본 발명의 실시형태에 대해 도면을 참조해서 상세하게 설명한다. 또한, 동일 또는 해당하는 부분에는 동일한 참조부호를 붙이고, 그 설명을 반복하지 않는다.

[0014] <실시형태 1>

[0015] [전력용 반도체장치(200)의 구성]

[0016] 도 1은, 본 발명의 실시형태 1에 따른 전력용 반도체장치(200)의 구성도다. 도 1을 참조하여, 전력용 반도체장치(200)은, 고전압 노드 HV와 접지 노드 GND 사이에 서로 병렬로 접속된 전력용 반도체 소자 Q1, Q2과, 구동제어부(100)를 포함한다. 도 1에서는 전력용 반도체 소자 Q1, Q2로서 IGBT가 예시되지만, 파워 MOSFET나 바이폴러트랜지스터 등 그 밖의 반도체 소자이어도 된다. 이하에서는, 전력용 반도체 소자 Q1, Q2를 각각 IGBT Q1, Q2로도 기재한다. IGBT Q1, Q2의 콜렉터가 접속되는 고전압 노드 HV는 제어 대상의 전력기기에 접속되고, 고전압이 인가된다.

[0017] 구동제어부(100)은, 외부로부터 받은 구동신호 DS의 논리 레벨에 따라 IGBT Q1, Q2를 온 상태 또는 오프 상태로 전환한다. 본 실시형태에 의한 구동제어부(100)은, 하이레벨(H 레벨)의 구동신호 DS를 받았을 때에 전력용 반도체 소자 Q1, Q2를 온 상태로 하고, 로우 레벨(L 레벨)의 구동신호 DS를 받았을 때에 전력용 반도체 소자 Q1, Q2를 오프 상태로 하는 것으로 한다. H 레벨의 구동신호 DS를 온 지령으로도 칭하고, L 레벨의 구동신호 DS를 오프 지령으로도 칭한다. 온 지령 및 오프 지령은, 구동제어부(100)에 교대로 반복하여 주어진다. 구동제어부(100)의 구체적인 구성에는, 실시형태 2 이후에서 설명한다.

[0018] [전력용 반도체장치(200)의 동작]

[0019] 도 2은, 구동신호 DS와 전력용 반도체 소자 Q1, Q2의 게이트 전압의 관계를 나타낸 타이밍도다. 도 1, 도 2을 참조하여, 구동제어부(100)은, 온 지령을 받아서 IGBT Q1, Q2를 온 상태로 전환할 때, IGBT Q1, Q2를 동시에 온 상태로 하는 경우와, IGBT Q1, Q2의 중 한쪽(예를 들면, IGBT Q1)을 먼저 온 상태로 하고, 다른쪽을 나중에 온 상태로 하는 경우에서 전환가능하다. 더구나, 구동제어부(100)은, 오프 지령을 받아서 IGBT Q1, Q2를 오프 상태로 전환할 때, IGBT Q1, Q2를 동시에 오프 상태로 하는 경우와, IGBT Q1, Q2의 중 한쪽(예를 들면, IGBT Q1)을 먼저 오프 상태로 하고, 다른쪽을 나중에 오프 상태로 하는 경우에서 전환가능하다. IGBT Q1, Q2를 동시에 스위칭할지, 그렇지 않으면, 타이밍을 어긋나게 하여 각각 독립하여 스위칭할지는, 온 지령을 받아서 IGBT Q1, Q2가 온 상태(도통상태)일 때에 IGBT Q1, Q2를 각각 흐르는 주전류 I1, I2(또는 주전류 I1 및 I2이 합성된 전체 전류 It)의 크기에 따라 결정한다. 구체적으로 실시형태 1의 경우, 전력용 반도체 소자 Q1, Q2를 흐르는 전체 전류 It는, 크기에 의해 3개의 영역으로 나뉜다.

[0020] 도 2a에는, 전체 전류 It의 크기가 비교적 작은 경우가 표시된다. 이 경우,

[0021] 시각 t1에 있어서, 구동신호 DS가 L 레벨로부터 H 레벨로 전환하면, 구동제어부(100)은, IGBT Q1의 게이트에 H 레벨의 전압을 인가함으로써 IGBT Q1을 온 상태로 전환한다. 그후의 시각 t2에, 구동제어부(100)은, IGBT Q2의 게이트에 H 레벨의 전압을 인가함으로써 IGBT Q2를 온 상태로 전환한다. 시각 t3에 있어서, 구동신호 DS가 H 레벨로부터 L 레벨로 전환하면, 구동제어부(100)은, IGBT Q1의 게이트에 L 레벨의 전압을 인가함으로써 IGBT Q1을 오프 상태로 전환한다. 그후의 시각 t4에, 구동제어부(100)은, IGBT Q2의 게이트에 L 레벨의 전압을 인가함으로써 IGBT Q2를 오프 상태로 전환한다. 따라서, 턴온시에 있어서는, 먼저 턴온하는 IGBT Q1에 스위칭 손실(턴온 손실 Eon)이 주로 생기고, 턴오프시에 있어서는 뒤에 턴오프하는 IGBT Q2에 스위칭 손실(턴오프 손실 Eoff)이 주로 생긴다.

[0022] 도 2b에는, 전체 전류 It의 크기가 중간 정도인 경우가 표시된다. 이 경우, 시각 t1에 있어서, 구동신호 DS가 L 레벨로부터 H 레벨로 전환하면, 구동제어부(100)은, IGBT Q1, Q2의 양쪽의 게이트에 H 레벨의 전압을 인가함으로써 IGBT Q1, Q2를 동시에 온 상태로 전환한다. 시각 t3에 있어서, 구동신호 DS가 H 레벨로부터 L 레벨로 전환하면, 구동제어부(100)은, IGBT Q1의 게이트에 L 레벨의 전압을 인가함으로써 IGBT Q1을 오프 상태로 전환한다. 그 후의 시각 t4에, 구동제어부(100)은, IGBT Q2의 게이트에 L 레벨의 전압을 인가함으로써 IGBT Q2를 오프 상태로 전환한다. 따라서, 턴온시에 있어서는, IGBT Q1, Q2의 양쪽에 스위칭 손실(턴온 손실 Eon)이 생긴다. 턴오프시에 있어서는, 주로, 나중에 턴오프하는 IGBT Q2에 스위칭 손실(턴오프 손실 Eoff)이 생긴다.

[0023] 도 2c에는, 전체 전류 It의 크기가 비교적 높은 경우가 표시된다. 이 경우, 시각 t1에 있어서, 구동신호 DS가 L 레벨로부터 H 레벨로 전환하면, 구동제어부(100)은, IGBT Q1, Q2의 양쪽의 게이트에 H 레벨의 전압을 인가함으로써 IGBT Q1, Q2를 동시에 온 상태로 전환한다. 시각 t3에 있어서, 구동신호 DS가 H 레벨로부터 L 레벨로 전환하면, 구동제어부(100)은, IGBT Q1, Q2의 양쪽의 게이트에 L 레벨의 전압을 인가함으로써 IGBT Q1, Q2를 동시에 오프 상태로 전환한다. 따라서, 턴온 시 및 턴오프시의 양쪽 모두, IGBT Q1, Q2의 양쪽에 스위칭 손실이 생긴다.

- [0024] 상기에서는, 타이밍을 어긋나게 하여 IGBT Q1, Q2를 순차 스위칭하는 경우, IGBT Q1을 IGBT Q2보다도 먼저 온 상태 또는 오프 상태로 전환하도록 했지만, IGBT Q1, Q2의 특성이 같은 경우에는 어느것을 먼저 스위칭해도 상관없다.
- [0025] [도 2a?c의 방법에서 스위칭 제어를 행하는 이유]
- [0026] 다음에, 상기한 방법에서 IGBT Q1, Q2의 스위칭 제어를 행하는 이유에 대해 설명한다.
- [0027] 도 3은, 온 상태일 때 IGBT Q1, Q2를 흐르는 전체 전류 I_t 의 크기와 (a) 턴온 손실 E_{on} 및 (b) 턴오프 손실 E_{off} 의 크기의 관계를 도시한 도면이다. 도 3에 있어서, 턴온 손실 E_{on} 및 턴오프 손실 E_{off} 는, 구동신호 DS의 1 펄스(Pulse)당에 소비되는 전력(mJ)으로 표시된다. 서로 타이밍을 어긋나게 하여 IGBT Q1, Q2를 각각 단독으로 스위칭시키는 경우를 1칩(1P)으로 기재하고, IGBT Q1, Q2를 동시에 스위칭시키는 경우를 2칩(2P)으로 기재한다.
- [0028] 도 3a를 참조하여, IGBT Q1, Q2를 흐르는 전체 전류 I_t 가 어떤 임계값 I_{th1} 보다 작은 경우에는, 서로 타이밍을 어긋나게 하여 IGBT Q1, Q2를 각각 단독으로 온 상태로 한 쪽이, 동시에 온 상태로 하는 것보다도 턴온 손실 E_{on} 은 작아진다. 전체 전류 I_t 가 임계값 I_{th1} 보다 큰 경우에는, IGBT Q1, Q2를 동시에 온 상태로 한 쪽이, IGBT Q1, Q2를 각각 단독으로 온 상태로 하는 것보다도 턴온 손실 E_{on} 이 작아진다. 따라서, 도 1의 구동제어부(100)은, 전체 전류 I_t 가 임계값 I_{th1} 이하인 경우에는, 도 2a에서 나타낸 것과 같이, IGBT Q1을 먼저 온 상태로 하고, IGBT Q2를 나중에 온 상태로 한다. 구동제어부(100)은, 전체 전류 I_t 가 임계값 I_{th1} 보다 큰 경우에는, 도 2b에서 나타낸 것과 같이, IGBT Q1, Q2를 동시에 온 상태로 한다. 이것에 의해, 종래보다 턴온 손실 E_{on} 을 저감할 수 있다.
- [0029] 도 3b를 참조하여, 턴오프 손실 E_{off} 의 경우에는, 도통상태의 IGBT Q1, Q2를 흐르는 전체 전류 I_t 의 크기에 따르지 않고, 서로 타이밍을 어긋나게 하여 IGBT Q1, Q2를 각각 단독으로 오프 상태로 한 쪽이, 동시에 오프 상태로 하는 것보다도 턴오프 손실 E_{off} 는 작아진다. 따라서, 도 1의 구동제어부(100)은, 도 2a 및 도 2b에서 나타낸 것과 같이, IGBT Q1을 먼저 오프 상태로 하고, IGBT Q2를 나중에 오프 상태로 한다. 이것에 의해, IGBT Q1, Q2를 동시에 오프 상태로 하는 경우에 비교하여, 턴오프 손실 E_{off} 를 저감할 수 있다.
- [0030] 단, IGBT Q1, Q2를 각각 단독으로 오프 상태로 하는 경우에는, IGBT Q1, Q2를 흐르는 전체 전류 I_t 가 1소자당의 최대정격을 초과하면, 나중에 오프 상태로 하는 소자가 파괴될 가능성이 있다. 따라서, 소자의 파괴를 방지하기 위해서, 전체 전류 I_t 가 1소자당의 최대정격에 근접한 경우에는, 도 2c에서 나타낸 것과 같이, IGBT Q1, Q2를 동시에 오프 상태로 한다.
- [0031] 도 4은, IGBT Q1, Q2의 턴오프시의 타이밍 제어에 대해 설명하기 위한 개념도다.
- [0032] 도 4을 참조하여, IGBT Q1, Q2의 1소자당의 주전류의 최대정격을 I_R 로 한다. 최대정격 I_R 보다도 약간 작은 값으로 임계값 I_{th2} 이 설정되고, 최대정격 I_R 의 2배($2 \times I_R$)보다도 약간 작은 값으로 임계값 I_{th3} 이 설정된다. 도통상태에서 IGBT Q1, Q2를 흐르는 전체 전류 I_t 가 임계값 I_{th2} 미만인 경우에는, 도 1의 구동제어부(100)은, 오프 지령에 대해 IGBT Q1, Q2가 각각 단독으로 순차 오프 상태가 되도록 제어한다. 전체 전류 I_t 가 임계값 I_{th2} 이상이고, 임계값 I_{th3} 미만인 경우에는, 구동제어부(100)은, 오프 지령에 대해 IGBT Q1, Q2가 동시에 오프 상태로 되도록 제어한다. 1소자씩 순차 오프 상태로 하는 것보다도 턴오프 손실 E_{off} 가 증가하게 되지만, IGBT의 단락 보호를 목적으로 하여 이와 같은 스위칭 제어를 행한다. 전체 전류 I_t 가 임계값 I_{th3} 이상인 경우에는, IGBT Q1, Q2의 양쪽 모두 구동신호 DS의 논리 레벨과는 관계없이 오프 상태가 되도록 제어하는 단락 보호를 행한다.
- [0033] [도 3a 및 도 3b의 스위칭 특성이 얻어지는 이유]
- [0034] 다음에, 도 3a 및 도 3b에 나타낸 스위칭 특성이 얻어지는 이유에 대해 설명한다.
- [0035] 도 5은, IGBT의 스위칭 손실과 콜렉터 전류의 관계를 도시한 도면이다. 도 5에는, 턴온 손실 E_{on} , 턴오프 손실 E_{off} , 및 역회복 동작시의 스위칭 손실 Err 의 콜렉터 전류 I_c 의존성이 표시된다.
- [0036] 도 6은, IGBT의 스위칭 손실과 게이트 저항의 관계를 도시한 도면이다. 도 6에는, 턴온 손실 E_{on} , 턴오프 손실 E_{off} , 및 역회복 동작시의 스위칭 손실 Err 의 게이트 저항 R_G 의존성이 표시된다. 도 5, 도 6에 나타낸

특성도는, 미쓰비시전기계의 IGBT 모듈(모델번호: CM600HX-24A)의 데이터시트로부터 발췌한 것이다.

[0037] (1. 턴오프 손실 Eoff)

[0038] 도 5을 참조하여, 턴오프 손실 Eoff는, 콜렉터 전류 Ic의 제곱함수로 표시된다(즉, 도 5에 나타난 양쪽 대수 그래프에 있어서, 턴오프 손실 Eoff가 콜렉터 전류 Ic에 비례한다). 기호 「^」로 지수를 표시하는 것으로 하면, 턴오프 손실 Eoff는, 정수 a, b를 사용해서,

[0039]
$$E_{off}=a \times I_c^b \quad \dots(1)$$

[0040] 로 표시할 수 있다.

[0041] 도 1의 IGBT Q1, Q2의 각각에 흐르는 전류를 Io[A]로 하면, 1소자씩 오프 상태로 했을 때의 턴오프 손실 Eoff_1P은,

[0042]
$$E_{off_1P}=a \times (2 \times I_o)^b \quad \dots(2)$$

[0043] 로 표시된다. 2소자 동시에 오프 상태로 했을 때의 턴오프 손실 Eoff_2P은,

[0044]
$$E_{off_2P}=2 \times a \times I_o^b \quad \dots(3)$$

[0045] 으로 표시된다. 상기 식 (2)과 (3)의 비는,

[0046]
$$E_{off_1P}/E_{off_2P}=2^{b-1} \quad \dots(4)$$

[0047] 이 되므로, b<1이면,

[0048]
$$E_{off_1P}<E_{off_2P} \quad \dots(5)$$

[0049] 의 관계가 성립한다. b<1의 관계는 도 5의 그래프의 기울기가 1보다 작은 것을 의미하고, 통상은, 이 b<1의 관계가 성립한다.

[0050] 구체적인 수치를 사용해서 검증하면, 도 1에 나타난 IGBT Q1, Q2에 있어서, 1소자당 200[A]의 주전류가 흐르고 있다고 하면(즉, I1=I2=200[A]), 전체 전류 It는 400[A]이 된다. 도 5을 참조하면, 콜렉터 전류가 200[A]일 때의 턴오프 손실 Eoff는 약 41mJ/Pulse이며, 콜렉터 전류가 400[A]일 때 턴오프 손실 Eoff는 약 62mJ/Pulse다. 따라서, 2소자 동시에 오프 상태로 전환했을 경우의 턴오프 손실 Eoff는 전체로 82mJ/Pulse가 되는 것에 대해, 1소자씩 오프 상태로 전환한 경우의 턴오프 손실 Eoff는 나중에 오프 상태로 하는 소자에 손실이 생기므로 62mJ/Pulse가 된다. 이와 같이, 1소자씩 오프 상태로 전환한 쪽이 턴오프 손실 Eoff는 작아진다.

[0051] 이때, 도 6에 나타난 것과 같이 턴오프 손실 Eoff에 있어서는, 게이트 저항 RG에 대한 턴오프 손실 Eoff의 의존성은 거의 없고, 턴오프 손실 Eoff의 특성은 IGBT의 소자특성에 의해 거의 결정되어 있는 것을 알 수 있다. 상기한 결과는, 정성적으로는 다음과 같이 생각할 수 있다.

[0052] 도 7은, 콜렉터 전류밀도 Jc과 포화 전압 VCE(sat)의 관계를 도시한 도면이다. 도 7을 참조하여, 동일한 특성 및 사이즈의 IGBT Q1, Q2가 병렬로 접속되어 있다고 하면, 1칩씩 오프 상태로 전환하는 경우(1P)은, 2칩 동시에 오프 상태로 하는 경우(2P)에 비해 주전류가 흐르는 부분의 단면적이 절반으로 되므로, 1칩당의 콜렉터 전류밀도 Jc은 2배가 된다. 그리고, 콜렉터 전류밀도 Jc이 증가하면, 포화 전압 VCE(sat)이 증가한다.

[0053] 도 8은, 턴오프 손실 Eoff와 포화 전압 VCE(sat)의 관계를 도시한 도면이다. 도 8을 참조하여, 바이폴러 소자에서는, 턴오프 손실 Eoff와 포화 전압 VCE(sat)는 트레이드오프의 관계에 있다. 이 때문에, 1칩씩 오프 상태로 전환하는 경우(1P)은, 2칩 동시에 오프 상태로 하는 경우(2P)에 비해 턴오프 손실 Eoff가 작아진다. 또한, 말할 필요도 없는 것이지만, 온 지령을 받아 IGBT Q1, Q2가 도통상태에 있는 경우의 정상손실은, 턴오프를 순차 행하는 경우(1P)과 동시에 행하는 경우(2P)에서 동일하다.

[0054] (2. 턴온 손실 Eon)

[0055] 다시 도 5을 참조하여, 턴온 손실 Eon은, 콜렉터 전류 Ic의 지수함수로 대략 표시할 수 있다(도 5에 나타난 양쪽 대수 그래프에 있어서, 턴온 손실 Eon과 콜렉터 전류 Ic는 정비례 관계에 없다). 따라서, 턴온 손실 Eon은, 정수 a, b를 사용해서,

[0056]
$$E_{on}=a \times \exp(I_c \times b) \quad \dots(6)$$

[0057] 로 표시할 수 있다. 단, 상기 식 (6)에 있어서 「exp(…)」은 지수함수를 나타낸다.

[0058] 도 1의 IGBT Q1, Q2의 각각에 흐르는 전류를 $I_o[A]$ 라고 하면, 1소자씩 온 상태로 했을 때의 턴온 손실 E_{on_1P} 은,

[0059]
$$E_{on_1P}=a \times \exp(2 \times I_o \times b) \quad \dots(7)$$

[0060] 로 표시된다. 2소자 동시에 온 상태로 했을 때의 턴온 손실 E_{on_2P} 은,

[0061]
$$E_{on_2P}=2 \times a \times \exp(I_o \times b) \quad \dots(8)$$

[0062] 로 표시된다. 상기 식 (7)과 (8)의 비는,

[0063]
$$E_{on_1P}/E_{on_2P}=\exp(I_o \times b)/2 \quad \dots(9)$$

[0064] 가 되므로, $I_o < b \times \ln(2)$ 이 되는 비교적 소전류의 영역에서(단, \ln 은 자연대수를 나타낸다).

[0065]
$$E_{on_1P} < E_{on_2P} \quad \dots(10)$$

[0066] 의 관계가 성립한다. $I_o > b \times \ln(2)$ 이 되는 비교적 대전류의 영역에서,

[0067]
$$E_{on_1P} > E_{on_2P} \quad \dots(11)$$

[0068] 의 관계가 성립한다.

[0069] 도 9은, IGBT의 콜렉터 전류 I_c 과 턴온 손실 E_{on} 의 관계를 도시한 도면이다. 도 9을 참조하여, 병렬접속된 온 상태의 IGBT Q1, Q2의 각각에 콜렉터 전류 I_o 가 흐르고 있다고 하고, 콜렉터 전류 I_o 에 대응하는 턴온 손실 E_{on} 을 $E_o[mJ/Pulse]$ 으로 따라서, 2소자 동시에 온 상태로 전환하는 경우의 턴온 손실 E_{on} 은 $2 \times E_o$ (도 9의 점 2P)이다. 1소자씩 순서대로 온 상태로 전환하는 경우에는, 최초에 온 상태로 전환하는 소자에 $2 \times I_o$ 의 전류가 흐르므로, 이 경우의 턴온 손실 E_{on} 은 도 9의 E_o' (점 1P)이 된다.

[0070] 콜렉터 전류 I_c 의 증가에 따라 턴온 손실 E_{on} 은 지수함수적으로 증가하므로, 전류 I_o 가 비교적 클 때에는, 도 9에 나타난 것과 같이 손실 E_o' 은 $2 \times E_o$ 보다도 커진다. 따라서, 2소자 동시에 온 상태로 전환한 쪽이 저손실이 된다. 반대로 전류 I_o 가 비교적 작을 때에는, 손실 E_o' 은 $2 \times E_o$ 보다도 작아지므로, 1소자씩 순서대로 온 상태로 전환한 쪽이 저손실이 된다.

[0071] 또한, 턴온 손실 E_{on} 에 관계되는 것은 콜렉터 전류 I_c 뿐만 아니다. 도 6에 나타난 것과 같이, 턴온 손실 E_{on} 은, 게이트 저항 R_G 에 대해 지수함수의 관계를 나타낸다. 즉, 게이트 저항 R_G 이 증가함에 따라서 턴온 손실 E_{on} 은 지수함수적으로 증가한다. 그 이외, 턴온 손실에는, IGBT의 용량(입력 용량, 미러 용량)이나, 프리휠 다이오드의 특성도 관계된다.

[0072] [시뮬레이션 결과]

[0073] 도 10?도 16에 병렬접속된 IGBT에 관한 시뮬레이션 결과를 나타낸다. 도 10?도 15에 나타난 파형도에서는, IGBT Q1, Q2의 각각에 대해, 위에서부터 순서대로 손실[kW], 콜렉터?에미터간 전압 $V_{CE}[V]$, 콜렉터?에미터간 전류 $I_{CE}[A]$, 게이트?에미터간 전압 $V_{GE}[V]$ 의 파형도가 표시된다. 손실은, 콜렉터?에미터간 전압 V_{CE} 와 콜렉터?에미터간 전류 I_{CE} 의 곱이다.

[0074] 도 10은, 병렬접속된 IGBT를 순차 스위칭시킨 경우의 시뮬레이션 결과를 도시한 도면이다. 도 11은, 도 10의 턴온시의 확대도이며, 도 12은 도 10의 턴오프시의 확대도다. 도 10?도 12에 나타난 시뮬레이션에서는, 턴온시에는 IGBT Q1을 먼저 온 상태로 전환하고, 그 0.5 μ 초 후에 IGBT Q2을 온 상태로 전환하였다. 턴오프시에는, IGBT Q1을 먼저 오프 상태로 전환하고, 그 0.5 μ 초후에 IGBT Q2을 오프 상태로 전환하였다. 턴온 손실 E_{on} 은 먼저 온 상태로 전환하는 IGBT Q1에 의해 부담되고, 턴오프 손실 E_{off} 는 나중에 오프 상태로 전환하는 IGBT Q2에 의해 부담되고 있는 것을 알 수 있다.

[0075] 도 13은, 병렬접속된 IGBT에 대해 온 상태로의 전환은 동시에 행하고, 오프 상태로의 전환은 순차 행한 경우의 시뮬레이션 결과를 도시한 도면이다. 도 14은, 도 13의 턴온시의 확대도다. 도 15은 도 13의 턴오프시의 확대도다. 도 13?도 15에 나타난 시뮬레이션에서는, 턴온시에는 IGBT Q1, Q2를 동시에 온 상태로 전환하였다.

턴오프시에는, IGBT Q1을 먼저 오프 상태로 전환하고, 그 0.5 μ 초후에 IGBT Q2을 오프 상태로 전환하였다. 턴온 손실 Eon은 IGBT Q1, Q2의 양쪽에 의해 부담되고, 턴오프 손실 Eoff는 나중에 오프 상태로 전환하는 IGBT Q2에 의해 부담되고 있는 것을 알 수 있다.

[0076] 도 16은, 병렬접속된 IGBT Q1, Q2에 흐르는 전체 전류 It와 턴온 손실 Eon의 관계를 도시한 도면이다. 도 16b에는, 도 16a의 파선의 범위 내의 확대도가 표시된다. 도 16b에 나타난 것과 같이, 임계값 Ith1보다도 저전류의 영역에서는, 1소자씩 순서대로 온 상태로 전환한 경우(1P)의 쪽이, 2소자 동시에 온 상태로 전환하는 경우(2P)보다도 턴온 손실 Eon이 작아진다. 임계값 Ith1보다도 고전류의 영역에서는, 2소자 동시에 온 상태로 전환하는 경우(2P)의 쪽이, 1소자씩 순서대로 온 상태로 전환한 경우(1P)보다도 턴온 손실 Eon이 작아진다.

[0077] <실시형태 2>

[0078] 도 17은, 본 발명의 실시형태 2에 따른 전력용 반도체장치(201)의 구성을 나타낸 회로도다. 실시형태 2에서는, 도 1의 구동제어부(100)의 구체적 구성의 일례가 표시된다. 도 17의 구동제어부(101)은, 제어용의 집적회로(IC: Integrated Circuit)(5)과, 구동용 전원 V1과, 저항소자 R14, R15, R23, R24과, IGBT Q1, Q2를 구동하기 위한 N형 MOS(Metal Oxide Semiconductor) 트랜지스터 Q11, Q22, Q33, Q44를 포함한다.

[0079] 집적회로(5)은, 구동신호 DS를 받는 입력 단자 IN과, 구동신호 DS에 따른 제어신호를 트랜지스터 Q11, Q22, Q33, Q44의 게이트에 각각 출력하기 위한 출력 단자 OUT1, OUT2, OUT3, OUT4를 포함한다. 트랜지스터 Q11, Q33의 드레인은, 구동용 전원 V1로부터 구동전압이 공급되는 전원 노드(9)과 접속된다. 트랜지스터 Q22, Q44의 소스는 접지 노드 GND에 접속된다.

[0080] 저항소자 R14, R23의 일단은 IGBT Q1의 게이트에 접속되고, 저항소자 R15, R24의 일단은 IGBT Q2의 게이트에 접속된다. 저항소자 R14의 타단은 트랜지스터 Q11의 소스에 접속되고, 저항소자 R15의 타단은 트랜지스터 Q33의 소스에 접속된다. 저항소자 R23의 타단은 트랜지스터 Q22의 드레인에 접속되고, 저항소자 R24의 타단은 트랜지스터 Q44의 드레인에 접속된다.

[0081] 도 18은, 도 17의 집적회로(5)로부터 출력되는 제어신호의 타이밍도의 일례를 도시한 도면이다.

[0082] 도 17, 도 18을 참조하여, 시각 t1에서, 집적회로(5)은, 구동신호 DS가 H 레벨로 전환하는데 응답하여, 출력 단자 OUT1, OUT3로부터 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT2, OUT4로부터 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11, Q33이 온 상태로 전환하고, 트랜지스터 Q22, Q44이 오프 상태로 전환한다. 이 결과, IGBT Q1, Q2가 동시에 온 상태로 전환한다.

[0083] 시각 t2에서, 집적회로(5)은, 구동신호 DS가 L 레벨로 전환하는데 응답하여, 출력 단자 OUT1로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT2로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 오프 상태로 전환하고, 트랜지스터 Q22이 온 상태로 전환한다. 이 결과, IGBT Q1이 오프 상태로 전환한다.

[0084] 시각 t2로부터 소정의 시간만큼 늦은 시각 t3에, 집적회로(5)은, 출력 단자 OUT3로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT4로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q33이 오프 상태로 전환하고, 트랜지스터 Q44이 온 상태로 전환한다. 이 결과, IGBT Q1에 지연되어 IGBT Q2이 오프 상태로 전환한다.

[0085] 이하, 같은 동작이 반복된다. 즉, 시각 t4, t7에서의 집적회로(5)의 동작은 시각 t1에서의 동작과 같고, 시각 t5, t6에서의 집적회로(5)의 동작은, 시각 t2, t3에서의 동작과 각각 동일하다.

[0086] 이상의 집적회로(5)의 동작에 의해, 실시형태 1에서 설명한 도 2b와 같은 제어동작을 실현할 수 있다.

[0087] 집적회로(5)은 도 18과 다른 타이밍에서 트랜지스터 Q11, Q22, Q33, Q44을 온 및 오프로 제어할 수도 있다. 예를들면, 실시형태 1에서 설명한 도 2a과 같은 제어동작을 실현하기 위해서는, 다음과 같은 스위칭 제어를 행하면 된다. 즉, 집적회로(5)은, 구동신호 DS가 H 레벨로 전환하는데 응답하여, 출력 단자 OUT1로부터 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT2, OUT4로부터 각각 출력하는 제어신호를 L 레벨로 전환한다. 집적회로(5)은, 이 구동신호 DS의 H 레벨로의 전환에 소정의 시간만큼 지연하여 출력 단자 OUT3로부터 출력하는 제어신호를 H 레벨로 전환한다. 더구나, 집적회로(5)은, 구동신호 DS가 L 레벨로 전환하는데 응답하여, 출력 단자 OUT1로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT2로부터 출력하

는 제어신호를 H 레벨로 전환한다. 집적회로(5)은, 이 구동신호 DS의 L 레벨로의 전환에 소정의 시간만큼 지연하여 출력 단자 OUT3로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT4로부터 출력하는 제어신호를 H 레벨로 전환한다. 이상의 제어에 의해, IGBT Q1, Q2은, 이 순서로 온 상태로 전환하고, 이 순서로 오프 상태로 전환한다.

[0088] 실시형태 1에서 설명한 도 2c와 같은 제어동작을 실현하기 위해서는, 다음과 같은 스위칭 제어를 행하면 좋다. 즉, 집적회로(5)은, 구동신호 DS가 H 레벨로 전환했을 때, 출력 단자 OUT1, OUT3로부터 각각 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT2, OUT4로부터 각각 출력하는 제어신호를 L 레벨로 전환한다. 더구나, 집적회로(5)은, 구동신호 DS가 L 레벨로 전환하였을 때, 출력 단자 OUT1, OUT3로부터 각각 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT2, OUT4로부터 각각 출력하는 제어신호를 H 레벨로 전환한다. 이상의 제어에 의해, IGBT Q1, Q2은, 동시에 온 상태로 전환하고, 동시에 오프 상태로 전환한다.

[0089] <실시형태 3>

[0090] 도 19은, 본 발명의 실시형태 3에 따른 전력용 반도체장치(202)의 구성을 나타낸 회로도다. 실시형태 3에서는, 도 1의 구동제어부(100)의 구체적 구성의 일례가 표시된다. 도 19의 구동제어부(102)은, 제어용의 집적회로(IC)(5a)와, 구동용 전원 V1과, 저항소자 R14, R15, R23, R24과, IGBT Q1, Q2를 구동하기 위한 N형 MOS 트랜지스터 Q11, Q22, Q33, Q44과, 지연회로 DLY1, DLY2를 포함한다.

[0091] 집적회로(5a)는, 구동신호 DS를 받는 입력 단자 IN과, 구동신호 DS에 따른 제어신호를 트랜지스터 Q11의 게이트 및 지연회로 DLY1에 출력하기 위한 출력 단자 OUT1과, 구동신호 DS에 따른 제어신호를 트랜지스터 Q22의 게이트 및 지연회로 DLY2에 출력하기 위한 출력 단자 OUT2를 포함한다. 트랜지스터 Q11, Q33의 드레인은, 구동용 전원 V1으로부터 구동전압이 공급되는 전원 노드(9)과 접속된다. 트랜지스터 Q22, Q44의 소스는 접지 노드 GND에 접속된다.

[0092] 저항소자 R14, R23의 일단은 IGBT Q1의 게이트에 접속되고, 저항소자 R15, R24의 일단은 IGBT Q2의 게이트에 접속된다. 저항소자 R14의 타단은 트랜지스터 Q11의 소스에 접속되고, 저항소자 R15의 타단은 트랜지스터 Q33의 소스에 접속된다. 저항소자 R23의 타단은 트랜지스터 Q22의 드레인에 접속되고, 저항소자 R24의 타단은 트랜지스터 Q44의 드레인에 접속된다.

[0093] 지연회로 DLY1은, 저항소자 R37과, 콘덴서 C36과, 다이오드 D38를 포함한다. 저항소자 R37은, 집적회로(5a)의 출력 단자 OUT1과 트랜지스터 Q33의 게이트 사이에 접속된다. 콘덴서 C36은, 트랜지스터 Q33의 게이트와 접지 노드 GND 사이에 접속된다. 다이오드 D38의 애노드는 집적회로(5a)의 출력 단자 OUT1과 접속되고, 캐소드는 트랜지스터 Q33의 게이트와 접속된다. 지연회로 DLY1은, 집적회로(5a)의 출력 단자 OUT1로부터 출력되는 제어신호의 하강 엣지, 즉, 트랜지스터 Q33의 오프 상태로의 전환에 대응하는 쪽의 엣지를 지연시킨다.

[0094] 지연회로 DLY2은, 저항소자 R47과, 콘덴서 C46과, 다이오드 D48를 포함한다. 저항소자 R47은, 집적회로(5a)의 출력 단자 OUT2과 트랜지스터 Q44의 게이트 사이에 접속된다. 콘덴서 C46은, 트랜지스터 Q44의 게이트와 접지 노드 GND 사이에 접속된다. 다이오드 D48의 캐소드는 집적회로(5a)의 출력 단자 OUT2과 접속되고, 애노드는 트랜지스터 Q44의 게이트와 접속된다. 지연회로 DLY2은, 집적회로(5a)의 출력 단자 OUT2로부터 출력되는 제어신호의 상승 엣지, 즉, 트랜지스터 Q44의 온 상태로의 전환에 대응하는 쪽의 엣지를 지연시킨다.

[0095] 도 20은, 도 19의 집적회로(5a)로부터 출력되는 제어신호의 타이밍도의 일례를 도시한 도면이다.

[0096] 도 19, 도 20을 참조하여, 시각 t1에서, 집적회로(5a)는, 구동신호 DS가 H 레벨로 전환하는데 응답하여, 출력 단자 OUT1로부터 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT2로부터 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11, Q33이 온 상태로 전환하고, 트랜지스터 Q22, Q44이 오프 상태로 전환한다. 이 결과, IGBT Q1, Q2가 동시에 온 상태로 전환한다.

[0097] 시각 t2에서, 집적회로(5a)는, 구동신호 DS가 L 레벨로 전환하는데 응답하여, 출력 단자 OUT2로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q22이 온 상태로 전환하고, 트랜지스터 Q44은 지연회로 DLY2로 의해 결정되는 지연시간만큼 지연되어 온 상태로 전환한다.

[0098] 여기에서, 구동용 전원 V1의 출력 전압을 v1으로 하고, 저항소자 R14, R23의 저항값을 각각 r14, r23로 하고, IGBT Q1의 임계전압을 Vq1으로 하면, v1, r14, r23, Vq1은, 통상,

[0099]
$$V_{q1} > v_1 \times r_{23} / (r_{14} + r_{23}) \quad \dots(12)$$

[0100] 의 관계를 충족시키도록 설정된다. 즉, IGBT Q1의 임계전압은, 구동용 전원 V1의 출력 전압을 저항소자 R14, R23에 의해 분압한 전압보다도 크다. 이 결과, 시각 t2에서, IGBT Q1이 오프 상태로 전환한다.

[0101] 시각 t2로부터 소정의 시간만큼 지연된 시각 t3에, 집적회로(5a)는, 출력 단자 OUT1로부터 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 오프 상태로 전환하고, 트랜지스터 Q33이 지연회로 DLY1로 의해 결정되는 지연시간만큼 지연되어 오프 상태로 전환한다. 이 결과, IGBT Q2이 오프 상태로 전환한다.

[0102] 이하, 같은 동작이 반복된다. 즉, 시각 t4, t7에서의 집적회로(5a)의 동작은 시각 t1에서의 동작과 같고, 시각 t5, t6에서의 집적회로(5a)의 동작은, 시각 t2, t3에서의 동작과 각각 동일하다.

[0103] 이상의 집적회로(5a)의 동작에 의해, 실시형태 1에서 설명한 도 2b와 같은 제어동작을 실현할 수 있다.

[0104] <실시형태 4>

[0105] 도 21은, 본 발명의 실시형태 4에 의한 전력용 반도체장치(203)의 구성을 나타낸 회로도다. 도 21의 구동제어부(103)에 설치된 지연회로 DLY3은, 다이오드 D38을 포함하지 않는 점에서 도 19의 지연회로 DLY1과 다르다. 따라서, 도 21의 지연회로 DLY3은, 집적회로(5a)의 출력 단자 OUT1로부터 출력된 제어신호의 상승 엣지 및 하강 엣지의 양쪽을 지연시킨 신호를 트랜지스터 Q33의 게이트에 공급한다. 도 21의 그 밖의 점은 도 19과 같으므로, 동일 또는 해당하는 부분에는 동일한 참조부호를 붙이고 설명을 반복하지 않는다. 집적회로(5a)의 출력 단자 OUT1, OUT2로부터 출력되는 제어신호의 타이밍도 도 20의 경우와 같다.

[0106] 도 21에 나타낸 구동제어부(103)에 따르면, 집적회로(5a)의 출력 단자 OUT1로부터 출력된 제어신호가 H 레벨로 전환하였을 때(도 20의 시각 t1, t4, t7), 지연회로 DLY3에 의해 결정되는 지연시간만큼 지연되어 트랜지스터 Q33이 온 상태로 전환한다. 이 결과, 구동신호 DS가 H 레벨로 전환하였을 때, IGBT Q1의 온 상태로의 전환이 지연되어 IGBT Q2이 온 상태로 전환한다. 시각 t2, t5에서의 IGBT Q1의 오프 상태로의 전환에 지연되어 IGBT Q2이 오프 상태로 전환하는 점은 실시형태 3과 같다. 따라서, 도 21의 전력용 반도체장치 203에 따르면, 실시형태 1에서 설명한 도 2a와 같은 제어동작을 실현할 수 있다.

[0107] <실시형태 5>

[0108] 도 22은, 본 발명의 실시형태 5에 의한 전력용 반도체장치(204)의 구성을 나타낸 회로도다. 실시형태 5에서는, 도 1의 구동제어부(100)의 구체적 구성의 일례가 표시된다. 도 22의 구동제어부(104)은, 제어용의 집적회로(IC)(5b)과, 구동용 전원 V1과, 저항소자 R14, R15, R23, R24과, IGBT Q1, Q2를 구동하기 위한 N형 MOS 트랜지스터 Q11, Q22, Q44과, 다이오드 D12, D13를 포함한다.

[0109] 집적회로(5b)은, 구동신호 DS를 받는 입력 단자 IN과, 구동신호 DS에 따른 제어신호를 트랜지스터 Q11, Q22, Q44의 게이트에 각각 출력하기 위한 출력 단자 OUT1, OUT2, OUT4를 포함한다. 트랜지스터 Q11의 드레인, 구동용 전원 V1로부터 구동전압이 공급되는 전원 노드(9)과 접속된다. 트랜지스터 Q22, Q44의 소스는 접지 노드 GND에 접속된다.

[0110] 저항소자 R14, R23의 일단은 IGBT Q1의 게이트에 접속되고, 저항소자 R15, R24의 일단은 IGBT Q2의 게이트에 접속된다. 저항소자 R14의 타단은 다이오드 D12의 캐소드에 접속되고, 저항소자 R15의 타단은 다이오드 D13의 캐소드에 접속된다. 저항소자 R23의 타단은 트랜지스터 Q22의 드레인에 접속되고, 저항소자 R24의 타단은 트랜지스터 Q44의 드레인에 접속된다. 다이오드 D12, D13의 애노드는 트랜지스터 Q11의 소스에 접속된다. 다이오드 D12, D13은, 트랜지스터 Q11이 온 상태일 때에 도통상태가 된다.

[0111] 도 23은, 도 22의 집적회로(5b)으로부터 출력되는 제어신호의 타이밍도의 일례를 도시한 도면이다.

[0112] 도 22, 도 23을 참조하여, 시각 t1에서, 집적회로(5b)은, 구동신호 DS가 H 레벨로 전환하는데 응답하여, 출력 단자 OUT1로부터 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT 2, OUT4로부터 각각 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 온 상태로 전환하고, 트랜지스터 Q22, Q44이 오프 상태로 전환한다. 이 결과, IGBT Q1, Q2가 동시에 온 상태로 전환한다.

- [0113] 시각 t2에서, 집적회로(5b)은, 구동신호 DS가 L 레벨로 전환하는데 응답하여, 출력 단자 OUT2로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q22이 온 상태로 전환한다. 여기에서, 구동용 전원 V1의 출력 전압을 v1으로 하고, 저항소자 R14, R23의 저항값을 각각 r14, r23으로 하고, IGBT Q1의 임계전압을 Vq1으로 하면, v1, r14, r23, Vq1은, 전술한 식 (12)의 관계를 충족시키도록 설정된다. 즉, IGBT Q1의 임계전압은, 구동용 전원 V1의 출력 전압을 저항소자 R14,R23에 의해 분압한 전압보다도 크다. 이 결과, 시각 t2에서, IGBT Q1이 오프 상태로 전환한다.
- [0114] 시각 t2로부터 소정의 시간만큼 지연된 시각 t3에, 집적회로(5b)은, 출력 단자 OUT1로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT4로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 오프 상태로 전환하고, 트랜지스터 Q44이 온 상태로 전환한다. 이 결과, IGBT Q2이 오프 상태로 전환한다.
- [0115] 이하, 같은 동작이 반복된다. 즉, 시각 t4, t7에서의 집적회로(5b)의 동작은 시각 t1에서의 동작과 같고, 시각 t5, t6에서의 집적회로(5b)의 동작은, 시각 t2, t3에서의 동작과 각각 동일하다.
- [0116] 이상의 집적회로(5b)의 동작에 의해, 실시형태 1에서 설명한 도 2b과 같은 제어동작을 실현할 수 있다. 상기와 달리, 시각 t2, t5에서, 집적회로(5b)의 출력 단자 OUT1로부터 출력되는 제어신호를 L 레벨로 전환하고, 출력 단자 OUT2, OUT4로부터 출력되는 제어신호를 H 레벨로 전환하도록 하면, IGBT Q1, Q2를 동시에 오프 상태로 전환할 수 있다. 즉, 실시형태 1의 도 2c에서 나타낸 제어동작을 실현할 수 있다.
- [0117] <실시형태 6>
- [0118] 도 24은, 본 발명의 실시형태 6에 의한 전력용 반도체장치(205)의 구성을 나타낸 회로도다. 실시형태 6에서는, 도 1의 구동제어부(100)의 구체적 구성의 일례가 표시된다. 도 24의 구동제어부(105)은, 제어용의 집적회로(IC)(5a)와, 구동용 전원 V1과, 저항소자 R14, R15, R23, R24과, IGBT Q1, Q2를 구동하기 위한 N형 MOS 트랜지스터 Q11, Q22, Q44과, 다이오드 D12,D13과, 지연회로 DLY2를 포함한다.
- [0119] 집적회로(5a)는, 구동신호 DS를 받는 입력 단자 IN과, 구동신호 DS에 따른 제어신호를 트랜지스터 Q11의 게이트에 출력하기 위한 출력 단자 OUT1과, 구동신호 DS에 따른 제어신호를 트랜지스터 Q22의 게이트 및 지연회로 DLY2에 출력하기 위한 출력 단자 OUT2를 포함한다. 트랜지스터 Q11의 드레인은, 구동용 전원 V1로부터 구동전압이 공급되는 전원 노드(9)과 접속된다. 트랜지스터 Q22,Q44의 소스는 접지 노드 GND에 접속된다.
- [0120] 저항소자 R14,R23의 일단은 IGBT Q1의 게이트에 접속되고, 저항소자 R15,R24의 일단은 IGBT Q2의 게이트에 접속된다. 저항소자 R14의 타단은 다이오드 D12의 캐소드에 접속되고, 저항소자 R15의 타단은 다이오드 D13의 캐소드에 접속된다. 저항소자 R23의 타단은 트랜지스터 Q22의 드레인에 접속되고, 저항소자 R24의 타단은 트랜지스터 Q44의 드레인에 접속된다. 다이오드 D12,D13의 애노드는 트랜지스터 Q11의 소스에 접속된다. 다이오드 D12,D13은, 트랜지스터 Q11이 온 상태일 때에 도통상태가 된다.
- [0121] 지연회로 DLY2은, 저항소자 R47과, 콘덴서 C46과, 다이오드 D48를 포함한다. 저항소자 R47은, 집적회로(5a)의 출력 단자 OUT2과 트랜지스터 Q44의 게이트 사이에 접속된다. 콘덴서 C46은, 트랜지스터 Q44의 게이트와 접지 노드 GND 사이에 접속된다. 다이오드 D48의 캐소드는 집적회로(5a)의 출력 단자 OUT2과 접속되고, 애노드는 트랜지스터 Q44의 게이트와 접속된다. 지연회로 DLY2은, 집적회로(5a)의 출력 단자 OUT2로부터 출력되는 제어신호의 상승 엣지, 즉, 트랜지스터 Q44의 온 상태로의 전환에 대응하는 쪽의 엣지를 지연시킨다.
- [0122] 집적회로(5a)의 동작은, 실시형태 3의 도 20에서 설명한 것과 같다. 이하, 도 20, 도 24를 참조해서 전력용 반도체장치(205)의 동작에 대해 설명한다.
- [0123] 도 20의 시각 t1에서, 집적회로(5a)는, 구동신호 DS가 H 레벨로 전환하는데 응답하여, 출력 단자 OUT1로부터 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT2로부터 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 온 상태로 전환하고, 트랜지스터 Q22,Q44이 오프 상태로 전환한다. 이 결과, IGBT Q1, Q2가 동시에 온 상태로 전환한다.
- [0124] 시각 t2에서, 집적회로(5a)는, 구동신호 DS가 L 레벨로 전환하는데 응답하여, 출력 단자 OUT2로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q22이 온 상태로 전환하고, 트랜지스터 Q44은 지연회로 DLY2로 의해 결정되는 지연시간만큼 지연되어 온 상태로 전환한다. 여기에서, 구동용 전원 V1의 출력 전압을 v1으로 하고, 저항소자 R14,R23의 저항값을 각각 r14,r23으로 하고, IGBT Q1의 임계전압을 Vq1으로

하면, v1, r14, r23, Vq1은, 통상, 전술한 식(12)의 관계를 충족시키도록 설정된다. 즉, IGBT Q1의 임계전압은, 구동용 전원 V1의 출력 전압을 저항소자 R14,R23에 의해 분압한 전압보다도 크다. 이 결과, 시각 t2에서, IGBT Q1이 오프 상태로 전환한다.

[0125] 시각 t2로부터 소정의 시간만큼 지연된 시각 t3에, 집적회로(5a)는, 출력 단자 OUT1로부터 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 오프 상태로 전환하고, 트랜지스터 Q44이 지연회로 DLY2로 의해 결정되는 지연시간만큼 지연되어 오프 상태로 전환한다. 이 결과, IGBT Q2이 오프 상태로 전환한다.

[0126] 이하, 같은 동작이 반복된다. 즉, 시각 t4, t7에서의 집적회로(5a)의 동작은 시각 t1에서의 동작과 같고, 시각 t5, t6에서의 집적회로(5a)의 동작은, 시각 t2, t3에서의 동작과 각각 동일하다.

[0127] 이상의 집적회로(5a)의 동작에 의해, 실시형태 1에서 설명한 도 2b과 같은 제어동작을 실현할 수 있다.

[0128] <실시형태 7>

[0129] 도 25은, 본 발명의 실시형태 7에 의한 전력용 반도체장치(206)의 구성을 나타낸 회로도다. 실시형태 7에서는, 도 1의 구동제어부(100)의 구체적 구성의 일례가 표시된다. 도 25의 구동제어부(106)은, 구동신호 DS가 입력되는 입력 노드(8)과, 인버터(50)과, 구동용 전원 V1과, 저항소자 R14, R15, R23, R24과, IGBT Q1, Q2를 구동하기 위한 N형 MOS 트랜지스터 Q11, Q22, Q33, Q44과, 지연회로 DLY1,DLY2를 포함한다.

[0130] 트랜지스터 Q11,Q33의 드레인은, 구동용 전원 V1로부터 구동전압이 공급되는 전원 노드(9)에 접속된다. 트랜지스터 Q11의 게이트는 입력 노드(8)에 접속되고, 트랜지스터 Q22의 게이트는 인버터(50)의 출력 노드에 접속된다. 트랜지스터 Q22,Q44의 소스는 접지 노드 GND에 접속된다.

[0131] 저항소자 R14,R23의 일단은 IGBT Q1의 게이트에 접속되고, 저항소자 R15,R24의 일단은 IGBT Q2의 게이트에 접속된다. 저항소자 R14의 타단은 트랜지스터 Q11의 소스에 접속되고, 저항소자 R15의 타단은 트랜지스터 Q33의 소스에 접속된다. 저항소자 R23의 타단은 트랜지스터 Q22의 드레인에 접속되고, 저항소자 R24의 타단은 트랜지스터 Q44의 드레인에 접속된다.

[0132] 지연회로 DLY1은, 저항소자 R37과, 콘덴서 C36과, 다이오드 D38를 포함한다. 저항소자 R37은, 입력 노드(8)과 트랜지스터 Q33의 게이트 사이에 접속된다. 콘덴서 C36은, 트랜지스터 Q33의 게이트와 접지 노드 GND 사이에 접속된다. 다이오드 D38의 애노드는 입력 노드(8)과 접속되고, 캐소드는 트랜지스터 Q33의 게이트와 접속된다. 지연회로 DLY1은, 구동신호 DS의 하강 엣지, 즉, 트랜지스터 Q33의 오프 상태로의 전환에 대응하는 쪽의 엣지를 지연시킨다.

[0133] 지연회로 DLY2은, 저항소자 R47과, 콘덴서 C46과, 다이오드 D48를 포함한다. 저항소자 R47은, 인버터(50)의 출력 노드와 트랜지스터 Q44의 게이트 사이에 접속된다. 콘덴서 C46은, 트랜지스터 Q44의 게이트와 접지 노드 GND 사이에 접속된다. 다이오드 D48의 캐소드는 인버터(50)의 출력 노드와 접속되고, 애노드는 트랜지스터 Q44의 게이트와 접속된다. 지연회로 DLY2은, 인버터(50)로부터 출력되는 신호의 상승 엣지, 즉, 트랜지스터 Q44의 온 상태로의 전환에 대응하는 쪽의 엣지를 지연시킨다.

[0134] 다음에, 도 25의 전력용 반도체장치(206)의 동작에 대해 설명한다. 구동신호 DS가 H 레벨로 전환하면, 트랜지스터 Q11,Q33이 온 상태로 전환한다. 이 때, 인버터(50)의 출력은 L 레벨로 전환되므로, 트랜지스터 Q22,Q44이 오프 상태로 전환한다. 이 결과, IGBT Q1, Q2가 동시에 온 상태로 전환한다.

[0135] 구동신호 DS가 L 레벨로 전환하면, 트랜지스터 Q11이 오프 상태로 전환하고, 트랜지스터 Q33이 지연회로 DLY1에 의해 결정되는 지연시간만큼 지연되어 오프 상태로 전환한다. 이때, 인버터(50)의 출력은 H 레벨로 전환되므로, 트랜지스터 Q22이 온 상태로 전환하고, 트랜지스터 Q44은 지연회로 DLY2에; 의해 결정되는 지연시간만큼 지연되어 온 상태로 전환한다. 이 결과, IGBT Q1이 먼저 오프 상태로 전환하고, IGBT Q2이 지연되어 오프 상태로 전환한다.

[0136] 이상에 의해, 실시형태 1에서 설명한 도 2b와 같은 제어동작을 실현할 수 있다.

[0137] <실시형태 8>

- [0138] 도 26은, 본 발명의 실시형태 8에 의한 전력용 반도체장치(207)의 구성을 나타낸 회로도다. 도 26의 구동제어부(107)에 설치된 지연회로 DLY3은, 다이오드 D38을 포함하지 않는 점에서 도 25의 지연회로 DLY1과 다르다. 따라서, 도 26의 지연회로 DLY3은, 구동신호 DS의 상승 엣지 및 하강 엣지의 양쪽을 지연시킨 신호를 트랜지스터 Q33의 게이트에 공급한다. 도 26의 그 밖의 점은 도 25와 같으므로, 동일 또는 해당하는 부분에는 동일한 참조부호를 붙이고 설명을 반복하지 않는다.
- [0139] 도 26에 나타낸 구동제어부(107)에 따르면, 구동신호 DS가 H 레벨로 전환하였을 때, 지연회로 DLY3에 의해 결정되는 지연시간만큼 지연되어 트랜지스터 Q33이 온 상태로 전환한다. 이 결과, 구동신호 DS가 H 레벨로 전환하였을 때, IGBT Q1의 온 상태로의 전환이 지연되어 IGBT Q2이 온 상태로 전환한다. IGBT Q1의 오프 상태로의 전환이 지연되어 IGBT Q2이 오프 상태로 전환하는 점은 실시형태 7과 같다. 따라서, 도 26의 전력용 반도체장치 207에 따르면, 실시형태 1에서 설명한 도 2a와 같은 제어동작을 실현할 수 있다.
- [0140] <실시형태 9>
- [0141] 도 27은, 본 발명의 실시형태 9에 의한 전력용 반도체장치(208)의 구성을 나타낸 회로도다. 도 27의 전력용 반도체장치(208)은, IGBT Q1, Q2를 흐르는 전체 전류 It를 검출하기 위한 전류 검출 센서(99)을 더 포함하는 점에서 도 17의 전력용 반도체장치(201)과 다르다. 전류 검출 센서(99)로서, 예를들면, 커런트 트랜스가 사용된다.
- [0142] 도 27의 전력용 반도체장치(208)에 설치된 집적회로(5d)는, 전류 검출 센서(99)의 검출 신호를 받는 단자 CS를 더 포함하는 점에서, 도 17의 전력용 반도체장치(201)에 설치된 집적회로(5)와 다르다. 도 27의 그 밖의 구성은, 도 17의 전력용 반도체장치(201)와 같으므로, 동일 또는 해당하는 부분에는 동일한 참조부호를 붙이고 설명을 반복하지 않는다.
- [0143] 집적회로(5d)는, 전류 검출 센서(99)의 검출값에 근거하여 전체 전류 It가 도 3, 도 4에서 설명한 임계값 Ith1, Ith2에 의해 구분되는 영역의 어느 영역에 들어 있는지를 판정한다. 집적회로(5d)는, 다음에, 전류 검출 센서(99)의 검출값에 근거한 판정을 행할 때까지의 사이, 판정 결과에 근거하여 최적의 스위칭의 타이밍을 선택한다. 예를들면, 전체 전류 It가 도 3의 임계값 Ith1보다 작은 경우에는, 집적회로(5d)는, 다음 도 28과 같은 타이밍에서 트랜지스터 Q11, Q22, Q33, Q44을 온 및 오프로 제어한다.
- [0144] 도 28은, 도 27의 집적회로(5d)로부터 출력되는 제어신호의 타이밍도의 일례를 도시한 도면이다.
- [0145] 도 27, 도 28을 참조하여, 시각 t1에서, 집적회로(5d)는, 구동신호 DS가 H 레벨로 전환하는데 응답하여, 출력 단자 OUT1로부터 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT2, OUT4로부터 각각 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 온 상태로 전환하고, 트랜지스터 Q22, Q44이 오프 상태로 전환한다. 이 결과, IGBT Q1이 온 상태로 전환한다.
- [0146] 시각 t1로부터 소정의 시간만큼 지연된 시각 t2에, 집적회로(5d)는, 출력 단자 OUT3로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q33이 온 상태로 전환하고, 이 결과, IGBT Q1보다 지연되어 IGBT Q2이 온 상태로 전환한다.
- [0147] 시각 t3에서, 집적회로(5d)는, 구동신호 DS가 L 레벨로 전환하는데 응답하여, 출력 단자 OUT1로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT2로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 오프 상태로 전환하고, 트랜지스터 Q22이 온 상태로 전환한다. 이 결과, IGBT Q1이 오프 상태로 전환한다.
- [0148] 시각 t3로부터 소정의 시간만큼 지연된 시각 t4에, 집적회로(5d)는, 출력 단자 OUT3로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT4로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q33이 오프 상태로 전환하고, 트랜지스터 Q44이 온 상태로 전환한다. 이 결과, IGBT Q1에 지연되어 IGBT Q2이 오프 상태로 전환한다.
- [0149] 이하, 같은 동작이 반복된다. 즉, 시각 t5?t8에서의 집적회로(5d)의 동작은 시각 t1?t4에서의 동작과 각각 동일하고, 시각 t9, t10에서의 집적회로(5d)의 동작은, 시각 t1, t2에서의 동작과 각각 동일하다.
- [0150] 이상의 집적회로(5d)의 동작에 의해, 실시형태 1에서 설명한 도 2a와 같은 제어동작을 실현할 수 있다.
- [0151] 전체 전류 It가 도 3의 임계값 Ith1 이상이며, 도 4의 임계값 Ith2보다 작은 경우에는, 실시형태 2에서

설명한 도 18의 타이밍도와 같은 타이밍에서 트랜지스터 Q11, Q22, Q33, Q44을 온 및 오프로 제어한다. 이것에 의해, 도 18의 경우와 마찬가지로, 도 2b과 같은 제어동작을 실현할 수 있다.

[0152] 전체 전류 I_t 가 도 4의 임계값 I_{th2} 이상인 경우에는, 집적회로(5d)는, 구동신호 DS가 H 레벨로 전환하였을 때, 출력 단자 OUT1, OUT3로부터 각각 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT2, OUT4로부터 각각 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, IGBT Q1, Q2가 동시에 온 상태로 전환한다. 더구나, 집적회로(5d)는, 구동신호 DS가 L 레벨로 전환하였을 때, 출력 단자 OUT1, OUT3로부터 각각 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT2, OUT4로부터 각각 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, IGBT Q1, Q2가 동시에 오프 상태로 전환한다. 이상에 의해, 실시형태 1에서 설명한 도 2c와 같은 제어동작을 실현할 수 있다.

[0153] <실시형태 10>

[0154] 도 29은, 본 발명의 실시형태 10에 의한 전력용 반도체장치(209)의 구성을 나타낸 회로도다.

[0155] 도 29의 전력용 반도체장치(209)은, 도 27의 전력용 반도체장치(208)을 변형한 것이다. 즉, 전력용 반도체장치 209은, 도 27의 IGBT Q1, Q2 대신에 센스 단자가 부착한 IGBT Q1a, Q2a를 포함하는 점에서 전력용 반도체장치 208과 다르다. 센스 단자에는, IGBT의 에미터 단자에 흐르는 주전류의 일부가 분류(分流)해서 흐른다. 더구나, 전력용 반도체장치 209은, 도 27의 전류 검출 센서(99) 대신에 셉트 저항 R25, R26을 포함하는 점에서 전력용 반도체장치 208과 다르다. 셉트 저항 R25은 IGBT Q1a의 센스 단자와 접지 노드 GND 사이에 접속되고, 셉트 저항 R26은 IGBT Q2a의 센스 단자와 접지 노드 GND 사이에 접속된다. 셉트 저항 R25, R26은, 도 27의 전류 검출 센서(99)과 마찬가지로, IGBT Q1a, Q2a에 각각 흐르는 주전류 I1, I2을 모니터링하는 전류 검출 센서(99a)로서 기능한다.

[0156] 도 29의 구동제어부(109)에 설정된 집적회로(5e)는, 도 27의 검출 단자 CS 대신에, 셉트 저항 R25, R26에 걸리는 전압을 각각 검출하기 위한 검출 단자 CS1, CS2을 포함하는 점에서 도 27의 집적회로(5d)와 다르다. 집적회로(5e)는, 셉트 저항 R25, R26에서 모니터링된 전류 I1, I2의 크기에 근거하여 최적의 타이밍으로 트랜지스터 Q11, Q22, Q33, Q44을 온 및 오프로 제어한다.

[0157] 도 29의 그 밖의 점은 도 27의 전력용 반도체장치(208)과 같으므로, 동일 또는 해당하는 부분에는 동일한 참조부호를 붙이고 설명을 반복하지 않는다. 또한, 병렬접속된 2개의 IGBT의 어느쪽 한쪽만을 센스 단자 부착의 IGBT로 바꾸고, 센스IGBT를 흐르는 전류를 셉트 저항으로 모니터링하는 것과 같은 구성이라도 상관없다. 이 경우, 집적회로는, 어느 한쪽의 IGBT를 흐르는 전류의 크기에 근거하여 트랜지스터 Q11, Q22, Q33, Q44을 온 및 오프로 제어한다.

[0158] <실시형태 11>

[0159] 도 30은, 본 발명의 실시형태 11에 의한 전력용 반도체장치(210)의 구성을 나타낸 회로도다.

[0160] 도 30의 전력용 반도체장치(210)은, 도 22의 전력용 반도체장치(204)를 변형한 것이다. 즉, 전력용 반도체장치 210은, 도 22의 IGBT Q1, Q2대신에 센스 단자 부착된 IGBT Q1a, Q2a를 포함하는 점에서 전력용 반도체장치 204과 다르다. 센스 단자에는, IGBT의 에미터 단자에 흐르는 주전류의 일부가 분류해서 흐른다. 더구나, 전력용 반도체장치 210은, 셉트 저항 R25, R26을 포함하는 점에서 전력용 반도체장치 204과 다르다. 셉트 저항 R25은 IGBT Q1a의 센스 단자와 접지 노드 GND 사이에 접속되고, 셉트 저항 R26은 IGBT Q2a의 센스 단자와 접지 노드 GND 사이에 접속된다. 셉트 저항 R25, R26은, IGBT Q1a, Q2a에 각각 흐르는 주전류 I1, I2을 모니터링하는 전류 검출 센서(99a)로서 기능한다.

[0161] 도 30의 구동제어부 110에 설치된 집적회로(5g)은, 셉트 저항 R25, R26에 걸리는 전압을 각각 검출하기 위한 검출 단자 CS1, CS2을 포함하는 점에서 도 22의 집적회로(5b)과 다르다. 집적회로(5g)은, 셉트 저항 R25, R26에서 모니터링된 전류 I1, I2의 크기에 근거하여 최적의 타이밍으로 트랜지스터 Q11, Q22, Q44을 온 및 오프로 제어한다.

[0162] 예를들면, 셉트 저항 R25, R26에서 모니터링된 전류 I1, I2을 가산함으로써 취득할 수 있는 전체 전류 I_t 가 도 4의 임계값 I_{th2} 이하인 경우에는, 집적회로(5g)은, 구동신호 DS가 H 레벨로 전환하였을 때에, 출력 단자

OUT1로부터 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT2,OUT4로부터 각각 출력하는 제어신호를 L 레벨로 전환한다. 더구나, 집적회로(5g)은, 구동신호 DS가 L 레벨로 전환하였을 때에, 출력 단자 OUT2로부터 출력하는 제어신호를 H 레벨로 전환한다. 그리고, 집적회로(5g)은, 구동신호 DS의 L 레벨로의 전환으로부터 소정의 시간만큼 지연되어, 출력 단자 OUT1로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT4로부터 출력하는 제어신호를 H 레벨로 전환한다.

[0163] 이상의 제어에 의해, IGBT Q1a, Q2a를 동시에 온 상태로 전환할 수 있고, IGBT Q1a를 오프 상태로 한 후에 IGBT Q2a를 오프 상태로 할 수 있다. 즉, 실시형태 1에서 설명한 도 2b와 같은 제어동작을 실현할 수 있다. 구동신호 DS가 L 레벨로 전환하였을 때에, 출력 단자 OUT2,OUT4로부터 각각 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT1로부터 출력하는 제어신호를 L 레벨로 전환하도록 하면, IGBT Q1a, Q2a를 동시에 오프 상태로 전환할 수 있다. 즉, 실시형태 1에서 설명한 도 2c와 같은 제어동작을 실현할 수 있다.

[0164] 도 30의 그 밖의 점은 도 22의 전력용 반도체장치 204과 같으므로, 동일 또는 해당하는 부분에는 동일한 참조부호를 붙이고 설명을 반복하지 않는다. 또한, 병렬접속된 2개의 IGBT의 어느 한쪽만을 센스 단자 부착의 IGBT로 바꾸고, 센스IGBT를 흐르는 전류를 셉트 저항에서 모니터링하는 것과 같은 구성이어도 상관없다. 이 경우, 집적회로는, 어느 한쪽의 IGBT를 흐르는 주전류의 크기에 근거하여 트랜지스터 Q11, Q22, Q44을 온 및 오프로 제어한다.

[0165] <실시형태 12>

[0166] 도 31은, 본 발명의 실시형태 12에 따른 전력용 반도체 장치에서 사용되는 IGBT Q1, Q2의 사양에 대해 설명하기 위한 도면이다. 도 31에는, 이미 도 8에서 설명한 턴오프 손실 Eoff와 포화 전압 VCE(sat)의 관계(트레이드오프)가 표시된다.

[0167] 도 31을 참조하여, 실시형태 12의 전력용 반도체장치 200?210에 있어서, IGBT Q2의 사양(Q2 Spec.)을, IGBT Q1의 사양(Q1 Spec.)에 비해 포화 전압 VCE(sat)이 높고 또한 턴오프 손실 Eoff가 낮은 것으로 한다. 그렇게 하면, IGBT Q1의 후에 오프 상태로 전환하는 IGBT Q2의 턴오프 손실 Eoff를 낮게 억제할 수 있으므로, 전력용 반도체장치의 스위칭 손실을 한층 더 저감할 수 있다. 이때 포화 전압(정상손실)이 클수록 스위칭 속도는 빨라(스위칭 시간이 짧아)진다.

[0168] 이와 같은 사양의 변경은, 콜렉터층의 도핑 프로파일(불순물 농도나 불순물의 주입의 깊이)을 제어하거나, 드리프트층의 캐리어의 라이프타임을 제어함으로써 실현할 수 있다. 콜렉터층의 불순물 농도를 증가시킨 경우에는, 포화 전압 VCE(sat) 특성(즉, 정상손실)이 작고, 또한, 턴오프 손실 Eoff가 증대하는 것과 같은 사양의 소자를 제작할 수 있다. 전자선 주입 등에 의해 드리프트층의 캐리어의 라이프타임을 짧게 하면, 포화 전압 VCE(sat) 특성(즉, 정상손실)이 크고, 또한, 턴오프 손실 Eoff가 감소하는 것과 같은 사양의 소자를 제작할 수 있다.

[0169] <실시형태 13>

[0170] 상기한 실시형태 12에 의한 전력용 반도체장치에 있어서, IGBT Q2의 임계전압을 IGBT Q1의 임계전압보다도 작아지도록 IGBT Q1, Q2를 선정해도 된다. 이와 같은 사양의 IGBT Q1, Q2를 선정함으로써, 턴오프시에는, 더욱 확실하게 IGBT Q1을 IGBT Q2보다 먼저 오프 상태로 전환할 수 있다. 더구나, IGBT의 임계전압을 조정함으로써 다음과 같은 변형도 가능하다.

[0171] 도 32은, 본 발명의 실시형태 13의 변형예에 의한 전력용 반도체장치(211)의 구성도다. 도 32의 전력용 반도체장치(211)은, 고전압 노드 HV와 접지 노드 GND 사이에 병렬로 접속된 IGBT Q1, Q2과, 구동회로 111a,111b로 이루어진 구동제어부(111)를 포함한다. 구동회로 111a, 111b은, 구동신호 DS를 증폭하고, 즉 구동신호 DS와 같은 논리 레벨의 신호를 IGBT Q1, Q2의 게이트에 각각 공급한다.

[0172] 도 32에 나타난 변형예에 있어서도, IGBT Q2의 임계전압이 IGBT Q1의 임계전압보다도 작아지도록 IGBT Q1, Q2가 선정된다. 이것에 의해, 턴온시에는 IGBT Q2이 먼저 온 상태로 전환하고, 턴오프시에는 IGBT Q2이 나중에 오프 상태로 전환한다. IGBT Q2의 사양을, IGBT Q1의 사양에 비해 포화 전압 VCE(sat)이 높고 또한 턴오프 손실 Eoff가 낮은 것으로 하면, 전력용 반도체장치 211의 스위칭 손실을 낮게 억제할 수 있다.

- [0173] <실시형태 14>
- [0174] 도 33은, 실시형태 2, 9, 10에 의한 전력용 반도체장치 201, 208, 209에 있어서, 구동제어부 101, 108, 109에 의한 IGBT Q1, Q2의 스위칭 제어방법의 변형예에 대해 설명하기 위한 도면이다. 도 33에는, 구동제어부 101, 108, 109에 각각 설치된 집적회로 5, 5d, 5e로부터 출력되는 제어신호의 타이밍도가 표시된다. 이하에서는 도 17에 표시된 집적회로 5를 대표로서 설명하지만, 집적회로 5d, 5e에 대해서도 마찬가지이다.
- [0175] 도 17, 도 33을 참조하여, 시각 t1에서, 집적회로(5)은, 구동신호 DS가 H 레벨로 전환하는데 응답하여, 출력 단자 OUT1,OUT3로부터 각각 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT2,OUT4로부터 각각 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11,Q33이 온 상태로 전환하고, 트랜지스터 Q22,Q44이 오프 상태로 전환한다. 이 결과, IGBT Q1, Q2가 동시에 온 상태로 전환한다.
- [0176] 시각 t2에서, 집적회로(5)은, 구동신호 DS가 L 레벨로 전환하는데 응답하여, 출력 단자 OUT1로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT2로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 오프 상태로 전환하고, 트랜지스터 Q22이 온 상태로 전환한다. 이 결과, IGBT Q1이 오프 상태로 전환한다.
- [0177] 시각 t2로부터 소정의 시간만큼 지연된 시각 t3에, 집적회로(5)은, 출력 단자 OUT3로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT4로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q33이 오프 상태로 전환하고, 트랜지스터 Q44이 온 상태로 전환한다. 이 결과, IGBT Q1에 지연되어 IGBT Q2이 오프 상태로 전환한다.
- [0178] 시각 t4에서, 집적회로(5)은, 구동신호 DS가 다시 H 레벨로 전환하는데 응답하여, 출력 단자 OUT1,OUT3로부터 각각 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT2,OUT4로부터 각각 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11,Q33이 온 상태로 전환하고, 트랜지스터 Q22,Q44이 오프 상태로 전환한다. 이 결과, IGBT Q1, Q2가 동시에 온 상태로 전환한다.
- [0179] 시각 t5에서, 집적회로(5)은, 구동신호 DS가 L 레벨로 전환하는데 응답하여, 출력 단자 OUT3로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT4로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q33이 오프 상태로 전환하고, 트랜지스터 Q44이 온 상태로 전환한다. 이 결과, IGBT Q2이 오프 상태로 전환한다.
- [0180] 시각 t5로부터 소정의 시간만큼 지연된 시각 t6에, 집적회로(5)은, 출력 단자 OUT1로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT2로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 오프 상태로 전환하고, 트랜지스터 Q22이 온 상태로 전환한다. 이 결과, IGBT Q2에 지연되어 IGBT Q1이 오프 상태로 전환한다. 이하, 시각 t7 이후, 상기한 타이밍 제어가 반복된다.
- [0181] 상기한 구동제어부 101, 108, 109에 의한 IGBT Q1, Q2의 스위칭의 제어방법에 따르면, IGBT Q1, Q2는 교대로 지연되어 오프 상태로 전환한다. IGBT Q2보다도 지연되어 IGBT Q1이 오프 상태로 전환한 경우에는, 턴오프 손실 Eoff의 대부분은 IGBT Q1에 의해 부담된다. 반대로, IGBT Q1보다도 지연되어 IGBT Q2이 오프 상태로 전환한 경우에는, 턴오프 손실 Eoff의 대부분은 IGBT Q2에 의해 부담된다. 이와 같이 턴오프 손실 Eoff를 양쪽의 IGBT Q1, Q2로 부담할 수 있으므로, IGBT Q1, Q2의 장수명화를 기대할 수 있다. 동일한 사양(포화 전압 VCE(sat) 등)을 갖는 IGBT Q1, Q2의 경우에 특히 효과적이다.
- [0182] <실시형태 15>
- [0183] 도 34은, 실시형태 5, 11에 의한 전력용 반도체장치 204,210에 있어서, 구동제어부 104,110에 의한 IGBT Q1, Q2의 스위칭 제어방법의 변형예에 대해 설명하기 위한 도면이다. 도 34에는, 구동제어부 104,110에 각각 설치된 집적회로 5b,5g으로부터 출력되는 제어신호의 타이밍도가 표시된다. 이하에서는 도 22에 표시된 집적회로 5b를 대표로서 설명하지만, 집적회로 5g에 대해서도 마찬가지이다.
- [0184] 도 22, 도 34를 참조하여, 시각 t1에서, 집적회로(5b)은, 구동신호 DS가 H 레벨로 전환하는데 응답하여, 출력 단자 OUT1로부터 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT2,OUT4로부터 각각 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 온 상태로 전환하고, 트랜지스터

Q22, Q44이 오프 상태로 전환한다. 이 결과, IGBT Q1, Q2가 동시에 온 상태로 전환한다.

- [0185] 시각 t2에서, 집적회로(5b)은, 구동신호 DS가 L 레벨로 전환하는데 응답하여, 출력 단자 OUT1로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT2로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 오프 상태로 전환하고, 트랜지스터 Q22이 온 상태로 전환한다. 이 결과, IGBT Q1이 오프 상태로 전환한다.
- [0186] 시각 t2로부터 소정의 시간만큼 지연된 시각 t3에, 집적회로(5b)은, 출력 단자 OUT4로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q44이 온 상태로 전환한다. 이 결과, IGBT Q1에 지연되어 IGBT Q2이 오프 상태로 전환한다.
- [0187] 시각 t4에서, 집적회로(5b)은, 구동신호 DS가 다시 H 레벨로 전환하는데 응답하여, 출력 단자 OUT1로부터 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT 2, OUT4로부터 각각 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 온 상태로 전환하고, 트랜지스터 Q22, Q44이 오프 상태로 전환한다. 이 결과, IGBT Q1, Q2가 동시에 온 상태로 전환한다.
- [0188] 시각 t5에서, 집적회로(5b)은, 구동신호 DS가 L 레벨로 전환하는데 응답하여, 출력 단자 OUT4로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q44이 온 상태로 전환하므로, IGBT Q2이 오프 상태로 전환한다.
- [0189] 시각 t5로부터 소정의 시간만큼 지연된 시각 t6에, 집적회로(5b)은, 출력 단자 OUT1로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT2로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 오프 상태로 전환하고, 트랜지스터 Q22이 온 상태로 전환한다. 이 결과, IGBT Q2에 지연되어 IGBT Q1이 오프 상태로 전환한다. 이하, 시각 t7 이후, 상기한 타이밍 제어가 반복된다.
- [0190] 상기한 구동제어부 104, 110에 의한 IGBT Q1, Q2의 스위칭의 제어방법에 따르면, IGBT Q1, Q2는 교대로 지연되어 오프 상태로 전환한다. IGBT Q2보다도 지연되어 IGBT Q1이 오프 상태로 전환한 경우에는, 턴오프 손실 Eoff의 대부분은 IGBT Q1에 의해 부담된다. 반대로, IGBT Q1보다도 지연되어 IGBT Q2이 오프 상태로 전환한 경우에는, 턴오프 손실 Eoff의 대부분은 IGBT Q2에 의해 부담된다. 이와 같이 턴오프 손실 Eoff를 양쪽의 IGBT Q1, Q2에서 부담할 수 있으므로, IGBT Q1, Q2의 장수명화를 기대할 수 있다. 동일한 사양(포화 전압 VCE(sat) 등)을 갖는 IGBT Q1, Q2의 경우에 특히 효과적이다.
- [0191] <실시형태 16>
- [0192] 도 35은, 실시형태 2, 9, 10에 의한 전력용 반도체장치 201, 208, 209에 있어서, 구동제어부 101, 108, 109에 의한 IGBT Q1, Q2의 스위칭 제어방법의 다른 변형예에 대해 설명하기 위한 도면이다. 도 35에는, 구동제어부 101, 108, 109에 각각 설치된 집적회로 5, 5d, 5e로부터 출력되는 제어신호의 타이밍도가 표시된다. 이하에서는 도 17에 표시된 집적회로 5를 대표로서 설명하지만, 집적회로 5d, 5e에 대해서도 마찬가지이다.
- [0193] 도 17, 도 35를 참조하여, 시각 t1에서, 집적회로(5)은, 구동신호 DS가 H 레벨로 전환하는데 응답하여, 출력 단자 OUT1로부터 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT2로부터 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 온 상태로 전환하고, 트랜지스터 Q22이 오프 상태로 전환한다. 이 결과, IGBT Q1이 온 상태로 전환한다.
- [0194] 시각 t1으로부터 소정의 시간만큼 지연된 시각 t2에서, 집적회로(5)은, 출력 단자 OUT3로부터 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT4로부터 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, 트랜지스터 Q33이 온 상태로 전환하고, 트랜지스터 Q44이 오프 상태로 전환한다. 이 결과, IGBT Q1에 지연되어 IGBT Q2이 온 상태로 전환한다.
- [0195] 시각 t3에서, 집적회로(5)은, 구동신호 DS가 L 레벨로 전환하는데 응답하여, 출력 단자 OUT1로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT2로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 오프 상태로 전환하고, 트랜지스터 Q22이 온 상태로 전환한다. 이 결과, IGBT Q1이 오프 상태로 전환한다.
- [0196] 시각 t3로부터 소정의 시간만큼 지연된 시각 t4에, 집적회로(5)은, 출력 단자 OUT3로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT4로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의

해, 트랜지스터 Q33이 오프 상태로 전환하고, 트랜지스터 Q44이 온 상태로 전환한다. 이 결과, IGBT Q1에 지연되어 IGBT Q2이 오프 상태로 전환한다.

[0197] 시각 t5에서, 집적회로(5)은, 구동신호 DS가 다시 H 레벨로 전환하는데 응답하여, 출력 단자 OUT3로부터 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT4로부터 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, 트랜지스터 Q33이 온 상태로 전환하고, 트랜지스터 Q44이 오프 상태로 전환한다. 이 결과, IGBT Q2이 온 상태로 전환한다.

[0198] 시각 t5로부터 소정의 시간만큼 지연된 시각 t6에, 집적회로(5)은, 출력 단자 OUT1로부터 출력하는 제어신호를 H 레벨로 전환하는 동시에, 출력 단자 OUT2로부터 출력하는 제어신호를 L 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 온 상태로 전환하고, 트랜지스터 Q22이 오프 상태로 전환한다. 이 결과, IGBT Q2에 지연되어 IGBT Q1이 온 상태로 전환한다.

[0199] 시각 t7에서, 집적회로(5)은, 구동신호 DS가 L 레벨로 전환하는데 응답하여, 출력 단자 OUT3로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT4로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q33이 오프 상태로 전환하고, 트랜지스터 Q44이 온 상태로 전환한다. 이 결과, IGBT Q2이 오프 상태로 전환한다.

[0200] 시각 t7로부터 소정의 시간만큼 지연된 시각 t8에, 집적회로(5)은, 출력 단자 OUT1로부터 출력하는 제어신호를 L 레벨로 전환하는 동시에, 출력 단자 OUT2로부터 출력하는 제어신호를 H 레벨로 전환한다. 이것에 의해, 트랜지스터 Q11이 오프 상태로 전환하고, 트랜지스터 Q22이 온 상태로 전환한다. 이 결과, IGBT Q2에 지연되어 IGBT Q1이 오프 상태로 전환한다. 이하, 시각 t9 이후, 상기한 타이밍 제어가 반복된다.

[0201] 상기한 구동제어부 101, 108, 109에 의한 IGBT Q1, Q2의 스위칭의 제어방법에 따르면, IGBT Q1, Q2는 교대로 지연되어 온 상태로 전환하고, 교대로 지연되어 오프 상태로 전환한다. 따라서, 최초에 IGBT Q1이 턴온 손실을 부담하고, 다음에, IGBT Q2이 턴오프 손실 Eoff를 부담하고, 다음에, IGBT Q2이 턴온 손실 Eon을 부담하고, 다음에, IGBT Q1이 턴오프 손실 Eoff를 부담한다. 이와 같이 턴온 손실 Eon 및 턴오프 손실 Eoff를 양쪽의 IGBT Q1, Q2로 교대로 부담하므로, IGBT Q1, Q2의 장수명화를 기대할 수 있다. 동일한 사양(포화 전압 VCE(sat) 등)을 갖는 IGBT Q1, Q2의 경우에 특히 효과적이다.

[0202] <실시형태 17>

[0203] 상기한 실시형태 1716의 전력용 반도체 장치에서는, 병렬접속된 2개의 전력용 반도체 소자 Q1, Q2이 고전압 노드 HV와 접지 노드 GND 사이에 설치되는 예를 나타내었다. 고전압 노드 HV와 접지 노드 GND 사이에 병렬 접속된 전력용 반도체 소자를 2개 이상 설치하고, 적어도 1개 이상의 전력용 반도체 소자가 지연해서 동작하도록 구성해도, 상기와 동일한 효과를 얻을 수 있다.

[0204] <실시형태 18>

[0205] 상기한 실시형태 1717에 의한 전력용 반도체장치에 있어서, IGBT Q1에는 IGBT나 통상의 바이폴러트랜지스터와 같은 바이폴러 소자를 설치하고, IGBT Q2 대신에 예를들면 SiC으로 형성된 파워 MOS 트랜지스터와 같은 유니폴러 소자를 형성해도 된다. IGBT Q1의 후에 오프 상태로 전환하는 IGBT Q2에 유니폴러 소자와 같은 스위칭 속도가 빠른 반도체 소자를 설치함으로써 턴오프 손실 Eoff를 낮게 억제할 수 있으므로, 전력용 반도체장치의 스위칭 손실을 한층 더 저감할 수 있다.

[0206] <실시형태 19>

[0207] 도 36은, 본 발명의 실시형태 19에 의한 전력용 반도체장치(212)의 구성을 나타낸 회로도다. 도 36의 전력용 반도체장치(212)은, IGBT Q1, Q2과, 도 27에서 설명한 IGBT Q1, Q2를 흐르는 전체 전류 It를 검출하기 위한 전류 검출 센서(99)과, 구동제어부(112)를 포함한다. 구동제어부(112)은, 전류 검출 센서(99)의 출력에 따라 IGBT Q1, Q2의 스위칭의 타이밍이 변화하도록, 도 25에서 설명한 구동제어부 106을 변형한 것이다. 이하, 구체적으로 설명한다.

- [0208] 도 36을 참조하여, 구동제어부(112)은, 구동신호 DS가 입력되는 입력 노드(8)과, 인버터(50)과, 구동용 전원 V1과, 저항소자 R14, R15, R23, R24과, IGBT Q1, Q2를 구동하기 위한 N형 MOS 트랜지스터 Q11, Q22, Q33, Q44과, 지연회로 DLY5?DLY8과, 비교기(60)를 포함한다.
- [0209] 인버터(50)은, 입력 노드(8)에 입력되는 구동신호 DS의 논리 레벨을 반전한다. 트랜지스터 Q11, Q33의 드레인은, 구동용 전원 V1로부터 구동전압이 공급되는 전원 노드(9)에 접속된다. 트랜지스터 Q22, Q44의 소스는 접지 노드 GND에 접속된다.
- [0210] 저항소자 R14, R23의 일단은 IGBT Q1의 게이트에 접속되고, 저항소자 R15, R24의 일단은 IGBT Q2의 게이트에 접속된다. 저항소자 R14의 타단은 트랜지스터 Q11의 소스에 접속되고, 저항소자 R15의 타단은 트랜지스터 Q33의 소스에 접속된다. 저항소자 R23의 타단은 트랜지스터 Q22의 드레인에 접속되고, 저항소자 R24의 타단은 트랜지스터 Q44의 드레인에 접속된다.
- [0211] 비교기(60)은, 전류 검출 센서(99)의 출력이, 도 4에서 설명한 임계값 I_{th2} 에 대응하는 참조 전압 V2을 초과하는지 아닌지를 판정한다. 비교기(60)은, 전류 검출 센서(99)의 출력이 참조 전압 V2을 초과한 경우에 H 레벨의 신호를 출력하고, 참조 전압 V2 이하인 경우에 L 레벨의 신호를 출력한다.
- [0212] 지연회로 DLY5은, 저항소자 R51과, 콘덴서 C52를 포함한다. 저항소자 R51은, 입력 노드(8)과 트랜지스터 Q11의 게이트 사이에 접속된다. 콘덴서 C52은, 트랜지스터 Q11의 게이트와 접지 노드 GND 사이에 접속된다.
- [0213] 지연회로 DLY6은, 저항소자 R37과, 콘덴서 C36과, NMOS 트랜지스터 Q55를 포함한다. 여기에서, NMOS 트랜지스터 Q55은, 소위 중형 구조이며, 소스로부터 드레인의 방향이 순방향인 되는 기생 다이오드 D38A가 존재한다. 저항소자 R37은, 입력 노드(8)과 트랜지스터 Q33의 게이트 사이에 접속된다. 콘덴서 C36은, 트랜지스터 Q33의 게이트와 접지 노드 GND 사이에 접속된다. 트랜지스터 Q55은, 저항소자 R37과 병렬접속이 되도록, 그것의 소스가 입력 노드(8)과 접속되고, 그것의 드레인이 트랜지스터 Q33의 게이트와 접속된다. 트랜지스터 Q55은, 그것의 게이트 전극에 비교기(60)의 출력을 받음으로써, 전류 검출 센서(99)의 출력이 참조 전압 V2 이하일 때에 오프 상태가 되고, 참조 전압 V2을 초과했을 때에 온 상태가 된다.
- [0214] 지연회로 DLY7은, 저항소자 R61과, 콘덴서 C62를 포함한다. 저항소자 R61은, 인버터(50)의 출력 노드와 트랜지스터 Q22의 게이트 사이에 접속된다. 콘덴서 C62은, 트랜지스터 Q22의 게이트와 접지 노드 GND 사이에 접속된다.
- [0215] 지연회로 DLY8은, 저항소자 R47과, 콘덴서 C46과, NMOS 트랜지스터 Q66를 포함한다. 여기에서, NMOS 트랜지스터 Q66은, 소위 중형 구조이며, 소스로부터 드레인의 방향이 순방향인 되는 기생 다이오드 D48A가 존재한다. 저항소자 R47은, 인버터(50)의 출력 노드와 트랜지스터 Q44의 게이트 사이에 접속된다. 콘덴서 C46은, 트랜지스터 Q44의 게이트와 접지 노드 GND 사이에 접속된다. 트랜지스터 Q66은, 저항소자 R47과 병렬접속이 되도록, 그것의 드레인이 인버터(50)의 출력 노드와 접속되고, 그것의 소스가 트랜지스터 Q44의 게이트와 접속된다. 트랜지스터 Q66은, 그것의 게이트 전극에 비교기(60)의 출력을 받음으로써, 전류 검출 센서(99)의 출력이 참조 전압 V2 이하일 때에 오프 상태가 되고, 참조 전압 V2을 초과했을 때에 온 상태가 된다.
- [0216] IGBT Q1, Q2의 턴온의 개시 시간을 동일하게 하기 위해, 콘덴서 C36의 용량값과 콘덴서 C52의 용량값은 같은 값이 되도록 한다. 더구나, 저항소자 R51의 저항값은, 트랜지스터 Q55의 온 저항과 같게 설정한다. 저항소자 R37의 저항값은, 저항소자 R51의 저항값보다도 큰 값으로 한다. IGBT의 턴오프의 개시 시간을 동일하게 하기 위해, 콘덴서 C46의 용량값과 콘덴서 C62의 용량값은 같은 값이 되도록 한다. 더구나, 저항소자 R61의 저항값은, 트랜지스터 Q66의 온 저항과 같게 설정한다. 저항소자 R47의 저항값은, 저항소자 R61의 저항값보다도 큰 값으로 한다.
- [0217] 도 37은, 도 36의 전류 검출 센서(99)의 출력 파형의 일례를 도시한 도면이다. 도 37a, 도 37b에는, 구동신호 DS가 L 레벨로부터 H 레벨로 전환하는데 따라, IGBT Q1, Q2가 오프 상태에서부터 온 상태로 전환하고, 그 후, 구동신호 DS가 L 레벨로 되돌아옴에 따라, IGBT Q1, Q2가 오프 상태로 돌아갈 때까지의 파형이 표시된다. 도 37a은, 전류 검출 센서(99)의 출력이, 임계값 I_{th2} 에 대응하는 참조 전압 V2을 초과하지 않는 경우를 나타내고, 도 37b는, 전류 검출 센서(99)의 출력이, 임계값 I_{th2} 에 대응하는 참조 전압 V2을 초과하는 경우를 나타낸다.
- [0218] 우선, 도 37a의 경우에 대해 설명한다. 이 경우, 트랜지스터 Q55, Q66은 항상 오프 상태이다. 구동신호 DS가 L 레벨로부터 H 레벨로 전환하면, 트랜지스터 Q11은, 저항소자 R51의 저항값 및 콘덴서 C52의 용량값에 따

라 결정되는 지연시간(이하, 지연시간 DT1으로 한다)에서 오프 상태에서 온 상태로 전환한다. 기생 다이오드 D38A의 온 저항은, 트랜지스터 Q55의 온 저항과 동등하게 하면, 트랜지스터 Q33도 지연시간 DT1에서 오프 상태에서 온 상태로 전환한다. 더구나, 트랜지스터 Q22은, 저항소자 R62의 저항값 및 콘덴서 C62의 용량값에 따라 결정되는 지연시간(이하, 지연시간 DT2로 한다)에서 온 상태에서 오프 상태로 전환한다. 기생 다이오드 D48A의 온 저항은, 트랜지스터 Q66의 온 저항과 동등하게 하면, 트랜지스터 Q44도 지연시간 DT2에서 온 상태에서 오프 상태로 전환한다. 이상의 트랜지스터 Q11, Q22, Q33, Q44의 전환에 의해, IGBT Q1, Q2가 동시에 온 상태가 된다.

[0219] 도 37a에 있어서, 구동신호 DS가 H 레벨로부터 L 레벨로 전환하면, 트랜지스터 Q11은, 지연시간 DT1에서 온 상태에서 오프 상태로 전환한다. 트랜지스터 Q33은, 저항소자 R37의 저항값 및 콘덴서 C36의 용량값에 따른 지연시간(이하, 지연시간 DT3로 한다, $DT3 > DT1$ 이다)에서 온 상태에서 오프 상태로 전환한다. 더구나, 트랜지스터 Q22은, 지연시간 DT2에서 오프 상태에서 온 상태로 전환한다. 트랜지스터 Q44은, 저항소자 R47의 저항값 및 콘덴서 C46의 용량값에 따른 지연시간(이하, 지연시간 DT4로 한다, $DT4 > DT2$ 이다)에서 오프 상태에서 온 상태로 전환한다. 이상의 트랜지스터 Q11, Q22, Q33, Q44의 전환에 의해, IGBT Q1이 먼저 오프 상태가 된 후에, IGBT Q2이 오프 상태가 된다.

[0220] 다음에, 도 37b의 경우에 대해 설명한다. 이 경우, 구동신호 DS가 L 레벨로부터 H 레벨로 전환할 때에는, 트랜지스터 Q55, Q66은 오프 상태이다. 따라서, 트랜지스터 Q11 및 Q33은, 지연시간 DT1에서 오프 상태에서 온 상태로 전환한다. 더구나, 트랜지스터 Q22 및 Q44은, 지연시간 DT2에서 온 상태에서 오프 상태로 전환한다. 이상의 트랜지스터 Q11, Q22, Q33, Q44의 전환에 의해, IGBT Q1, Q2가 동시에 온 상태가 된다.

[0221] 도 37b에 있어서, 구동신호 DS가 H 레벨인 동안에, 전류 검출 센서(99)의 출력 전압이 참조 전압 V2을 초과하고, 트랜지스터 Q55, Q66이 온 상태가 된다. 이 상태에서, 구동신호 DS가 H 레벨로부터 L 레벨로 전환하면, 트랜지스터 Q11은, 지연시간 DT1에서 온 상태에서 오프 상태로 전환한다. 트랜지스터 Q33은, 트랜지스터 Q55의 온 저항 및 콘덴서 C36의 용량값에 따라 결정되는 지연시간, 즉, 지연시간 DT1에서 온 상태에서 오프 상태로 전환한다. 더구나, 트랜지스터 Q22은, 지연시간 DT2에서 오프 상태에서 온 상태로 전환한다. 트랜지스터 Q44은, 트랜지스터 Q66의 온 저항 및 콘덴서 C46의 용량값에 따른 지연시간, 즉, 지연시간 DT2에서 오프 상태에서 온 상태로 전환한다. 이상의 트랜지스터 Q11, Q22, Q33, Q44의 전환에 의해, IGBT Q1, Q2는 동시에 오프 상태가 된다.

[0222] 이상에서 설명한 것과 같이, 실시형태 19에 의한 구동제어부(112)에 따르면, IGBT Q1, Q2를 흐르는 전체 전류 I_t 가 임계값 I_{th2} 이하인 경우에는, 실시형태 1에서 설명한 도 2b와 같은 제어동작을 실현할 수 있고, 전체 전류 I_t 가 임계값 I_{th2} 을 초과하는 경우에는, 도 2c과 같은 제어동작을 실현할 수 있다.

[0223] <실시형태 20>

[0224] 도 38은, 본 발명의 실시형태 20에 의한 전력용 반도체장치(213)의 구성을 나타낸 회로도다. 도 38의 구동제어부(113)에 설치된 지연회로 DLY9은, 다이오드 D39을 더 포함하는 점에서 도 36의 지연회로 DLY6과 다르다. 다이오드 D39의 캐소드는 트랜지스터 Q55의 드레인에 접속되고, 다이오드 D39의 애노드는 트랜지스터 Q33의 게이트에 접속된다. 구동제어부(113)에 설치된 지연회로 DLY10은, 다이오드 D49을 더 포함하는 점에서 도 36의 지연회로 DLY8과 다르다. 다이오드 D49의 캐소드는 트랜지스터 Q66의 드레인에 접속되고, 다이오드 D49의 애노드는 인버터(50)의 출력 노드에 접속된다. 도 38의 그 밖의 점은 도 36과 같으므로, 동일 또는 해당하는 부분에는 동일한 참조부호를 붙이고 설명을 반복하지 않는다.

[0225] 도 38의 구동제어부(113)에 따르면, 구동신호 DS가 L 레벨로부터 H 레벨로 전환하는 경우(이 시점에서, 전류 검출 센서(99)의 출력 전압은 참조 전압 V2 이하이다), 트랜지스터 Q11은 지연시간 DT1에서 오프 상태에서 온 상태로 전환하는 것에 대해, 트랜지스터 Q33은 지연시간 DT3($DT3 > DT1$)에서 오프 상태에서 온 상태로 전환한다. 더구나, 이 경우, 트랜지스터 Q22은 지연시간 DT2에서 온 상태에서 오프 상태로 전환하는 것에 대해, 트랜지스터 Q44은 지연시간 DT4($DT4 > DT2$)에서 온 상태에서 오프 상태로 전환한다. 이상의 트랜지스터 Q11, Q22, Q33, Q44의 전환에 의해, IGBT Q1이 먼저 온 상태가 된 후에, IGBT Q2이 온 상태가 된다.

[0226] 구동신호 DS가 H 레벨로부터 L 레벨로 전환하는 경우, 트랜지스터 Q11, Q22, Q33, Q44의 전환의 타이밍은 도 36의 경우와 같다. 즉, 전류 검출 센서(99)의 출력 전압이 참조 전압 V2 이하인 경우에는, IGBT Q1이 먼저 오프 상태가 된 후에, IGBT Q2이 오프 상태가 된다. 전류 검출 센서(99)의 출력 전압이 참조 전압 V2을 초과

하는 경우에는, IGBT Q1, Q2는 동시에 오프 상태가 된다.

[0227] <실시형태 21>

[0228] 도 39은, 본 발명의 실시형태 21에 의한 전력용 반도체장치(214)의 구성을 나타낸 회로도다.

[0229] 도 39의 전력용 반도체장치(214)는, 도 36의 전력용 반도체장치(212)을 변형한 것이다. 즉, 전력용 반도체장치 214은, 도 36의 IGBT Q1, Q2 대신에 센스 단자 부착의 IGBT Q1a, Q2a를 포함하는 점에서 전력용 반도체장치 212과 다르다. 센스 단자에는, IGBT의 에미터 단자에 흐르는 주전류의 일부가 분류해서 흐른다. 더구나, 전력용 반도체장치 214은, 도 36의 전류 검출 센서(99) 대신에 셉트 저항 R25, R26을 포함하는 점에서 전력용 반도체장치 212과 다르다. 셉트 저항 R25은 IGBT Q1a의 센스 단자와 접지 노드 GND 사이에 접속되고, 셉트 저항 R26은 IGBT Q2a의 센스 단자와 접지 노드 GND 사이에 접속된다. 셉트 저항 R25, R26은, 도 36의 전류 검출 센서(99)과 마찬가지로, IGBT Q1a, Q2a에 각각 흐르는 주전류 I1, I2을 모니터링하는 전류 검출 센서(99a)로서 기능한다.

[0230] 더구나, 도 39의 구동제어부 114은, 비교기(60) 대신에 논리회로(60a)를 포함하는 점에서 도 36의 구동제어부 112과 다르다. 논리회로(60a)는, 비교기 61, 62과 OR회로(63)를 포함한다.

[0231] 비교기 61은, 셉트 저항 R25의 양단의 전압이, 도 4에서 설명한 임계값 Ith2에 대응하는 참조 전압 V3을 초과하는지 아닌지를 판정한다. 비교기 61은, 셉트 저항 R25의 양단의 전압이 참조 전압 V3을 초과한 경우에 H 레벨의 신호를 출력하고, 참조 전압 V3 이하인 경우에 L 레벨의 신호를 출력한다. 마찬가지로, 비교기 62은, 셉트 저항 R26의 양단의 전압이, 도 4에서 설명한 임계값 Ith2에 대응하는 참조 전압 V4을 초과하는지 아닌지를 판정한다. 비교기 62은, 셉트 저항 R26의 양단의 전압이 참조 전압 V4을 초과한 경우에 H 레벨의 신호를 출력하고, 참조 전압 V4 이하인 경우에 L 레벨의 신호를 출력한다.

[0232] OR회로(63)은, 비교기 61, 62의 출력의 논리합 연산 결과를, 트랜지스터 Q55, Q66의 게이트 전극에 출력한다. 따라서, 셉트 저항 R25의 양단의 전압 및 셉트 저항 R26의 양단의 전압 중 적어도 한쪽이 대응의 참조 전압을 초과했을 때에, 트랜지스터 Q55, Q66은 온 상태가 된다. 도 39의 그 밖의 구성은 도 36과 같으므로, 동일 또는 해당하는 부분에는 동일한 참조부호를 붙이고 설명을 반복하지 않는다.

[0233] 도 39의 구동제어부 114의 동작은, 도 36의 구동제어부 112의 동작과 같다. 우선, 구동신호 DS가 L 레벨로부터 H 레벨로 전환할 때에 대해 설명한다. 이 시점에서는, 셉트 저항 R25의 양단의 전압은 참조 전압 V3보다 작고, 셉트 저항 R26의 전압은 참조 전압 V4보다 작다. 따라서, 트랜지스터 Q11 및 Q33은 지연시간 DT1에서 오프 상태에서부터 온 상태로 전환한다. 더구나, 트랜지스터 Q22 및 Q44은 지연시간 DT2에서 온 상태에서부터 오프 상태로 전환한다. 이상의 트랜지스터 Q11, Q22, Q33, Q44의 전환에 의해, IGBT Q1a, Q2a는 동시에 온 상태가 된다.

[0234] 다음에, 구동신호 DS가 H 레벨로부터 L 레벨로 전환할 때에 대해 설명한다. 이 때에는, IGBT Q1a, Q2a에 흐르는 전류 I1, I2의 크기에 따라, IGBT Q1a, Q2a의 턴오프의 타이밍이 다르다. 즉, 셉트 저항 R25의 양단의 전압이 참조 전압 V3보다 작고, 또한, 셉트 저항 R26의 전압이 참조 전압 V4보다 작은 제1 경우에는, 트랜지스터 Q11은, 지연시간 DT1에서 온 상태에서부터 오프 상태로 전환하고, 트랜지스터 Q33은, 지연시간 DT3(DT3>DT1)이다)에서 온 상태에서부터 오프 상태로 전환한다. 더구나, 트랜지스터 Q22은, 지연시간 DT2에서 오프 상태에서부터 온 상태로 전환하고, 트랜지스터 Q44은, 지연시간 DT4(DT4>DT2)에서 오프 상태에서부터 온 상태로 전환한다. 이상의 트랜지스터 Q11, Q22, Q33, Q44의 전환에 의해, IGBT Q1a가 먼저 오프 상태가 된 후에, IGBT Q2a가 오프 상태가 된다.

[0235] 한편, 셉트 저항 R25의 양단의 전압 및 셉트 저항 R26의 양단의 전압의 적어도 한쪽이 대응의 참조 전압을 초과하는 제2 경우에는, 트랜지스터 Q11 및 Q33은 지연시간 DT1에서 온 상태에서부터 오프 상태로 전환한다. 더구나, 트랜지스터 Q22 및 Q44은 지연시간 DT2에서 오프 상태에서부터 온 상태로 전환한다. 이상의 트랜지스터 Q11, Q22, Q33, Q44의 전환에 의해, IGBT Q1a, Q2a는 동시에 오프 상태가 된다.

[0236] 이때, 병렬접속된 2개의 IGBT의 어느 한쪽만을 센스 단자 부착의 IGBT로 변경하고, 센스IGBT를 흐르는 전류를 셉트 저항에서 모니터링하는 것과 같은 구성에서도 상관없다. 셉트 저항 R25만이 설치되는 경우에는, 논리회로(60a)는 비교기 61만 으로 구성된다. 비교기 61은, 셉트 저항 R25의 양단의 전압이, 임계값 Ith2에 대응하는 참조 전압 V3을 초과했을 때, H 레벨의 전압을 트랜지스터 Q55, Q66의 게이트에 출력함으로써, 이들 트랜지스

터 Q55, Q66을 온 상태로 한다. 반대로, 셉트 저항 R26만 설치되는 경우에는, 논리회로(60a)는 비교기 62만으로 구성된다. 비교기 62은, 셉트 저항 R26의 양단의 전압이, 임계값 I_{th2} 에 대응하는 참조 전압 V4을 초과했을 때, H 레벨의 전압을 트랜지스터 Q55, Q66의 게이트에 출력함으로써, 이것들의 트랜지스터 Q55, Q66을 온 상태로 한다.

[0237] <실시형태 22>

[0238] 도 40은, 본 발명의 실시형태 22에 의한 전력용 반도체장치(215)의 구성을 나타낸 회로도다. 도 40의 구동제어부(115)에 설정된 지연회로 DLY9은, 다이오드 D39을 더 포함하는 점에서 도 39의 지연회로 DLY6과 다르다. 다이오드 D39의 캐소드는 트랜지스터 Q55의 드레인에 접속되고, 다이오드 D39의 애노드는 트랜지스터 Q33의 게이트에 접속된다. 구동제어부(115)에 설치된 지연회로 DLY10은, 다이오드 D49을 더 포함하는 점에서 도 39의 지연회로 DLY8과 다르다. 다이오드 D49의 캐소드는 트랜지스터 Q66의 드레인에 접속되고, 다이오드 D49의 애노드는 인버터(50)의 출력 노드에 접속된다. 도 40의 그 밖의 구성은 도 39와 같으므로, 동일 또는 해당하는 부분에는 동일한 참조부호를 붙이고 설명을 반복하지 않는다.

[0239] 도 40의 구동제어부 115의 동작은, 도 38의 구동제어부 113의 동작과 같다. 우선, 구동신호 DS가 L 레벨로부터 H 레벨로 전환할 때에 대해 설명한다. 이 시점에서는, 셉트 저항 R25의 양단의 전압은 참조 전압 V3보다 작고, 셉트 저항 R26의 양단의 전압은 참조 전압 V4보다 작다. 따라서, 트랜지스터 Q11은 지연시간 DT1에서 오프 상태에서부터 온 상태로 전환하는 것에 대해, 트랜지스터 Q33은 지연시간 DT3(DT3>DT1)에서 오프 상태에서부터 온 상태로 전환한다. 더구나, 트랜지스터 Q22은 지연시간 DT2에서 온 상태에서부터 오프 상태로 전환하는 것에 대해, 트랜지스터 Q44은 지연시간 DT4(DT4>DT2)에서 온 상태에서부터 오프 상태로 전환한다. 이상의 트랜지스터 Q11, Q22, Q33, Q44의 전환에 의해, IGBT Q1a가 먼저 온 상태가 된 후에, IGBT Q2a가 온 상태가 된다.

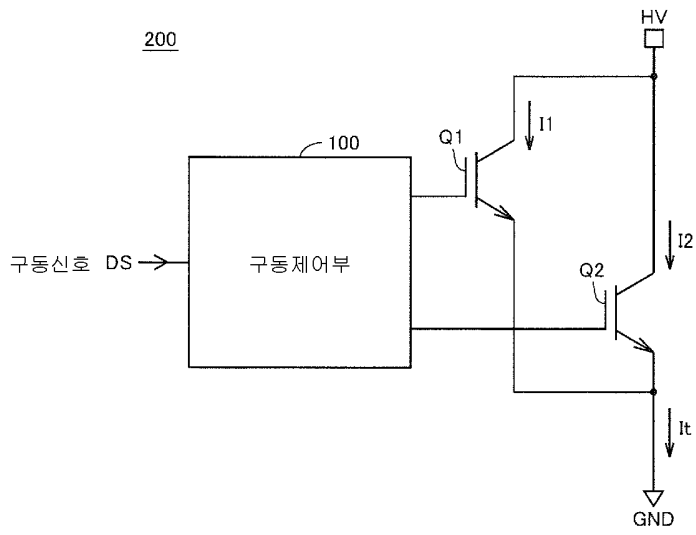
[0240] 다음에, 구동신호 DS가 H 레벨로부터 L 레벨로 전환할 때, 트랜지스터 Q11, Q22, Q33, Q44의 전환의 타이밍, 및, 그 결과로서의 IGBT Q1a, Q2a의 전환의 타이밍은 도 39의 경우와 같다. 즉, 셉트 저항 R25의 양단의 전압이 참조 전압 V3보다 작고, 또한, 셉트 저항 R26의 전압이 참조 전압 V4보다 작은 제1 경우에는, IGBT Q1a가 먼저 오프 상태가 된 후에, IGBT Q2a가 오프 상태가 된다. 셉트 저항 R25의 양단의 전압 및 셉트 저항 R26의 양단의 전압 중 적어도 한쪽이 대응의 참조 전압을 초과하는 제2 경우에는, IGBT Q1a, Q2a는 동시에 오프 상태가 된다.

[0241] 이때, 도 40에 있어서도, 도 39의 경우와 마찬가지로, 병렬접속된 2개의 IGBT의 어느 한쪽만을 센스 단자 부착의 IGBT로 변경하고, 센스 IGBT를 흐르는 전류를 셉트 저항에서 모니터링하는 것과 같은 구성으로도 상관 없다. 셉트 저항 R25만이 설치되는 경우에는, 논리회로(60a)는 비교기 61만으로 구성된다. 반대로, 셉트 저항 R26만이 설치되는 경우에는, 논리회로(60a)는 비교기 62만으로 구성된다.

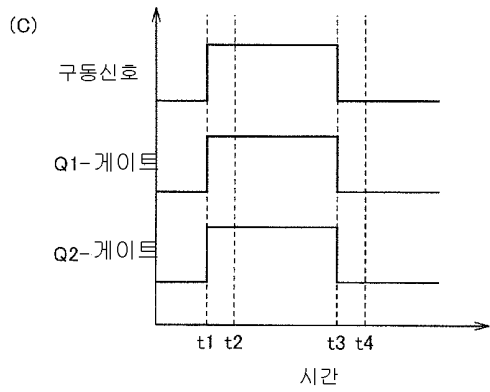
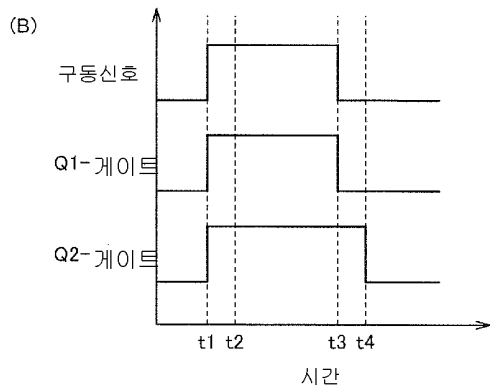
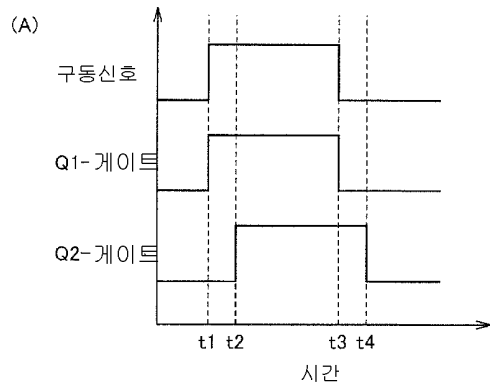
[0242] 본 발명을 상세하게 설명하고 나타내 왔지만, 이것은 단지 예시를 위한 것으로, 본 발명을 한정하는 것으로 해석되어서는 안되고, 발명의 범위는 청구범위에 의해 해석되는 것이 명확하게 이해될 것이다.

도면

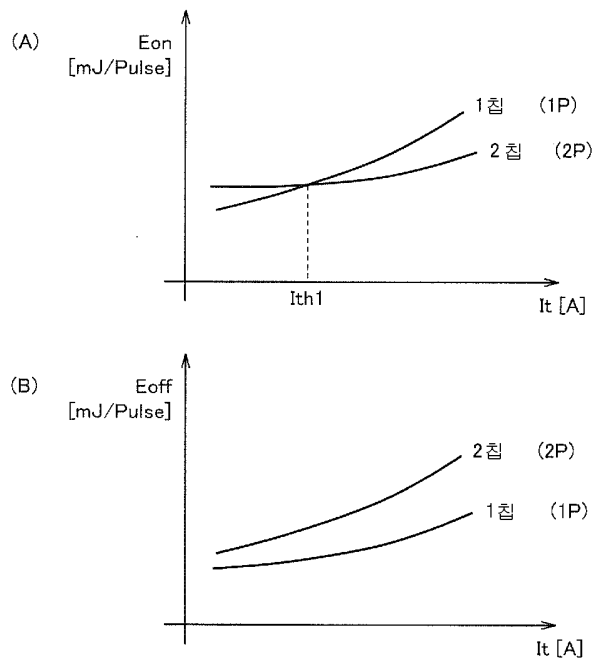
도면1



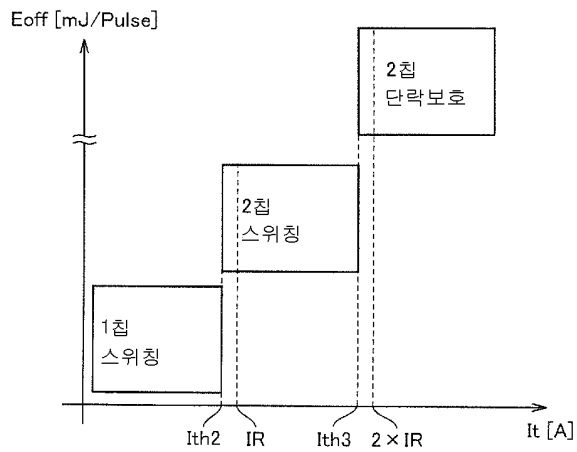
도면2



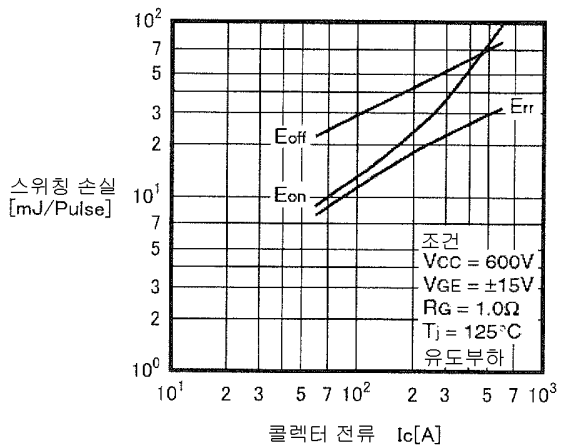
도면3



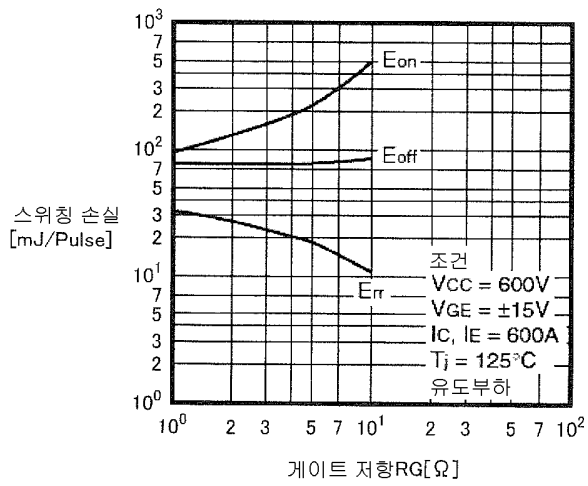
도면4



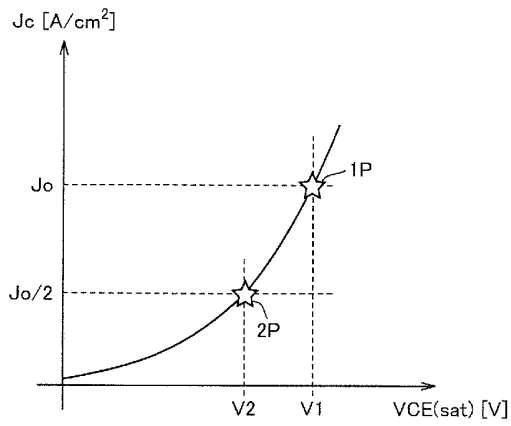
도면5



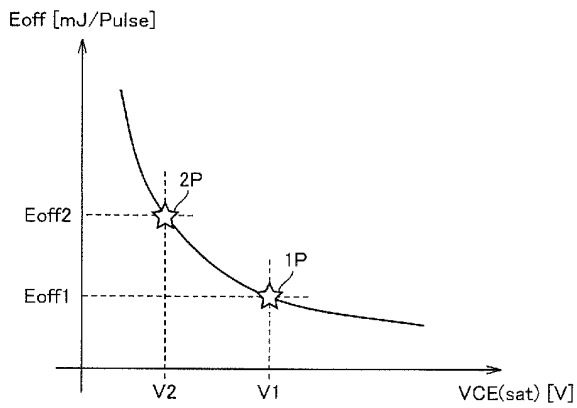
도면6



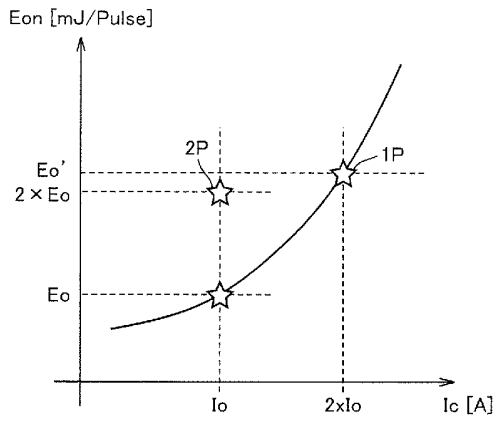
도면7



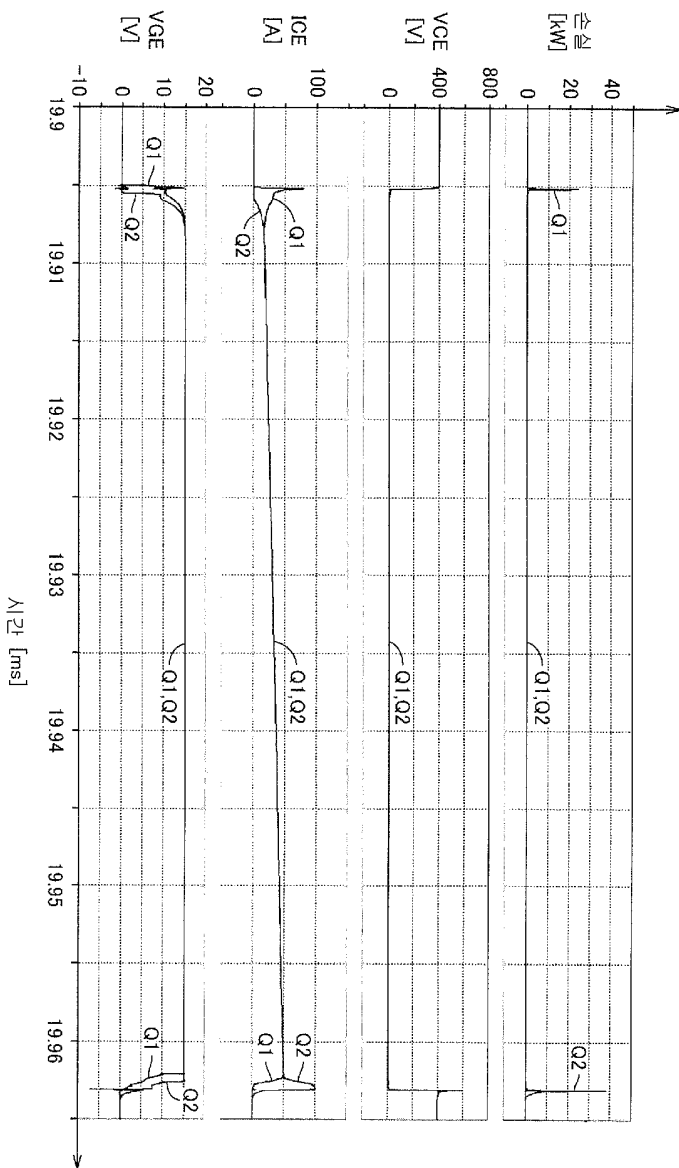
도면8



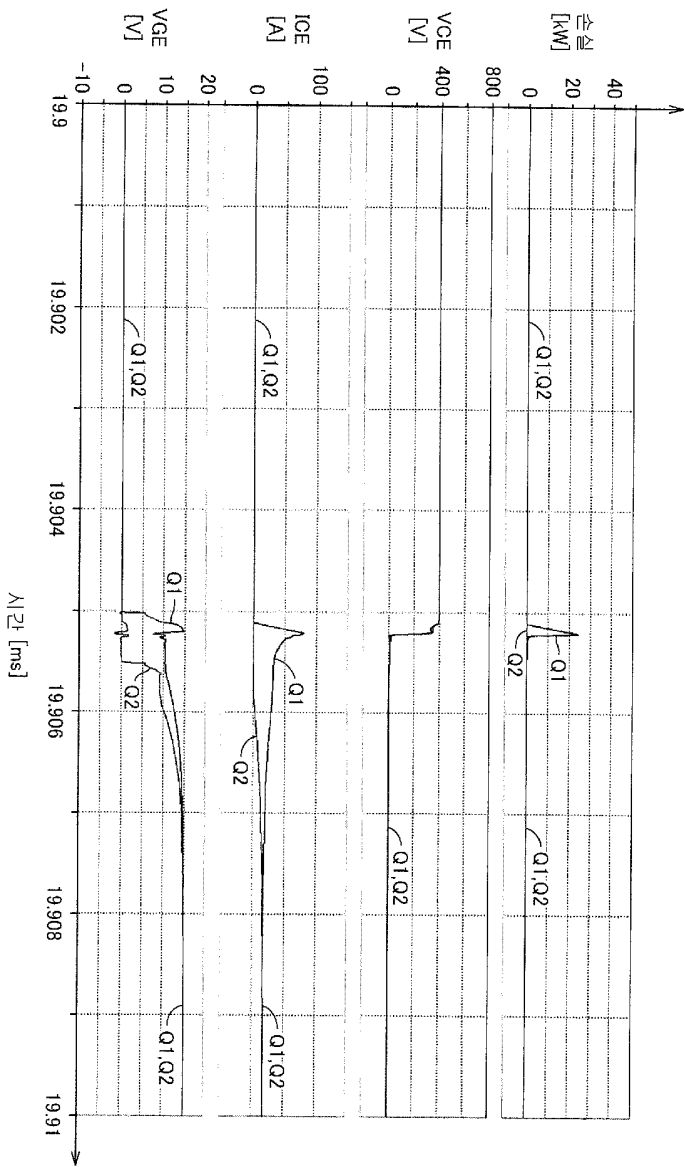
도면9



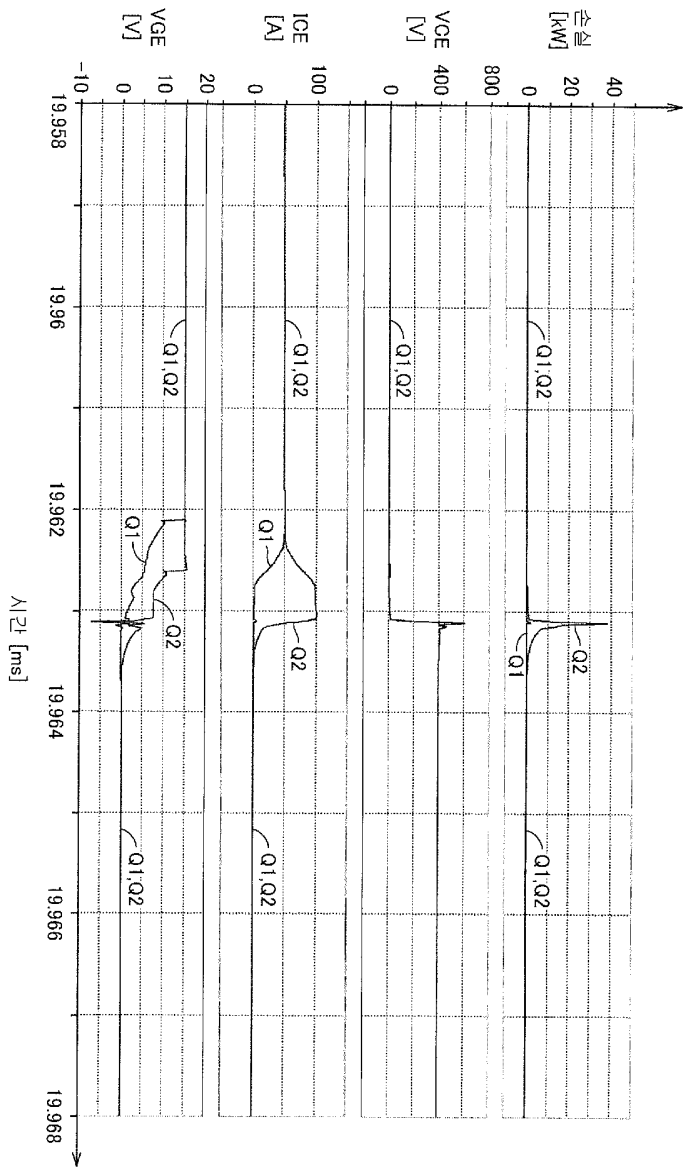
도면10



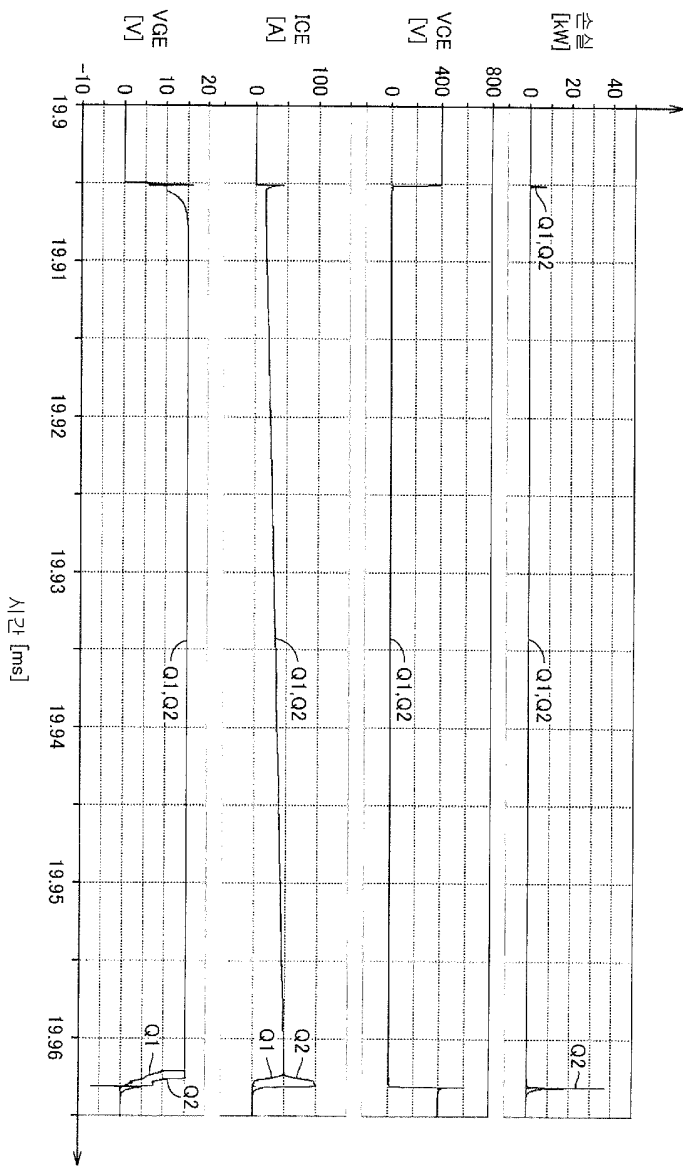
도면11



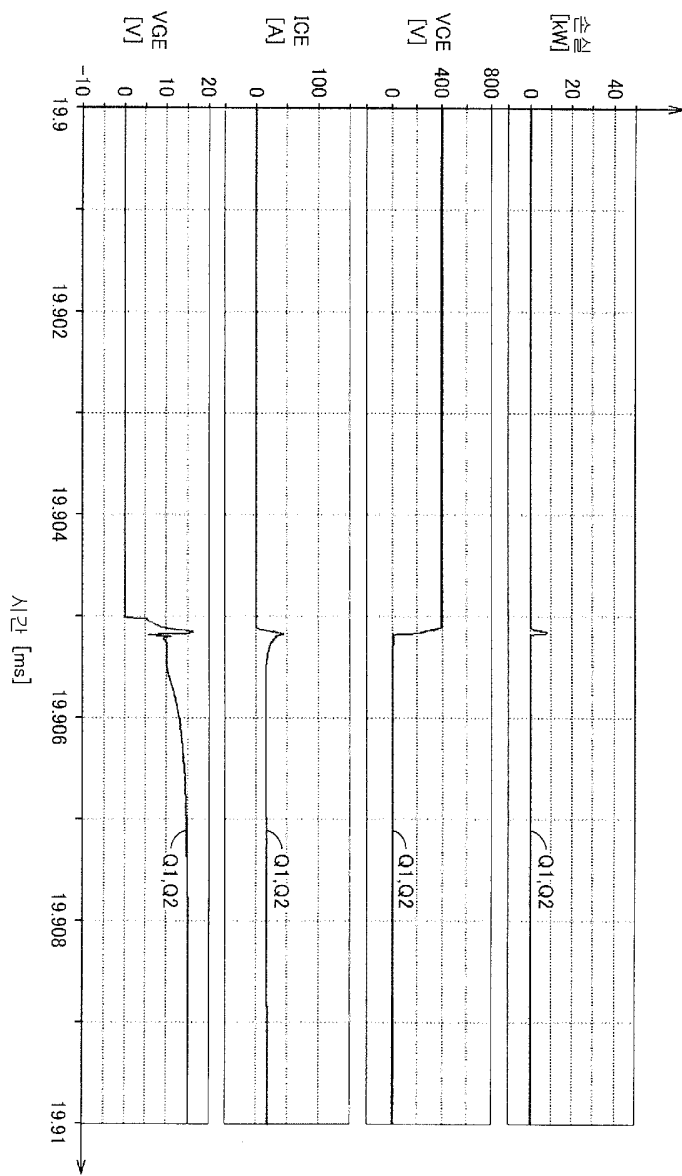
도면12



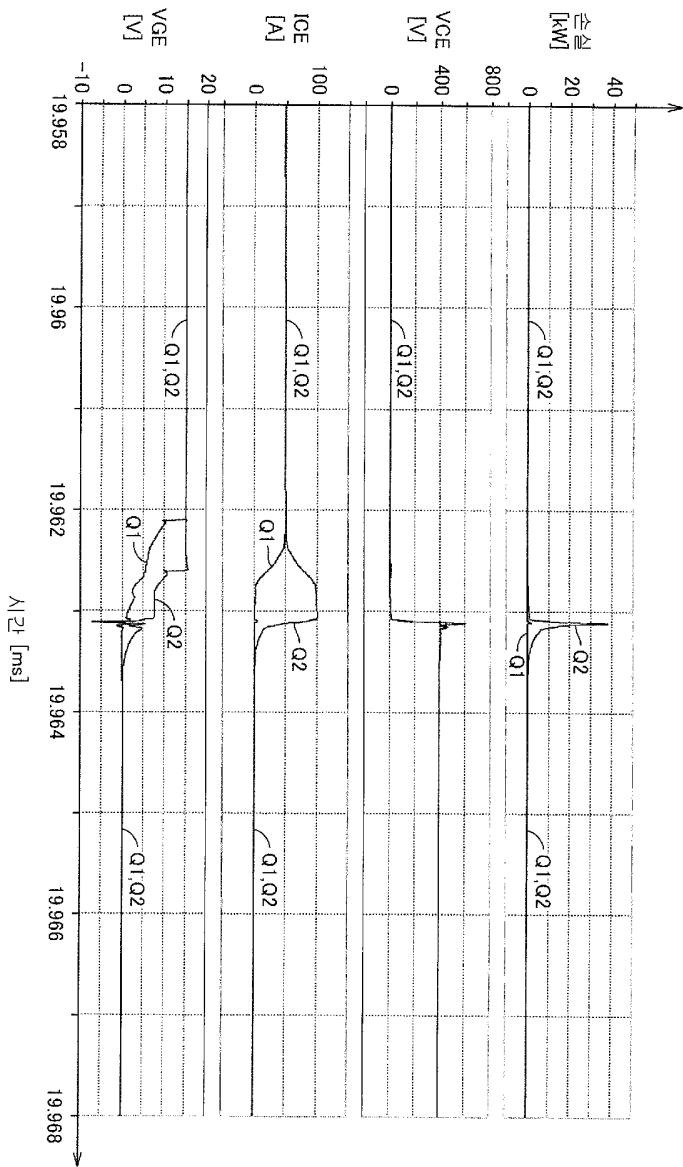
도면13



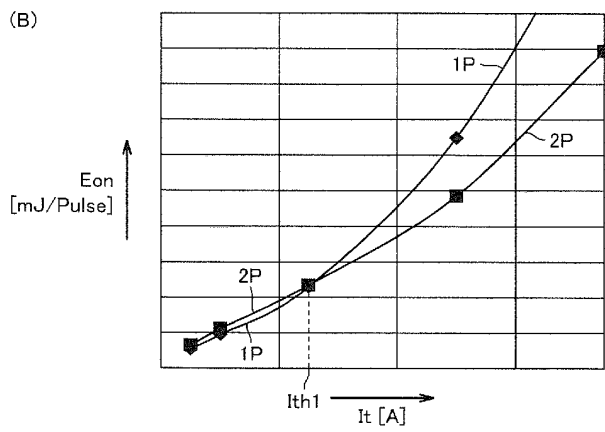
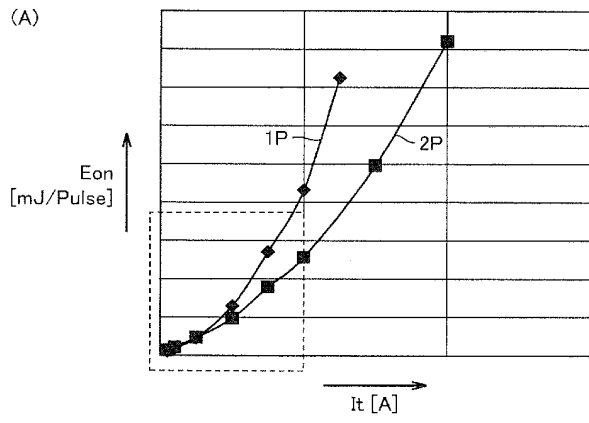
도면14



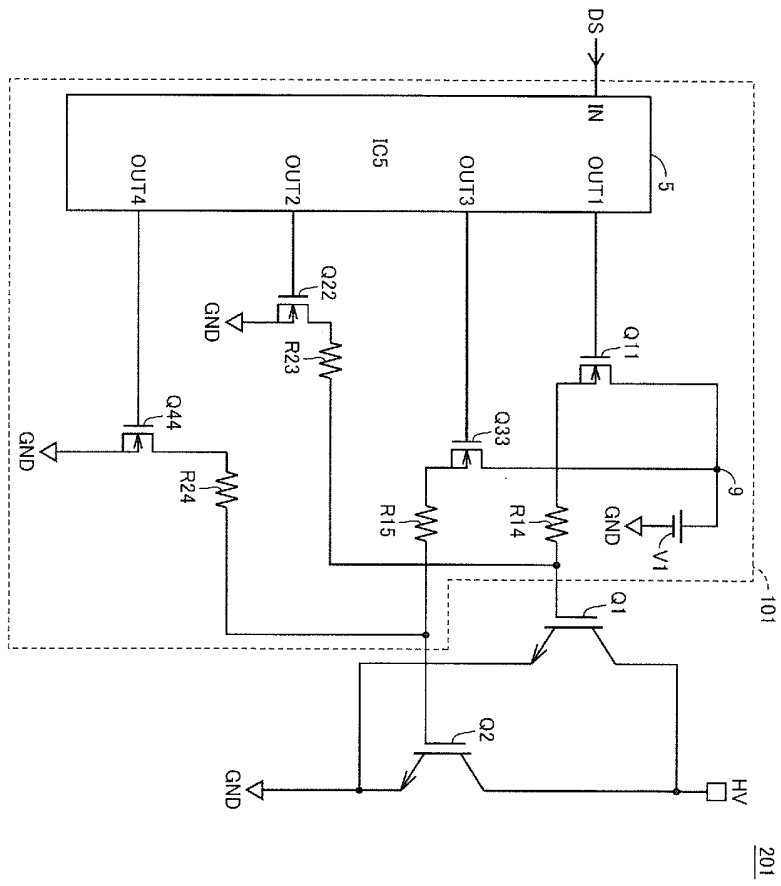
도면15



도면16

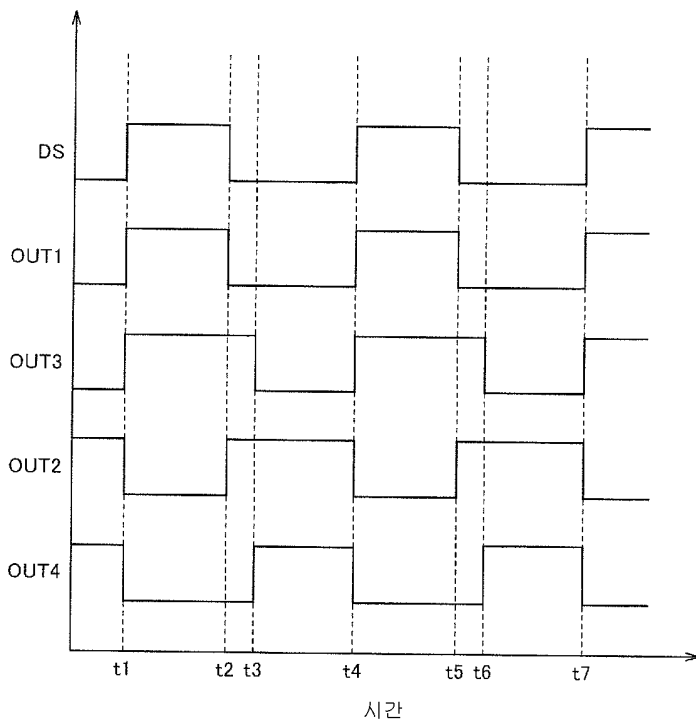


도면17

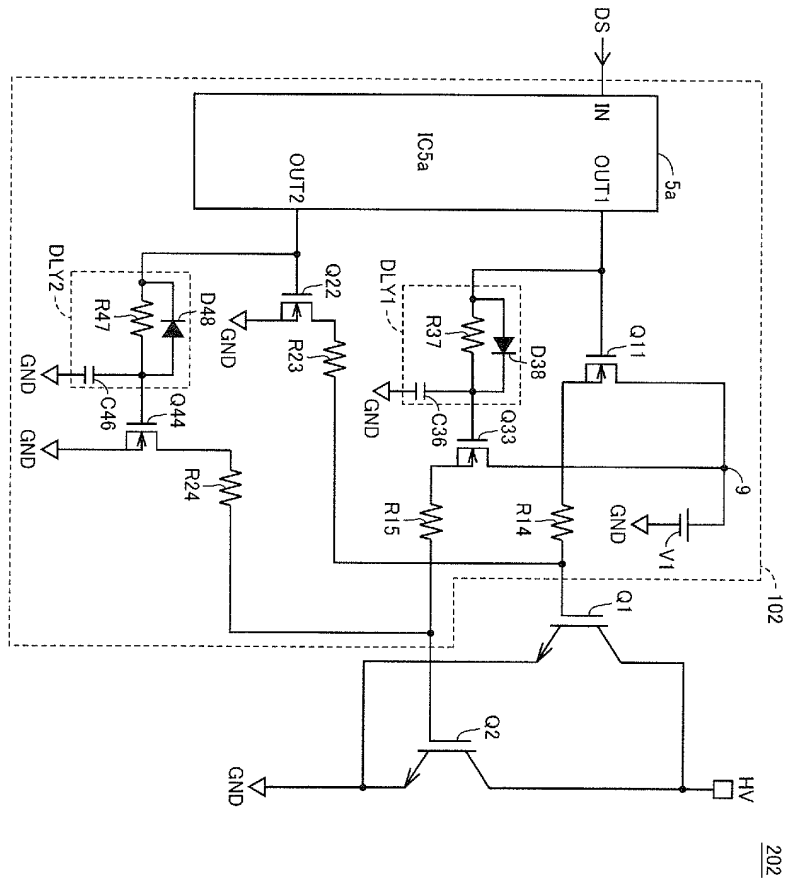


201

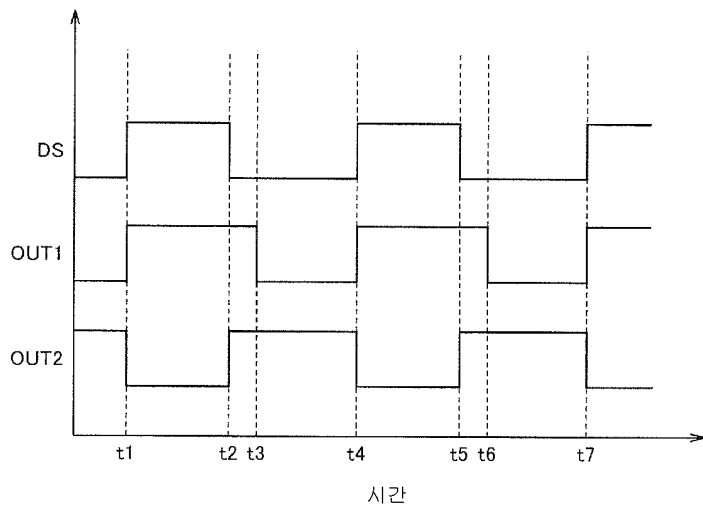
도면18



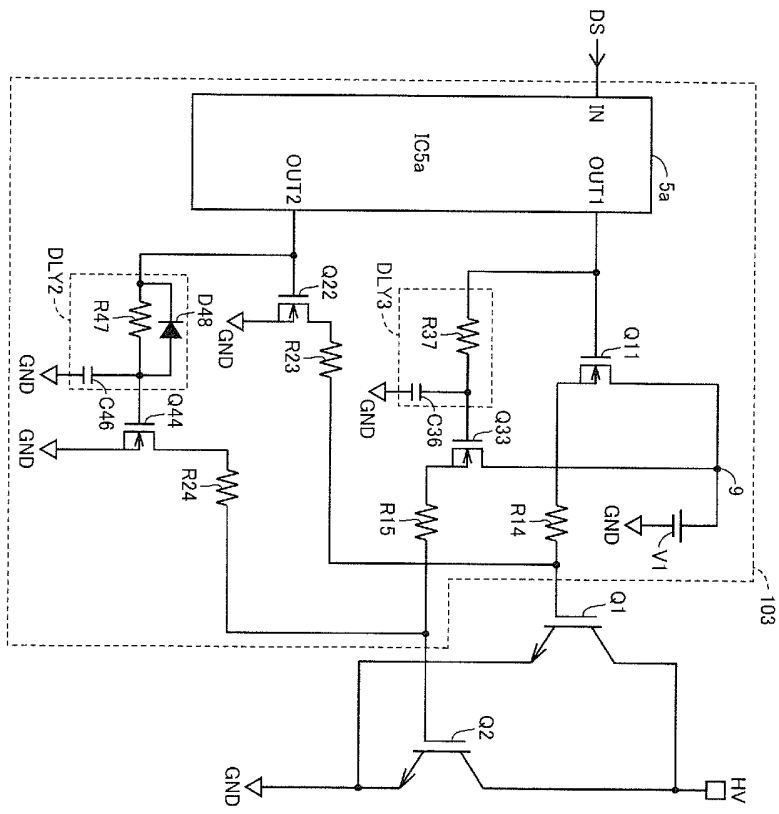
도면19



도면20

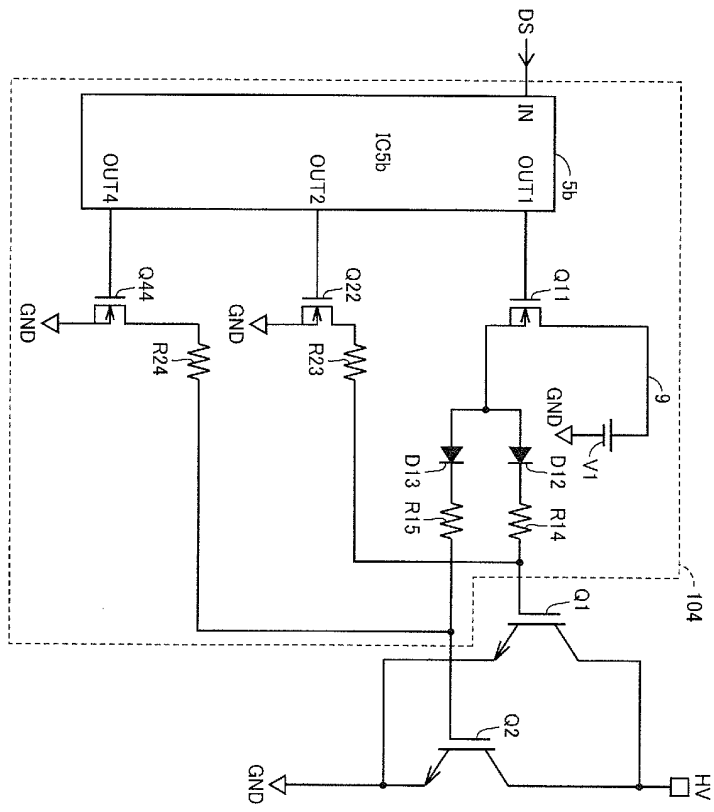


도면21



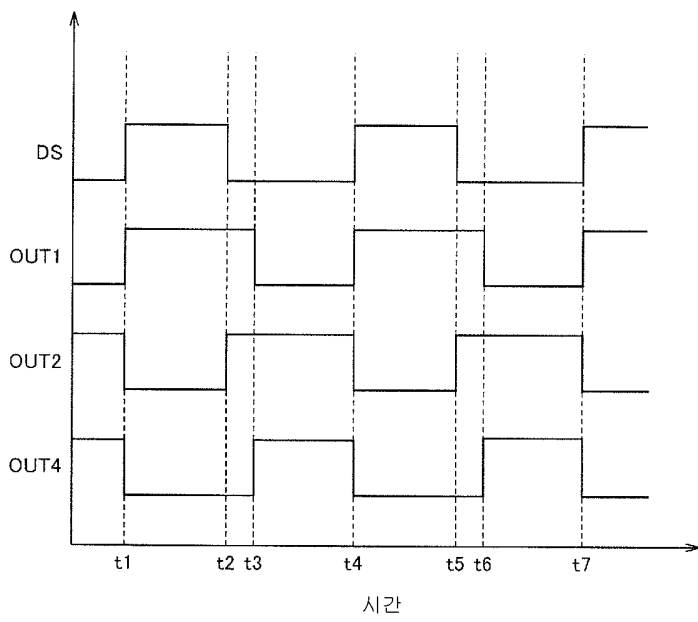
203

도면22

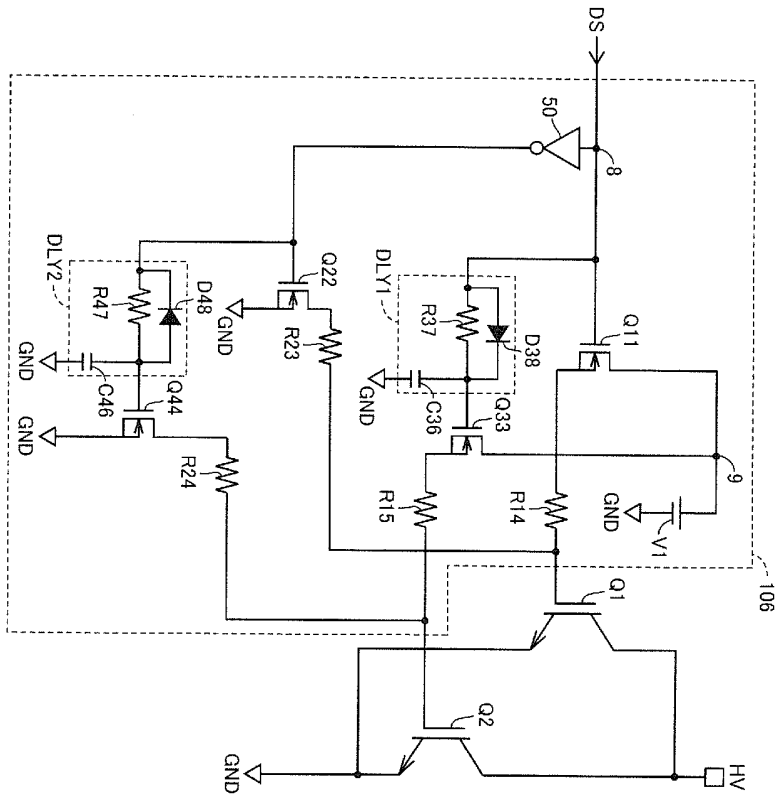


204

도면23

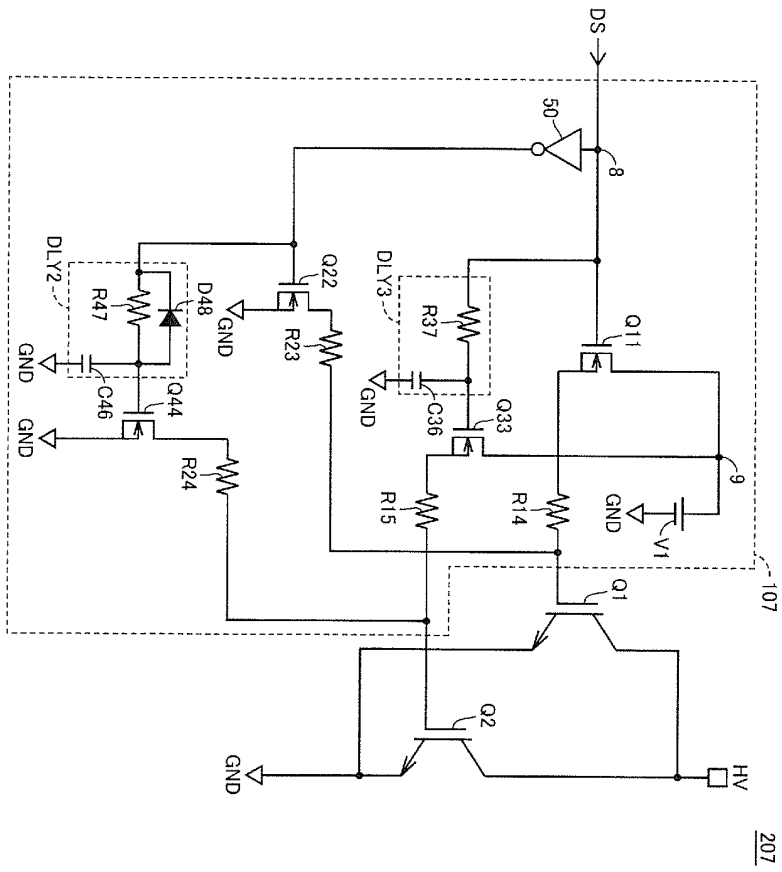


도면25

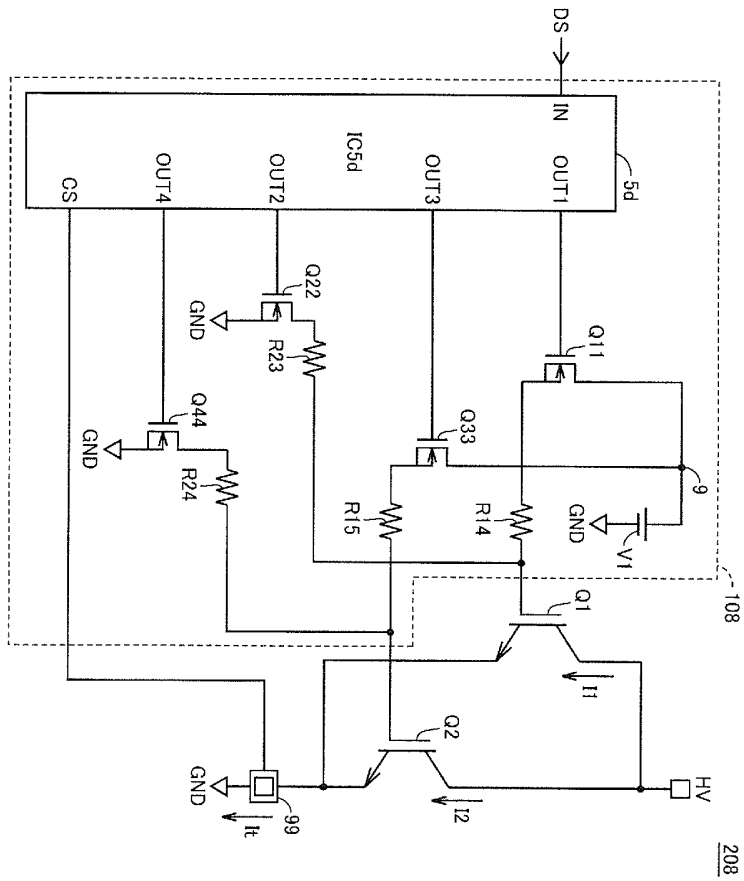


206

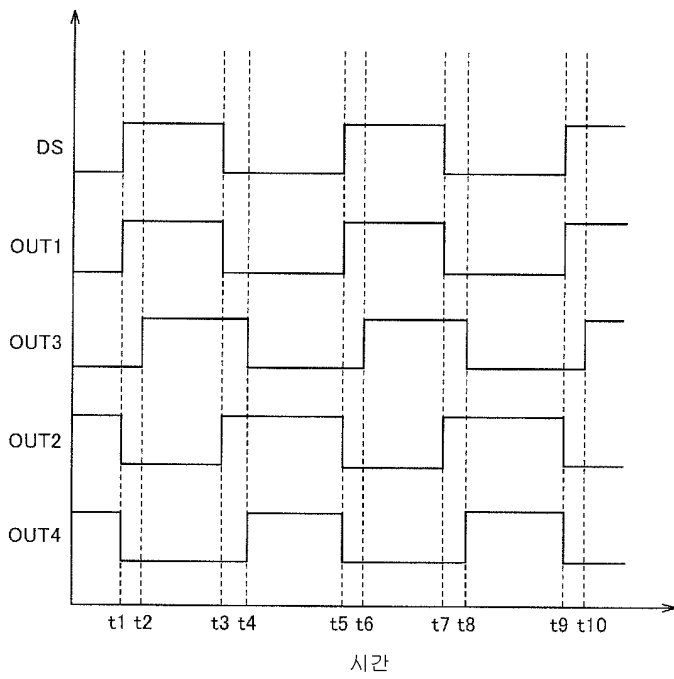
도면26



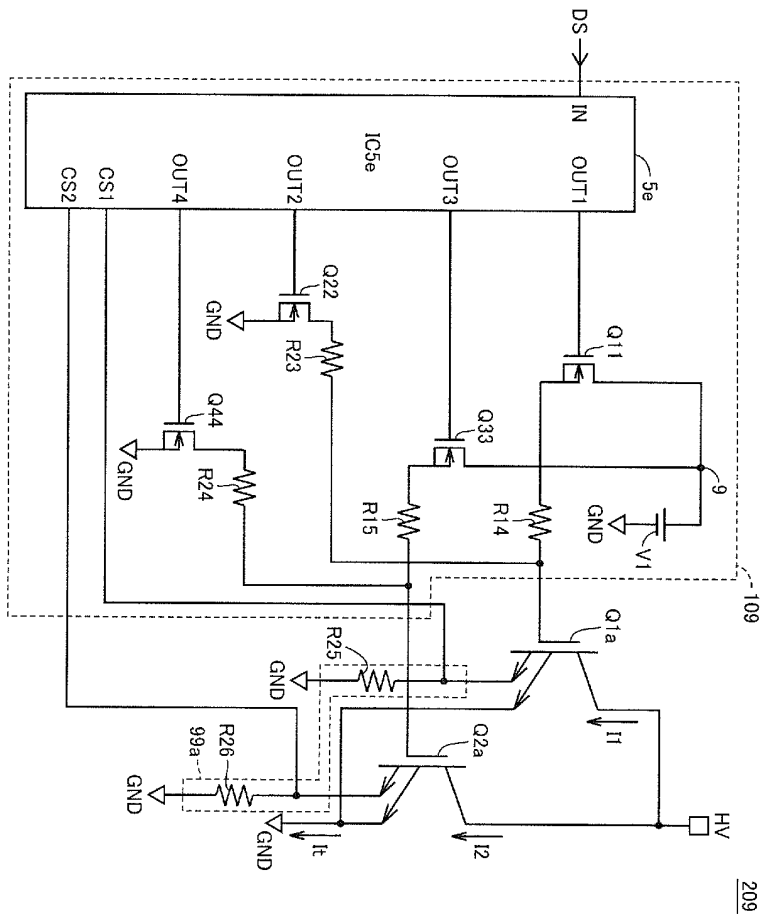
도면27



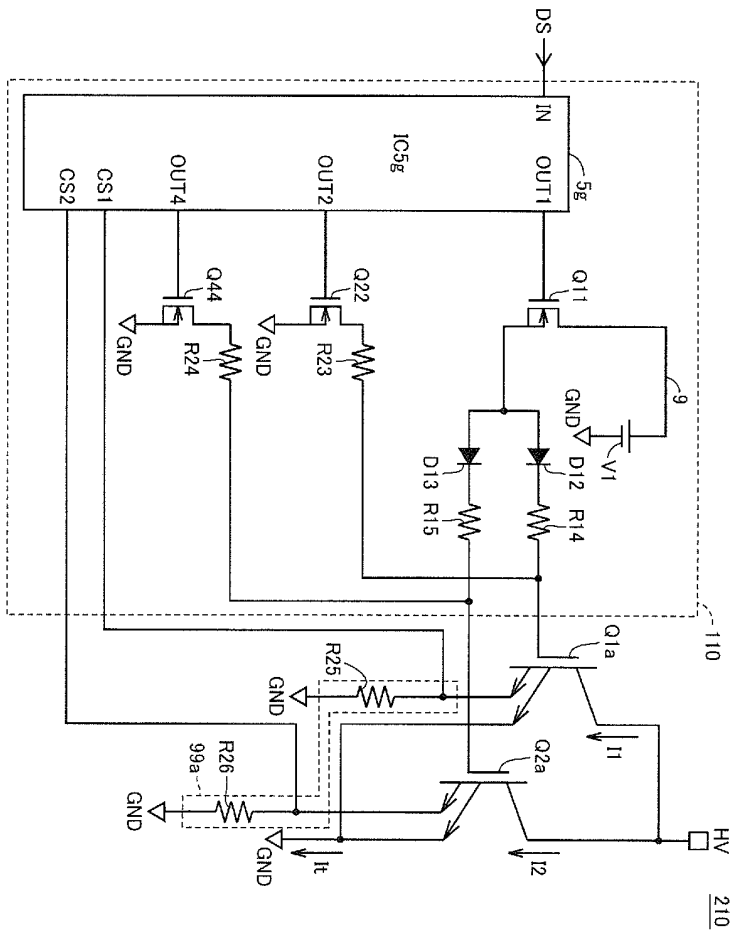
도면28



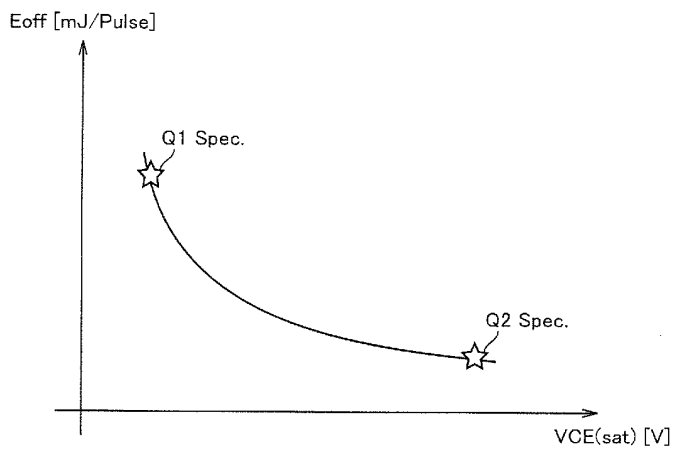
도면29



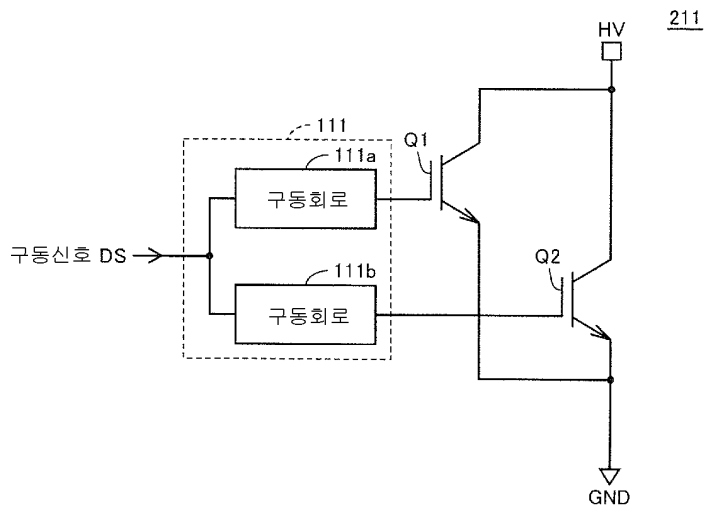
도면30



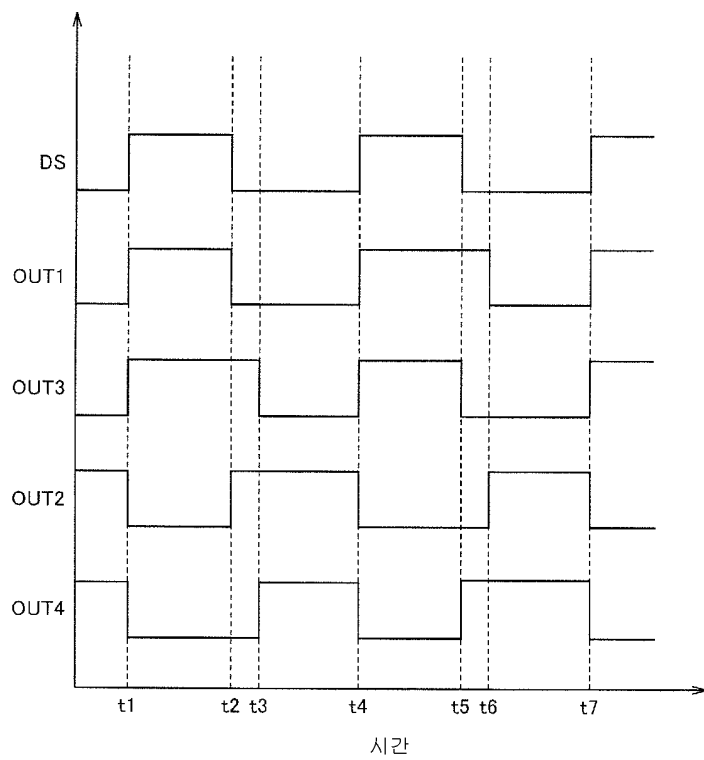
도면31



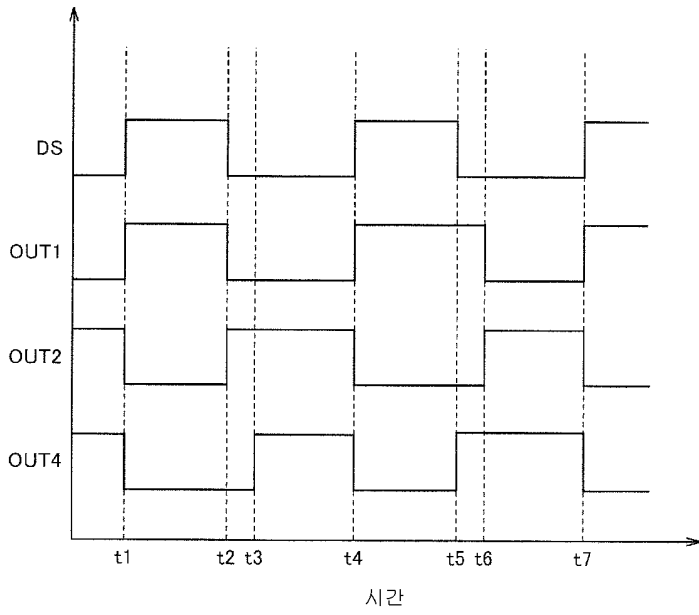
도면32



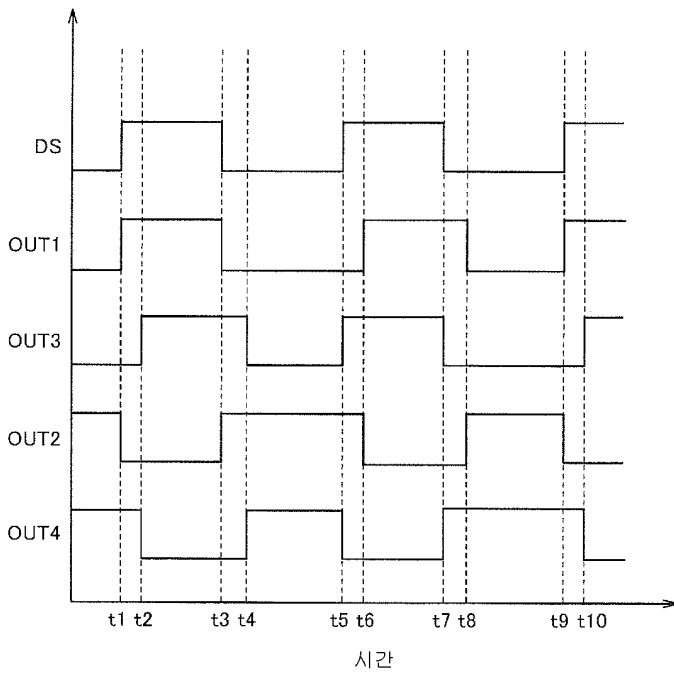
도면33



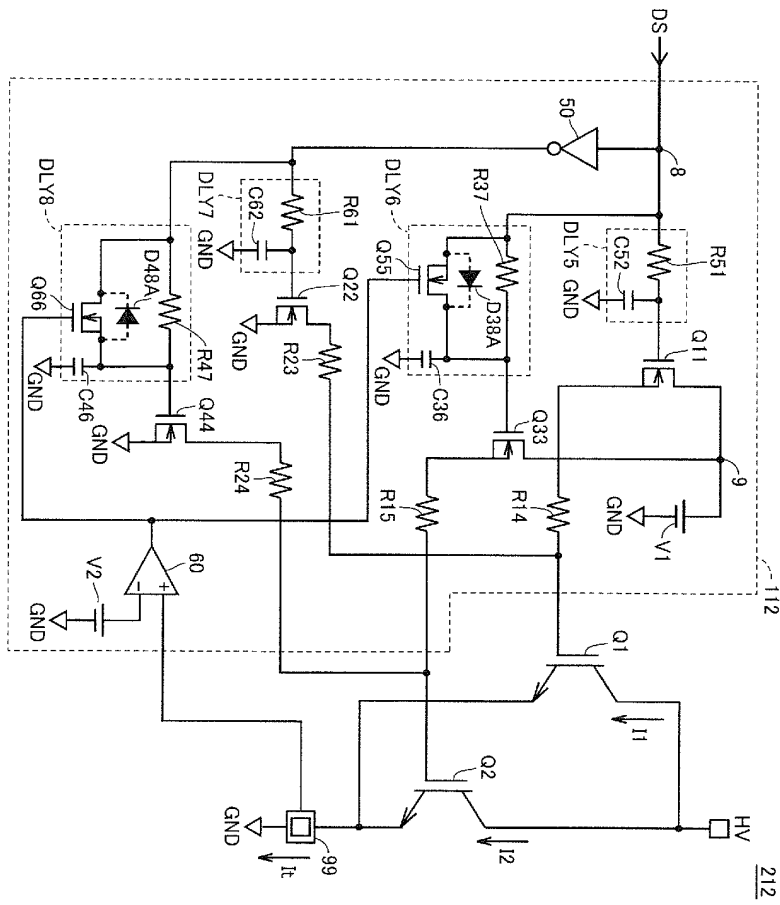
도면34



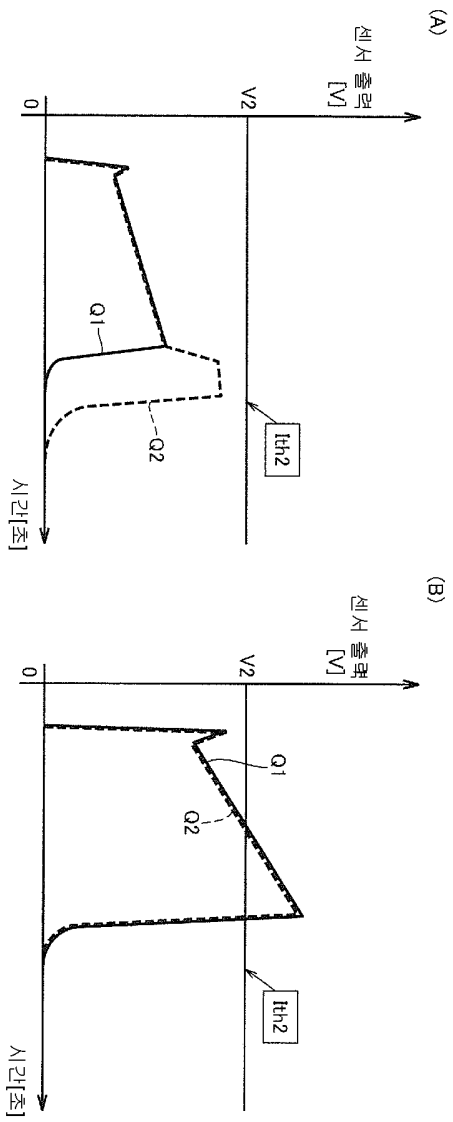
도면35



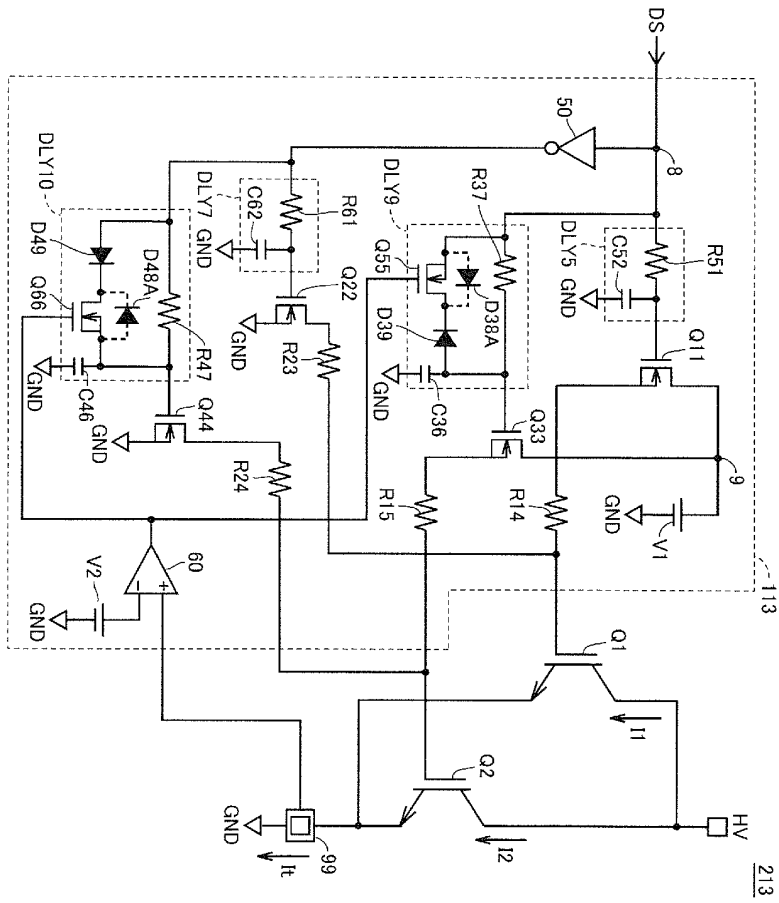
도면36



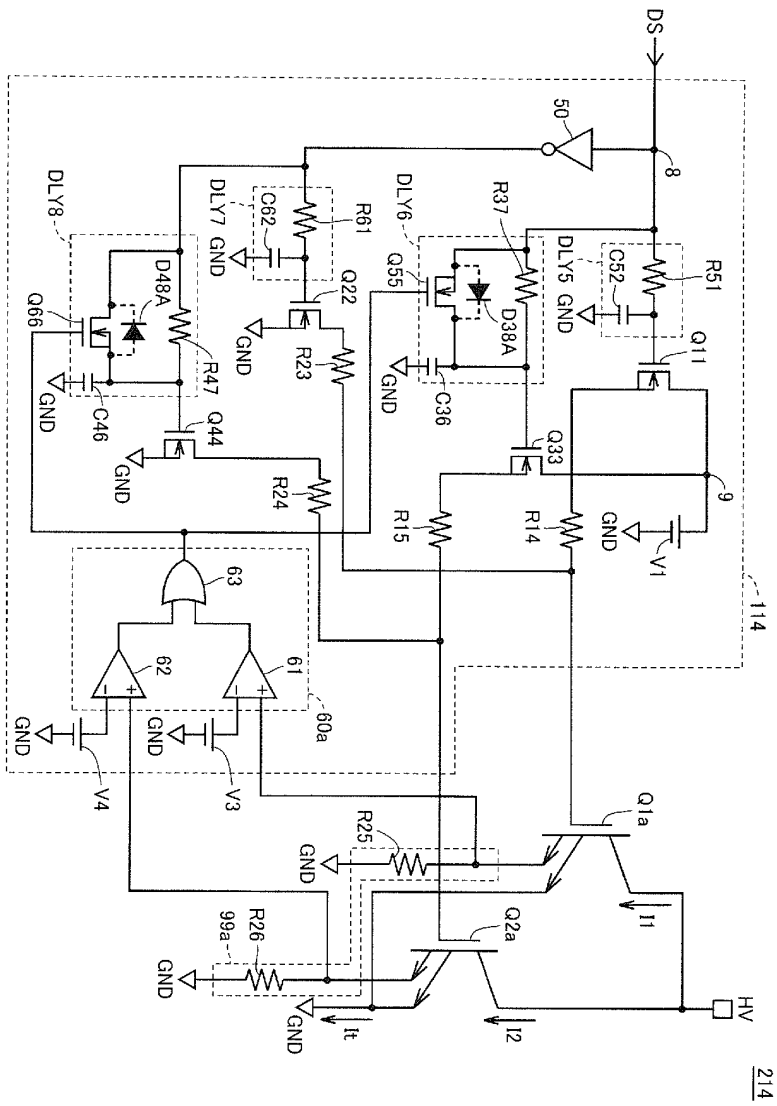
도면37



도면38

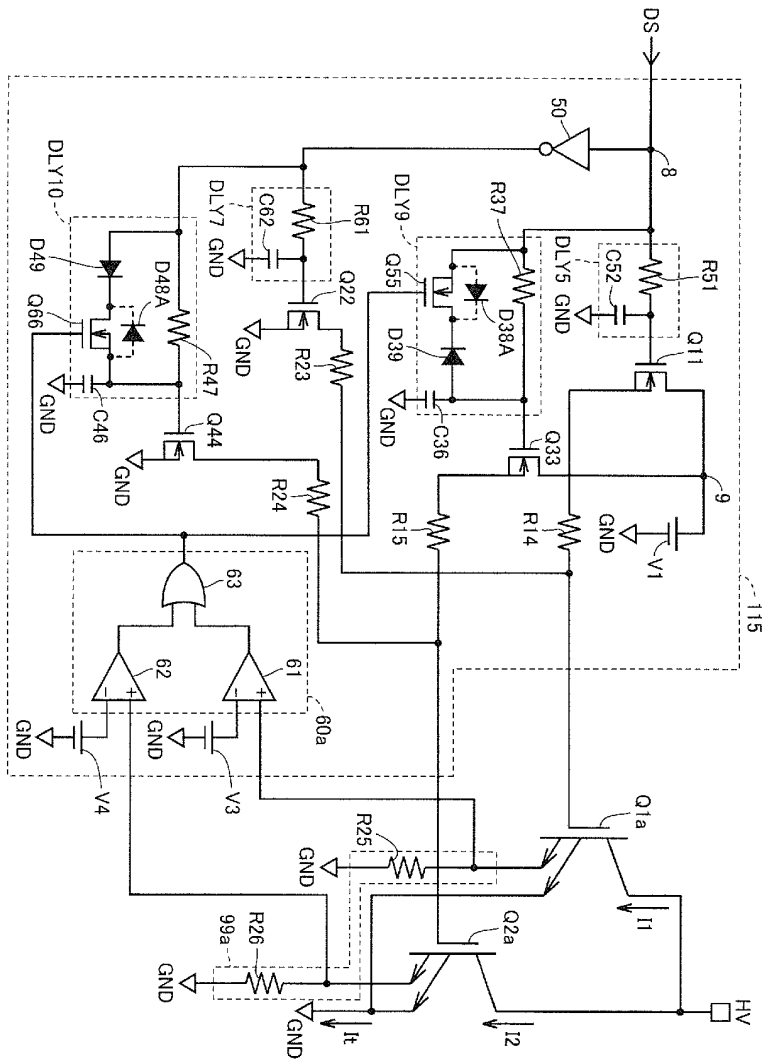


도면39



214

도면40



215