



등록특허 10-2124220



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월17일
(11) 등록번호 10-2124220
(24) 등록일자 2020년06월11일

- (51) 국제특허분류(Int. Cl.)
H02J 7/04 (2006.01) *H01L 29/772* (2006.01)
H02J 7/00 (2006.01)
- (21) 출원번호 10-2013-0083300
(22) 출원일자 2013년07월16일
심사청구일자 2018년07월12일
- (65) 공개번호 10-2014-0010896
(43) 공개일자 2014년01월27일
- (30) 우선권주장
JP-P-2012-158370 2012년07월17일 일본(JP)
- (56) 선행기술조사문현
JP02719369 B
JP2012039273 A
JP2010252581 A

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
다카하시 케이
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
와타나베 가즈노리
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
다카하시 미노루
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 5 항

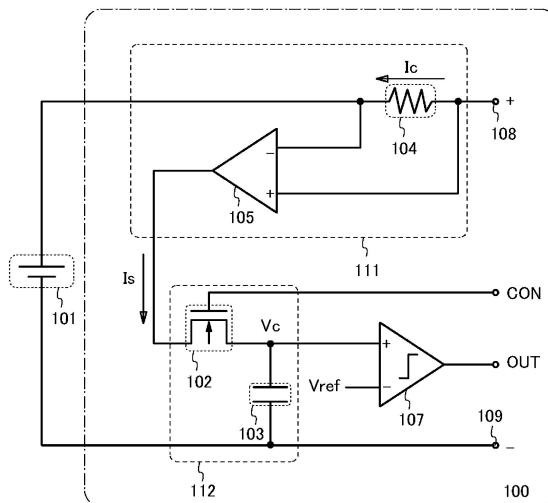
심사관 : 강병우

(54) 발명의 명칭 충전 장치

(57) 요 약

본 발명은 아날로그/디지털 컨버터를 사용하지 않는 충전 장치 또는 소비 전력이 낮은 충전 장치를 얻는다.

축전지를 충전하기 위한 충전 장치이고, 축전지의 충전 전류에 따른 전류를 발생시키는 회로와, 충전 전류에 따른 전류를 주기적으로 흘림으로써 전하를 축적시키는 회로와, 전하가 축적되는 회로의 전위가 기준 전위 이상이 되었을 때 축전지의 충전을 종료하도록 지시하는 신호를 출력하는 회로를 갖는 충전 장치에 관한다. 충전 전류의 일부를 주기적으로 흘림으로써 전하를 축적시키는 회로는 게이트에 입력되는 펄스 신호에 따라 온 상태 또는 오프 상태가 전환되고 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터와, 트랜지스터에 전기적으로 접속되고 온 상태의 트랜지스터를 통하여 충전 전류의 일부가 흐름으로써 전하가 축적되는 용량 소자를 갖는다.

대 표 도 - 도1

명세서

청구범위

청구항 1

반도체 장치에 있어서,

트랜지스터와;

용량 소자와;

콤파레이터와;

전류 검출 회로를 포함하고,

충전 전류는 전원으로부터 축전지에 공급되고,

상기 충전 전류에 따른 전류는 상기 트랜지스터를 통하여 상기 용량 소자에 공급되고,

상기 충전 전류에 따른 상기 전류에 상당하는 전하는 상기 용량 소자에 축적되고,

상기 트랜지스터의 단자와 상기 콤파레이터의 입력 단자에 전기적으로 접속된 상기 용량 소자의 단자의 전위가 기준 전위에 도달될 때, 상기 콤파레이터는 신호를 출력하고,

상기 전류 검출 회로는 저항 소자와 전압 전류 변환 회로를 포함하고,

상기 저항 소자는 상기 전원으로부터의 상기 충전 전류를 상기 저항 소자의 제 1 단자와 상기 저항 소자의 제 2 단자를 통하여 상기 축전지에 흐르게 하고,

상기 전압 전류 변환 회로는 상기 저항 소자의 상기 제 1 단자와 상기 저항 소자의 상기 제 2 단자 사이의 전위 차에 따라 상기 충전 전류에 따른 상기 전류를 상기 트랜지스터에 공급하고,

상기 전원으로부터 상기 축전지로의 상기 충전 전류의 상기 공급은 상기 콤파레이터로부터 출력된 상기 신호에 의해 종료되는, 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

반도체 장치에 있어서,

전원과;

트랜지스터와;

용량 소자와;

콤파레이터와;

전류 검출 회로를 포함하고,

충전 전류는 상기 전원으로부터 축전지에 공급되고,

상기 충전 전류에 따른 전류는 상기 트랜지스터를 통하여 상기 용량 소자에 공급되고,

상기 충전 전류에 따른 상기 전류에 상당하는 전하는 상기 용량 소자에 축적되고,

상기 트랜지스터의 단자와 상기 콤파레이터의 입력 단자에 전기적으로 접속된 상기 용량 소자의 단자의 전위가 기준 전위에 도달될 때, 상기 콤파лей터는 신호를 출력하고,

상기 전류 검출 회로는 저항 소자와 전압 전류 변환 회로를 포함하고,

상기 저항 소자는 상기 전원으로부터의 상기 충전 전류를 상기 저항 소자의 제 1 단자와 상기 저항 소자의 제 2 단자를 통하여 상기 축전지에 흐르게 하고,

상기 전압 전류 변환 회로는 상기 저항 소자의 상기 제 1 단자와 상기 저항 소자의 상기 제 2 단자 사이의 전위 차에 따라 상기 충전 전류에 따른 상기 전류를 상기 트랜지스터에 공급하고,

상기 전원으로부터 상기 축전지로의 상기 충전 전류의 상기 공급은 상기 콤파레이터로부터 출력된 상기 신호에 의해 종료되는, 반도체 장치.

청구항 9

삭제

청구항 10

삭제

청구항 11

제 1 항 또는 제 8 항에 있어서,

상기 트랜지스터는 산화물 반도체를 포함한 채널 형성 영역을 포함하는, 반도체 장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

반도체 장치에 있어서,

전원과;

축전지와;

산화물 반도체를 포함한 채널 형성 영역을 포함하는 트랜지스터와;

용량 소자와;

콤파레이터와;

전류 검출 회로를 포함하고,

충전 전류는 상기 전원으로부터 상기 축전지에 공급되고,

상기 충전 전류에 따른 전류는 상기 트랜지스터를 통하여 상기 용량 소자에 공급되고,

상기 충전 전류에 따른 상기 전류에 상당하는 전하는 상기 용량 소자에 축적되고,

상기 트랜지스터의 단자와 상기 콤파레이터의 입력 단자에 전기적으로 접속된 상기 용량 소자의 단자의 전위가 기준 전위에 도달될 때, 상기 콤파레이터는 신호를 출력하고,

상기 전류 검출 회로는 저항 소자와 전압 전류 변환 회로를 포함하고,

상기 저항 소자는 상기 전원으로부터의 상기 충전 전류를 상기 저항 소자의 제 1 단자와 상기 저항 소자의 제 2 단자를 통하여 상기 축전지에 흐르게 하고,

상기 전압 전류 변환 회로는 상기 저항 소자의 상기 제 1 단자와 상기 저항 소자의 상기 제 2 단자 사이의 전위 차에 따라 상기 충전 전류에 따른 상기 전류를 상기 트랜지스터에 공급하고,

상기 전원으로부터 상기 축전지로의 상기 충전 전류의 상기 공급은 상기 콤파레이터로부터 출력된 상기 신호에 의해 종료되는, 반도체 장치.

청구항 16

제 1 항, 제 8 항, 및 제 15 항 중 어느 한 항에 있어서,

상기 충전 전류에 따른 상기 전류는, 상기 트랜지스터가 온 상태일 때 상기 트랜지스터를 통하여 상기 용량 소자에 공급되는, 반도체 장치.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

발명의 설명

기술 분야

[0001] 본 발명은 물건, 방법, 또는 제작 방법에 관한 것이다. 또는, 본 발명은 프로세스, 기계(machine), 제품(manufacture)에 관한 것이다. 특히, 본 발명은 예를 들어 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 이를 구동 방법, 또는 이를 제조 방법에 관한 것이다. 특히, 본 발명은 축전지의 충전 장치에 관한 것이다.

배경 기술

[0002] 최근 휴대폰이나 스마트폰으로 대표되는 휴대 단말의 전원으로서 또는 전기 자동차 등의 모터 구동의 전원으로

서 리튬 2차 전지와 같은 축전지가 널리 이용되고 있다(특허 문헌 1 참조).

[0003] 이러한 축전지의 충전 장치로서 축전지의 단자 전압을 계측하여 충전이 완료되었는지 아닌지를 판정하는 충전 장치나 충전 전류(축전지를 충전하기 위하여 필요한 전류)를 적산하여 충전 전류 적산값을 산출하여 충전이 완료되었는지 아닌지를 판정하는 충전 장치가 개발되고 있다(특허 문헌 2 참조).

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 공개 특허 출원 제2006-269426호

(특허문헌 0002) 일본 공개 특허 출원 제2004-364419호

발명의 내용

해결하려는 과제

[0005] 특허 문헌 2에서는 충전 회로 1의 플러스 입력 단자 TM1 및マイ너스 입력 단자 TM2가 있고, 마이크로 컴퓨터 5 내에 아날로그 신호가 입력되면 디지털 신호로 변환하는 아날로그/디지털 컨버터(A/D 컨버터, ADC라고도 함)가 내장되어 있다. 이것은 축전지 2 등이 아날로그 신호에 의거하여 동작하는 데 비하여 마이크로 컴퓨터나 충전 회로 1의 외부의 회로는 디지털 신호에 의거하여 동작하기 때문이다.

[0006] 그러나, 충전 장치 내에 아날로그/디지털 컨버터가 존재하면, 아날로그/디지털 컨버터의 소비 전력이 크므로, 충전 장치의 소비 전력이 증대되는 문제점이 있었다.

[0007] 상술한 문제를 감안하여 본 발명의 일 형태에서는 소비 전력이 작은 충전 장치를 얻는 것을 과제 중 하나로 한다.

[0008] 또한, 상기 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 상기 과제에 한정되지 않고 본 명세서에 기재된 과제 중 어느 과제를 해결하면 좋다. 또한, 상술한 것 이외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이고, 명세서, 도면, 청구항 등의 기재로부터 과제를 만들어 낼 수 있다.

과제의 해결 수단

[0009] 본 발명의 일 형태는 축전지를 충전하기 위한 충전 장치이고, 축전지의 충전 전류에 따른 전류를 발생시키는 회로와, 상기 충전 전류에 따른 전류를 흘림으로써 전하를 축적시키는 회로와, 상기 전하가 축적되는 회로의 전위가 기준 전위 이상이 되었을 때 상기 축전지의 충전을 종료하도록 지시하는 신호를 출력하는 회로를 갖는 것을 특징으로 하는 충전 장치에 관한 것이다.

[0010] 축전지의 충전 전류(I_c로 함)는 아날로그 방식으로 변화되는 아날로그 신호다. 또한, 축전지의 충전 전류는 기지의 저항값을 갖는 저항 소자를 흐른다. 상기 저항 소자의 양쪽 단자에 전기적으로 접속되는 전압 전류 변환 회로에 의하여 상기 저항 소자의 양쪽 단자의 전위차가 측정된다.

[0011] 상기 전압 전류 변환 회로는 상기 저항 소자의 양쪽 단자의 전위차에 따른 전류(I_s로 함)를 출력한다. 따라서, 전류 I_s는 충전 전류 I_c에 따른 전류이거나 또는 충전 전류 I_c의 일부다. 상기 전압 전류 변환 회로는 충전 전류 I_c에 따른 전류 I_s를 발생시키는 회로 또는 충전 전류 I_c로부터 그 일부의 전류인 전류 I_s를 발생시키는 회로라고 말할 수 있다.

[0012] 상기 전압 전류 변환 회로의 출력은 스위칭 소자인, 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터(아래에서 "산화물 반도체 트랜지스터"라고 함)의 소스 및 드레인 중 하나에 전기적으로 접속되어 있다. 또한, 상기 산화물 반도체 트랜지스터의 게이트에는 펄스 신호가 입력되고, 상기 펄스 신호에 따라 온 상태 또는 오프 상태가 전환된다.

[0013] 상기 트랜지스터의 소스 및 드레인 중 다른 하나는 용량 소자에 전기적으로 접속되어 있다. 상기 트랜지스터가 온 상태일 때 전류 I_s가 트랜지스터의 소스와 드레인 사이를 흘러 용량 소자에 전하가 축적된다.

- [0014] 용량 소자의 단자 중 하나 및 상기 트랜지스터의 소스 및 드레인 중 다른 하나는 비교기의 제 1 단자에 전기적으로 접속되어 있다. 상기 비교기의 출력 전위는 전하가 축적된 용량 소자의 단자 중 하나의 전위가 상기 비교기의 제 2 단자에 입력되는 기준 전위 이상이 되었을 때 Low 레벨 전위 VL로부터 High 레벨 전위 VH로 변화된다.
- [0015] 상기 기준 전위로서 축전지의 충전 종료에 대응하는 전위를 설정함으로써 용량 소자의 단자 중 하나의 전위가 기준 전위 이상이 된 시점에서 충전을 종료시킬 수 있다. 즉 상기 비교기의 출력 전위는 축전지의 충전을 종료하도록 지시하는 신호이고, 상기 비교기는 축전지의 충전을 종료하도록 지시하는 신호를 출력하는 회로라고 말할 수 있다.
- [0016] 산화물 반도체 트랜지스터는 오프 상태에서의 누설 전류가 예를 들어 채널 폭 $1\text{ }\mu\text{m}$ 당 $10\text{aA}(1\times 10^{-17}\text{A})$ 이하, 바람직하게는 채널 폭 $1\text{ }\mu\text{m}$ 당 $1\text{aA}(1\times 10^{-18}\text{A})$ 이하, 더 바람직하게는 채널 폭 $1\text{ }\mu\text{m}$ 당 $10\text{zA}(1\times 10^{-20}\text{A})$ 이하, 더 바람직하게는 채널 폭 $1\text{ }\mu\text{m}$ 당 $1\text{zA}(1\times 10^{-21}\text{A})$ 이하, 더 바람직하게는 채널 폭 $1\text{ }\mu\text{m}$ 당 $100\text{yA}(1\times 10^{-22}\text{A})$ 이하로 매우 낮은 이점을 갖는다. 그러므로, 용량 소자에 전기적으로 접속된 트랜지스터로서 산화물 반도체 트랜지스터를 사용함으로써 상기 트랜지스터가 오프 상태일 때 용량 소자에 축적된 전하가 상기 트랜지스터의 소스와 드레인 사이를 통과하여 누설되는 것을 방지할 수 있다. 따라서, 용량 소자에 축적된 전하량을 유지할 수 있고, 상기 용량 소자의 전하량을 주기적으로 적산시킴으로써 용량 소자의 전위와 기준 전위를 비교할 수 있다.
- [0017] 상술한 바와 같이, 아날로그/디지털 컨버터를 사용하지 않으므로 소비 전력이 작은 충전 장치를 얻을 수 있다.
- [0018] 본 발명의 일 형태는 축전지를 충전하기 위한 충전 장치이며, 전원 제어 회로로부터 공급되는 충전 전류에 따른 전류를 발생시키는 회로와, 충전 전류에 따른 전류를 흘림으로써 충전 전류에 따른 전하를 아날로그 신호로서 용량 소자에 축적시키는 회로와, 전하가 축적되는 회로의 전위가 기준 전위 이상이 되었을 때 축전지의 충전을 종료하도록 지시하는 신호를 전원 제어 회로의 제어 회로에 출력하는 회로를 포함하고, 축전지의 충전을 종료하도록 지시하는 신호가 전원 제어 회로의 제어 회로에 출력됨으로써 상기 충전 전류의 공급이 종료되는 것을 특징으로 하는 충전 장치에 관한 것이다.
- [0019] 본 발명의 일 형태는 축전지를 충전하기 위한 충전 장치이며, 전원 제어 회로로부터 공급되는 충전 전류에 따른 전류를 발생시키는 회로와, 입력되는 펄스 신호에 따라 온 상태 또는 오프 상태가 전환되는 스위칭 소자와, 스위칭 소자에 전기적으로 접속되고 온 상태의 스위칭 소자를 통하여 충전 전류에 따른 전류가 흘림으로써 충전 전류에 따른 전하가 축적되는 용량 소자와, 전하가 축적되는 용량 소자의 전위가 기준 전위 이상이 되었을 때 축전지의 충전을 종료하도록 지시하는 신호를 전원 제어 회로의 제어 회로에 출력하는 회로를 포함하고, 축전지의 충전을 종료하도록 지시하는 신호가 전원 제어 회로의 제어 회로에 출력됨으로써 충전 전류의 공급이 종료되는 것을 특징으로 하는 충전 장치에 관한 것이다.
- [0020] 본 발명의 일 형태는 축전지를 충전하기 위한 충전 장치이며, 전원 제어 회로로부터 공급되는 충전 전류에 따른 전류를 발생시키는 회로와, 게이트에 입력되는 펄스 신호에 따라 온 상태 또는 오프 상태가 전환되고 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터와, 트랜지스터에 전기적으로 접속되고 온 상태의 트랜지스터를 통하여 충전 전류에 따른 전하가 축적되는 용량 소자와, 전하가 축적되는 용량 소자의 전위가 기준 전위 이상이 되었을 때 축전지의 충전을 종료하도록 지시하는 신호를 전원 제어 회로의 제어 회로에 출력하는 회로를 포함하고, 축전지의 충전을 종료하도록 지시하는 신호가 전원 제어 회로의 제어 회로에 출력됨으로써 충전 전류의 공급이 종료되는 것을 특징으로 하는 충전 장치에 관한 것이다.
- [0021] 본 발명의 일 형태는 축전지를 충전하기 위한 충전 장치이며, 축전지의 충전 전류가 흐르는 저항 소자와, 저항 소자에 인가되는 전압에 의거하여 충전 전류에 따른 전류를 발생시키는 오프 앰프와, 게이트에 입력되는 펄스 신호에 따라 온 상태 또는 오프 상태가 전환되고 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터와, 트랜지스터에 전기적으로 접속되고 온 상태의 트랜지스터를 통하여 충전 전류의 일부가 흐름으로써 전하가 축적되는 용량 소자와, 전하가 축적되는 용량 소자의 전위가 입력되는 제 1 입력 단자와 기준 전위가 입력되는 제 2 입력 단자를 갖는 비교기를 포함하고, 용량 소자의 전위와 기준 전위를 비교함으로써 비교기의 출력 전위가 전환되고, 출력 전위가 전환됨으로써 충전 전류의 공급이 종료되는 것을 특징으로 하는 충전 장치에 관한 것이다.
- [0022] 본 발명의 일 형태에서 비교기는 히스테리시스 콤퍼레이터라도 좋다.
- [0023] 본 발명의 일 형태에서 상기 산화물 반도체는 산화 인듐, In-Zn계 산화물, In-Mg계 산화물, In-Ga계 산화물,

In-Ga-Zn계 산화물, In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물 중 어느 것이라도 좋다.

발명의 효과

[0024]

본 발명의 일 형태에 의하여 소비 전력이 작은 충전 장치를 얻을 수 있다.

도면의 간단한 설명

[0025]

도 1은 충전 회로의 회로도.

도 2는 충전 회로의 동작을 설명하기 위한 타이밍 차트.

도 3은 충전 회로의 회로도.

도 4는 충전 장치의 회로도.

도 5는 충전 장치의 회로도.

도 6은 충전 장치의 회로도.

도 7은 충전 장치의 회로도.

도 8은 축전지를 설명하기 위한 도면.

도 9는 산화물 반도체 트랜지스터의 단면도.

도 10은 반도체 장치의 구조 예를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0026]

본 명세서에 기재된 발명의 실시형태에 대하여 도면을 참조하여 아래에서 설명한다. 다만, 본 명세서에 기재된 발명은 많은 다른 형태로 실시할 수 있고, 본 명세서에 기재된 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세한 내용을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 도면에서 동일 부분 또는 같은 기능을 갖는 부분에는 동일 부호를 붙이고 반복 설명은 생략한다. 또한, 같은 것을 가리킬 때는 같은 해치 패턴(hatch pattern)을 사용하고 부호를 특별히 붙이지 않는 경우가 있다.

[0027]

또한, 본 명세서에 기재된 발명에서 반도체 장치란 반도체를 이용함으로써 기능하는 소자 및 장치 전반을 가리키며, 전자 회로, 표시 장치, 발광 장치, 기억 장치 등을 포함한 전기 장치 및 그 전기 장치를 탑재한 전기 기기를 그 범주에 포함한다.

[0028]

또한, 도면 등에서 기재된 각 구성의 위치, 크기, 범위 등을 설명을 이해하기 쉽게 하기 위하여 실제의 위치, 크기, 범위 등을 나타내지 않는 경우가 있다. 따라서, 본 발명은 반드시 도면 등에 기재된 위치, 크기, 범위 등에 한정되지 않는다.

[0029]

또한, 본 명세서 등에 기재된 "제 1" "제 2" "제 3" 등의 서수사는 구성 요소의 혼동을 피하기 위하여 붙이는 것이고, 개수를 한정하는 것은 아닌 것을 부기한다.

[0030]

또한, 본 명세서 등에서 "전극"이나 "배선"이라는 용어는 이를 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들어 "전극"은 "배선"의 일부로서 사용될 수 있고, 그 반대도 마찬가지다. 또한, "전극"이나 "배선"이라는 용어는 복수의 "전극"이나 복수의 "배선"이 일체가 되어 형성되는 경우 등도 포함한다.

[0031]

또한, "소스"나 "드레인"의 기능은 극성이 다른 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 바뀔 수 있다. 따라서, 본 명세서에서는 "소스"나 "드레인"이라는 용어는 바꿔 사용할 수 있다.

[0032]

또한, 본 명세서 등에서 "전기적으로 접속된다"라는 표현에는 어떤 전기적 작용을 갖는 것을 통하여 접속되는 경우가 포함된다. 여기서, "어떤 전기적 작용을 갖는 것"은 접속 대상 사이에서 전기 신호를 주고받고 할 수

있는 것이면 특별히 제한을 받지 않는다. 예를 들어 "어떤 전기적 작용을 갖는 것"에는 전극이나 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 커패시터, 이 외 각종 기능을 갖는 소자 등이 포함된다.

[0033] 또한, 본 명세서 등에서 "위"나 "아래"라는 용어는 구성 요소의 위치 관계가 "바로 위" 또는 "바로 아래"인 것을 한정하는 것은 아니다. 예를 들어 '게이트 절연막 위의 게이트 전극'이라는 표현은 게이트 절연막과 게이트 전극 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.

[0034] 본 명세서에서 '평행'이란 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 뜻한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '수직'이란 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 뜻한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.

[0035] 또한, 본 명세서에서 삼방정 또는 능면체정은 육방정계에 포함된다.

[0036] (실시형태 1)

[0037] <충전 회로의 회로 구성>

[0038] 본 실시형태의 충전 회로의 회로도를 도 1에 도시하였다. 도 1에 도시된 충전 회로(100)는 트랜지스터(102), 용량 소자(103), 저항 소자(104), 전압 전류 변환 회로(105), 히스테리시스 콤퍼레이터(107)(슈미트 트리거라고도 함)를 갖는다. 충전 회로(100)는 단자(108), 단자(109), 단자 CON, 및 단자 OUT에 의하여 외부 회로와 전기적으로 접속되어 있다. 또한, 도 1에 도시된 충전 회로(100)에는 상기 충전 회로(100)에 의하여 충전되는 축전지(101)가 전기적으로 접속되어 있다.

[0039] 또한, 트랜지스터(102) 및 용량 소자(103)로 누적 가산 회로(112)를 구성한다. 상세한 내용은 후술되지만, 트랜지스터(102)는 게이트에 입력되는 펠스 신호에 따라 온 상태 또는 오프 상태가 전환된다. 트랜지스터(102)가 온 상태일 때 전류가 트랜지스터(102)의 소스와 드레인 사이를 흘러 전하가 용량 소자(103)에 축적된다.

[0040] 또한, 저항 소자(104) 및 전압 전류 변환 회로(105)로 전류 검출 회로(111)를 구성한다. 도 1에 도시된 충전 회로(100)에서는 전류 검출 회로(111)는 양 전위 측에 제공되어 있다.

[0041] 단자(108)는 충전할 때 양 전위가 인가되는 단자이고, 저항 소자(104)의 단자 중 하나 및 전압 전류 변환 회로(105)의 비반전 입력 단자에 전기적으로 접속되어 있다.

[0042] 저항 소자(104)는 충전 전류 I_c 의 전류값을 측정하기 위한 저항 소자이고, 기지의 저항값 R 를 갖는다. 저항 소자(104)의 단자 중 하나는 단자(108) 및 전압 전류 변환 회로(105)의 비반전 입력 단자에 전기적으로 접속되어 있다. 저항 소자(104)의 단자 중 다른 하나는 전압 전류 변환 회로(105)의 반전 입력 단자 및 축전지(101)의 양극(positive electrode)에 전기적으로 접속되어 있다.

[0043] 전압 전류 변환 회로(105)는 예를 들어 오피 앰프이고, 저항 소자(104)의 단자 중 하나와 다른 하나의 전위차(저항 소자(104)에 인가되는 전압)에 따라 전류 I_s 를 출력하는 회로다. 더 구체적으로 말하면, 전압 전류 변환 회로(105)는 저항 소자(104)의 단자 중 하나와 다른 하나의 전위차(전압 전류 변환 회로(105)의 비반전 입력 단자 및 반전 입력 단자에 입력되는 전위의 전위차)에 비례하는 전류 I_s 를 출력한다. 저항 소자(104)의 저항값 R 는 기지이므로, 저항 소자(104)의 단자 중 하나와 다른 하나의 전위차는 충전 전류 I_c 에 비례한다. 따라서, 전류 I_s 는 충전 전류 I_c 에 따라 변화하는 전류이고, 충전 전류 I_c 의 일부라고 말할 수 있다. 또한, 전압 전류 변환 회로(105)는 충전 전류 I_c 로부터 그 일부의 전류인 전류 I_s 를 발생시키는 회로라고 말할 수 있다.

[0044] 전압 전류 변환 회로(105)의 비반전 입력 단자는 저항 소자(104)의 단자 중 하나 및 단자(108)에 전기적으로 접속되어 있다. 전압 전류 변환 회로(105)의 반전 입력 단자는 저항 소자(104)의 단자 중 다른 하나 및 축전지(101)의 양극에 전기적으로 접속되어 있다. 전압 전류 변환 회로(105)의 출력 단자는 트랜지스터(102)의 소스 및 드레인 중 하나에 전기적으로 접속되어 있다.

[0045] 축전지(101)는 예를 들어 리튬 2차 전지를 사용하면 좋지만, 이것에 한정되지 않고, 이 외의 축전지를 사용하여도 좋다.

[0046] 축전지(101)로서 충전 곡선(세로 축을 충전 전압, 가로 축을 용량으로 하여 플롯한 곡선 또는 세로 축을 충전 전압, 가로 축을 시간으로 하여 플롯한 곡선)에 플래토(plateau)를 갖는 리튬 2차 전지를 사용한 경우, 리튬 2차 전지의 충전 전압을 측정하여 충전을 제어하는 충전 장치에서는 플래토 영역에서 충전 용량이 증가되어도 충전 전압은 변화하지 않는다. 그러므로, 충전 전압을 측정하여 충전을 제어하는 충전 장치에서는 충전 용량을

정확히 측정하기 어렵다.

[0047] 그러나, 본 실시형태의 충전 회로(100)는 충전 전류 I_c (실제로는 충전 전류 I_c 의 일부인 전류 I_s)와 충전 시간의 곱에 의하여 축전지(101)의 충전 전하량을 측정한다. 그러므로, 축전지(101)로서 플래토를 갖는 리튬 2차 전지를 사용한 경우에도 충전 전하량(충전 용량)을 정확히 측정할 수 있다.

[0048] 축전지(101)의 양극은 저항 소자(104)의 단자 중 다른 하나 및 전압 전류 변환 회로(105)의 비반전 입력 단자에 전기적으로 접속되어 있다. 축전지(101)의 음극(negative electrode)은 용량 소자(103)의 단자 중 다른 하나 및 단자(109)에 전기적으로 접속되어 있다.

[0049] 트랜지스터(102)는 단자 CON으로부터 인가되는 전위 CON에 따라 온 상태 또는 오프 상태가 전환되는 스위칭 소자다. 또한, 상세한 내용은 후술되지만, 전위 CON(신호 CON이라고도 불림)은 펄스 신호이고, High 레벨 전위 VH 또는 Low 레벨 전위 VL이 된다. 트랜지스터(102)가 온 상태일 때(전위 CON이 High 레벨 전위 VH일 때) 전류 I_s 가 소스와 드레인 사이를 흐르고, 이에 따라 용량 소자(103)에 전하가 축적된다.

[0050] 또한, 본 실시형태에서는 High 레벨 전위 VH는 Low 레벨 전위 VL보다 높고, Low 레벨 전원 전위 VSS보다 높고, High 레벨 전원 전위 VDD 이하인 것으로 한다. 또한, Low 레벨 전위 VL은 High 레벨 전위 VH보다 낮고, Low 레벨 전원 전위 VSS 이상이고, High 레벨 전원 전위 VDD보다 낮다. 또한, Low 레벨 전원 전위 VSS는 접지 전위 GND라도 좋지만, 이것에 한정되지 않고, High 레벨 전원 전위 VDD보다 낮은 전위라면 Low 레벨 전원 전위 VSS로서 사용할 수 있다. 상기 내용을 수학식으로 나타내면, $\text{High 레벨 전원 전위 } VDD \geq \text{High 레벨 전위 } VH > \text{Low 레벨 전위 } VL \geq \text{Low 레벨 전원 전위 } VSS$ (다만, Low 레벨 전원 전위 VSS는 접지 전위 GND라도 좋음)가 된다.

[0051] 트랜지스터(102)에서 채널 형성 영역에 산화물 반도체를 사용하면, 오프 상태일 때의 누설 전류(오프 전류라고도 함)가 매우 낮다는 이점을 갖기 때문에 바람직하다. 또한, 본 명세서에서는 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터를 산화물 반도체 트랜지스터라고 부르기로 한다. 트랜지스터(102)로서 산화물 반도체 트랜지스터를 사용하면, 트랜지스터(102)가 오프 상태일 때 용량 소자(103)에 축적된 전하가 트랜지스터(102)의 소스와 드레인 사이를 통과하여 누설되는 것을 방지할 수 있다.

[0052] 본 실시형태에서는 상술한 바와 같이 단자 CON으로부터 인가되는 전위 CON에 따라 온 상태 또는 오프 상태가 전환되는 스위칭 소자로서 기능하는 트랜지스터(102)로서 오프 전류가 매우 낮은 산화물 반도체 트랜지스터를 사용한다. 그러나, 용량 소자(103)에 축적된 전하가 누설되지 않는 한, 다른 스위칭 소자를 사용하여도 좋다.

[0053] 트랜지스터(102)의 게이트는 단자 CON에 전기적으로 접속되어 있다. 트랜지스터(102)의 소스 및 드레인 중 하나는 전압 전류 변환 회로(105)의 출력 단자에 전기적으로 접속되어 있다. 트랜지스터(102)의 소스 및 드레인 중 다른 하나는 용량 소자(103)의 단자 중 하나 및 히스테리시스 콤파레이터(107)의 비반전 입력 단자에 전기적으로 접속되어 있다.

[0054] 용량 소자(103)는 트랜지스터(102)의 소스와 드레인 사이를 흐르는 전류 I_s 의 전하가 축적되는 소자다. 용량 소자(103)에 전하가 축적되면 이에 따라 용량 소자(103)의 단자 중 하나의 전위 V_c 가 증대된다.

[0055] 용량 소자(103)의 단자 중 하나는 트랜지스터(102)의 소스 및 드레인 중 다른 하나 및 히스테리시스 콤파레이터(107)의 비반전 입력 단자에 전기적으로 접속되어 있다. 용량 소자(103)의 단자 중 다른 하나는 축전지(101)의 음극 및 단자(109)에 전기적으로 접속되어 있다.

[0056] 히스테리시스 콤파레이터(107)는 입력과 출력 사이에 히스테리시스를 갖는 콤파레이터다. 즉 비반전 입력 단자에 입력되는 전위와 반전 입력 단자에 입력되는 전위의 차이가 증대되었을 때 출력이 전환되는 전위와, 비반전 입력 단자에 입력되는 전위와 반전 입력 단자에 입력되는 전위의 차이가 감소하였을 때 출력이 전환되는 전위는 다르다. 히스테리시스 콤파레이터를 사용함으로써, 노이즈의 영향으로 인하여 출력 전위가 빈번하게 전환되는 것을 억제할 수 있다.

[0057] 다만, 본 실시형태에서는 노이즈의 영향으로 인하여 출력 전위가 빈번하게 전환되는 것을 억제하기 위하여 히스테리시스 콤파레이터를 사용하였지만, 이것에 한정되지 않는다. 비반전 입력 단자에 입력되는 전위와 반전 입력 단자에 입력되는 전위의 차이에 따라 출력 전위가 전환될 수 있다면, 히스테리시스 콤파레이터 대신에 다른 비교기(콤파레이터)를 사용하여도 좋다.

[0058] 히스테리시스 콤파레이터(107)의 반전 입력 단자에는 기준 전위 V_{ref} 가 입력된다. 히스테리시스 콤파레이터(107)의 비반전 입력 단자는 트랜지스터(102)의 소스 및 드레인 중 다른 하나 및 용량 소자(103)의 단자 중 하나에 전기적으로 접속되어 있다. 히스테리시스 콤파레이터(107)의 비반전 입력 단자 및 용량 소자(103)의 단자

중 하나가 전기적으로 접속되어 있으므로 히스테리시스 콤파레이터(107)의 비반전 입력 단자에는 전위 V_c 가 입력된다. 히스테리시스 콤파레이터(107)의 출력 단자는 단자 OUT에 전기적으로 접속되어 있다.

[0059] 히스테리시스 콤파레이터(107)의 반전 입력 단자에 입력되는 기준 전위 V_{ref} 가 비반전 입력 단자에 입력되는 전위 V_c 보다 높은 경우에는, 히스테리시스 콤파레이터(107)는 출력 단자로부터 단자 OUT에 Low 레벨 전위 VL 을 출력한다. 히스테리시스 콤파레이터(107)의 비반전 입력 단자에 입력되는 전위 V_c 가 히스테리시스 콤파레이터(107)의 반전 입력 단자에 입력되는 기준 전위 V_{ref} 이상이 되면, 히스테리시스 콤파레이터(107)는 출력 단자로부터 단자 OUT에 High 레벨 전위 VH 를 출력한다. 단자 OUT의 전위를 전위 OUT로 할 때, 전위 V_c 가 기준 전위 V_{ref} 이상이 되면, 전위 OUT가 Low 레벨 전위 VL 로부터 High 레벨 전위 VH 로 변화된다.

[0060] 기준 전위 V_{ref} 로서 축전지(101)의 충전 종료에 대응하는 전위를 설정함으로써 전위 V_c 가 기준 전위 V_{ref} 이상이 된 시점에서 충전을 종료할 수 있다. 즉 히스테리시스 콤파레이터(107)의 출력 전위(전위 OUT와 동등함)는 축전지(101)의 충전을 종료하도록 지시하는 신호이고, 히스테리시스 콤파레이터(107)는 축전지(101)의 충전을 종료하도록 지시하는 신호를 출력하는 회로라고 말할 수 있다.

[0061] 단자(109)는 충전할 때 음 전위가 인가되는 단자이고, 축전지(101)의 음극 및 용량 소자(103)의 단자 중 다른 하나에 전기적으로 접속되어 있다.

[0062] 상술한 바와 같이, 본 실시형태의 충전 회로(100)는 아날로그 신호인 충전 전류 I_c 를 사용하여 축전지(101)의 충전 전하량을 측정한다. 그러므로, 아날로그/디지털 컨버터를 사용하지 않아도 축전지의 충전 전하량(충전 용량)을 검출할 수 있다.

[0063] <충전 회로의 다른 구성>

[0064] 또한, 도 1에 도시된 충전 회로(100)에서는 전류 검출 회로(111)는 양 전위 측에 제공되어 있지만, 전류 검출 회로는 음 전위 측에 제공하여도 좋다. 전류 검출 회로를 음 전위 측에 제공한 예를 도 3에 도시하였다. 또한, 도 3에서 도 1과 같은 것에는 같은 부호를 붙였다. 도 3에 도시된 충전 회로(120)에서 전류 검출 회로(113)는 음 전위 측에 제공되어 있다.

[0065] <충전 회로의 동작>

[0066] 도 1 및 도 2를 사용하여 충전 회로(100)의 동작의 상세한 내용에 대하여 아래에서 설명한다.

[0067] 또한, 준비 단계로서 용량 소자(103)의 양쪽 단자를 접지 전위 GND로 하고, 용량 소자(103)를 방전하여 전위 V_c 를 접지 전위 GND로 한다.

[0068] 단자 CON으로부터 트랜지스터(102)의 게이트에 펠스 신호인 전위 CON이 입력된다. 전위 CON은 기간 P_{2n-1} (다만, n 은 자연수임)에 High 레벨 전위 VH 가 되고 기간 P_{2n} 에 Low 레벨 전위 VL 이 되기 때문에 일정 주기($P_{2n-1}+기간 P_{2n}$)로 High 레벨 전위 VH 및 Low 레벨 전위 VL 이 교대로 반복된다. 따라서, 트랜지스터(102)는 기간 P_{2n-1} 에 온 상태가 되고 기간 P_{2n} 에 오프 상태가 되기 때문에 일정 주기($기간 P_{2n-1}+기간 P_{2n}$)로 온 상태와 오프 상태가 교대로 반복된다.

[0069] 기간 P_1 에 트랜지스터(102)가 온 상태가 되면, 충전 전류 I_c 의 일부인 전류인 전류 I_s 가 트랜지스터(102)의 소스와 드레인 사이를 흘러 용량 소자(103)에 전하가 축적된다. 용량 소자(103)에 전하가 축적되면, 용량 소자(103)의 단자 중 하나의 전위인 전위 V_c 가 접지 전위 GND로부터 전위 V_1 로 증대된다.

[0070] 기간 P_2 에 트랜지스터(102)가 오프 상태가 되면, 용량 소자(103)에 축적된 전하가 유지되고, 용량 소자(103)의 단자 중 하나의 전위인 전위 V_c 도 전위 V_1 이 유지된다. 상술한 바와 같이 트랜지스터(102)로서 산화물 반도체 트랜지스터를 사용하면, 산화물 반도체 트랜지스터는 오프 전류가 매우 낮기 때문에 용량 소자(103)에 축적된 전하가 트랜지스터(102)의 소스와 드레인 사이를 통과하여 누설되는 것을 방지할 수 있다.

[0071] 다음에, 기간 P_3 에 기간 P_1 과 마찬가지로 전위 CON은 High 레벨 전위 VH 가 된다. 그러므로, 트랜지스터(102)도 온 상태가 되고, 전류 I_s 가 트랜지스터(102)의 소스와 드레인 사이를 흘러 용량 소자(103)에 전하가 축적된다. 용량 소자(103)에 전하가 축적되면, 용량 소자(103)의 단자 중 하나의 전위인 전위 V_c 가 전위 V_1 로부터 전위 V_2 로 증대된다.

- [0072] 다음에, 기간 P_4 에 기간 P_2 와 마찬가지로 전위 CON은 Low 레벨 전위 VL이 된다. 그러므로, 트랜지스터(102)도 오프 상태가 되고, 용량 소자(103)에 축적된 전하가 유지되고, 용량 소자(103)의 단자 중 하나의 전위인 전위 V_C 도 전위 V_2 가 유지된다.
- [0073] 상술한 바와 같이, 기간 P_{2n-1} 과 기간 P_{2n} 을 반복함으로써 전위 V_C 가 상승된다. 전위 V_C 가 기준 전위 V_{ref} 보다 낮은 상태에서는 히스테리시스 콤파레이터(107)의 출력 전위인 전위 OUT는 Low 레벨 전위 VL이다. 전위 V_C 가 상승되어 기준 전위 V_{ref} 이상이 되면, 히스테리시스 콤파레이터(107)의 출력 전위인 전위 OUT는 Low 레벨 전위 VL로부터 High 레벨 전위 VH로 변화된다.
- [0074] 상술한 바와 같이, 기준 전위 V_{ref} 를 축전지(101)의 충전 종료에 대응하는 전위로 설정한다. 이로써, 히스테리시스 콤파레이터(107)의 출력 전위 OUT가 Low 레벨 전위 VL로부터 High 레벨 전위 VH로 변화한 시간 T 가 충전 종료의 시간이 된다.
- [0075] <충전 장치의 구성>
- [0076] 다음에, 상술한 충전 회로를 사용한 충전 장치의 구성에 대하여 아래에서 설명한다.
- [0077] 도 4에 도시된 충전 장치는 충전 회로(100), 전원 제어 회로(150), 분압 회로(164), 직류 전원(161), 제어 회로(170), 카운터 회로(181), 및 발진 회로(182)를 갖는다. 또한, 도 4의 충전 장치에서 도 1에 도시된 충전 회로(100)를 사용한 예를 도시하였지만, 충전 회로(100) 대신에 도 3에 도시된 충전 회로(120)를 사용하여도 좋다.
- [0078] 전원 제어 회로(150)는 용량 소자(151), 저항 소자(152), 코일(153), 다이오드(154), 및 트랜지스터(155)를 갖고, 강압형 DC-DC 컨버터를 이용한 전류 제어 회로다.
- [0079] 용량 소자(151)의 단자 중 하나는 저항 소자(152)의 단자 중 하나, 저항 소자(162)의 단자 중 하나, 제어 회로(170)의 단자 SENSE2, 및 충전 회로(100)의 단자(108)에 전기적으로 접속되어 있다. 용량 소자(151)의 단자 중 다른 하나는 접지되어 있다.
- [0080] 저항 소자(152)의 단자 중 하나는 용량 소자(151)의 단자 중 하나, 저항 소자(162)의 단자 중 하나, 제어 회로(170)의 단자 SENSE2, 및 충전 회로(100)의 단자(108)에 전기적으로 접속되어 있다. 저항 소자(152)의 단자 중 다른 하나는 코일(153)의 단자 중 하나 및 제어 회로(170)의 단자 SENSE1에 전기적으로 접속되어 있다. 기지의 저항값을 갖는 저항 소자(152)의 양쪽 단자에 인가되는 전위의 차이는 제어 회로(170)의 단자 SENSE1과 단자 SENSE2에 인가되는 전위의 차이와 동등하다. 그러므로, 저항 소자(152)를 흐르는 전류의 전류값을 측정할 수 있다.
- [0081] 코일(153)의 단자 중 하나는 저항 소자(152)의 단자 중 다른 하나, 제어 회로(170)의 단자 SENSE1에 전기적으로 접속되어 있다. 코일(153)의 단자 중 다른 하나는 다이오드(154)의 음극(cathode), 및 트랜지스터(155)의 소스 및 드레인 중 하나에 전기적으로 접속되어 있다.
- [0082] 다이오드(154)의 양극(anode)은 접지되어 있다. 다이오드(154)의 음극은 코일(153)의 단자 중 다른 하나 및 트랜지스터(155)의 소스 및 드레인 중 하나에 전기적으로 접속되어 있다.
- [0083] 트랜지스터(155)는 n채널형 트랜지스터이고, 게이트는 제어 회로(170)의 단자 GS에 전기적으로 접속되어 있다. 제어 회로(170)로부터 트랜지스터(155)의 게이트에 펄스 폭 변조(Pulse Width Modulation: PWM) 신호가 입력됨으로써 저항 소자(152)를 흐르는 전류의 전류값을 제어할 수 있다. 저항 소자(152)를 흐르는 전류의 전류값을 제어한다는 것은 축전지(101)로의 충전 전류 I_c 의 전류값을 제어하는 것과 동등하다.
- [0084] 트랜지스터(155)의 소스 및 드레인 중 하나는 다이오드(154)의 음극 및 코일(153)의 단자 중 다른 하나에 전기적으로 접속되어 있다. 트랜지스터(155)의 소스 및 드레인 중 다른 하나는 직류 전원(161)에 전기적으로 접속되어 있다.
- [0085] 직류 전원(161)은 축전지(101)를 충전하기 위한 전력을 공급한다. 도 4에서는 축전지(101)를 충전하기 위한 전력을 공급원으로서 직류 전원(161)을 사용하지만, 이것에 한정되지 않는다. 직류 전원(161) 대신에 교류 전원(예를 들어 상용 전원), 및 교류 전원의 교류 전력을 직류 전력으로 변환하는 교류-직류 변환기(AC-DC 컨버터 또는 AC-DC 인버터라고도 함)를 사용하여도 좋다.
- [0086] 분압 회로(164)의 저항 소자(162)의 단자 중 하나는 용량 소자(151)의 단자 중 하나, 저항 소자(152)의 단자 중 하나, 제어 회로(170)의 단자 SENSE2, 및 충전 회로(100)의 단자(108)에 전기적으로 접속되어 있다. 저항 소자

(162)의 단자 중 다른 하나는 저항 소자(163)의 단자 중 하나 및 제어 회로(170)의 단자 FB에 전기적으로 접속되어 있다.

[0087] 저항 소자(163)의 단자 중 하나는 저항 소자(162)의 단자 중 다른 하나 및 제어 회로(170)의 단자 FB에 전기적으로 접속되어 있다. 저항 소자(163)의 단자 중 다른 하나는 접지되어 있다.

[0088] 분압 회로(164)는 기지의 저항값을 갖는 저항 소자(162) 및 저항 소자(163)에 의하여 저항 소자(162)의 단자 중 하나에 인가되는 전위의 값 즉 충전 회로(100)의 단자(108)에 입력되는 전위의 값을 측정할 수 있다. 더 구체적으로 말하면, 저항 소자(162)의 단자 중 하나에 인가되는 전위의 분압인 저항 소자(162)의 단자 중 다른 하나 및 저항 소자(163)의 단자 중 하나에 인가되는 전위가 단자 FB를 통하여 제어 회로(170)에 입력된다. 상술한 바와 같이, 저항 소자(162) 및 저항 소자(163)이 저항값은 기지이므로 단자 FB에 입력되는 전위에 의하여 저항 소자(162)의 단자 중 하나에 인가되는 전위의 값(충전 회로(100)의 단자(108)에 입력되는 전위의 값)을 측정할 수 있다.

[0089] 카운터 회로(181)는 충전 회로(100)의 트랜지스터(102)의 게이트에 입력되는 펄스 신호인 전위 CON을 생성하는 회로다. 카운터 회로(181)의 단자 중 하나는 단자 CON을 통하여 트랜지스터(102)의 게이트에 전기적으로 접속되어 있다. 카운터 회로(181)의 단자 중 다른 하나는 발진 회로(182)에 전기적으로 접속되어 있다.

[0090] 발진 회로(182)는 카운터 회로(181)가 펄스 신호인 전위 CON을 생성하기 위한 기준 펄스 신호를 발진하는 회로다. 발진 회로(182)는 카운터 회로(181)의 단자 중 다른 하나에 전기적으로 접속되어 있다.

[0091] 제어 회로(170)는 단자 SENSE1 및 단자 SENSE2의 전위를 측정함으로써 단자 SENSE1과 단자 SENSE2 사이를 흐르는 전류 즉 저항 소자(152)를 흐르는 전류의 전류값을 측정한다. 제어 회로(170)는 펄스 폭 변조 신호를 생성하고, 단자 GS로부터 트랜지스터(155)의 게이트에 펄스 폭 변조 신호를 입력함으로써 저항 소자(152)를 흐르는 전류의 전류값 즉 축전지(101)로의 충전 전류 Ic의 전류값을 제어한다.

[0092] 제어 회로(170)는 단자 FB에 입력되는 전위에 의거하여 트랜지스터(155)의 게이트에 입력되는 펄스 폭 변조 신호를 제어한다. 상술한 바와 같이, 펄스 폭 변조 신호를 제어한다는 것은 저항 소자(152)를 흐르는 전류의 전류값을 제어한다는 것이고, 나아가서 축전지(101)로의 충전 전류 Ic의 전류값을 제어한다는 것이다.

[0093] 또한, 제어 회로(170)의 단자 EN에는 충전 회로(100)의 단자 OUT를 통하여 히스테리시스 콤퍼레이터(107)의 출력 전위가 입력된다. 상술한 바와 같이, 히스테리시스 콤퍼레이터(107)의 출력 전위인 전위 OUT가 Low 레벨 전위 VL로부터 High 레벨 전위 VH로 변화한 경우, 단자 GS로부터 트랜지스터(155)로의 펄스 폭 변조 신호의 입력을 정지한다. 이로써, 축전지(101)로의 충전 전류의 공급을 종료하여 축전지(101)로의 충전을 종료할 수 있다.

[0094] <충전 장치의 다른 구성 1>

[0095] 도 5에 도 4와 다른 구성을 갖는 충전 장치의 예를 도시하였다. 도 5에 도시된 충전 장치에서는 제어 회로(180)가 카운터 회로(181) 및 발진 회로(182)를 포함한다. 제어 회로(180)의 단자 CON_0는 충전 회로(100)의 단자 CON을 통하여 트랜지스터(102)의 게이트에 전기적으로 접속되어 있고, 제어 회로(180)의 단자 CON_0로부터 트랜지스터(102)의 게이트에 펄스 신호인 전위 CON이 입력된다.

[0096] <충전 장치의 다른 구성 2>

[0097] 도 6에 도 4 및 도 5와 다른 구성을 갖는 충전 장치의 예를 도시하였다. 도 6에 도시된 충전 장치에서는 마이크로 컴퓨터(185)가 카운터 회로(181) 및 발진 회로(182)를 포함한다. 마이크로 컴퓨터(185)의 단자 CON_0는 충전 회로(100)의 단자 CON을 통하여 트랜지스터(102)의 게이트에 전기적으로 접속되어 있고, 마이크로 컴퓨터(185)의 단자 CON_0로부터 트랜지스터(102)의 게이트에 펄스 신호인 전위 CON이 입력된다.

[0098] 또한, 마이크로 컴퓨터(185)를 구성하는 트랜지스터로서 실시형태 3에서 설명되는 산화물 반도체 트랜지스터를 사용하여도 좋다.

[0099] <충전 장치의 다른 구성 3>

[0100] 도 7에 도 4 내지 도 6과 다른 구성을 갖는 충전 장치의 예를 도시하였다. 도 7에 도시된 충전 장치에서는 마이크로 컴퓨터(190)가 제어 회로(170), 카운터 회로(181), 및 발진 회로(182)를 포함한다. 제어 회로(170)의 단자 GS, 단자 SENSE1, 단자 SENSE2, 단자 FB, 및 단자 EN, 및 카운터 회로(181)의 단자 CON_0는 마이크로 컴퓨터(190)에 제공되어 있다.

- [0101] 또한, 마이크로 컴퓨터(190)를 구성하는 트랜지스터로서 실시형태 3에서 설명되는 산화물 반도체 트랜지스터를 사용하여도 좋다.
- [0102] 본 실시형태에 의하여 아날로그/디지털 컨버터를 사용하지 않는 충전 장치를 얻을 수 있다.
- [0103] 또한, 본 실시형태에서는 아날로그/디지털 컨버터를 사용하지 않으므로 소비 전력이 작은 충전 장치를 얻을 수 있다.
- [0104] (실시형태 2)
- [0105] 본 실시형태에서는 실시형태 1에 기재된 축전지(101)의 일례로서 리튬 2차 전지에 대하여 설명한다.
- [0106] 도 8의 (A)는 축전지의 단면도다. 도 8의 (A)에 도시된 축전지(300)는 양극 집전체(301) 및 양극 활물질층(302)을 갖는 양극(311), 음극 집전체(305) 및 음극 활물질층(304)을 갖는 음극(312), 및 양극(311)과 음극(312) 사이에 협지되고 액체의 전해질인 전해액(308)을 갖는다.
- [0107] 양극 집전체(301) 위에 CVD법, 스퍼터링법, 또는 도포법에 의하여 양극 활물질층(302)을 형성함으로써 양극(311)이 형성된다.
- [0108] 양극 집전체(301)에는 스테인리스, 금, 백금, 아연, 철, 구리, 알루미늄, 티타늄 등의 금속, 및 이 금속의 합금 등 도전성이 높고 리튬 등의 캐리어 이온과 합금화하지 않는 재료를 사용할 수 있다. 또한, 실리콘, 티타늄, 네오디뮴, 스칸듐, 몰리브데늄 등 내열성을 향상시키는 원소가 첨가된 알루미늄 합금을 사용할 수 있다. 또한, 실리콘과 반응하여 실리사이드를 형성하는 금속 원소로 형성하여도 좋다. 실리콘과 반응하여 실리사이드를 형성하는 금속 원소로서는 지르코늄, 티타늄, 하프늄, 바나듐, 니오븀, 탄탈, 크롬, 몰리브덴, 텅스텐, 코발트, 니켈 등이 있다. 양극 집전체(301)는 박(箔) 형상, 판 형상(시트 형상), 그물 형상, 편침 메탈(punching-metal) 형상, 강망(expanded-metal) 형상 등의 형상을 적절히 사용할 수 있다.
- [0109] 양극 활물질층(302)에 포함되는 양극 활물질은 리튬 이온 등의 캐리어 이온이 들어가거나 이탈할 수 있는 재료라면 좋고, 예를 들어 LiFeO_2 , LiCoO_2 , LiNiO_2 , LiMn_2O_4 , V_2O_5 , Cr_2O_5 , MnO_2 등 다양한 화합물을 사용할 수 있다. 도포법에 의하여 양극 활물질층(302)을 형성하는 경우에는, 양극 활물질에 도전조제나 결착제를 첨가하여 양극 페이스트를 제작하고, 이것을 양극 집전체(301) 위에 도포하고 건조시키면 좋다.
- [0110] 양극 활물질에 사용되는 층상 암염(岩鹽)형 결정 구조를 갖는 리튬 산화물로서는 예를 들어 코발트산 리튬(LiCoO_2), LiNiO_2 , LiMnO_2 , Li_2MnO_3 , $\text{LiNi}_{0.8}\text{Co}_{0.2}\text{O}_2$ 등의 NiCo 계(일반식은 $\text{LiNi}_{x}\text{Co}_{1-x}\text{O}_2$ ($0 < x < 1$)), $\text{LiNi}_{0.5}\text{Mn}_{0.5}\text{O}_2$ 등의 NiMn 계(일반식은 $\text{LiNi}_x\text{Mn}_{1-x}\text{O}_2$ ($0 < x < 1$)), $\text{LiNi}_{1/3}\text{Mn}_{1/3}\text{Co}_{1/3}\text{O}_2$ 등의 NiMnCo 계(NMC라고도 함. 일반식은 $\text{LiNi}_x\text{Mn}_{1-x-y}\text{O}_2$ ($x > 0$, $y > 0$, $x+y < 1$))를 들 수 있다. 또한, $\text{Li}(\text{Ni}_{0.8}\text{Co}_{0.15}\text{Al}_{0.05})\text{O}_2$, $\text{Li}_2\text{MnO}_3\text{-LiMO}_2$ ($\text{M}=\text{Co}$, Ni , Mn) 등도 들 수 있다.
- [0111] LiCoO_2 는 용량이 큰 점, LiNiO_2 보다 대기 중에서 안정된 점, LiNiO_2 보다 열적으로 안정된 점 등의 이점이 있어 특히 바람직하다.
- [0112] 스피넬형 결정 구조를 갖는 리튬 산화물로서는 예를 들어 LiMn_2O_4 , $\text{Li}_{1+x}\text{Mn}_{2-x}\text{O}_4$, $\text{Li}(\text{MnAl})_2\text{O}_4$, $\text{LiMn}_{1.5}\text{Ni}_{0.5}\text{O}_4$ 등을 들 수 있다.
- [0113] LiMn_2O_4 등의 망가니즈를 포함한 스피넬형 결정 구조를 갖는 리튬 산화물에 소량의 니켈산 리튬(LiNiO_2 나 $\text{LiNi}_{1-x}\text{Mn}_x\text{O}_2$ ($\text{M}=\text{Co}$, Al 등))을 혼합하면 망가니즈의 용출을 억제하는 등의 이점이 있어 바람직하다.
- [0114] 또는, 양극 활물질로서 올리빈형 구조의 리튬 산화물(일반식 LiMPO_4 ($\text{M}=\text{Fe}(\text{II}), \text{Mn}(\text{II}), \text{Co}(\text{II}), \text{Ni}(\text{II})$ 중 하나 이상))을 사용할 수 있다. 일반식 LiMPO_4 의 대표적인 예로서는 LiFePO_4 , LiNiPO_4 , LiCoPO_4 , LiMnPO_4 , $\text{LiFe}_a\text{Ni}_b\text{PO}_4$, $\text{LiFe}_a\text{Co}_b\text{PO}_4$, $\text{LiFe}_a\text{Mn}_b\text{PO}_4$, $\text{LiNi}_a\text{Co}_b\text{PO}_4$, $\text{LiNi}_a\text{Mn}_b\text{PO}_4$ ($a+b=1$ 이하, $0 < a < 1$, $0 < b < 1$), $\text{LiFe}_a\text{Ni}_d\text{Co}_e\text{PO}_4$, $\text{LiFe}_a\text{Ni}_d\text{Mn}_e\text{PO}_4$, $\text{LiNi}_c\text{Co}_d\text{Mn}_e\text{PO}_4$ ($c+d+e=1$ 이하, $0 < c < 1$, $0 < d < 1$, $0 < e < 1$), $\text{LiFe}_f\text{Ni}_g\text{Co}_h\text{Mn}_i\text{PO}_4$ ($f+g+h+i=1$ 이하, $0 < f < 1$, $0 < g < 1$, $0 < h < 1$, $0 < i < 1$) 등의 리튬 화합물을 재료로서 사용할 수 있다.
- [0115] 양극 활물질로서 예를 들어 인산 철 리튬(LiFePO_4)을 사용한 리튬 2차 전지는 충전 곡선에 플래토를 갖는 리튬

2차 전지다. 실시형태 1의 축전지(101)로서 인산 철 리튬(LiFePO₄)을 양극 활물질로서 사용한 리튬 2차 전지를 사용한 경우에도 본 발명의 충전 장치는 충전 전류 I_c와 충전 시간을 곱하여 축전지(101)의 충전 전하량을 측정하기 때문에 충전 전하량(충전 용량)을 정확히 측정할 수 있다.

[0116] 이 밖에, LiFePO₄는 안전성, 안정성, 고용량 밀도, 고전위, 초기 산화(충전)시에 뽑아낼 수 있는 리튬 이온의 존재 여부 등 양극 활물질에 요구되는 사항을 조화롭게 만족시키기 때문에 바람직하다.

[0117] 또는, 양극 활물질로서 일반식 Li_(2-j)MSiO₄(M은 Fe(II), Mn(II), Co(II), Ni(II) 중 하나 이상, 0≤j≤2) 등의 리튬 산화물을 사용할 수 있다. 일반식 Li_(2-j)MSiO₄의 대표적인 예로서는 Li_(2-j)FeSiO₄, Li_(2-j)NiSiO₄, Li_(2-j)CoSiO₄, Li_(2-j)MnSiO₄, Li_(2-j)Fe_kNi₁SiO₄, Li_(2-j)Fe_kCo₁SiO₄, Li_(2-j)Fe_kMn₁SiO₄, Li_(2-j)Ni_kCo₁SiO₄, Li_(2-j)Ni_kMn₁SiO₄(k+1은 1 이하, 0<k<1, 0<1<1), Li_(2-j)Fe_mNi_nCo_qSiO₄, Li_(2-j)Fe_mNi_nMn_qSiO₄, Li_(2-j)Ni_mCo_nMn_qSiO₄(m+n+q는 1 이하, 0<m<1, 0<n<1, 0<q<1), Li_(2-j)Fe_rNi_sCo_tMn_uSiO₄(r+s+t+u는 1 이하, 0<r<1, 0<s<1, 0<t<1, 0<u<1) 등의 리튬 화합물을 재료로서 사용할 수 있다.

[0118] 또한, 양극 활물질로서 A_xM₂(XO₄)₃(A=Li, Na, Mg, M=Fe, Mn, Ti, V, Nb, Al, X=S, P, Mo, W, As, Si)의 일반식으로 나타내어지는 나시콘(nasicon)형 화합물을 사용할 수 있다. 나시콘형 화합물로서는 Fe₂(MnO₄)₃, Fe₂(SO₄)₃, Li₃Fe₂(PO₄)₃ 등을 들 수 있다. 또한, 양극 활물질로서 Li₂MPO₄F, Li₂MP₂O₇, Li₅MO₄(M=Fe, Mn)의 일반식으로 나타내어지는 화합물, NaF₃, FeF₃ 등의 페로브스카이트(perovskite)형 불화물, TiS₂, MoS₂ 등의 금속 칼코게나이드(chalcogenide)(황화물, 셀렌화물, 텔루르화물), LiMVO₄ 등의 역스피넬형 결정 구조를 갖는 리튬 산화물, 바나듐 산화물계(V₂O₅, V₆O₁₃, LiV₃O₈ 등), 망가니즈 산화물계, 유기 황계 등의 재료를 사용할 수 있다.

[0119] 또한, 캐리어 이온이 리튬 이온 이외의 알칼리 금속 이온, 알칼리 토금속 이온, 베릴륨 이온, 또는 마그네슘 이온인 경우, 양극 활물질로서 상기 리튬 화합물 및 리튬 산화물에서 리튬 대신에 알칼리 금속(예를 들어 나트륨이나 칼륨 등), 알칼리 토금속(예를 들어 칼슘, 스트론튬, 바륨 등), 베릴륨, 또는 마그네슘을 사용하여도 좋다.

[0120] 또한, 활물질이란 캐리어인 이온이 들어가거나 이탈되는 것에 관한 물질을 가리킨다. 전극(양극 또는 음극, 또는 양쪽)을 제작할 때 활물질과 함께 도전조제, 결착제, 용매 등의 다른 재료를 혼합한 것을 활물질층으로서 집전체 위에 형성한다. 따라서, 활물질과 활물질층은 구별된다. 따라서, 양극 활물질과 양극 활물질층(302) 및 후술되는 음극 활물질과 음극 활물질층(304)은 구별된다.

[0121] 또한, 양극 활물질층(302)에는 공지의 도전조제나 결착제(바인더라고도 함)가 포함되어 있어도 좋다. 도전조제로서 그래핀을 사용하면, 전자 전도성이 높은 전자 전도의 네트워크를 구축하기 때문에 특히 효과적이다.

[0122] 그래핀은 탄소가 형성하는 육각형 골격을 평면 형상으로 확장시킨 결정 구조를 갖는 탄소 재료다. 그래핀은 그레파이트 결정의 1원자면에 상당한다.

[0123] 본 명세서에서 그래핀은 단층의 그래핀 또는 2층 이상 100층 이하의 다층 그래핀을 포함하는 것이다. 단층 그래핀이란 π결합을 갖는 1원자층의 탄소 분자의 시트를 뜻한다. 또한, 산화 그래핀이란 상기 그래핀이 산화된 화합물을 뜻한다. 또한, 산화 그래핀을 환원하여 그래핀을 형성하는 경우, 산화 그래핀에 포함되는 산소는 모두 이탈되지 않고, 일부의 산소는 그래핀에 잔존한다. 그래핀에 산소가 포함되는 경우, 산소의 비율은 전체의 2atomic% 이상 20atomic% 이하, 바람직하게는 3atomic% 이상 15atomic% 이하다.

[0124] 여기서, 그래핀이 다층 그래핀인 경우에는, 산화 그래핀을 환원한 그래핀을 가짐으로써 그래핀의 층간 거리는 0.34nm 이상 0.5nm 이하, 바람직하게는 0.38nm 이상 0.42nm 이하, 더 바람직하게는 0.39nm 이상 0.41nm 이하다. 보통 그레파이트에서 단층 그래핀의 층간 거리는 0.34nm이고, 본 발명의 일 형태에 따른 축전 장치에 사용되는 그래핀의 층간 거리가 더 기므로, 다층 그래핀의 층간을 캐리어 이온이 이동하기 쉽다.

[0125] 본 실시형태의 양극(311)은 그래핀을 양극 활물질층(302) 내에서 서로 중첩시키고 복수의 양극 활물질 입자와 접촉되도록 분산시킨 것이다. 바꿔 말하면, 양극 활물질층(302) 내에 그래핀에 의한 전자 전도를 위한 네트워크를 형성한다고도 말할 수 있다. 이에 따라 복수의 양극 활물질 입자들의 결합이 유지된 상태가 되고, 결과적으로 전자 전도성이 높은 양극 활물질층(302)을 형성할 수 있다.

[0126] 또한, 양극 활물질층(302)에 포함되는 결착제(바인더)로서 대표적으로는 폴리불화비닐리텐(PVDF) 외, 폴리이미

드, 폴리테트라플루오로에틸렌, 폴리비닐클로라이드, 에틸렌프로필렌디엔폴리머, 스타이렌뷰타다이엔고무, 아크릴로나이트릴-뷰타다이엔고무, 불소고무, 폴리아세트산비닐, 폴리메틸메타크릴레이트, 폴리에틸렌, 나이트로셀룰로스 등을 사용할 수 있다.

[0127] 음극 집전체(305) 위에 CVD법, 스퍼터링법, 또는 도포법에 의하여 음극 활물질층(304)을 형성함으로써 음극(312)이 형성된다.

[0128] 음극 집전체(305)에는 알루미늄, 구리, 니켈, 티타늄 등의 금속, 및 알루미늄-니켈 합금, 알루미늄-구리 합금 등 도전성이 높은 재료를 사용할 수 있다. 음극 집전체(305)는 박 형상, 판 형상(시트 형상), 그물 형상, 편창 메탈 형상, 강망 형상 등의 형상을 적절히 사용할 수 있다.

[0129] 음극 활물질층(304)에 포함되는 음극 활물질로서는 금속이 용해하거나 석출할 수 있는 재료 또는 금속 이온이 들어가거나 이탈할 수 있는 재료라면 특별히 한정되지 않는다. 음극 활물질로서는 예를 들어 리튬 금속, 탄소계 재료, 실리콘, 실리콘 합금, 주석 등을 사용할 수 있다.

[0130] 도포법에 의하여 음극 활물질층(304)을 형성하는 경우에는, 음극 활물질에 도전조제나 결착제를 첨가하여 음극 페이스트를 제작하고, 이것을 음극 집전체(305) 위에 도포하고 건조시키면 좋다. 도전조제로서 그래핀을 사용하면, 상술한 바와 같이 전자 전도성이 높은 전자 전도의 네트워크를 구축하기 때문에 특히 효과적이다.

[0131] 음극 활물질로서 실리콘을 사용하여 음극 활물질층(304)을 형성하는 경우에는, 음극 활물질층(304) 표면에 그래핀을 형성하는 것이 바람직하다. 실리콘은 충방전 사이클에서 캐리어 이온을 흡장 및 방출함에 따른 체적 변화가 크기 때문에, 음극 집전체(305)와 음극 활물질층(304)의 밀착성이 저하되어, 충방전으로 인하여 전지 특성이 열화된다. 그래서, 실리콘을 포함한 음극 활물질층(304) 표면에 그래핀을 형성하면, 충방전 사이클에서 실리콘의 체적이 변화되더라도 음극 활물질층(304) 표면에 형성된 그래핀이 음극 집전체(305)와 음극 활물질층(304)의 밀착성의 저하를 억제한다. 그러므로, 전지 특성의 열화가 저감되기 때문에 바람직하다.

[0132] 음극 활물질을 실리콘으로 하는 경우에는, 비정질(어모퍼스) 실리콘, 미결정 실리콘, 다결정 실리콘, 또는 이를 조합한 것을 사용할 수 있다. 일반적으로 결정성이 높을수록 실리콘의 전기 전도도가 높으므로 도전율이 높은 전극으로서 축전 장치에 이용할 수 있다. 한편, 비정질 실리콘은 결정질보다 리튬 등의 캐리어 이온을 흡장할 수 있으므로 방전 용량을 높일 수 있다.

[0133] 음극 활물질에는 캐리어 이온의 합금화 및 탈합금화 반응에 의하여 충방전 반응을 실시할 수 있는 금속을 사용하여도 좋다. 상기 금속으로서는 예를 들어 Mg, Ca, Al, Si, Ge, Sn, Pb, As, Sb, Bi, Ag, Au, Zn, Cd, Hg 등을 사용할 수 있다. 이런 금속은 흑연보다 용량이 크고 특히 Si(실리콘)는 이론 용량이 4200mAh/g로 비약적으로 높다. 그러므로, 음극 활물질에 실리콘을 사용하는 것이 바람직하다. 이런 원소를 사용한 합금계 재료로서는 예를 들어 SiO, Mg₂Si, Mg₂Ge, SnO, SnO₂, Mg₂Sn, SnS₂, V₂Sn₃, FeSn₂, CoSn₂, Ni₃Sn₂, Cu₆Sn₅, Ag₃Sn, Ag₃Sb, Ni₂MnSb, CeSb₃, LaSn₃, La₃Co₂Sn₇, CoSb₃, InSb, SbSn 등을 들 수 있다.

[0134] 또한, 음극 활물질로서는 이산화 티타늄(TiO₂), 리튬 티타늄 산화물(Li₄Ti₅O₁₂), 리튬-흑연층간 화합물(Li_xC₆), 오산화 니오븀(Nb₂O₅), 산화 텉스텐(WO₂), 산화 몰리브덴(MoO₂) 등의 산화물을 사용할 수 있다.

[0135] 또한, 음극 활물질로서 리튬과 전이 금속의 질화물인 Li₃N형 구조를 갖는 Li_{3-x}M_xN(M=Co, Ni, Cu)을 사용할 수 있다. 예를 들어 Li_{2.6}Co_{0.4}N₃은 충방전 용량이 크기 때문에(900mAh/g) 바람직하다.

[0136] 리튬과 전이 금속의 질화물을 사용하면 음극 활물질 내에 리튬 이온을 포함하기 때문에 양극 활물질로서 리튬 이온을 포함하지 않은 V₂O₅, Cr₃O₈ 등의 재료와 조합할 수 있어 바람직하다. 또한, 양극 활물질에 리튬 이온을 포함한 재료를 사용하는 경우에도, 양극 활물질에 포함되는 리튬 이온을 미리 이탈시킴으로써 음극 활물질로서 리튬과 전이 금속의 질화물을 사용할 수 있다.

[0137] 탄소계 재료를 사용하는 경우에는, 분말상 또는 섬유 형상의 흑연 또는 그래파이트 등의 흑연을 사용할 수 있다.

[0138] 또한, 음극 활물질층(304)에 리튬을 프리 도핑하여도 좋다. 리튬의 프리 도핑 방법으로서는 스퍼터링법으로 음극 활물질층(304) 표면에 리튬층을 형성하여도 좋다. 또는, 음극 활물질층(304) 표면에 리튬박을 제공함으로써, 음극 활물질층(304)에 리튬을 프리 도핑할 수 있다.

- [0139] 양극(311) 및 음극(312) 사이에 협지된 전해액(308)은 용질과 용매를 갖는다. 용질로서 캐리어 이온인 리튬 이온을 갖는 리튬염을 사용한다. 용질의 대표적인 예로서는 LiClO_4 , LiAsF_6 , LiBF_4 , LiPF_6 , $\text{Li}(\text{C}_2\text{F}_5\text{SO}_2)_2\text{N}$ 등의 리튬염이 있다.
- [0140] 또한, 캐리어 이온이 리튬 이온 이외의 알칼리 금속 이온, 알칼리 토금속 이온, 또는 마그네슘 이온인 경우, 용질로서 상기 리튬염의 리튬 대신에 알칼리 금속(예를 들어 나트륨이나 칼륨 등), 알칼리 토금속(예를 들어 칼슘, 스트론튬, 바륨 등), 베릴륨, 또는 마그네슘을 사용하여도 좋다.
- [0141] 또한, 전해액의 용매로서는 캐리어 이온을 이송할 수 있는 재료를 사용한다. 전해액의 용매로서는 비프로톤성 유기 용매가 바람직하다. 비프로톤성 유기 용매의 대표적인 예로서는 에틸렌 카보네이트(EC), 프로필렌 카보네이트, 다이메틸 카보네이트, 다이에틸 카보네이트(DEC), γ -부티로락톤, 아세토나이트릴, 다이메톡시에탄, 테트라하이드로퓨란 등이 있고, 이들 중 하나 또는 복수를 사용할 수 있다. 또한, 전해액의 용매로서 젤화되는 고분자 재료를 사용함으로써 누액성(漏液性) 등에 대한 안전성이 높아진다. 또한, 리튬 2차 전지의 박형화 및 경량화가 가능하다. 젤화되는 고분자 재료의 대표적인 예로서는 실리콘(silicone)겔, 아크릴겔, 아크릴로나이트릴겔, 폴리에틸렌옥사이드, 폴리프로필렌옥사이드, 불소계 폴리머 등이 있다. 또한, 전해액의 용매로서 난연성(難燃性) 및 난휘발성(難揮發性) 이온 액체(상온 용융염)를 하나 또는 복수 사용함으로써, 2차 전지의 내부 단락이나 과충전 등으로 인하여 내부 온도가 상승되어도 2차 전지의 파열이나 발화 등을 방지할 수 있다.
- [0142] 또한, 전해액(308) 대신에 황화물계나 산화물계 등의 무기물 재료를 갖는 고체 전해질이나, PEO(폴리에틸렌옥사이드)계 등의 고분자 재료를 갖는 고체 전해질을 사용할 수 있다. 고체 전해질을 사용하는 경우에는, 전지 전체를 고체화시킬 수 있기 때문에, 누액의 우려가 없어져 안정성이 비약적으로 향상된다.
- [0143] 적층형 축전지의 일례에 대하여 도 8의 (B)를 참조하여 설명한다.
- [0144] 도 8의 (B)에 도시된 적층형 축전지(310)는 양극 집전체(301) 및 양극 활물질층(302)을 갖는 양극(311)과, 음극 집전체(305) 및 음극 활물질층(304)을 갖는 음극(312)과, 세퍼레이터(307)와, 전해액(308)과, 외장 부재(309)(exterior body)를 갖는다. 외장 부재(309) 내에 제공된 양극(311)과 음극(312) 사이에 세퍼레이터(307)가 설치되어 있다. 또한, 외장 부재(309) 내는 전해액(308)으로 채워져 있다.
- [0145] 세퍼레이터(307)는 셀룰로스(종이), 또는 구멍을 갖는 폴리프로필렌이나 폴리에틸렌 등의 절연체를 사용할 수 있다. 세퍼레이터(307) 내부에도 전해액(308)이 함침되어 있다.
- [0146] 도 8의 (B)에 도시된 적층형 축전지(310)에서 양극 집전체(301) 및 음극 집전체(305)는 외부와 전기적으로 접촉되는 단자로서의 역할도 겸한다. 그러므로, 양극 집전체(301) 및 음극 집전체(305)의 일부는 외장 부재(309)로부터 외측으로 노출되도록 배치된다.
- [0147] 적층형 축전지(310)에서 외장 부재(309)에는 예를 들어 폴리에틸렌, 폴리프로피렌, 폴리카보네이트, 이오노머, 폴리아미드 등의 재료로 이루어진 막 위에 알루미늄, 스테인리스, 구리, 니켈, 등의 가요성이 뛰어난 금속 박막을 제공하고, 이 금속 박막 위에 외장 부재의 외면으로서 폴리아미드계 수지, 폴리에스테르계 수지 등의 절연성 합성 수지막을 제공한 3층 구조의 적층 필름을 사용할 수 있다. 이와 같은 3층 구조로 함으로써, 전해액이나 기체의 투과를 차단함과 함께 절연성과 내전해액성을 얻을 수 있다.
- [0148] 또한, 본 실시형태의 축전지의 일례로서 리튬 2차 전지에 대하여 설명하였지만, 이것에 한정되지 않는다. 본 실시형태의 축전지의 다른 예로서 전기 2중층 커패시터를 사용하여도 좋다.
- [0149] 본 실시형태에 기재된 구성이나 방법 등은 다른 실시형태에 기재된 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.
- [0150] (실시형태 3)
- [0151] 본 실시형태에서는 실시형태 1에 기재된 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터(산화물 반도체 트랜지스터)에 대하여 설명한다.
- [0152] 도 9는 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터의 구조 예를 도시한 도면이다. 도 9에 도시된 트랜지스터(220)는 절연 표면을 갖는 층(230) 위에 제공된 산화물 반도체층(231)과, 산화물 반도체층(231)의 일단과 접촉되는 도전층(232)과, 산화물 반도체층(231)의 다른 단과 접촉되는 도전층(233)과, 산화물 반도체층(231), 도전층(232), 및 도전층(233) 위에 제공된 절연층(234)과, 절연층(234) 위에 제공된 도전층(235)을 갖는다. 또한, 도 9에 도시된 트랜지스터(220)에서 도전층(232) 및 도전층(233)이 각각 소스 및 드레인으로서 기능

하고, 절연층(234)이 게이트 절연막으로서 기능하고, 도전층(235)이 게이트로서 기능한다.

[0153] <산화물 반도체층(231)의 구체적인 예>

[0154] <<산화물 반도체 재료에 대하여>>

[0155] 산화물 반도체층(231)으로서 적어도 인듐을 함유한 막을 적용할 수 있다. 특히, 인듐과 아연을 함유한 막을 적용하는 것이 바람직하다. 또한, 트랜지스터의 전기 특성의 편차를 줄이기 위한 스테빌라이저로서 추가적으로 갈륨을 함유한 막을 적용하는 것이 바람직하다. 또한, 아래에서는 산화물 반도체층을 산화물 반도체막이라고 기재하는 경우도 있다.

[0156] 또한, 산화물 반도체층(231)으로서 주석, 하프늄, 알루미늄, 또는 지르코늄, 또는 란타노이드인 란탄, 세륨, 프라세오디뮴, 네오디뮴, 사마륨, 유로퓸, 가돌리늄, 테르븀, 디스프로슘, 홀뮴, 에르븀, 툴륨, 이테르븀, 또는 루테튬 중 임의의 하나 또는 복수 종류를 스테빌라이저로서 함유한 막을 적용할 수도 있다.

[0157] 예를 들어 산화물 반도체층(231)으로서 산화 인듐막, 2원계 금속의 산화물인 In-Zn계 산화물막, In-Mg계 산화물막, In-Ga계 산화물막, 3원계 금속의 산화물인 In-Ga-Zn계 산화물막, In-Al-Zn계 산화물막, In-Sn-Zn계 산화물막, In-Hf-Zn계 산화물막, In-La-Zn계 산화물막, In-Ce-Zn계 산화물막, In-Pr-Zn계 산화물막, In-Nd-Zn계 산화물막, In-Sm-Zn계 산화물막, In-Eu-Zn계 산화물막, In-Gd-Zn계 산화물막, In-Tb-Zn계 산화물막, In-Dy-Zn계 산화물막, In-Ho-Zn계 산화물막, In-Er-Zn계 산화물막, In-Tm-Zn계 산화물막, In-Yb-Zn계 산화물막, In-Lu-Zn계 산화물막, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물막, In-Hf-Ga-Zn계 산화물막, In-Al-Ga-Zn계 산화물막, In-Sn-Al-Zn계 산화물막, In-Sn-Hf-Zn계 산화물막, 또는 In-Hf-Al-Zn계 산화물막 중 어느 것을 적용할 수 있다.

[0158] 여기서, 예를 들어 In-Ga-Zn계 산화물이란 In과 Ga와 Zn을 주성분으로 함유한 산화물을 뜻하며, In, Ga, 및 Zn의 비율은 불문한다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어 있어도 좋다.

[0159] 또한, 산화물 반도체층(231)을 구성하는 산소의 일부는 질소로 치환되어도 좋다.

[0160] <<산화물 반도체의 결정 구조에 대하여>>

[0161] 산화물 반도체층(231)으로서 단결정, 다결정(폴리크리스탈이라고도 함), 또는 비정질 등의 결정 구조를 갖는 막을 적용할 수 있다. 또한, 산화물 반도체층(231)으로서 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막을 적용할 수 있다.

[0162] 산화물 반도체막의 구조에 대하여 아래에서 설명한다.

[0163] 산화물 반도체막은 단결정 산화물 반도체막과 비단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란 비정질 산화물 반도체막, 미결정 산화물 반도체막, 다결정 산화물 반도체막, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막 등을 뜻한다.

[0164] 비정질 산화물 반도체막은 막 내의 원자 배열이 불규칙하고, 결정 성분을 갖지 않는 산화물 반도체막이다. 미소 영역에서도 결정부를 갖지 않고, 막 전체가 완전한 비정질 구조인 산화물 반도체막이 전형이다.

[0165] 미결정 산화물 반도체막은 예를 들어 1nm 이상 10nm 미만의 사이즈의 미결정(나노 결정이라고도 함)을 포함한다. 따라서, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 원자 배열의 규칙성이 높다. 그러므로, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮다는 특징을 갖는다.

[0166] CAAC-OS막은 복수의 결정부를 갖는 산화물 반도체막 중 하나이며, 결정부의 대부분은 하나의 변이 100nm 미만인 입방체 내에 들어가는 사이즈다. 따라서, CAAC-OS막에 포함되는 결정부는 하나의 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 사이즈인 경우도 포함된다. CAAC-OS막은 미결정 산화물 반도체막보다 결함 준위 밀도가 낮다는 특징을 갖는다. 아래에서 CAAC-OS막에 대하여 자세히 설명한다.

[0167] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부와 결정부의 명확한 경계 즉 결정 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0168] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 면(괴형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며, CAAC-OS막의 괴형성면 또는 상면에 평행하게 배열

된다.

- [0169] 한편, CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 결정부들 사이에서 금속 원자의 배열에는 규칙성이 보이지 않는다.
- [0170] 단면 TEM 관찰 및 평면 TEM 관찰에 의거하여 CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.
- [0171] X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 CAAC-OS막의 구조 해석을 실시하면, 예를 들어 InGaZnO_4 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는 회절각(2Θ)의 피크가 31° 근방에 나타나는 경우가 있다. 이 피크는 InGaZnO_4 의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향으로 배향하는 것을 확인할 수 있다.
- [0172] 한편, c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의하여 CAAC-OS막을 해석하면, 2Θ 의 피크가 56° 근방에 나타나는 경우가 있다. 이 피크는 InGaZnO_4 의 결정의 (110)면에 귀속된다. InGaZnO_4 의 단결정 산화물 반도체막의 경우에는, 2Θ 를 56° 근방에 고정하여 시료면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)을 실시하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2Θ 를 56° 근방에 고정하여 ϕ 스캔을 실시하여도 명료한 피크가 나타나지 않는다.
- [0173] 따라서, CAAC-OS막은 결정부들 사이에서는 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 갖고, 또 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향하는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각층은 결정의 ab면에 평행한 면이다.
- [0174] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 가열 처리 등의 결정화 처리를 실시하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우에는, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향하지 않을 수도 있다.
- [0175] 또한, CAAC-OS막 내의 결정화도가 균일하지 않아도 좋다. 예를 들어 CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역의 결정화도가 변화되어, 결정화도가 부분적으로 다른 영역이 형성될 수도 있다.
- [0176] 또한, out-of-plane법에 의하여 InGaZnO_4 의 결정을 갖는 CAAC-OS막을 해석하면, 2Θ 의 피크가 31° 근방 외에 36° 근방에도 나타나는 경우가 있다. 2Θ 의 피크가 36° 근방에 나타나는 것은 CAAC-OS막 내의 일부에 c축 배향성을 갖지 않은 결정이 포함되는 것을 시사한다. CAAC-OS막은 2Θ 의 피크가 31° 근방에 나타나고, 36° 근방에 나타나지 않는 것이 바람직하다.
- [0177] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0178] <<산화물 반도체의 층 구조에 대하여>>
- [0179] 산화물 반도체층(231)에는 하나의 산화물 반도체막으로 이루어진 단층 구조에 한정되지 않고, 복수 종류의 산화물 반도체막으로 이루어진 적층 구조를 적용할 수 있다. 예를 들어 비정질 산화물 반도체막, 다결정 산화물 반도체막, 및 CAAC-OS막 중 적어도 2종류를 포함한 층을 산화물 반도체층(231)으로서 적용할 수 있다.
- [0180] 또한, 조성이 다른 산화물 반도체막의 적층을 산화물 반도체층(231)에 적용할 수도 있다. 구체적으로 말하면, 절연층(234) 층에 제공되는 제 1 산화물 반도체막(아래에서 위층이라고도 함)과, 절연 표면을 갖는 층(230) 층에 제공되며 제 1 산화물 반도체막과 조성이 다른 제 2 산화물 반도체막(아래에서 아래층이라고도 함)을 포함한 층을 산화물 반도체층(231)에 적용할 수도 있다.
- [0181] <도전층(232) 및 도전층(233)의 구체적인 예>
- [0182] 도전층(232) 및 도전층(233) 각각에 알루미늄, 구리, 티타늄, 탄탈, 텉스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐 중에서 선택된 원소, 이 원소를 성분으로 함유한 합금, 또는 이 원소를 함유한 질화물로 이루어진 막을 적용할 수 있다. 또한, 이를 막의 적층을 적용할 수도 있다.

[0183] <절연층(234)의 구체적인 예>

[0184] 절연층(234)으로서 산화 실리콘막, 질화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막, 또는 산화 갈륨막 등의 무기 절연 재료막을 적용할 수 있다. 또한, 이들 재료의 적층을 적용할 수도 있다. 또한, 절연층(234)으로서 산화 알루미늄막을 적용하는 것이 바람직하다. 산화 알루미늄막은 수소 등의 불순물 및 산소의 양쪽 모두를 투과시키지 않는 차단(블로킹) 효과가 높다. 따라서, 절연층(234)으로서 산화 알루미늄막을 포함한 층을 적용함으로써 산화물 반도체층(231)으로부터의 산소의 이탈을 방지함과 함께 산화물 반도체층(231)으로의 수소 등의 불순물의 흡입을 방지할 수 있다.

[0185] 또한, 절연층(234)으로서 산화 하프늄막, 산화 이트륨막, 하프늄 실리케이트($HfSi_xO_y$ ($x>0$, $y>0$))막, 질소가 첨가된 하프늄 실리케이트막, 하프늄 알루미네이트($HfAl_xO_y$ ($x>0$, $y>0$))막, 또는 산화 란탄막 등(소위 high-k 재료로 이루어진 막)을 포함한 막을 적용할 수도 있다. 이러한 막을 사용함으로써 게이트 누설 전류를 저감시킬 수 있다.

[0186] <도전층(235)의 구체적인 예>

[0187] 도전층(235)으로서 알루미늄, 구리, 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐 중에서 선택된 원소 또는 이 원소를 성분으로 포함한 합금으로 이루어진 막을 적용할 수 있다. 또한, 도전층(235)으로서 질소를 포함한 금속 산화물, 구체적으로 말하면, 질소를 함유한 In-Ga-Zn계 산화물막, 질소를 함유한 In-Sn계 산화물막, 질소를 함유한 In-Ga계 산화물막, 질소를 함유한 In-Zn계 산화물막, 질소를 함유한 Sn계 산화물막, 질소를 함유한 In계 산화물막, 또는 금속 질화막(InN, SnN 등)을 적용할 수도 있다. 이들 질화막은 5eV(전자 볼트) 이상, 바람직하게는 5.5eV(전자 볼트) 이상의 일 함수를 갖고, 게이트로서 사용한 경우, 트랜지스터의 문턱 전압을 양으로 시프트할 수 있어 소위 노멀리 오프의 스위칭 소자를 실현할 수 있다. 또한, 이들 막의 적층을 적용할 수도 있다.

[0188] 도 9에 도시된 트랜지스터(220)에서 산화물 반도체층(231)으로의 불순물의 흡입 또는 산화물 반도체층(231)을 구성하는 원소의 이탈을 억제하는 것이 바람직하다. 이러한 현상이 생기면, 트랜지스터(220)의 전기적 특성이 변동되기 때문이다. 상기 현상을 억제하는 수단으로서는 트랜지스터의 상하(절연 표면을 갖는 층(230)과 트랜지스터(220) 사이, 및 절연층(234) 및 도전층(235) 위)에 블로킹 효과가 높은 절연층을 제공하는 수단을 들 수 있다. 예를 들어 상기 절연층으로서 산화 실리콘막, 질화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막, 또는 산화 갈륨막 등의 무기 절연 재료막을 적용할 수 있다. 또한, 이들 재료의 적층을 적용할 수도 있다.

[0189] 도 9에 도시된 채널 형성 영역에 산화물 반도체층(231)을 사용한 트랜지스터(220)는 실시형태 1에서 설명한 트랜지스터(102)에 사용할 수 있다. 채널 형성 영역에 산화물 반도체층(231)을 사용한 트랜지스터(220)는 오프 전류가 낮다. 따라서, 트랜지스터(220)(트랜지스터(102))가 오프 상태일 때 용량 소자(103)에 축적된 전하가 트랜지스터(220)(트랜지스터(102))의 소스와 드레인 사이를 통과하여 누설되는 것을 방지할 수 있다.

[0190] <실리콘 트랜지스터 및 산화물 반도체 트랜지스터의 적층 구조>

[0191] 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터(902)와, 채널 형성 영역에 단결정 실리콘 웨이퍼를 사용한 트랜지스터(901)를 적층시켜 구성되는 반도체 장치의 구조 예에 대하여 도 10을 참조하여 아래에서 설명한다. 또한, 트랜지스터(902)에는 실시형태 1에 기재된 트랜지스터(102) 등을 적용할 수 있고, 트랜지스터(901)에는 실시형태 1에 기재된 전압 전류 변환 회로(105)에 포함되는 트랜지스터, 히스테리시스 콤파리레이터(107)에 포함되는 트랜지스터, 전원 제어 회로(150)의 트랜지스터(155), 제어 회로(170)에 포함되는 트랜지스터, 제어 회로(180)에 포함되는 트랜지스터, 카운터 회로(181)에 포함되는 트랜지스터, 발진 회로(182)에 포함되는 트랜지스터, 마이크로 컴퓨터(185)에 포함되는 트랜지스터, 마이크로 컴퓨터(190)에 포함되는 트랜지스터 등을 적용할 수 있다.

[0192] 다만, 트랜지스터(901)는 실리콘 외에 게르마늄, 실리콘 게르마늄, 단결정 탄소화 실리콘 등의 반도체 재료를 사용하여도 좋다. 또한, 예를 들어 실리콘을 사용한 트랜지스터는 SOI법에 의하여 제작된 실리콘 박막, 기상 성장법에 의하여 제작된 실리콘 박막 등을 사용하여 형성할 수 있다. 이 경우에는, 기판에는 퓨전법이나 플로트법으로 제작되는 유리 기판, 석영 기판, 반도체 기판, 세라믹 기판 등을 사용할 수 있다. 또한, 유리 기판으로서는 이후 실시되는 가열 처리의 온도가 높은 경우에는 변형점이 730°C 이상인 것을 사용하면 좋다.

[0193] 도 10에 도시된 반도체 장치에서 단결정 실리콘 웨이퍼를 사용하여 형성된 트랜지스터(901)와, 이 위의 계층에

산화물 반도체를 사용하여 형성된 트랜지스터(902)가 형성되어 있다. 즉 본 실시형태에 기재된 반도체 장치는 실리콘 웨이퍼를 기판으로서 사용하고, 이 위층에 트랜지스터층이 제공된 3차원의 적층 구조를 갖는 반도체 장치이고, 또한, 실리콘을 채널 형성 영역에 사용한 트랜지스터와 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터를 갖는 하이브리드형 반도체 장치다.

[0194] 반도체 재료를 포함한 기판(900)을 사용하여 제작된 트랜지스터(901)는 n채널형 트랜지스터(NMOSFET)와 p채널형 트랜지스터(PMOSFET)의 어느 쪽이나 사용할 수 있다. 도 10에 도시된 예에서는 트랜지스터(901)는 예를 들어 Shallow Trench Isolation(STI)법에 의하여 형성된 소자 분리 영역(905)에 의하여 다른 소자와 절연 분리되어 있다. 소자 분리 영역(905)을 사용함으로써 소자 분리부의 축소 등이 가능하게 된다. 한편, 구조의 미세화 및 소형화가 요구되지 않는 반도체 장치에서는 STI법에 의한 소자 분리 영역(905)의 형성은 반드시 필요하지 않고, LOCOS 등의 소자 분리 수단을 사용할 수도 있다. 트랜지스터(901)가 형성되는 기판(900)에는 봉소, 인, 비소 등의 도전성을 부여하는 불순물이 첨가된 웨이퍼(904)이 형성되어 있다.

[0195] 도 10의 트랜지스터(901)는 기판(900) 내에 제공된 채널 형성 영역과, 채널 형성 영역을 끼우도록 제공된 불순물 영역(906)(소스 영역 및 드레인 영역이라고도 함)과, 채널 형성 영역 위에 제공된 게이트 절연막(907)과, 게이트 절연막(907) 위에 채널 형성 영역과 중첩되도록 제공된 게이트 전극층(908)을 갖는다. 게이트 전극층(908)은 가공 정밀도를 높이기 위한 제 1 재료로 이루어진 게이트 전극층과, 배선으로서 저저항화를 목적으로 한 제 2 재료로 이루어진 게이트 전극층을 적층시킨 구조로 할 수 있다. 예를 들어 도전성을 부여하는 인 등의 불순물을 첨가한 결정성 실리콘과 니켈 실리사이드의 적층 구조 등을 들 수 있다. 그러나, 이 구조에 한정되지 않고, 요구되는 사양에 따라 재료, 적층수, 형상 등을 적절히 조정할 수 있다.

[0196] 또한, 도 10에 도시된 트랜지스터(901)를 편형 트랜지스터로 하여도 좋다. 편형 구조란 반도체 기판의 일부를 판 형상의 돌기 형상으로 가공하고, 돌기 형상의 장축 방향과 교차하도록 게이트 전극층을 제공하는 구조다. 게이트 전극층은 게이트 절연막을 개재(介在) 하여 돌기 구조의 상면 및 측면을 덮는다. 트랜지스터(901)를 편형 트랜지스터로 함으로써 채널 폭을 축소하여 트랜지스터의 집적화를 도모할 수 있다. 또한, 전류를 많이 흘릴 수 있으며 제어 효율을 향상시킬 수 있으므로, 트랜지스터의 오프 전류 및 문턱 전압을 저감시킬 수 있다.

[0197] 또한, 기판(900) 내에 제공된 불순물 영역(906)에는 콘택트 플러그(913) 및 콘택트 플러그(915)가 접속되어 있다. 여기서, 콘택트 플러그(913) 및 콘택트 플러그(915)는 접속되는 트랜지스터(901)의 소스 전극이나 드레인 전극으로서도 기능한다. 또한, 불순물 영역(906)과 채널 형성 영역 사이에는 불순물 영역(906)과 다른 불순물 영역이 제공되어 있다. 상기 불순물 영역은 도입된 불순물의 농도에 따라 LDD 영역이나 익스텐션 영역으로서 채널 형성 영역 근방의 전계 분포를 제어하는 기능을 한다. 게이트 전극층(908)의 측벽에는 절연막을 개재하여 측벽 절연막(909)을 갖는다. 이 절연막이나 측벽 절연막(909)을 사용함으로써 LDD 영역이나 익스텐션 영역을 형성할 수 있다.

[0198] 또한, 트랜지스터(901)는 절연막(910)으로 덮여 있다. 절연막(910)은 보호막으로서 기능할 수 있고, 외부로부터 채널 형성 영역에 불순물이 침입되는 것을 방지할 수 있다. 또한, 절연막(910)을 CVD법에 의한 질화 실리콘 등의 재료로 함으로써, 채널 형성 영역에 단결정 실리콘을 사용한 경우에는 가열 처리에 의하여 수소화시킬 수 있다. 또한, 절연막(910)에 인장 응력을 갖는 절연막을 사용함으로써 채널 형성 영역을 구성하는 반도체 재료를 변형시킬 수 있다. n채널형 트랜지스터의 경우에는, 채널 형성 영역이 되는 실리콘 재료에 인장 응력을, p채널형 트랜지스터의 경우에는, 채널 형성 영역이 되는 실리콘 재료에 압축 응력을 부가함으로써 각 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다.

[0199] 또한, 절연막(910) 위에 절연막(911)이 제공되고, 그 표면은 CMP에 의한 평탄화 처리가 실시되어 있다. 이로써, 트랜지스터(901)를 포함한 계층의 위의 계층에 소자층을 높은 정밀도로 적층시킬 수 있다.

[0200] 트랜지스터(901)를 포함한 계층의 위층에 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터(902)를 포함한 계층을 형성한다. 트랜지스터(902)는 톱 게이트 트랜지스터이고, 산화물 반도체막(926)의 측면 및 상면에 접촉되도록 소스 전극층(927) 및 드레인 전극층(928)을 갖고, 이를 위의 게이트 절연막(929) 위에 게이트 전극층(930)을 갖는다. 또한, 트랜지스터(902)를 덮도록 절연막(932) 및 절연막(933)이 형성되어 있다. 산화물 반도체막(926)은 절연막(924) 위에 형성되어 있다. 절연막(924)으로서 산화 실리콘, 질화 실리콘, 질화 산화 실리콘, 산화 질화 실리콘, 산화 알루미늄, 질화 알루미늄, 질화 산화 알루미늄 등의 무기 절연막을 사용할 수 있다.

[0201] 또한, 산화물 반도체막(926)과, 소스 전극층(927) 및 드레인 전극층(928) 사이에 소스 영역 및 드레인 영역으로

서 기능하는 산화물 도전막을 제공하여도 좋다. 산화물 도전막의 재료로서는 산화 아연을 성분으로 함유한 것이 바람직하고, 산화 인듐을 함유하지 않은 것이 바람직하다. 이러한 산화물 도전막으로서 산화 아연, 산화 아연 알루미늄, 산질화 아연 알루미늄, 산화 아연 갈륨 등을 적용할 수 있다. 게이트 절연막(929)은 소스 전극층(927), 드레인 전극층(928), 및 산화물 반도체막(926)을 덮도록 형성되어 있다. 그리고, 게이트 절연막(929) 위에서 산화물 반도체막(926)과 중첩되는 위치에 게이트 전극층(930)이 형성되어 있다.

[0202] 또한, 트랜지스터(902)는 싱글 게이트 트랜지스터를 사용하여 설명하였지만, 필요에 따라 전기적으로 접속된 복수의 게이트 전극을 가짐으로써 복수의 채널 형성 영역을 갖는 멀티 게이트 트랜지스터를 형성할 수도 있다.

[0203] 또한, 본 실시형태에서는 트랜지스터(902)는 톱 게이트 트랜지스터로 하였다. 또한, 트랜지스터(902)에는 백 게이트 전극층(923)이 제공되어 있다. 백 게이트 전극층을 제공한 경우, 트랜지스터(902)의 노멀리 오프화를 실현할 수 있다. 예를 들어 백 게이트 전극층(923)의 전위를 GND나 고정 전위로 함으로써 트랜지스터(902)의 문턱 전압을 더 플러스로 시프트시켜 더 노멀리 오프 트랜지스터로 할 수 있다.

[0204] 트랜지스터(901)와 트랜지스터(902)를 전기적으로 접속시켜 전기 회로를 형성하기 위하여, 각 계층들 사이 및 상층에 접속을 위한 배선층을 단층 또는 다층 적층시킨다.

[0205] 도 10에서 트랜지스터(901)의 소스 및 드레인 중 하나는 콘택트 플러그(913)를 통하여 배선층(914)과 전기적으로 접속되어 있다. 한편, 트랜지스터(901)의 소스 및 드레인 중 다른 하나는 콘택트 플러그(915)를 통하여 배선층(916)과 전기적으로 접속되어 있다. 또한, 트랜지스터(901)의 게이트는 콘택트 플러그(917), 배선층(918), 콘택트 플러그(921), 배선층(922), 및 콘택트 플러그(925)를 통하여 트랜지스터(902)의 드레인 전극층(928)과 전기적으로 접속되어 있다.

[0206] 배선층(914), 배선층(918), 배선층(916), 배선층(922), 및 백 게이트 전극층(923) 각각은 절연막 내에 끼워져 있다. 이 배선층 등은 예를 들어 구리, 알루미늄 등의 저저항 도전성 재료를 사용하는 것이 바람직하다. 또한, CVD법에 의하여 형성한 그래핀을 도전성 재료로서 배선층을 형성할 수도 있다. 그래핀이란 sp^2 결합을 갖는 1원자층의 탄소 분자의 시트 또는 2층 내지 100층의 탄소 분자의 시트가 중첩되어 이루어진 것을 가리킨다.

[0207] 절연막(911), 절연막(912), 절연막(919), 절연막(920), 및 절연막(933) 각각에는 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, BPSG(Boron Phosphorus Silicate Glass), PSG(Phosphorus Silicate Glass), 탄소가 첨가된 산화 실리콘(SiOC), 불소가 첨가된 산화 실리콘(SiOF), $Si(OCH_3)_4$ 를 원료로 한 산화 실리콘인 TEOS(Tetraethyl Orthosilicate), HSQ(Hydrogen Silsesquioxane), MSQ(Methyl Silsesquioxane), OSG(Orbano Silicate Glass), 유기 폴리머계 재료 등의 절연체를 사용할 수 있다. 특히 반도체 장치를 더 미세화시키는 경우에는, 배선들 사이에 생기는 기생 용량이 현저하게 되고 신호 지연이 증대되기 때문에, 산화 실리콘의 비유전율($k=4.0\sim4.5$)이 매우 높으므로 k 가 3.0 이하인 재료를 사용하는 것이 바람직하다. 또한, 상기 절연막에 배선을 끼워 넣은 후에 CMP 처리를 실시하기 때문에 절연막에 기계적 강도가 요구된다. 이 기계적 강도를 확보할 수 있는 한, 절연막을 다공질(porous)화시켜 저유전율화시킬 수 있다.

[0208] 상술한 바와 같이, 채널 형성 영역에 산화물 반도체막(926)을 사용한 트랜지스터(902)는 실시형태 1에서 설명한 트랜지스터(102)에 사용할 수 있다. 채널 형성 영역에 산화물 반도체막(926)을 사용한 트랜지스터(902)는 오프 전류가 낮다. 따라서, 트랜지스터(902)(트랜지스터(102))가 오프 상태일 때 용량 소자(103)에 축적된 전하가 트랜지스터(902)(트랜지스터(102))의 소스와 드레인 사이를 통과하여 누설되는 것을 방지할 수 있다.

[0209] 또한, 채널 형성 영역에 단결정 실리콘 웨이퍼를 사용한 트랜지스터(901)에는 실시형태 1에 기재된 전압 전류 변환 회로(105)에 포함되는 트랜지스터, 히스테리시스 콤퍼레이터(107)에 포함되는 트랜지스터, 전원 제어 회로(150)의 트랜지스터(155), 제어 회로(170)에 포함되는 트랜지스터, 제어 회로(180)에 포함되는 트랜지스터, 카운터 회로(181)에 포함되는 트랜지스터, 발진 회로(182)에 포함되는 트랜지스터, 마이크로 컴퓨터(185)에 포함되는 트랜지스터, 마이크로 컴퓨터(190)에 포함되는 트랜지스터 등에 사용할 수 있다. 트랜지스터(901)와 트랜지스터(902)를 적층시킴으로써 충전 장치의 점유 면적을 감소시킬 수 있다.

[0210] 또한, 도시되지 않았지만, 용량 소자(103)도 트랜지스터(901) 및 트랜지스터(902)에 적층시켜 형성할 수 있다. 예를 들어 용량 소자(103)를 소스 전극층(927) 및 드레인 전극층(928)과 같은 층의 도전막, 게이트 절연막(929)과 같은 층의 절연막, 게이트 전극층(930)과 같은 층의 도전막의 적층에 의하여 제작하여도 좋다. 트랜지스터(901), 트랜지스터(902), 및 용량 소자(103)를 적층 구조로 함으로써 충전 장치의 점유 면적을 감소시킬 수

있다.

[0211] 본 실시형태에 기재된 구성이나 방법 등은 다른 실시형태에 기재된 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.

부호의 설명

[0212] 100: 충전 회로

101: 축전지

102: 트랜지스터

103: 용량 소자

104: 저항 소자

105: 전압 전류 변환 회로

107: 히스테리시스 콤파레이터

108: 단자

109: 단자

111: 전류 검출 회로

112: 누적 가산 회로

113: 전류 검출 회로

120: 충전 회로

150: 전원 제어 회로

151: 용량 소자

152: 저항 소자

153: 코일

154: 다이오드

155: 트랜지스터

161: 직류 전원

162: 저항 소자

163: 저항 소자

164: 분압 회로

170: 제어 회로

180: 제어 회로

181: 카운터 회로

182: 발진 회로

185: 마이크로 컴퓨터

190: 마이크로 컴퓨터

220: 트랜지스터

230: 총

231: 산화물 반도체층

232: 도전층

233: 도전층

234: 절연층

235: 도전층

300: 측전지

301: 양극 집전체

302: 양극 활물질층

304: 음극 활물질층

305: 음극 집전체

307: 세퍼레이터

308: 전해액

309: 외장 부재

310: 측전지

311: 양극

312: 음극

900: 기판

901: 트랜지스터

902: 트랜지스터

904: 웨

906: 불순물 영역

907: 게이트 절연막

908: 게이트 전극층

909: 측벽 절연막

910: 절연막

911: 절연막

912: 절연막

913: 콘택트 플러그

914: 배선층

915: 콘택트 플러그

916: 배선층

917: 콘택트 플러그

918: 배선층

919: 절연막

920: 절연막

921: 콘택트 플러그

922: 배선층

923: 백 게이트 전극층

924: 절연막

925: 콘택트 플러그

926: 산화물 반도체막

927: 소스 전극층

928: 드레인 전극층

929: 게이트 절연막

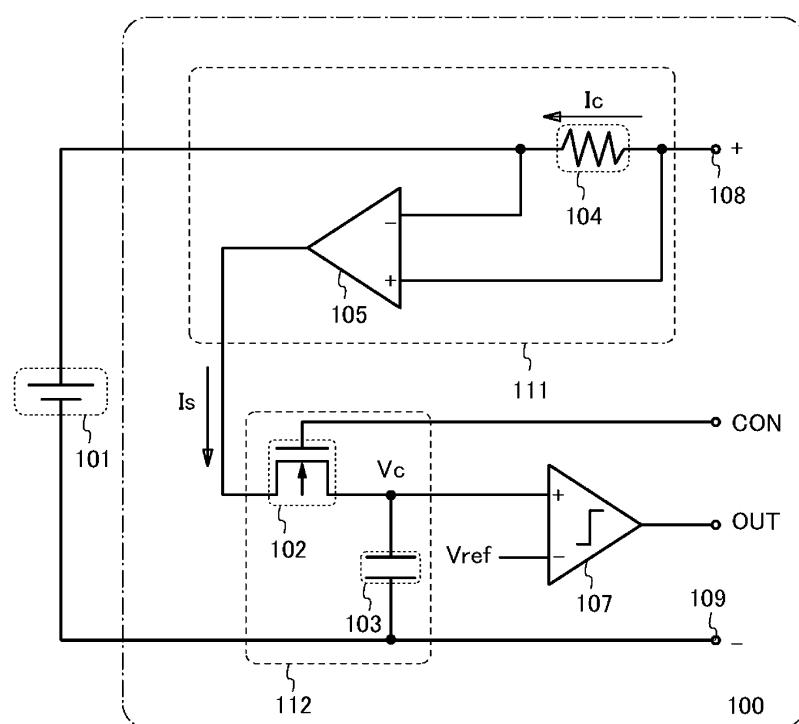
930: 게이트 전극층

932: 절연막

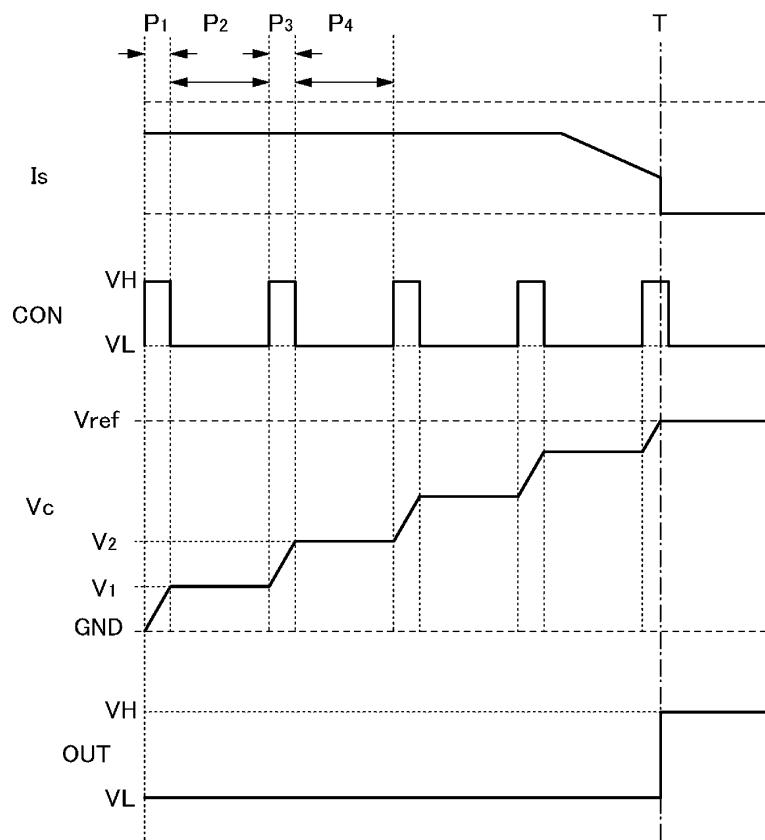
933: 절연막

도면

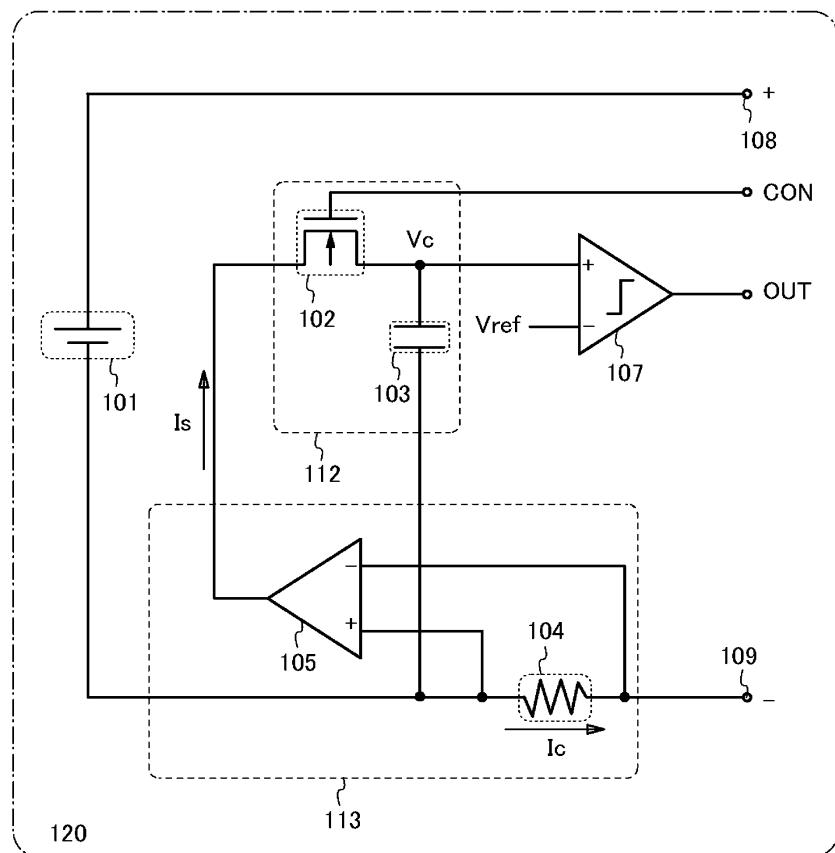
도면1



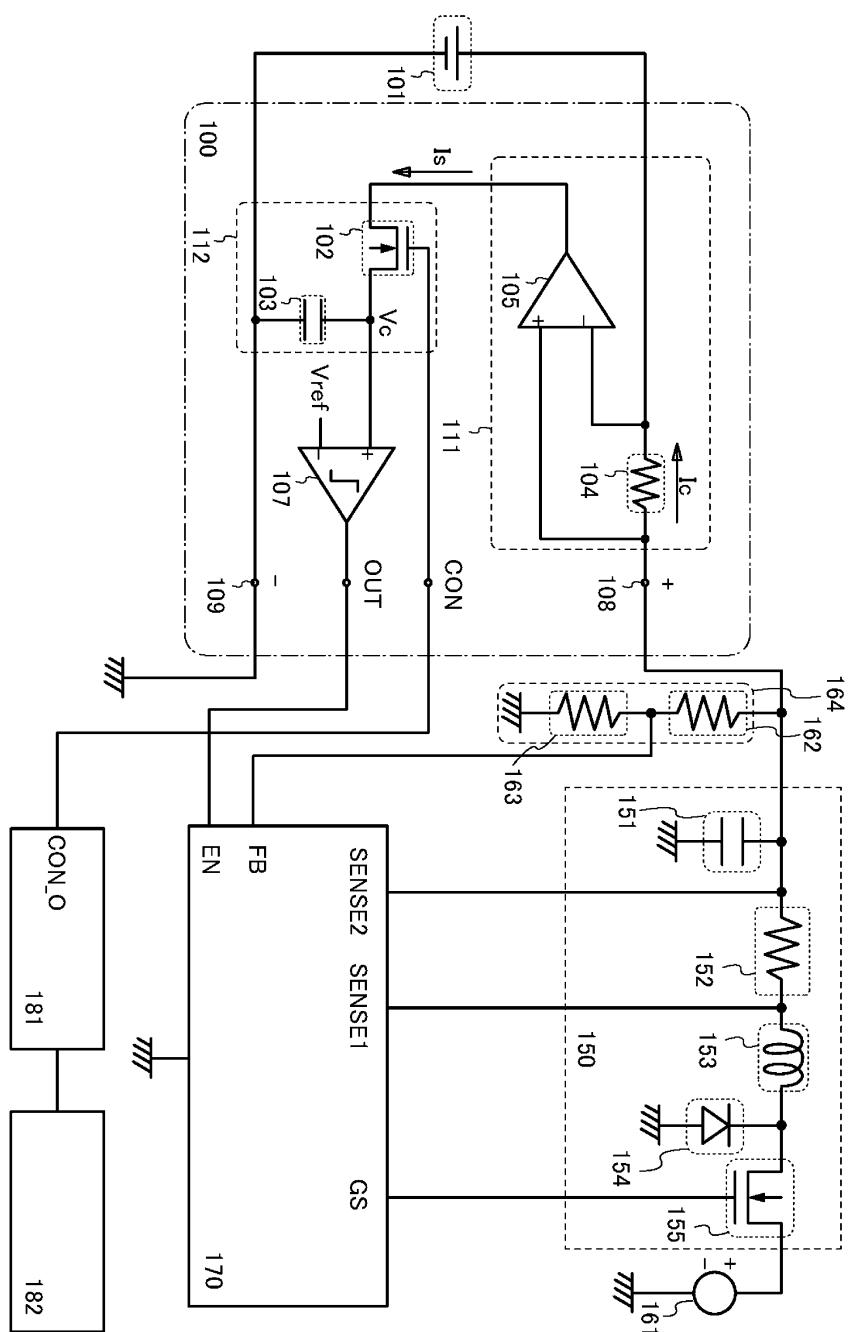
도면2



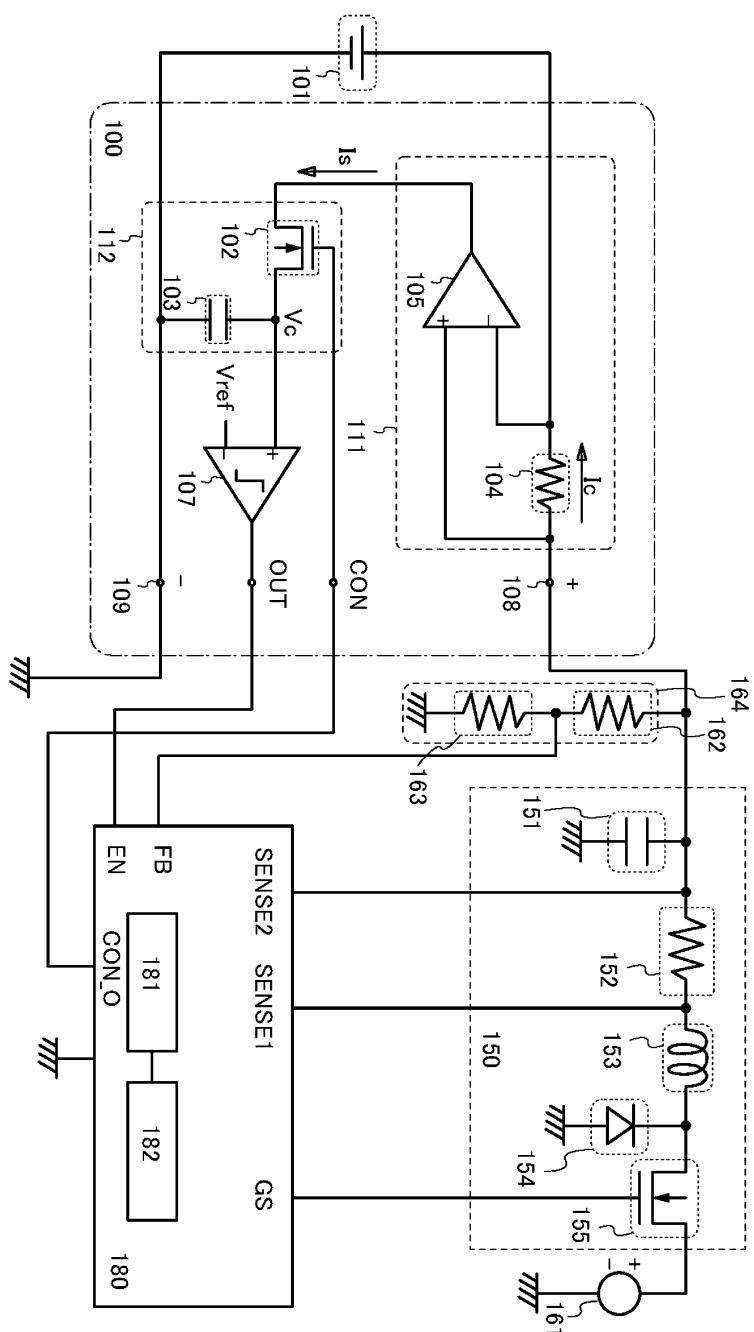
도면3



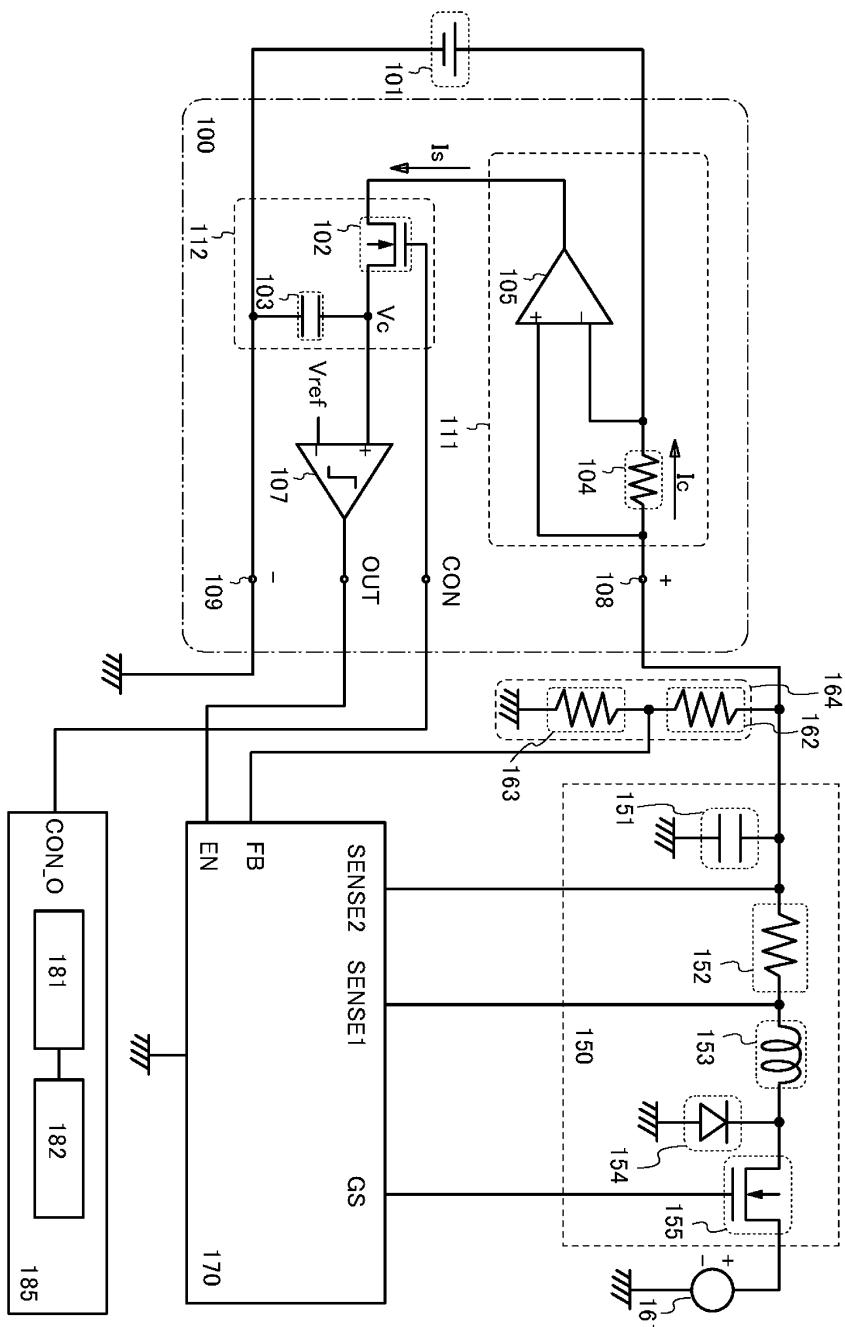
도면4



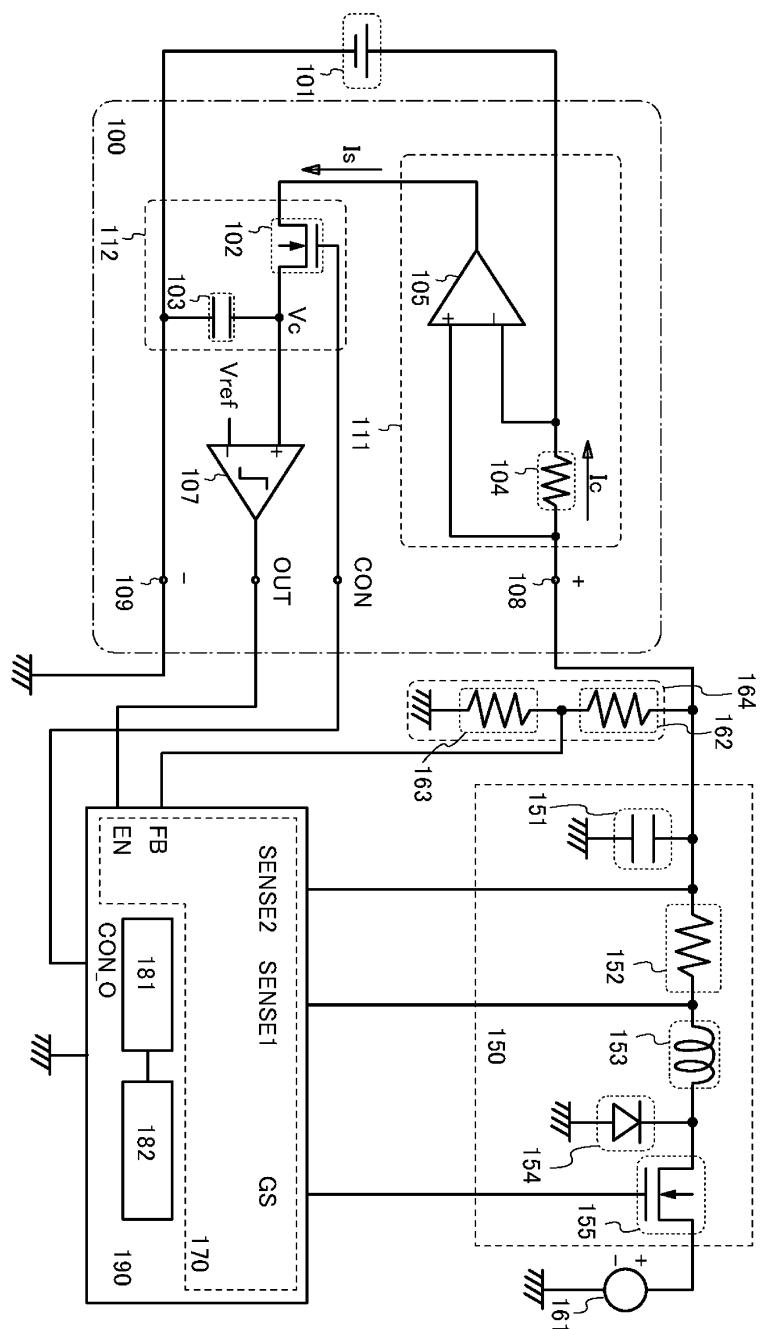
도면5



도면6

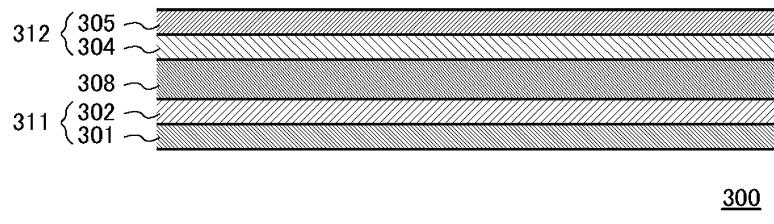


도면7

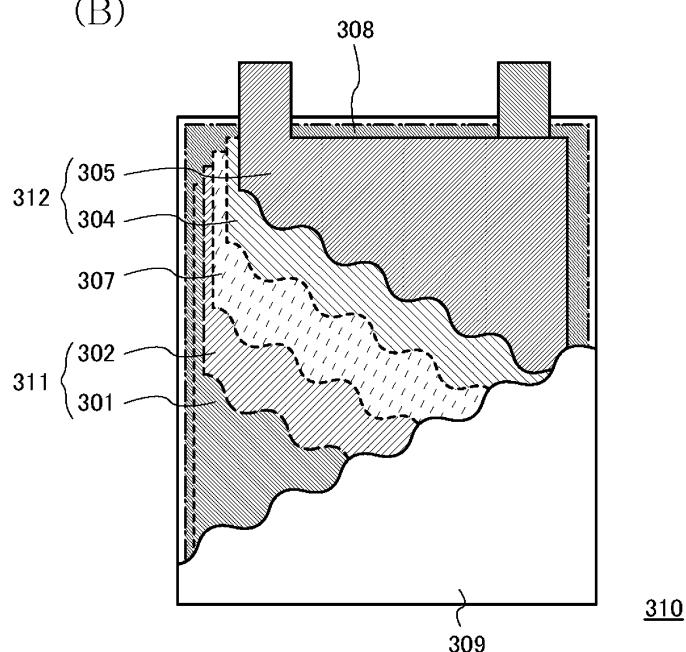


도면8

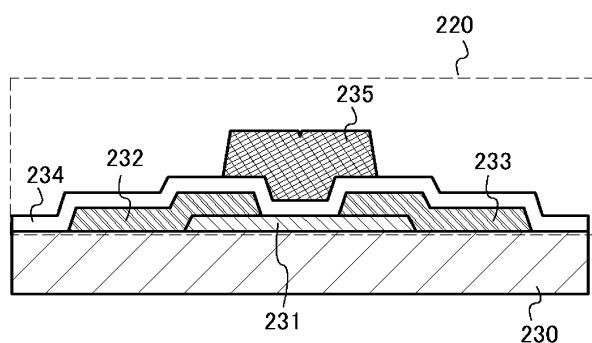
(A)



(B)



도면9



도면10

