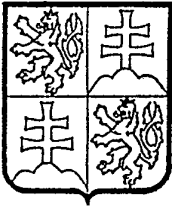


ČESKÁ A SLOVENSKÁ  
FEDERATIVNÍ  
REPUBLIKA  
(19)



FEDERÁLNÍ ÚŘAD  
PRO VYNALEZY

# PATENTOVÝ SPIS 276 197

(21) Číslo přihlášky : 4370-90.V

(22) Přihlášeno : 10 09 90

(30) Prioritní data :

(40) Zveřejněno : 15 04 92

(47) Uděleno : 21 02 92

(24) Oznámeno udělení ve Věstníku : 15 04 92

(13) Druh dokumentu : B6

(51) Int. Cl.<sup>5</sup> :  
H 03 K 19/007

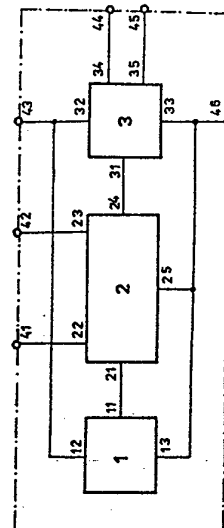
(73) Majitel patentu : VYSOKÁ ŠKOLA DOPRAVY A SPOJOV, ŽILINA

(72) Původce vynálezu : RÁSTOČNÝ KAROL ing., ŽILINA

(54) Název vynálezu : Zapojenie bezpečného logického obvodu

(57) Anotace :

Bezpečný logický obvod realizuje funkci logického součinu nebo součtu v závislosti od zapojení bloku napáťových deličů (2), který tvoří základ zapojení. Prvý vstup (21) bloku napáťových deličů (2) je připojený s prvním výstupem (11) generátora (1), kterého druhý výstup je připojený s druhým výstupem (25) bloku napáťových deličů (2) a s třetím výstupem (33) výstupného obvodu (3), což zároveň tvoří společnou vstupno-výstupnou svorku (46) zapojení. Vstup (12) generátora (1) a druhý vstup (32) výstupného obvodu (3) jsou navzájem připojené a tvoří třetí vstupno-výstupnou svorku (43) zapojení. Prvý výstup (24) bloku napáťových deličů (2) je připojený s prvním vstupem (31) výstupného obvodu (3). Druhý a třetí vstup (22, 23) bloku napáťových deličů (2) tvoří první a druhý vstupní svorku (41, 42) zapojení. První a druhý výstup (34, 35) výstupného obvodu (3) tvoří první a druhý výstupní svorku (44, 45) zapojení.



OBR. 1

Vynález sa týka problematiky špeciálnych logických obvodov. Rieši zapojenie bezpečného súčinnového a súčtového logického obvodu, ktoré vyhovuje požiadavkám zabezpečovacej techniky v železničnej doprave.

V železničnej zabezpečovacej technike často vyžadujeme, aby u obvodov realizujúcich logickú funkciu nedošlo pri vzniku uvažovanej poruchy k zmene logickej funkcie resp. vyžadujeme, aby sa každá uvažovaná porucha prejavila vopred definovaným spôsobom, ktorý vedie k bezpečnému stavu zariadenia. Pre realizáciu takýchto obvodov zviazaných logickou funkciou sa v súčasnosti najčastejšie používajú špeciálne konštruované elektromechanické relé, feritotranzistorové členy, bezpečné logické obvody s optoelektronickými prvkami, prípadne elektronické obvody so špeciálnou funkčnou kontrolou. Špeciálne elektromechanické relé pre zabezpečovaciú techniku majú oproti elektronickým bezkontaktným prvkom menšiu dobu životnosti, sú priestorovo, materiálovo a energeticky náročné. Feritotranzistorové členy nie sú jednoducho zlučiteľné s modernými elektronickými obvodmi. Bezpečné logické členy s optoelektronickými prvkami sú príkonovo náročné a pracujú s nízkym odstupom signálov medzi úrovňou log. "0" a log. "1". Elektronické obvody so špeciálnou funkčnou kontrolou nemajú univerzálne použitie a sú často obvodovo zložité aj pri realizácii jednoduchých funkcií.

Hore uvedené nedostatky rieši zapojenie bezpečného logického obvodu, ktorého podstata je v tom, že prvý výstup generátora je pripojený na prvý vstup bloku napäťových deličov, prvý výstup bloku napäťových deličov je pripojený na prvý vstup výstupného obvodu, prvá vstupná svorka bezpečného logického obvodu je pripojená na druhý vstup bloku napäťových deličov, druhá vstupná svorka bezpečného logického obvodu je pripojená na tretí vstup bloku napäťových deličov, tretia vstupná svorka bezpečného logického obvodu je pripojená na prvý vstup generátora a druhý vstup výstupného obvodu, prvá výstupná svorka bezpečného logického obvodu je pripojená na prvý výstup výstupného obvodu, druhá výstupná svorka bezpečného logického obvodu je pripojená na druhý výstup výstupného obvodu, spoločná vstupno-výstupná svorka bezpečného logického obvodu je pripojená na druhý výstup generátora, ďalej na druhý výstup bloku napäťových deličov a tretí výstup výstupného obvodu. Bezpečný logický obvod realizuje funkciu logického súčtu v zapojení, ktorého podstata je v tom, že prvý vstup bloku napäťových deličov je pripojený na prvý vstup prvého dynamického napäťového deliča, druhý vstup bloku napäťových deličov je pripojený na druhý vstup prvého dynamického napäťového deliča, prvý výstup prvého dynamického napäťového deliča je pripojený na prvý vstup druhého dynamického napäťového deliča, tretí vstup bloku napäťových deličov je pripojený na druhý vstup druhého dynamického napäťového deliča, prvý výstup bloku napäťových deličov je pripojený na prvý výstup druhého dynamického napäťového deliča, druhý výstup bloku napäťových deličov je pripojený na druhý výstup prvého dynamického napäťového deliča a na druhý výstup druhého dynamického napäťového deliča. Logický bezpečný obvod realizuje funkciu logického súčtu v zapojení, ktorého podstata je v tom, že prvý vstup bloku napäťových deličov je pripojený na prvý vstup prvého dynamického napäťového deliča a na prvý vstup druhého dynamického napäťového deliča, druhý vstup bloku napäťových deličov je pripojený na druhý vstup prvého dynamického napäťového deliča, tretí vstup bloku napäťových deličov je pripojený na druhý vstup druhého dynamického napäťového deliča, prvý výstup bloku napäťových deličov je pripojený na prvý výstup prvého dynamického napäťového deliča a prvý výstup druhého dynamického napäťového deliča, druhý výstup bloku napäťových deličov je pripojený na druhý výstup prvého dynamického napäťového deliča a na druhý výstup druhého dynamického napäťového deliča. Základ zapojenia bezpečného logického obvodu tvorí dynamický napäťový delič, ktorého podstata je v tom, že prvý vstup dynamického napäťového deliča je cez prvý rezistor pripojený na bázu prvého tranzistora, druhý vstup dynamického napäťového deliča je cez druhý rezistor pripojený na prvý uzol, pričom prvý uzol je ešte pripojený na kolektor prvého tranzistora, ďalej je cez prvú diódu pripojený na druhý uzol a cez tretí rezistor na bázu druhého tranzistora, pričom druhý uzol je ďalej cez štvrtý rezistor pripojený na štvrtý uzol a cez prvý kondenzátor na tretí uzol, k tretiemu uzlu je ešte pripojený emitor prvého tranzistora, ďalej emitor druhého tranzistora a druhý výstup dynamického napäťového deliča, pričom na štvrtý uzol je ešte pripojený kolektor druhého tranzistora a prvý výstup

dynamického napáťového deliča.

Bezpečný logický obvod sa vyznačuje malým príkonom logických vstupov, dobrou reprodukovateľnosťou, nenáročnosťou na nastavenie a možnosťou pripojenia na TTL logiku. Požadovaná bezpečnosť je zaistená dynamickým režimom práce zapojenia. Vzhľadom k použitým prvkom má zapojenie dobré predpoklady pre prípadnú integráciu.

Na obr. 1 je bloková schéma bezpečného logického obvodu, na obr. 2 je zapojenie dynamických napáťových deličov v bloku napáťových deličov pre realizáciu funkcie logického súčtu, na obr. 3 je zapojenie dynamických napáťových deličov v bloku napáťových deličov pre realizáciu funkcie logického súčtu a na obr. 4 je zapojenie dynamického napáťového deliča.

Bezpečný logický obvod podľa blokovej schémy zobrazenej na obr. 1 je zapojený tak, že prvý výstup 11 generátora 1 je pripojený na prvý vstup 21 bloku napáťových deličov 2, prvý výstup 24 bloku napáťových deličov 2 je pripojený na prvý vstup 31 výstupného obvodu 3, prvá vstupná svorka 41 bezpečného logického obvodu je pripojená na druhý vstup 22 bloku napáťových deličov 2, druhá vstupná svorka 42 bezpečného logického obvodu je pripojená na tretí vstup 23 bloku napáťových deličov 2, tretia vstupná svorka 43 bezpečného logického obvodu je pripojená na prvý vstup 12 generátora 1 a druhý vstup 32 výstupného obvodu 3, prvá výstupná svorka 44 bezpečného logického obvodu je pripojená na prvý výstup 34 výstupného obvodu 3, druhá výstupná svorka 45 bezpečného logického obvodu je pripojená na druhý výstup 35, výstupného obvodu 3, spoločná vstupno-výstupná svorka 46 bezpečného logického obvodu je pripojená na druhý výstup 13 generátora 1, ďalej na druhý výstup 25 bloku napáťových deličov 2 a tretí výstup 33 výstupného obvodu 3. Na obr. 2 je zobrazené prepojenie dynamických napáťových deličov 5 v bloku napáťových deličov 2 pre realizáciu funkcie logického súčtu, podľa ktorého je prvý vstup 21 bloku napáťových deličov 2 pripojený na prvý vstup 51 prvého dynamického napáťového deliča 5, druhý vstup 22 bloku napáťových deličov 2 je pripojený na druhý vstup 52 prvého dynamického napáťového deliča 5, prvý výstup 54 prvého dynamického deliča 5 je pripojený na prvý vstup 51 druhého dynamického napáťového deliča 5, tretí vstup 23 bloku napáťových deličov 2 je pripojený na druhý vstup 52 druhého dynamického napáťového deliča 5, prvý výstup 24 bloku napáťových deličov 2 je pripojený na prvý výstup 54 druhého dynamického napáťového deliča 5, druhý výstup 25 bloku napáťových deličov 2 je pripojený na druhý výstup 53 prvého dynamického napáťového deliča 5 a na druhý výstup 53 druhého dynamického napáťového deliča 5. Na obr. 3 je zobrazené prepojenie dynamických napáťových deličov 5 v bloku napáťových deličov 2 pre realizáciu funkcie logického súčtu, podľa ktorého je prvý vstup 21 bloku napáťových deličov 2 pripojený na prvý vstup 51 prvého dynamického napáťového deliča 5 a na prvý vstup 51 druhého dynamického napáťového deliča 5, druhý vstup 22 bloku napáťových deličov 2 je pripojený na druhý vstup 52 prvého dynamického napáťového deliča 5, tretí vstup 23 bloku napáťových deličov 2 je pripojený na druhý vstup 52 druhého dynamického napáťového deliča 5, prvý výstup 24 bloku napáťových deličov 2 je pripojený na prvý výstup 54 prvého dynamického napáťového deliča 5 a prvý výstup 24 druhého dynamického napáťového deliča 5, druhý výstup 25 bloku napáťových deličov 2 je pripojený na druhý výstup 53 prvého dynamického napáťového deliča 5 a na druhý výstup 53 druhého dynamického napáťového deliča 5. Na obr. 4 je zobrazené zapojenie dynamického napáťového deliča 5, kde prvý vstup 51 dynamického napáťového deliča 5 je cez prvý rezistor 510 pripojený na bázu prvého tranzistora 511, druhý vstup 52 dynamického napáťového deliča 5 je cez druhý rezistor 512 pripojený na prvý uzol 501, pričom prvý uzol 501 je ešte pripojený na kolektor prvého tranzistora 511, ďalej je cez prvú diódu 513 pripojený na druhý uzol 502 a cez tretí rezistor 514 na bázu druhého tranzistora 517, pričom druhý uzol 502 je ďalej cez štvrtý rezistor 516 pripojený na štvrtý uzol 504 a cez prvý kondenzátor 515 na tretí uzol 503, k tretiemu uzlu 503 je ešte pripojený emitor prvého tranzistora 511. Ďalej emitor druhého tranzistora 517 a druhý výstup 53 dynamického napáťového deliča 5, pričom na štvrtý uzol 504 je ešte pripojený kolektor druhého tranzistora 517 a prvý výstup 54 dynamického napáťového deliča 5. Základ bezpečného logického obvodu zobrazeného na obr. 1 tvorí dynamický napáťový delič znázornený na obr. 4. Na jeho vstup 51 je privádzaný obdĺžnikový signál z generátora 1 alebo z predchádzajúceho dynamického napáťového deliča 5. Na

vstup 52 sa pripája statický signál. Tranzistory 511 a 517 pracujú navzájom inverzne a v spínacom režime. Ak tranzistor 511 nevedie, je zopnutý tranzistor 517 a cez diódu 513 dochádza k nabíjaniu kondenzátora 515 na hodnotu napätia, ktorá závisí od frekvencie a striedy obdĺžnikového signálu privádzaného na vstup 51, veľkosti napätia na vstupe 52, časovej konštanty nabíjacieho obvodu a od veľkostí hodnôt rezistorov 512, 514 a 516. Počas tejto doby je na výstupoch 54, 53 napätie rovné úbytku napätia medzi kolektorom a emitorom zopnutého tranzistora 517. Toto napätie je nepostačujúce na zopnutie vstupného tranzistora nasledujúceho stupňa. V dobe, keď je tranzistor 511 zopnutý, nevedie tranzistor 517 a napätie z kondenzátora 515 pôsobí na výstup 54. Len za predpokladu správnej činnosti obvodu a dostatočne veľkého napätia na vstupe 52 (minimálne požadovaná hodnota tohto napätia sa dá nastaviť rezistorami 512, 514, 516) dochádza k transformácii dynamického signálu zo vstupu 51 na výstup 54. V prípade reťazcového zapojenia dynamických napäťových deličov 5 v bloku napäťových deličov 2, podľa obr. 2, realizuje bezpečný logický obvod funkciu logického súčinu. Na vstup 51 prvého napäťového deliča 5 je nepretržite privádzaný obdĺžnikový signál z generátora 1. Výstup 54 posledného dynamického napäťového deliča 5 v reťazci je pripojený na vstup 31 výstupného obvodu 3. Výstupný obvod 3 zosilňuje dynamický signál privádzaný na jeho vstup 31 (dynamický výstup 35) a premieňa ho na statický signál (statický výstup 34). Musí byť realizovaný tak, aby sa nemohol v dôsledku uvažovanej poruchy objaviť na výstupoch 34, 35 signál významu log. "1" (tj. dynamický signál na výstupe 35 alebo statický signál o úrovni log. "1" na výstupe 34), ak na vstupe 31 nie je dynamický signál. Na výstupných svorkách 44, 45 je signál významu log. "1" len vtedy, ak celý obvod pracuje správne a na oboch vstupných svorkách 41 a 42 je signál o úrovni log. "1". V prípade paralelného zapojenia dynamických napäťových deličov 5 v bloku napäťových deličov 2, podľa obr. 3, realizuje bezpečný logický obvod funkciu logického súčtu. Na vstup 51 prvého aj druhého napäťového deliča 5 je privádzaný nepretržite obdĺžnikový signál z generátora 1. Na vstup 31 výstupného obvodu 3 je pripojený výstup 54 prvého aj druhého napäťového deliča 5. Na výstupných svorkách 44, 45 je signál významu log. "1" len vtedy, ak celý obvod pracuje správne a aspoň na jednej zo vstupných svoriek 41, 42 je signál o úrovni log. "1". Zapojenie generátora 1 a výstupného obvodu 3 je všeobecne známe a preto ich nepopisujem.

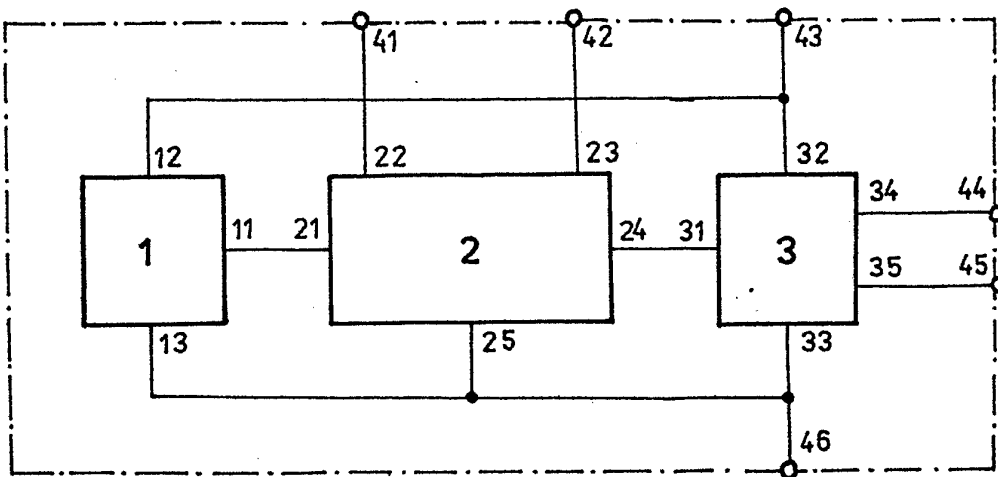
Bezpečný logický obvod je možné predovšetkým použiť v obvodoch železničnej zabezpečovacej techniky, ktorých činnosť je popísaná logickou funkciou. Samotný dynamický napäťový delič je možné použiť aj ako úrovňový napäťový člen.

#### P A T E N T O V É N Á R O K Y

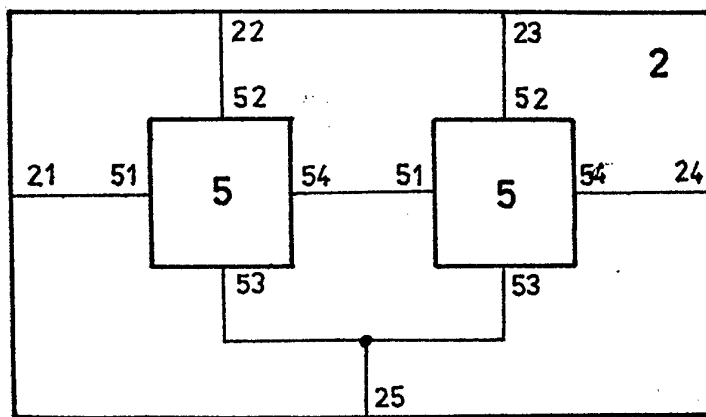
1. Zapojenie bezpečného logického obvodu je vyznačené tým, že prvý výstup (11) generátora (1) je pripojený na prvý vstup (21) bloku napäťových deličov (2), prvý výstup (24) bloku napäťových deličov (2) je pripojený na prvý vstup (31) výstupného obvodu (3), prvá vstupná svorka (41) bezpečného logického obvodu je pripojená na druhý vstup (22) bloku napäťových deličov (2), druhá vstupná svorka (42) bezpečného logického obvodu je pripojená na tretí vstup (23) bloku napäťových deličov (2), tretia vstupná svorka (43) bezpečného logického obvodu je pripojená na prvý vstup (12) generátora (1) a druhý výstup (32) výstupného obvodu (3), prvá výstupná svorka (44) bezpečného logického obvodu je pripojená na prvý výstup (34) výstupného obvodu (3), druhá výstupná svorka (45) bezpečného logického obvodu je pripojená na druhý výstup (35) výstupného obvodu (3), spoločná vstupno-výstupná svorka (46) bezpečného logického obvodu je pripojená na druhý výstup (13) generátora (1), ďalej na druhý výstup (25) bloku napäťových deličov (2) a tretí výstup (33) výstupného obvodu (3).
2. Zapojenie dynamických napäťových deličov v bloku napäťových deličov tak, že bezpečný logický obvod podľa bodu 1 plní funkciu logického súčinu, je vyznačené tým, že prvý vstup (21) bloku napäťových deličov (2) je pripojený na prvý vstup (51) prvého dynamic-

kého napáťového deliča (5), druhý vstup (22) bloku napáťových deličov (2) je pripojený na druhý vstup (52) prvého dynamického napáťového deliča (5), prvý výstup (54) prvého napáťového dynamického deliča (5) je pripojený na prvý vstup (51) druhého dynamického napáťového deliča (5), tretí vstup (23) bloku napáťových deličov (2) je pripojený na druhý vstup (52) druhého dynamického napáťového deliča (5), prvý výstup (24) bloku napáťových deličov (2) je pripojený na prvý výstup (54) druhého dynamického napáťového deliča (5), druhý výstup (25) bloku napáťových deličov (2) je pripojený na druhý výstup (53) prvého dynamického napáťového deliča (5) a na druhý výstup (53) druhého dynamického napáťového deliča (5).

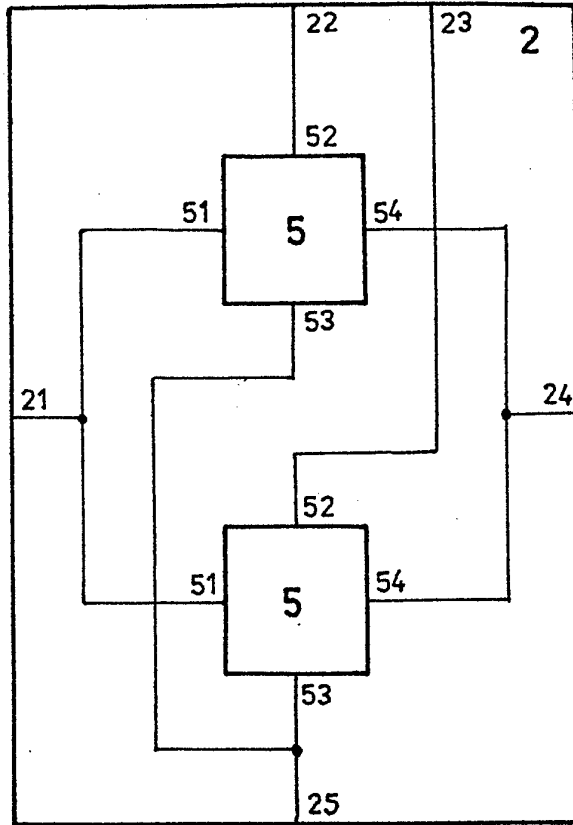
3. Zapojenie dynamických napáťových deličov v bloku napáťových deličov tak, že bezpečný logický obvod podľa bodu 1 plní funkciu logického súčtu, je vyznačené tým, že prvý vstup (21) bloku napáťových deličov (2) je pripojený na prvý vstup (51) prvého dynamického napáťového deliča (5) a na prvý vstup (51) druhého dynamického napáťového deliča (5), druhý vstup (22) bloku napáťových deličov (2) je pripojený na druhý vstup (52) prvého dynamického napáťového deliča (5), tretí vstup (23) bloku napáťových deličov (2) je pripojený na druhý vstup (52) druhého dynamického napáťového deliča (5), prvý výstup (24) bloku napáťových deličov (2) je pripojený na prvý výstup (54) prvého dynamického napáťového deliča (5) a prvý výstup (54) druhého dynamického napáťového deliča (5), druhý výstup (25) bloku napáťových deličov (2) je pripojený na druhý výstup (53) prvého dynamického napáťového deliča (5) a na druhý výstup (53) druhého dynamického napáťového deliča (5).
4. Zapojenie dynamického napáťového deliča, ktorý je súčasťou bezpečného logického obvodu podľa bodu 1, je vyznačené tým, že prvý vstup (51) dynamického napáťového deliča (5) je cez prvý rezistor (510) pripojený na bázu prvého tranzistora (511), druhý vstup (52) dynamického napáťového deliča (5) je cez druhý rezistor (512) pripojený na prvý uzol (501), pričom prvý uzol (501) je ešte pripojený na kolektor prvého tranzistora (511), ďalej je cez prvú diódu (513) pripojený na druhý uzol (502) a cez tretí rezistor (514) na bázu druhého tranzistora (517), pričom druhý uzol (502) je ďalej cez štvrtý rezistor (516) pripojený na štvrtý uzol (504) a cez prvý kondenzátor (515) na tretí uzol (503), k tretiemu uzlu (503) je ešte pripojený emitor prvého tranzistora (511), ďalej emitor druhého tranzistora (517) a druhý výstup (53) dynamického napáťového deliča (5), pričom na štvrtý uzol (504) je ešte pripojený kolektor druhého tranzistora (517) a prvý výstup (54) dynamického napáťového deliča (5).



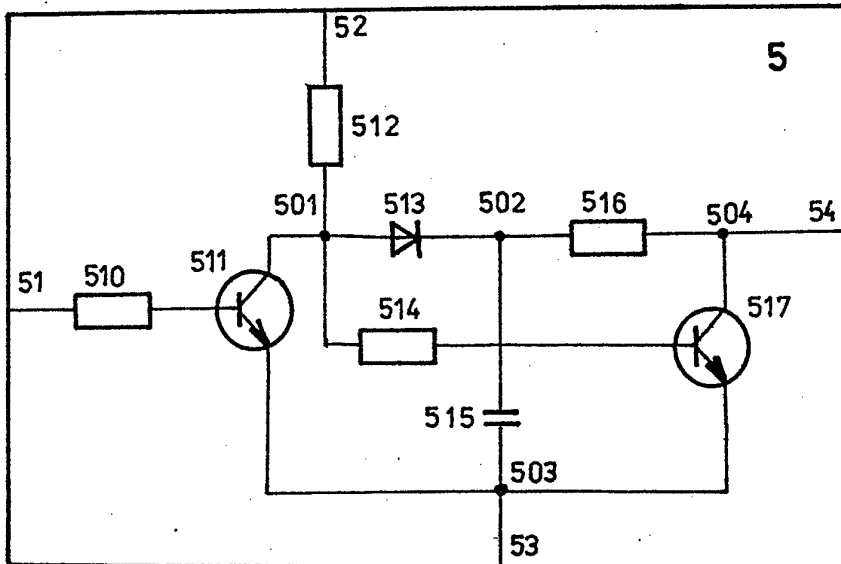
OBR. 1



OBR. 2



OBR. 3



OBR. 4