

특허청구의 범위

청구항 1

반도체기판 상에 형성된 하부 배선층을 덮는 층간절연막을 형성하는 단계;

상기 층간절연막을 식각하여 상기 하부 배선층의 표면을 노출시키는 컨택홀을 형성하는 단계;

상기 컨택홀의 내벽에 웨딩층을 형성하는 단계;

상기 컨택홀의 상부 내벽 및 입구 주위에 텅스텐(W)을 증착하여, 알루미늄(Al)의 증착을 방지하기 위한 증착방지층을 형성하는 단계; 및

화학기상증착(CVD) 방법으로 알루미늄막을 증착하여 상기 컨택홀을 매립하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속컨택 형성방법.

청구항 2

제1항에 있어서,

상기 컨택홀의 내벽에 형성하는 웨딩층은 티타늄(Ti)으로 형성하는 것을 특징으로 하는 반도체 소자의 금속컨택 형성방법.

청구항 3

제2항에 있어서,

상기 웨딩층은 자기 이온화 플라즈마(SIP) 방식으로 형성하는 것을 특징으로 하는 반도체 소자의 금속컨택 형성방법.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 증착방지층은 화학기상증착(CVD) 또는 물리기상증착(PVD) 방식으로 형성하는 것을 특징으로 하는 반도체 소자의 금속컨택 형성방법.

청구항 6

제1항에 있어서, 상기 컨택홀을 알루미늄막으로 매립하는 단계는,

상기 증착방지층이 형성된 반도체기판 위에 알루미늄막을 증착하는 단계와,

상기 알루미늄막을 리플로우시켜 상기 컨택홀이 완전히 매립되도록 하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 금속컨택 형성방법.

청구항 7

삭제

청구항 8

제6항에 있어서,

상기 컨택홀을 알루미늄막으로 매립하는 단계 후에, 전면에 알루미늄막을 증착하여 상기 하부 배선층과 접속된 상부 배선층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 금속컨택 형성방법.

청구항 9

제8항에 있어서,

상기 상부 배선층을 형성하기 위한 알루미늄막은 상기 알루미늄막을 리플로우한 장비에서 인-시츄(in-situ)로 증착하는 것을 특징으로 하는 반도체 소자의 금속컨택 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <3> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 상, 하 배선층 사이를 연결하기 위한 컨택홀을 알루미늄막으로 균일하게 매립함으로써 낮은 컨택저항 및 신뢰성있는 금속컨택을 이룰 수 있는 반도체 소자의 금속컨택 형성방법에 관한 것이다.
- <4> 잘 알려진 바와 같이, 반도체 소자가 고집적화되면서 금속배선에 있어서도 적층형 구조가 성행하고 있다. 이들 적층형 구조에서 상부 도전막은 컨택홀을 통해 하부 도전막과 전기적으로 접촉된다. 이러한 컨택을 이루기 위한 재료로는 알루미늄(Al) 또는 텅스텐(W)이 사용되고 있다. 알루미늄(Al)의 비저항(resistivity)은 $2.7 \mu \Omega \text{cm}$ 내지 $3.0 \mu \Omega \text{cm}$ 로서 텅스텐(W)의 비저항 $10 \mu \Omega \text{cm}$ 내지 $12 \mu \Omega \text{cm}$ 에 비해 약 1/4의 값이기 때문에 알루미늄(Al)막은 반도체 소자의 신호전달 속도를 증가시키기 위해 배선물질로 주로 사용된다.
- <5> 알루미늄막은 일반적으로 물리적 기상 증착(Physical Vapor Deposition; PVD)의 하나인 스퍼터링(sputtering) 방법으로 형성하는데, 반도체 소자의 고집적화에 따라 컨택홀의 크기가 줄어들고, 어스펙트 비(aspect ratio) 역시 급격히 증가함에 따라 PVD 방법은 스텝 커버리지(step coverage)가 불량하여 그 사용이 한계에 도달하였다. 이에 따라 컨택홀 매립 특성이 우수한 텅스텐(W)을 사용하여 플러그를 형성하는 방법이 사용되는데, 이는 컨택홀에 텅스텐(W)이 완전히 매립되도록 하기 위해 화학 기상 증착(Chemical Vapor Deposition; CVD) 방법을 사용하여 텅스텐막을 형성한 후 에치백함으로써 컨택홀 깊이만큼의 단차를 없애는 공정과 스퍼터링 방법으로 알루미늄막을 형성하는 공정으로 진행되므로, 공정수의 증가 및 제조단가가 상승하는 등의 문제점을 나타낸다.
- <6> 최근에는 낮은 컨택저항 및 제조원가의 확보를 위하여 알루미늄 플러그 공정을 많이 채용하고 있다. 알루미늄 플러그 공정은, 이미 증착된 알루미늄막을 고온의 리플로우 챔버(reflow chamber)에서 장시간 유지시켜 알루미늄막을 리플로우시키는 방법이다. 그러나, 고온에서 이루어지기 때문에 후속 단계에서 누설전류를 유발하는 등의 단점이 있다. 이를 보완하기 위하여 리플로우 챔버없이 알루미늄막이 플로우되는 온도에서 공정을 진행하는 워름(warm) 알루미늄 공정에 대해 많은 연구가 진행되고 있다. 그러나, 워름(warm) 알루미늄 공정을 적용하는 경우, 컨택홀의 높이는 증가하고 사이즈는 감소함에 따라 컨택홀의 일부에서 오버행(overhang)이 발생하여 증착된 알루미늄이 컨택홀 내부로 유입되지 못해 매립불량이 유발되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <7> 본 발명이 이루고자 하는 기술적 과제는 특정 막 위에서 양호한 증착특성을 가지는 CVD 알루미늄막의 특성을 이용하여 컨택홀을 매립함으로써 컨택홀의 입구에서 오버행이 발생하는 것을 방지하고 컨택저항을 감소시킬 수 있는 반도체 소자의 금속컨택 형성방법을 제공하는 것이다.

발명의 구성 및 작용

- <8> 상기 기술적 과제를 이루기 위하여 본 발명에 의한 반도체 소자의 금속컨택 형성방법은, 반도체기판 상에 형성된 하부 배선층을 덮는 층간절연막을 형성하는 단계와, 상기 층간절연막을 식각하여 상기 하부 배선층의 표면을 노출시키는 컨택홀을 형성하는 단계와, 상기 컨택홀의 내벽에 웨딩층을 형성하는 단계와, 상기 컨택홀의 입구 주위에 알루미늄막의 증착을 방지하기 위한 증착방지층을 형성하는 단계, 및 상기 컨택홀을 알루미늄막으로 매립하는 단계를 포함하는 것을 특징으로 한다.
- <9> 본 발명에 있어서, 상기 컨택홀의 내벽에 형성하는 웨딩층은 티타늄(Ti)을 자기 이온화 플라즈마(SIP) 방식으로 증착하여 형성하는 것이 바람직하다.
- <10> 그리고, 상기 증착방지층은 텅스텐(W)으로 형성하는데, 화학기상증착(CVD) 또는 물리기상증착(PVD) 방식을 사용

할 수 있다.

- <11> 본 발명에 있어서, 상기 컨택홀을 알루미늄막으로 매립하는 단계는, 상기 증착방지층이 형성된 반도체기판 위에 알루미늄막을 증착하는 단계와, 상기 알루미늄막을 리플로우시켜 상기 컨택홀이 완전히 매립되도록 하는 단계로 이루어진다. 이때, 상기 알루미늄막은 화학기상증착(CVD) 방식으로 형성할 수 있다.
- <12> 그리고, 상기 컨택홀을 알루미늄막으로 매립하는 단계 후에, 전면에 알루미늄막을 증착하여 상기 하부 배선층과 접속된 상부 배선층을 형성하는 단계를 더 포함할 수 있다. 이때, 상부 배선층을 형성하기 위한 알루미늄막은 상기 알루미늄막을 리플로우한 장비에서 인-시츄(in-situ)로 증착하는 것이 바람직하다.
- <13> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.
- <14> 도 1 내지 도 4는 본 발명의 실시예에 의한 반도체 소자의 금속컨택 형성방법을 설명하기 위하여 도시한 단면도들이다.
- <15> 도 1을 참조하면, 웨팅층(18)을 형성하는 단계를 도시한 단면도로서, 하부 배선층(12)의 일부를 노출시키는 컨택홀(16)이 형성된 반도체기판에 웨팅물질을 증착하여 형성한다. 이를 위하여 먼저, 반도체기판(10) 위에 형성된 하부 배선층(12), 예를 들어 알루미늄막을 덮도록 층간절연막(14)을 형성하고, 이 층간절연막을 사진식각하여 상기 하부 배선층의 일부를 노출시키는 컨택홀(16)을 형성한다. 도시되지는 않았지만, 하부 배선층(12) 하부의 반도체기판(10)에는 활성영역을 한정하는 소자분리막과, 게이트절연막을 개재한 게이트스택 및 여러 불순물 확산영역 등이 형성되어 있다. 그리고, 상기 층간절연막(14)은 산화막 또는 질화막과 같은 절연막으로 형성할 수 있다.
- <16> 다음에, 컨택홀이 형성된 반도체기판 위에, 예를 들어 티타늄(Ti)을 자기 이온화 플라즈마(Self Ionized Plasma; SIP) 방식으로 증착하여 웨팅층(18)을 형성한다. 이 웨팅층(18)은 알루미늄막의 증착을 돕기 위한 것으로, 스텝 커버리지 특성이 우수한 SIP 방식으로 증착할 경우 도시된 바와 같이 컨택홀(16)의 바닥면 뿐만 아니라 측면까지 고르게 증착된다.
- <17> 도 2를 참조하면, 웨팅층(18)이 형성된 반도체기판 위에 PVD 방식을 사용하여 텅스텐막(20)을 약 50Å 정도 얇게 증착한다. PVD 방식으로 텅스텐막을 증착하면 스텝 커버리지가 매우 좋지 않기 때문에, 도시된 것과 같이 컨택홀(16)의 바닥면과 층간절연막의 상부 그리고 컨택홀의 입구 주위에만 텅스텐막(20)이 형성된다.
- <18> 도 3을 참조하면, 텅스텐막(20)이 형성된 반도체기판 위에 CVD 방식을 사용하여 알루미늄막(22)을 증착한다. CVD 알루미늄막의 증착 특성 때문에, 텅스텐막(20)이 증착되어 있는 컨택홀 입구 주위와 층간절연막(14) 위에는 알루미늄막이 증착되지 않고, 티타늄 웨팅층(18)이 노출된 부분, 즉 컨택홀 내부에만 선택적으로 알루미늄막(22)이 형성된다.
- <19> 도 4를 참조하면, 약 400℃ ~ 450℃ 정도의 온도에서 알루미늄막(22)이 형성된 반도체기판을 열처리하면 앞서 증착된 알루미늄막이 리플로우(reflow)되어 도시된 것과 같이 컨택홀을 완전히 매립하게 된다. 알루미늄막(22)을 리플로우시키기 위한 열처리 공정은 후속 단계에서 형성될 상부 배선층 증착챔버를 사용하여 수행한다. 계속해서 PVD 등의 방식으로 알루미늄막을 전면 증착한 후 패터닝하여 상부 배선층(24)을 형성함으로써 하부 배선층(20)과 전기적으로 접속된 금속컨택을 완성한다. 상기 상부 배선층(24)을 형성하기 위한 알루미늄 증착공정은 알루미늄막을 리플로우한 장비와 동일한 장비에서 진행하므로 공정을 단순화할 수 있다.
- <20> 도 5는 마지막에 따른 CVD 알루미늄막의 증착특성을 나타낸 그래프들이다.
- <21> 도면에서 알 수 있듯이, CVD 방식으로 알루미늄막을 80초간 증착했을 때 CVD 텅스텐막과 PVD 텅스텐막 위에서는 알루미늄막의 증착이 이루어지지 않았다. 그러나, SIP 방식으로 증착된 티타늄(Ti)막 위에서는 CVD 알루미늄막을 40초 이상 증착했을 때 증착이 이루어졌음을 알 수 있다. 따라서, 이러한 알루미늄막의 선택적 증착 특성을 이용하면 컨택홀을 보이드(void)의 생성없이 균일하게 매립할 수 있으므로 반도체 소자의 금속컨택을 신뢰성있게 형성할 수 있다.

발명의 효과

- <22> 상술한 본 발명에 의한 반도체 소자의 금속컨택 형성방법에 따르면, 특정 마지막 위에서 증착이 잘 이루어지는 CVD 알루미늄막의 특성을 이용하여 컨택홀에 알루미늄 플러그를 형성함으로써 컨택홀을 보이드(void) 없이 균일

하게 매립할 수 있다. 따라서, 신뢰성있으며 낮은 접촉저항을 갖는 금속컨택을 이룰 수 있고, 종래의 텅스텐 플러그 공정에 비해 공정을 단순화할 수 있으며 제조단가를 절감할 수 있는 이점이 있다.

<23> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

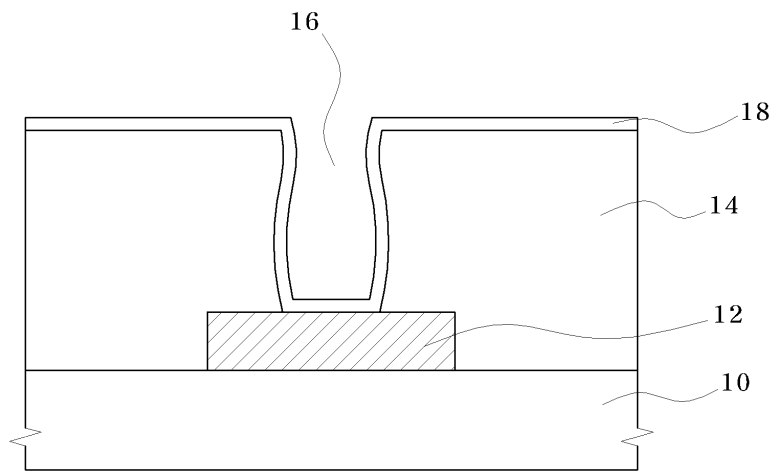
도면의 간단한 설명

<1> 도 1 내지 도 4는 본 발명의 실시예에 의한 반도체 소자의 금속컨택 형성방법을 설명하기 위하여 도시한 단면도들이다.

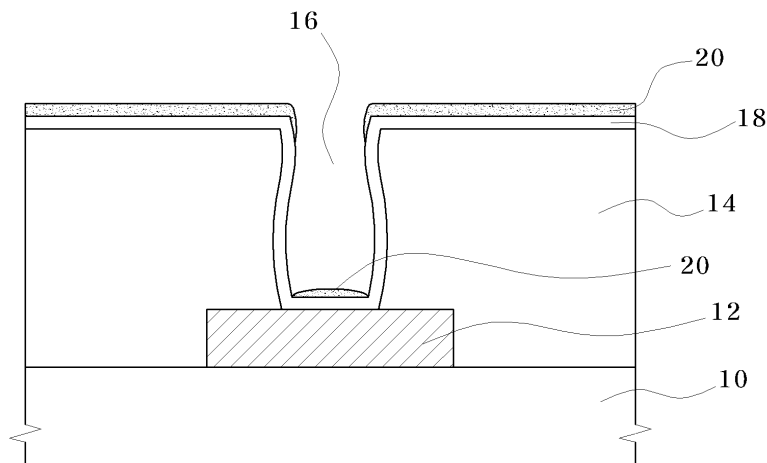
<2> 도 5는 하지막에 따른 CVD 알루미늄막의 증착특성을 나타낸 그래프들이다.

도면

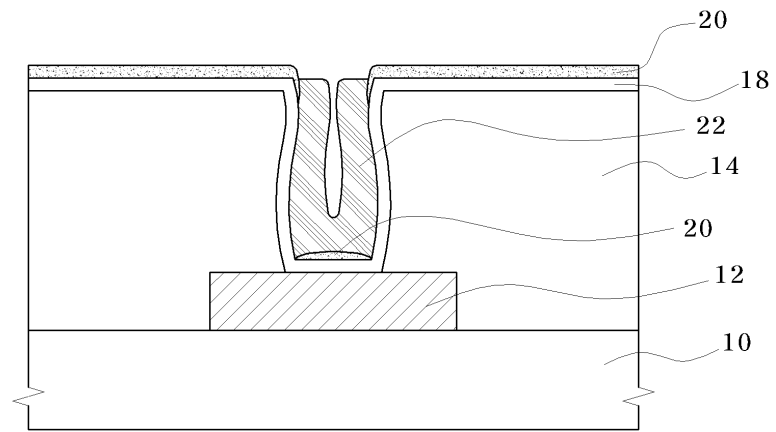
도면1



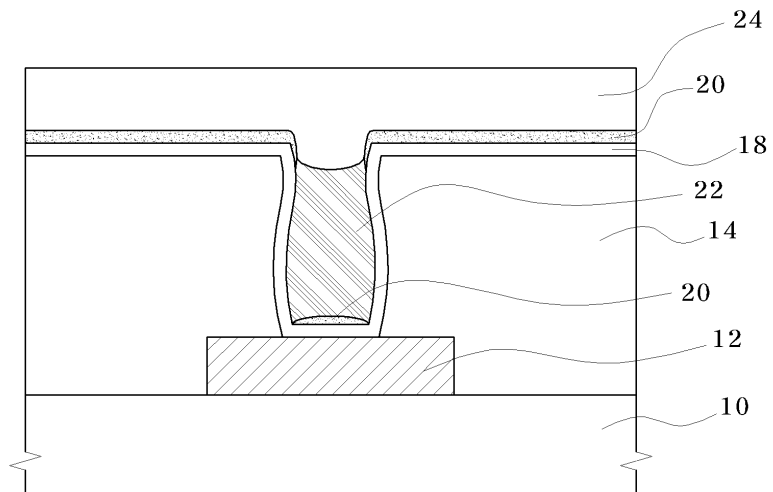
도면2



도면3



도면4



도면5

