



(12) 发明专利申请

(10) 申请公布号 CN 102648514 A

(43) 申请公布日 2012. 08. 22

(21) 申请号 201080055365. 4

(51) Int. Cl.

(22) 申请日 2010. 12. 08

H01L 21/336 (2006. 01)

(30) 优先权数据

H01L 29/78 (2006. 01)

61/267, 524 2009. 12. 08 US

H01L 21/265 (2006. 01)

(85) PCT申请进入国家阶段日

2012. 06. 06

(86) PCT申请的申请数据

PCT/US2010/059374 2010. 12. 08

(87) PCT申请的公布数据

W02011/071973 EN 2011. 06. 16

(71) 申请人 SSSCIP 有限公司

地址 美国密西西比州

(72) 发明人 大卫·C·谢里登

安德鲁·里特诺尔

(74) 专利代理机构 北京三友知识产权代理有限公司

11127

代理人 吕俊刚 刘久亮

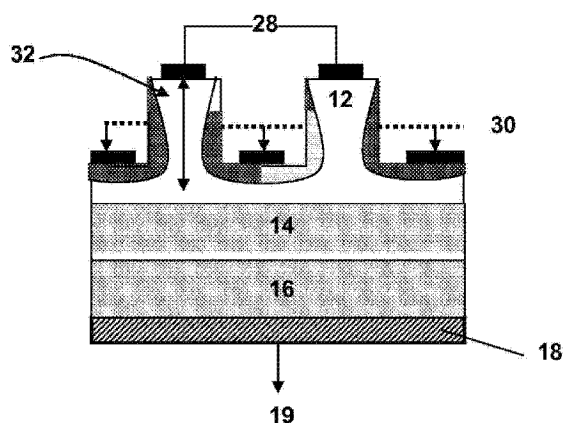
权利要求书 2 页 说明书 5 页 附图 5 页

(54) 发明名称

制造具有植入侧壁的半导体器件的方法和由其制成的器件

(57) 摘要

描述了半导体器件和制造该器件的方法。该器件可以是结型场效应晶体管(JFET),或诸如结型势垒肖特基(JBS)二极管或PiN二极管。该器件利用使用植入掩模的可选择离子植入来制造。该器件具有通过从植入掩模扩散正常入射离子而形成的植入侧壁。描述了一种具有长沟道长度的垂直结型场效应晶体管。该器件可以由诸如碳化硅(SiC)的宽带隙半导体材料制成,并且可以在高温且高功率的应用中使用。



1. 一种制造半导体器件的方法,该方法包括以下步骤:

在植入掩模层上构图蚀刻掩模,其中,所述植入掩模层位于由第一导电类型的半导体材料制成的沟道层上,并且其中,所述沟道层位于第一导电类型的半导体基板的上表面上;

利用所述蚀刻掩模选择性地蚀穿所述植入掩模层并蚀刻到所述沟道层中,以形成一个或多个凸起源极区,每个凸起源极区都具有上表面和与所述沟道层的皆具有底表面的蚀刻区相邻的侧壁;

通过所述植入掩模层将离子植入到所述沟道层中,以在所述蚀刻区的所述底表面上的半导体材料中形成第二导电类型的植入区,其中,所述离子按与相对于所述半导体基板的上表面的垂直方向偏离 $\pm 10^\circ$ 内的角被植入,并且其中,碰撞到所述植入掩模层上的至少一些离子被所述植入掩模扩散,以在所述凸起区的所述侧壁上形成第二导电类型的植入区,其中,位于所述蚀刻区的所述底表面上的所述植入区连接至位于所述凸起区的相邻侧壁上的所述植入区。

2. 根据权利要求1所述的方法,其中,所述沟道层位于由第一导电类型的所述半导体材料制成的漂移层上,所述漂移层位于所述半导体基板上。

3. 根据权利要求2所述的方法,其中,所述沟道层和所述漂移层都具有掺杂浓度,并且其中,所述沟道层的掺杂浓度低于所述漂移层的掺杂浓度。

4. 根据权利要求1所述的方法,其中,植入期间所述离子的能量为 250keV 至 2MeV。

5. 根据权利要求1所述的方法,其中,所述植入掩模层位于由第一导电类型的半导体材料制成的源极层上,并且其中,所述源极层位于所述沟道层上。

6. 根据权利要求5所述的方法,其中,所述源极层和所述沟道层都具有掺杂浓度,并且其中,所述源极层的掺杂浓度高于所述沟道层的掺杂浓度。

7. 根据权利要求1所述的方法,其中,所述第一导电类型是 n 型,所述第二导电类型是 p 型。

8. 根据权利要求1所述的方法,其中,所述沟道层和所述半导体基板包括 SiC。

9. 根据权利要求1所述的方法,其中,所述植入掩模层具有至少 $0.5\ \mu\text{m}$ 的厚度。

10. 根据权利要求1所述的方法,其中,所述沟道层具有 $0.25\ \mu\text{m}$ 至 $5\ \mu\text{m}$ 的厚度,并具有 $1\times 10^{14}/\text{cm}^3$ 至 $1\times 10^{18}/\text{cm}^3$ 的掺杂浓度。

11. 根据权利要求2所述的方法,其中,所述漂移层具有小于 $200\ \mu\text{m}$ 的厚度,并具有 $1\times 10^{14}/\text{cm}^3$ 至 $1\times 10^{18}/\text{cm}^3$ 的掺杂浓度。

12. 根据权利要求5所述的方法,其中,所述源极层具有大于 $5\times 10^{18}/\text{cm}^3$ 的掺杂浓度。

13. 根据权利要求1所述的方法,其中,所述植入掩模包括光致抗蚀剂材料、氧化物、氮化物或金属。

14. 根据权利要求1所述的方法,其中,所述基板具有 $1\times 10^{18}/\text{cm}^3$ 至 $1\times 10^{20}/\text{cm}^3$ 的掺杂浓度。

15. 根据权利要求2所述的方法,其中,所述植入掩模层位于由第一导电类型的半导体材料制成的源极层上,并且其中,所述源极层位于所述沟道层上。

16. 根据权利要求1所述的方法,该方法还包括以下步骤:将所述器件退火,以活化所植入的离子。

17. 根据权利要求 1 所述的方法,该方法还包括以下步骤:在所述凸起源极区的所述上表面上形成源极接触部,在所述蚀刻区的所述底表面上的所述植入区上形成栅极接触部,以及在所述基板上与所述沟道层相对地形成漏极接触部。

18. 根据权利要求 1 所述的方法,其中,所述一个或更多个凸起源极区包括采用指状部形式的多个隔开的细长区段。

19. 根据权利要求 1 所述的方法,其中,所述离子按照与相对于所述半导体基板的所述上表面的垂直方向偏离 $\pm 0.1^\circ$ 的角被植入到所述沟道层中。

20. 根据权利要求 1 所述的方法,该方法还包括以下步骤:在植入期间旋转所述基板。

21. 一种通过权利要求 1 所述的方法制成的半导体器件。

制造具有植入侧壁的半导体器件的方法和由其制成的器件

[0001] 本申请要求 2009 年 12 月 8 日提交的临时 U. S. 专利申请 No. 61/267524 的优先权，其全部内容通过引用并入于此。

[0002] 在此使用的章节标题仅出于组织的目的，而无论如何都不应被视为对在此所述主旨的限制。

技术领域

[0003] 本申请总体上涉及半导体器件，并且涉及制造该器件的方法。

背景技术

[0004] 场效应晶体管(FET)是公用于弱信号放大(例如,用于放大无线信号)的一类晶体管。这种器件可以放大模拟或数字信号。它还可以切换 DC 或者充当振荡器。在 FET 中,电流沿着称作沟道的半导体路径流动。在沟道的一端,具有称作源极的电极。在沟道的另一端,具有称作漏极的电极。沟道的物理直径是固定的,但其有效电气直径可以通过施加电压而改变,以控制称作栅极的电极。FET 的导电率在任何指定时刻都取决于沟道的电气直径。栅极电压的较小变化都会导致从源极至漏极的电流的较大改变,由此能够放大信号。

[0005] PiN 二极管是在 p 型半导体区与 n 型半导体区之间具有宽的、轻掺杂“近”本征半导体区的二极管。结型势垒肖特基(JBS)二极管还因其包含 PiN 结和肖特基势垒(即,金属半导体)结而被称为合并 PiN 肖特基二极管。

[0006] 采用 SiC 的垂直结型场效应晶体管(VJFET)和静电感应晶体管(SIT)器件已经在 U. S. 专利 No. 5903020 和 No. 6767783 中,以及 U. S. 专利申请公报 No. 2007/0187715A1 中进行了描述。对于 SIT 的情况来说,典型地优选短沟道长度,以便保持高频率响应。因此,在沟渠状源极指状部上不产生侧壁植入的浅 p+ 栅极植入是优选的。然而,在功率 VJFET 结构中,其被优选成具有长沟道长度,以便使器件能够防止高反偏压下的电场缩减沟道势垒并且导致增加的漏极-源极漏电流或彻底雪崩。在 U. S. 专利申请公报 No. 2007/0187715A1 中,公开了在源极指状部侧壁上成角植入,作为用于沿源极沟道长度生成栅极掺杂外形(doping profile)的方法。然而,该方法存在几个缺点,即,晶片在植入期间必须旋转,以便防止沟渠状结构中的植入遮蔽。另外,成角植入使沿该结构的垂直轴从沟道均匀植入到源极区中,从而得到了两个邻接重掺杂区(源极和栅极)。这两个区域的接近性质导致较差的电压操纵能力。另外,沿该轴的成角植入会产生显著的离子沟道效应,造成非对称栅极-源极结,特别是对于典型地离轴切割(例如,按 2-8 度的角度)的 SiC 基板来说。

[0007] 因此,仍存在改进制造半导体器件的方法的需求。

发明内容

[0008] 本发明提供了一种制造半导体器件的方法,该方法包括以下步骤:

[0009] 在植入掩模层上构图蚀刻掩模,其中,所述植入掩模层位于由第一导电类型的半导体材料制成的沟道层上,并且其中,所述沟道层位于第一导电类型的半导体基板的上表

面上；

[0010] 利用所述蚀刻掩模选择性地蚀穿所述植入掩模层并且蚀刻到所述沟道层中，以形成一个或多个凸起源极区，每个凸起源极区都具有上表面和与所述沟道层的皆具有底表面的蚀刻区相邻的侧壁；

[0011] 通过所述植入掩模层将离子植入到所述沟道层中，以在所述蚀刻区的所述底表面上的半导体材料中形成第二导电类型的植入区，其中，所述离子按与相对于所述半导体基板的上表面的垂直方向偏离 $\pm 10^\circ$ 的角植入，并且其中，植入在所述植入掩模层上的至少一些离子通过所述植入掩模被扩散，以在所述凸起区的所述侧壁上形成第二导电类型的植入区，其中，位于所述蚀刻区的所述底表面上的所述植入区连接至位于所述凸起区的相邻侧壁上的所述植入区。

[0012] 本发明还提供了一种通过上述方法制造的半导体器件。

[0013] 在此阐述了本教导的这些和其它特征。

附图说明

[0014] 技术人员应当明白，下面描述的附图仅出于例示性目的。附图无论如何都不限于本教导的范围。

[0015] 图 1A-1E 是例示制造 VJFET 器件的示意图，其中：图 1A 示出了在植入之前的起始器件结构；图 1B 示出了淀积将被用于限定源极指状部的宽度和间距的构图蚀刻掩模；图 1C 示出了蚀刻植入掩模和沟道层；图 1D 示出了按 0° 角（即，垂直于基板表面）利用离子注入植入 p+ 栅极；而图 1E 示出了在植入和去除植入掩模之后该器件中的所得掺杂剂外形。

[0016] 图 2 是示出具有周期性阵列结构的源极指状部的示例性布局的俯视图的示意图，该周期性阵列结构允许在每一个源极指状部的侧壁上充分扩散植入。

[0017] 图 3A 是示出由利用足够植入掩模和指状部间距近垂直植入到沟渠状结构中以允许出现显著扩散植入并且掺杂侧壁而产生的所述掺杂剂外形的仿真。

[0018] 图 3B 是在与图 3A 相似的条件构造的仿真，但其中，该器件没有用于提供离子扩散的相邻源极指状部。

[0019] 图 4 是示出针对 SiCVJFET 的阈值电压的扩散效果的图形。

具体实施方式

[0020] 出于解释本说明书的目的，在此使用的“或”意指“和 / 或”，除非另外规定或者使用的“和 / 或”明显不合适。在此使用的“一”意指“一个或多个”，除非另外规定或者使用的“一个或多个”明显不合适。使用的“包括(comprise)”、“包括(comprises)”、“包括(comprising)”、“包括(include)”、“包括(includes)”，以及“包括(including)”可互换而是旨在进行限制。而且，在一个或多个实施方式的描述使用术语“包括(comprising)”的情况下，本领域技术人员应当明白，在某些具体实例中，该实施方式或多个实施方式可以另选地利用语言“基本上由...组成(consisting essentially of)”和 / 或“由...组成(consisting of)”来描述。还应明白，在某些实施方式中，用于执行特定动作的步骤或命令的次序不重要，只要本教导保持可操作即可。而且，在某些实施方式中，两个或多个步骤或动作可以同时进行。

[0021] 本发明提供了一种利用从相邻结构有意扩散的离子按 0 度植入来制造具有长沟道长度的垂直结型场效应晶体管(VJFET)的方法,和由此制造的器件。

[0022] 虽然本发明可以应用于具有暴露侧壁需求植入的任何垂直器件(例如,二极管、晶体管、垂直电阻器),但本发明的具体实施方式使能实现可以按增强或耗尽模式制造的长沟道 VJFET。该器件的长沟道使能实现高“阻断(blocking)增益”(从正向导通至反向阻断阶段的急剧转变),同时保持针对在高反偏压下从漏极至源极的漏电流的较长高势垒。

[0023] 本文描述了利用沟渠和掩模结构在半导体器件中的垂直沟渠侧壁上生成离子植入(即,掺杂)外形的的方法。根据一些实施方式,提供了一种采用 SiC 的长沟渠状沟道垂直结型场效应晶体管,其中,未采用成角侧壁植入。

[0024] 如在此所述,通过掩模层使离子向外扩散,从而在沟渠状半导体侧壁的边缘生成了掺杂外形。在此描述的方法可以用于 VJFET 的栅极区中。然而,在此描述的方法可以被用于制造受益于植入侧壁的任何半导体结构,包括但不限于,静电感应晶体管(SIT)、双极结型晶体管(BJT)以及结型势垒肖特基二极管(JBS)。

[0025] 图 1A-1E 中描绘了制造 VJFET 的方法,下面对该方法进行描述。

[0026] 图 1A 示出了在植入工序之前的起始半导体器件结构。如图 1A 所描绘的,植入之前的器件包括位于沟道层 12 上的植入掩模层 10。还如图 1A 所示,沟道层 12 位于漂移层 14 上,而漂移层 14 位于半导体基板 16 上。漏极接触部 18 被示出与漂移层 14 相反地位于基板上。尽管在图 1A 中示出了漂移层,但漂移层是可选的(即,沟道层和漂移层可以是单层)。

[0027] 漂移层 14 和沟道层 12 可以按外延方式生长。掺杂类型和浓度可以改变,以向器件提供希望特性。对于 n 沟道 VJFET 来说,基板可以是掺氮浓度为 $1 \times 10^{18}/\text{cm}^3$ 至 $1 \times 10^{20}/\text{cm}^3$ 的 n 型。漂移和沟道掺杂氮水平可以在 $1 \times 10^{14}/\text{cm}^3$ 与 $1 \times 10^{18}/\text{cm}^3$ 之间。漂移层的厚度可小于 $100 \mu\text{m}$,而沟道层的厚度可以在 $0.25 \mu\text{m}$ 与 $5 \mu\text{m}$ 之间。

[0028] 还可以在沟道层 12 的顶部上具有大于 5×10^{18} 的重掺杂帽层(未示出)。

[0029] 植入掩模可以是多种材料中的任一种,包括光致抗蚀剂材料、氧化物、氮化物以及淀积材料。植入掩模材料的厚度可以大于 $0.5 \mu\text{m}$ 。植入掩模材料的厚度可以根据半导体沟渠结构的高度而改变。

[0030] 图 1B 示出了在植入掩模层 10 上淀积的构图蚀刻掩模 20。构图蚀刻掩模 20 被用于限定源极指状部宽度和间距。用于构图蚀刻掩模 20 的材料可以是常规半导体蚀刻掩模材料,如氧化物、金属,或光致抗蚀剂。

[0031] 图 1C 是示出利用蚀刻掩模 20 被选择性蚀刻的植入掩模层 10 和沟道层 12 的示意图。典型地讲,对于 SiC 材料来说,该蚀刻工序将通过干式反应离子蚀刻(RIE)或基于感应耦合等离子(ICP)的等离子蚀刻来执行。该蚀刻继续贯穿植入 / 蚀刻掩模,接着继续蚀刻沟道层 12 的 SiC 至预定深度。所蚀刻沟道 22 的高度将取决于器件的设计。示例性蚀刻沟道高度为 $0.25 \mu\text{m}$ 至 $5 \mu\text{m}$ 。

[0032] 如图 1D 所示,在完成沟道蚀刻之后,利用离子植入以 0 度来执行 p+ 栅极的植入 24。尽管示出了 0° 植入,但可以使用另选的微小角度。当采用成角植入时,晶片可以在植入工序期间旋转。

[0033] 如图 1D 所示,离子按 0 度(即,垂直于晶片表面)抵达该结构,接着进入源极指状部之间的半导体表面,由此生成栅极外形的底部,或者进入位于源极指状部的顶部上的植入

掩模。进入植入掩模的一些离子将遇到扩散事件,并且将具有足够能量按导致该离子被植入到源极指状部侧壁中的角退出植入掩模。植入剂量和能量可根据希望侧壁植入的量和深度而改变。为了得到更深的结,植入能量应当较高(例如,250keV-2MeV)。

[0034] 图 1E 是生成在植入和去除植入掩模 20 之后所得掺杂外形的器件的示意性截面图。可以从图 1E 中看出,p+ 植入区域现在沿源极指状部的侧壁并且在指状部的底部形成。如图 1E 所示,该植入侧壁区连接至沟道底部处的植入区。这实现了沿源极指状部的侧壁的长沟道长度 32。将与 U. S. 专利 No. 5903020 中描述的植入仅在沟渠底部的短沟道相比,而它最适宜于 SIT 器件的短沟道器件。

[0035] 随后工序可以包括植入活化和在器件的栅极 30、漏极 19,以及源极 28 上行程接触部。

[0036] 图 2 是具有包括周期性阵列结构的源极指状部阵列的器件的示意性俯视图,该周期性阵列结构允许在每一个源极指状部上充分扩散植入。

[0037] 该结构被示出为垂直阵列,但可以是圆形、六边形等,只要具有导致植入扩散到侧壁中的相邻结构即可。

[0038] 植入可以倾斜 0-10 度,并且基板可以在植入工序期间旋转,以确保结构的所有边都被均等地掺杂。

[0039] 如上所述,在 VJFET 结构中,不需要存在分离的沟道和漂移层。

[0040] 在此描述的器件的各个层的掺杂浓度和厚度可以改变,以生成具有用于特定应用的希望特性的器件。类似的是,该器件的各个特征部的尺度也可以改变,以生成具有用于特定应用的希望特性的器件。

[0041] 由半导体材料制成的层可以通过在合适基板上外延生长而形成。这些层可以在外延生长期间被掺杂。

[0042] 实验

[0043] 本教导的多个方面还可以按照下面示例来理解,其无论如何都不应被视为对本教导的范围进行限制。

[0044] 进行数值仿真,以例证该效果,并给出因从植入掩模扩散而造成的掺杂外形的准确表述。图 3A 示出了以足够植入掩模和指状部间距利用近垂直植入到沟渠状 SiC 结构中以允许出现显著扩散植入并且掺杂侧壁的掺杂剂外形的仿真。如图 3A 所示,该侧壁掺杂生成了长沟道,其从沟道底部起延伸至半导体表面顶部附近。

[0045] 图 3B 是和图 3A 相同的仿真,但没有用于提供离子扩散的相邻扩散指状部。应注意到,在源极指状部的侧壁上存在导致短沟道的最小植入。

[0046] 图 4 是示出针对 SiC VJFET 的阈值电压的扩散效果的图形。可以从图 4 看出,随着沟渠间隔的增大,器件的阈值电压降低。虽然不希望用理论来约束,但这种现象被认为是,随着沟渠间隔增大,扩散离开相邻指状部外形的侧壁剂量的减小所造成的。相反的是,作为增加的植入扩散造成所有相邻指状部上的更高掺杂水平(和更长沟道)的结果,图 4 所示的阈值电压随着沟渠间隔减小而升高。

[0047] 植入掩模厚度可以在 0.5 μm 至 5 μm 的范围内,并且可以由氧化物、光致抗蚀剂、金属层,或适于在可应用植入能量下的植入阻断的多层堆组成。

[0048] 为最优化扩散效果而使用的植入能量可以从用于更短指状部和紧密间隔沟渠结

构的 60keV-380keV 向用于希望显著扩散效果的深且均匀植入的 1MeV 变化。

[0049] 虽然前述说明书利用出于例示的目的而提供的实施例教导了本发明的原理,但本领域技术人员通过阅读本公开而将清楚,在不脱离本发明的真实范围的情况下,可以在形式和细节方面进行各种改变。

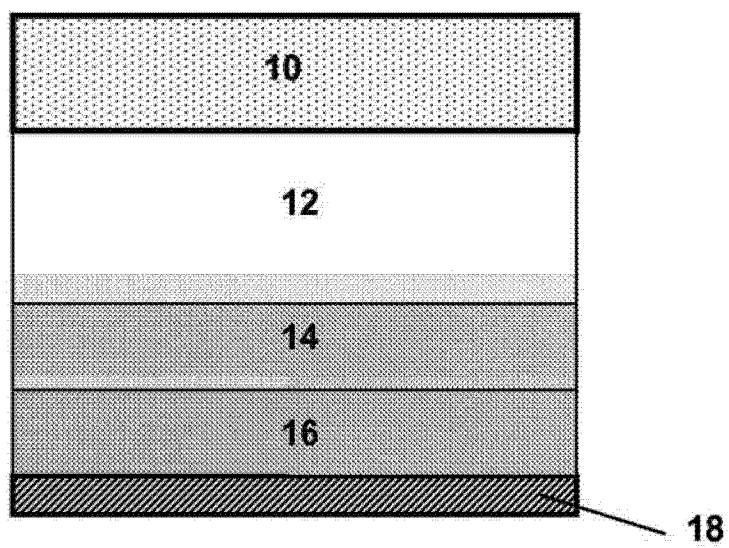


图 1A

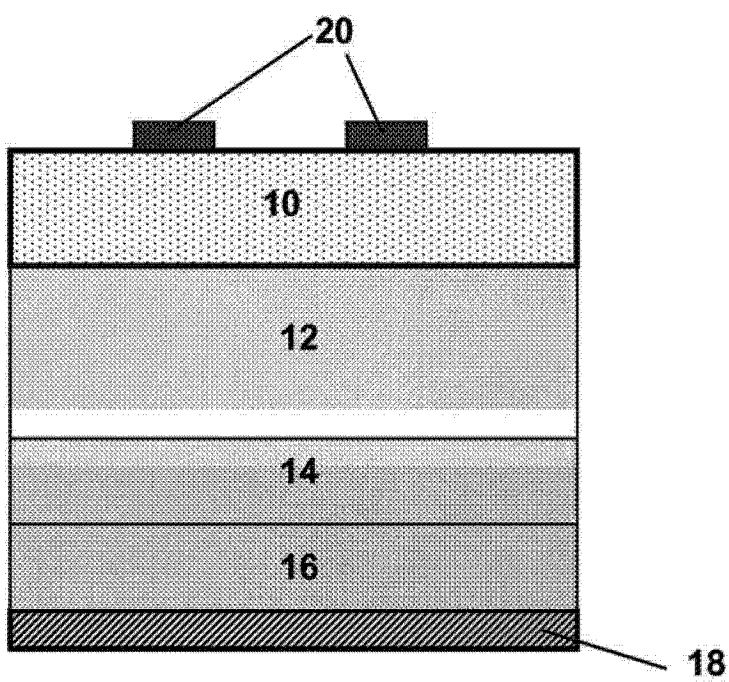


图 1B

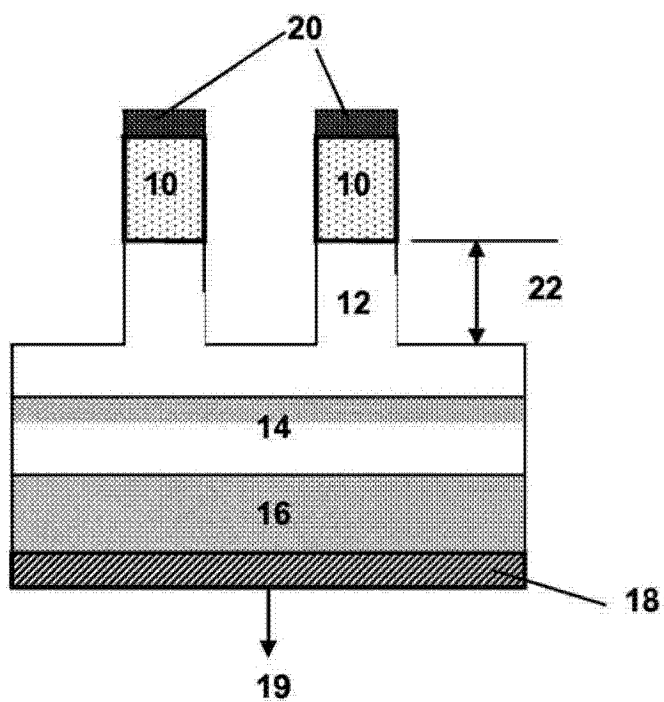


图 1C

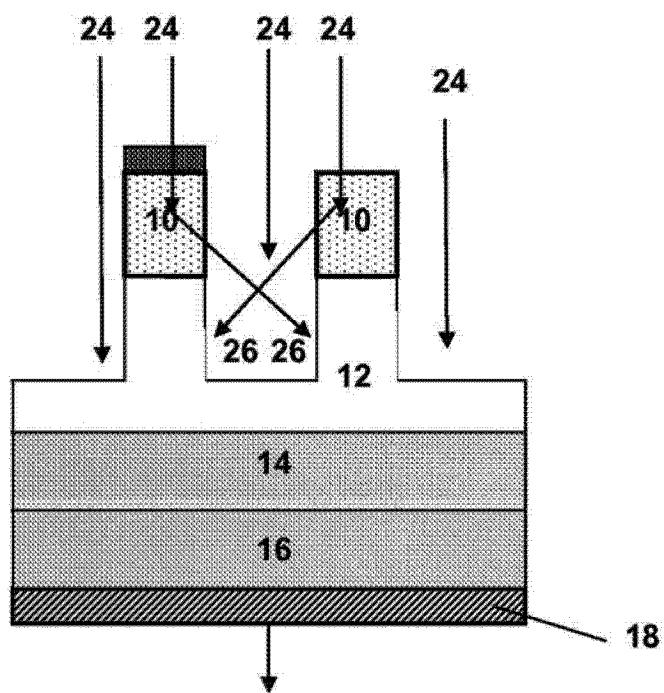


图 1D

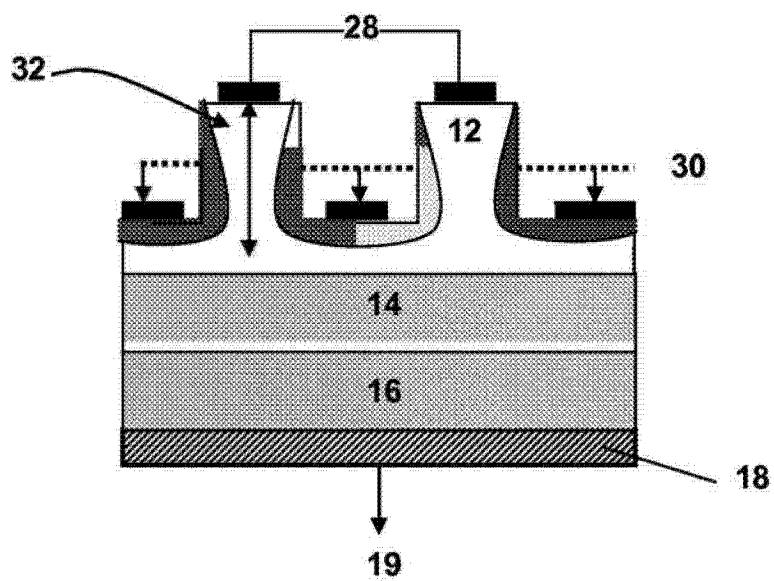


图 1E

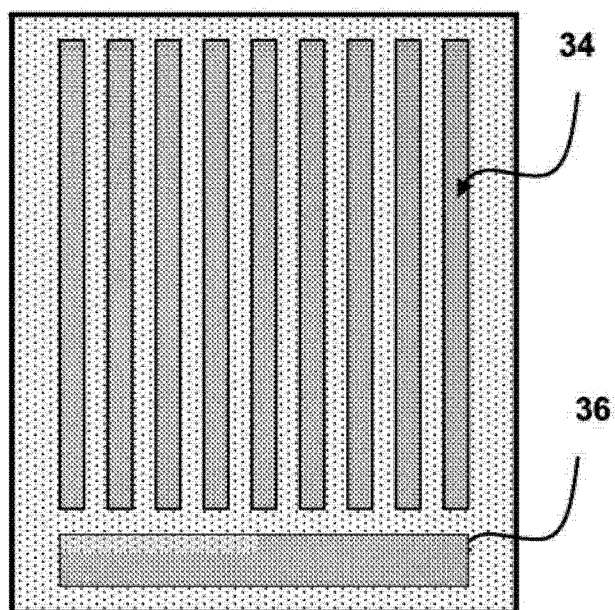


图 2

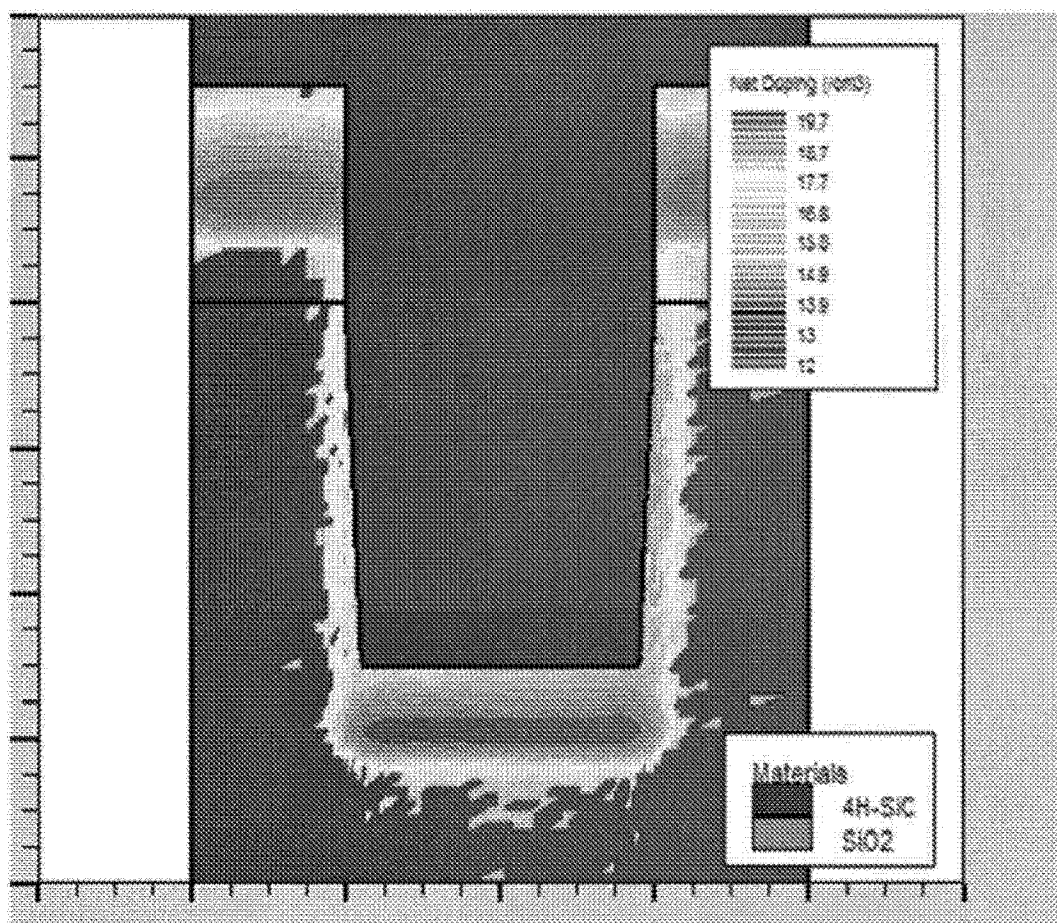


图 3A

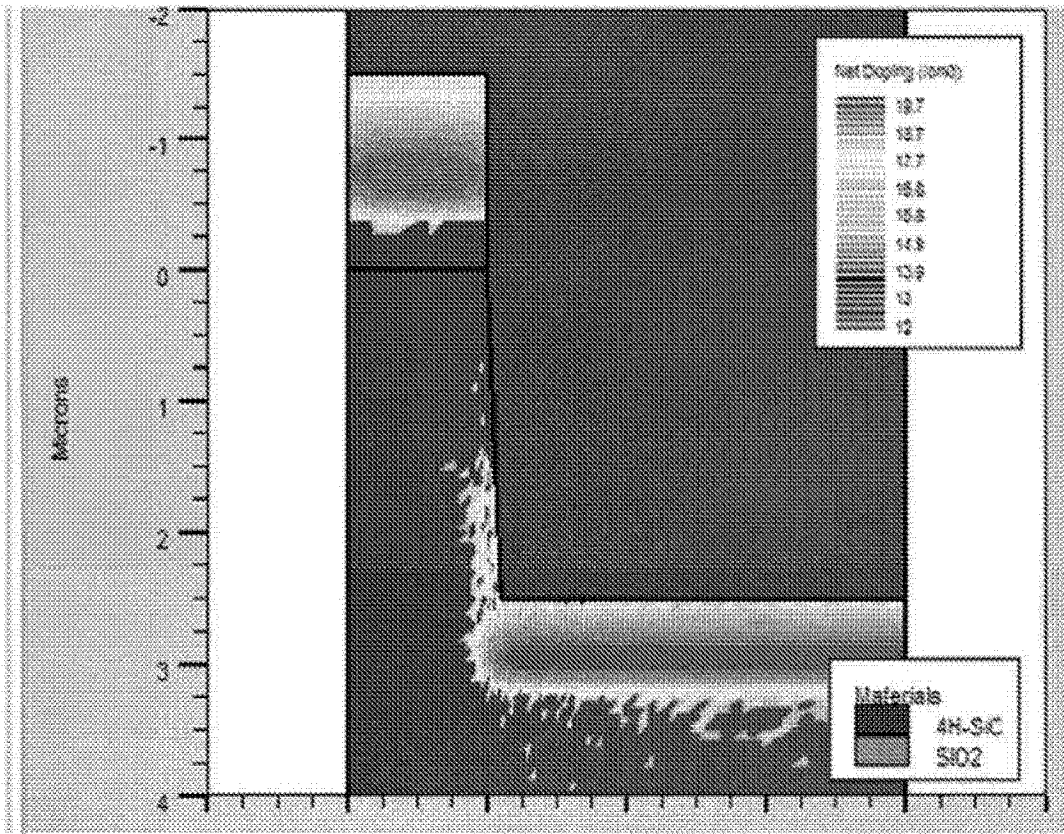


图 3B

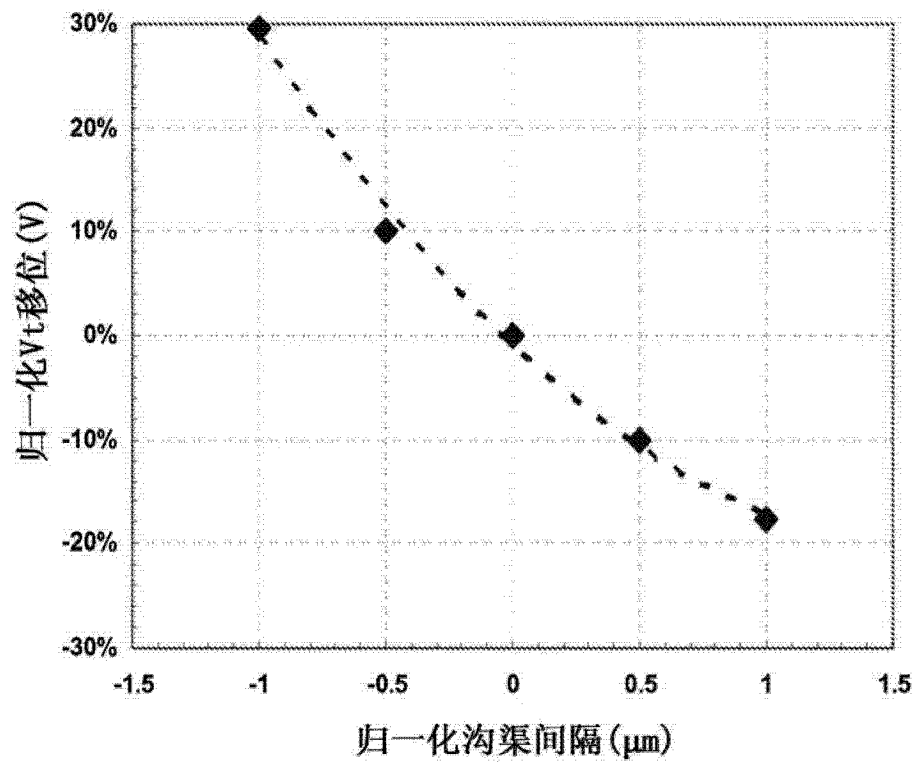


图 4