

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 860 498**

51 Int. Cl.:

H04L 25/02	(2006.01)
H04L 25/14	(2006.01)
H04L 25/49	(2006.01)
H04L 25/493	(2006.01)
H04L 5/14	(2006.01)
H04L 5/16	(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **01.07.2013 PCT/US2013/048989**
- 87 Fecha y número de publicación internacional: **03.01.2014 WO14005159**
- 96 Fecha de presentación y número de la solicitud europea: **01.07.2013 E 13810679 (4)**
- 97 Fecha y número de publicación de la concesión europea: **20.01.2021 EP 2868047**

54 Título: **Multiplexor de modo de pin de salida de polaridad de N fases**

30 Prioridad:

29.06.2012 US 201261666197 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

05.10.2021

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121, US**

72 Inventor/es:

**WILEY, GEORGE A.;
RASKIN, GLENN D. y
LEE, CHULKYU**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 860 498 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Multiplexor de modo de pin de salida de polaridad de N fases

5 **REFERENCIA CRUZADA A SOLICITUDES RELACIONADAS**

[0001] La presente solicitud de patente reivindica la prioridad de la solicitud provisional n.º 61/666,197 titulada "N-Phase Polarity Output Pin Mode Multiplexer [Multiplexor de modo de pin de salida de polaridad de N fases]" presentada el 29 de junio de 2012.

10

ANTECEDENTES**Campo**

15 [0002] La presente divulgación se refiere en general a interfaces de comunicaciones de datos de alta velocidad y, más particularmente, a la multiplexación de los pines de entrada y salida de un procesador de aplicaciones.

Antecedentes

20 [0003] Los fabricantes de dispositivos móviles, tales como teléfonos celulares, pueden obtener componentes de los dispositivos móviles de diversas fuentes, incluyendo diferentes fabricantes. Por ejemplo, el procesador de aplicaciones y un teléfono celular se pueden obtener de un primer fabricante, mientras que la pantalla para el teléfono celular se puede obtener de un segundo fabricante. Por otro lado, se definen múltiples normas para interconectar determinados componentes de los dispositivos móviles. Por ejemplo, hay múltiples tipos de interfaces definidos para las comunicaciones entre un procesador de aplicaciones y una pantalla dentro de un dispositivo móvil. Algunas pantallas proporcionan una interfaz que cumple con la norma de interfaz de sistema de pantalla (DSI) especificada por la Alianza de Interfaz de Procesador de la Industria Móvil (MIPI). Otras pantallas pueden utilizar otros tipos de interfaces físicas, que pueden ser más eficaces que la DSI convencional. Resultaría económico que el mismo procesador de aplicaciones se configurara para su uso con más de una interfaz de pantalla. El documento US2008212709 A1 está dirigido a la provisión de una interfaz en serie de alta velocidad que usa modulación de tres fases para codificar conjuntamente datos e información de reloj. El documento US2003/016758 A1 divulga una interfaz universal para comunicar información a una interfaz física de propietario.

25

30

BREVE EXPLICACIÓN

35

[0004] La invención está definida únicamente por las reivindicaciones adjuntas. En lo sucesivo, las referencias a modos de realización que no se encuentran dentro del alcance de las reivindicaciones se deben entender como ejemplos útiles para comprender la invención.

40

[0005] Los modos de realización divulgados en el presente documento proporcionan sistemas, procedimientos y aparatos que permiten que un procesador de aplicaciones se comuniquen con una pantalla usando cualquiera de una pluralidad de normas de interfaz. De acuerdo con determinados aspectos descritos en el presente documento, dos o más dispositivos de circuito integrado (CI) pueden estar colocados en un aparato electrónico y acoplados comunicativamente a través de uno o más enlaces de datos que se pueden configurar como se desee para compatibilidad con una de una pluralidad de normas de interfaz.

45

[0006] En un aspecto de la divulgación, un procedimiento de transferencia de datos comprende determinar un tipo de interfaz física que se va a usar para una comunicación entre dos dispositivos de un terminal móvil inalámbrico, seleccionar un codificador para generar datos codificados consistentes con el tipo de interfaz física que se va a usar para una comunicación entre los dos dispositivos, y configurar una pluralidad de controladores para recibir los datos codificados desde el codificador y para accionar una pluralidad de conectores que acoplan comunicativamente los dos dispositivos de acuerdo con el tipo de interfaz física que se va a usar para una comunicación entre los dos dispositivos. El tipo de interfaz física puede ser uno de una pluralidad de tipos de interfaz física admitidos por al menos uno de los dos dispositivos.

50

55

[0007] En un aspecto de la divulgación, el procedimiento de transferencia de datos comprende controlar una pluralidad de conmutadores para acoplar unas salidas del codificador seleccionado con la pluralidad de controladores.

60

[0008] En un aspecto de la divulgación, la pluralidad de conectores comprende al menos algunos conectores bidireccionales. En un aspecto de la divulgación, la pluralidad de conectores comprende al menos algunos conectores unidireccionales. En un aspecto de la divulgación, la pluralidad de conectores comprende una combinación de conectores bidireccionales y unidireccionales.

65

[0009] En un aspecto de la divulgación, el codificador puede proporcionar los datos codificados en señales codificadas diferencialmente. La pluralidad de controladores puede estar configurada para recibir los datos

codificados haciendo que una o más salidas de otro codificador pasen a un modo de alta impedancia. El otro codificador puede ser un tipo diferente de codificador y puede comprender un codificador de N fases, por ejemplo.

5 [0010] En un aspecto de la divulgación, el codificador proporciona datos codificados en una secuencia de símbolos codificados usando una combinación de un estado de fase de un primer par de los conectores, una polaridad de un segundo par de conectores y una selección de al menos un conector no accionado. El primer par de conectores puede comprender los mismos hilos que el segundo par de conectores. Se puede hacer que una o más salidas de un codificador diferencial pasen a un modo de alta impedancia. En un ejemplo, los datos codificados pueden incluir datos de vídeo que se refieren a una cámara o una pantalla controlada por uno de los dos dispositivos.

15 [0011] En un aspecto de la divulgación, un aparato comprende una pluralidad de conectores que acoplan comunicativamente un primer dispositivo de CI con un segundo dispositivo de CI, medios para generar datos codificados consistentes con el tipo de interfaz física que se va a usar para una comunicación entre los dos dispositivos, y medios para configurar una pluralidad de controladores para recibir los datos codificados desde uno de los al menos dos codificadores y para accionar una pluralidad de conectores que acoplan comunicativamente los dos dispositivos de acuerdo con el tipo de interfaz física que se va a usar para una comunicación entre los dos dispositivos. Los medios para generar datos codificados pueden incluir al menos dos codificadores que están configurados para codificar datos de diferentes maneras. La pluralidad de conectores puede comprender hilos, trazas u otros conectores eléctricamente conductores.

25 [0012] En un aspecto de la divulgación, un aparato comprende una pluralidad de conectores que acoplan comunicativamente un primer dispositivo con un segundo dispositivo de un terminal móvil inalámbrico, y un sistema de procesamiento configurado para determinar un modo de funcionamiento para una comunicación entre el primer dispositivo y el segundo dispositivo, seleccionar un codificador para accionar la pluralidad de conectores, y configurar una pluralidad de controladores para recibir datos codificados desde el codificador. La pluralidad de controladores puede accionar la pluralidad de conectores.

30 [0013] En un aspecto de la divulgación, un medio de almacenamiento legible por procesador tiene una o más instrucciones que, cuando son ejecutadas por al menos un circuito de procesamiento, hacen que el al menos un circuito de procesamiento determine un tipo de interfaz física que se va a usar para una comunicación entre dos dispositivos de un terminal móvil inalámbrico, seleccione un codificador para generar datos codificados consistentes con el tipo de interfaz física que se va a usar para una comunicación entre los dos dispositivos, y configure una pluralidad de controladores para recibir los datos codificados desde el codificador y para accionar una pluralidad de conectores que acoplan comunicativamente los dos dispositivos de acuerdo con el tipo de interfaz física que se va a usar para una comunicación entre los dos dispositivos. El tipo de interfaz física puede ser uno de una pluralidad de tipos de interfaz física admitidos por al menos uno de los dos dispositivos.

40 BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0014]

45 La FIG. 1 representa un aparato que emplea un enlace de datos entre dispositivos de CI que funciona selectivamente de acuerdo con una de una pluralidad de normas disponibles.

La FIG. 2 ilustra una arquitectura de sistema para un aparato que emplea un enlace de datos entre dispositivos de CI que funciona selectivamente de acuerdo con una de una pluralidad de normas disponibles.

50 La FIG. 3 ilustra un ejemplo de enlace de datos que usa señalización diferencial.

La FIG. 4 ilustra un ejemplo de un codificador de datos de polaridad de N fases.

La FIG. 5 ilustra una señalización en un ejemplo de interfaz sometida a codificación de polaridad de N fases.

55 La FIG. 6 ilustra un ejemplo de codificador de polaridad de N fases.

La FIG. 7 ilustra una arquitectura de sistema para un aparato que puede usar selectivamente codificación de polaridad de N fases o señalización diferencial.

60 La FIG. 8 es un diagrama de flujo de un procedimiento para codificación de polaridad de N fases selectiva.

La FIG. 9 es un diagrama que ilustra un ejemplo de implementación en hardware para un aparato que emplea codificación de datos de polaridad de N fases.

DESCRIPCIÓN DETALLADA

[0015] A continuación, se describen diversos aspectos con referencia a los dibujos. En la siguiente descripción se exponen, con propósitos explicativos, numerosos detalles específicos para permitir una plena comprensión de uno o más aspectos. Sin embargo, puede resultar evidente que dicho(s) aspecto(s) se puede(n) llevar a la práctica sin estos detalles específicos.

[0016] Como se usa en la presente solicitud, los términos "componente", "módulo", "sistema" y similares pretenden incluir una entidad relacionada con la informática, tal como, pero sin limitarse a, hardware, firmware, una combinación de hardware y software, software o software en ejecución. Por ejemplo, un componente puede ser, pero no se limita a ser, un proceso que se ejecuta en un procesador, un procesador, un objeto, un ejecutable, un hilo de ejecución, un programa y/o un ordenador. A modo de ilustración, tanto una aplicación que se ejecuta en un dispositivo informático como el dispositivo informático pueden ser un componente. Uno o más componentes pueden residir dentro de un proceso y/o hilo de ejecución, y un componente puede estar localizado en un dispositivo informático y/o estar distribuido entre dos o más dispositivos informáticos. Además, estos componentes se pueden ejecutar desde diversos medios legibles por ordenador que tengan diversas estructuras de datos almacenadas en los mismos. Los componentes se pueden comunicar por medio de procesos locales y/o remotos, tales como unos de acuerdo con una señal que tiene uno o más paquetes de datos, tales como unos datos de un componente que interactúa con otro componente en un sistema local, un sistema distribuido y/o a través de una red, tal como Internet, con otros sistemas por medio de la señal.

[0017] Por otro lado, el término "o" pretende significar una "o" inclusiva en lugar de una "o" exclusiva. Es decir, a menos que se especifique lo contrario, o que resulte claro a partir del contexto, la expresión "X emplea A o B" pretende significar cualquiera de las permutaciones inclusivas naturales. Es decir, la expresión "X emplea A o B" se satisface en cualquiera de los siguientes casos: X emplea A; X emplea B; o X emplea tanto A como B. Además, los artículos "un" y "uno/a", como se usan en la presente solicitud y en las reivindicaciones adjuntas, se deberían interpretar en general con el significado de "uno/a o más", a no ser que se especifique lo contrario o que resulte claro a partir del contexto que se refieren a una forma en singular.

[0018] Determinados modos de realización de la invención pueden ser aplicables a enlaces de comunicaciones desplegados entre componentes electrónicos que pueden incluir subcomponentes de un dispositivo, tales como un teléfono, un dispositivo informático móvil, un electrodoméstico, electrónica de automóvil, sistema de aviónica, etc. La FIG. 1 representa un ejemplo de aparato 100 que emplea un enlace de datos entre dispositivos de CI que funciona selectivamente de acuerdo con una de una pluralidad de normas disponibles. El aparato 100 puede comprender un dispositivo de comunicación inalámbrica que se comunica inalámbricamente con una red de acceso por radio (RAN), una red de acceso central, Internet y/u otra red. El aparato 100 puede incluir un transceptor de comunicaciones 106 acoplado funcionalmente al circuito de procesamiento 102. El circuito de procesamiento 102 puede incluir uno o más dispositivos de CI, tales como un CI específico de la aplicación (ASIC) 108. El ASIC 108 puede incluir uno o más dispositivos de procesamiento, secuenciadores, circuitos lógicos, y así sucesivamente. El circuito de procesamiento 102 puede incluir y/o estar acoplado a un almacenamiento legible por procesador tal como un dispositivo de memoria 112 que puede mantener instrucciones y datos que pueden ser ejecutados y usados de otro modo por el circuito de procesamiento 102. El circuito de procesamiento 102 puede ser controlado por uno o más de un sistema operativo y una capa de interfaz de programación de aplicaciones (API) 110 que admite y habilita la ejecución de módulos de software que residen en el dispositivo de memoria 112. El dispositivo de memoria 112 puede incluir memoria de solo lectura (ROM) y/o memoria de acceso aleatorio (RAM), memoria de solo lectura programable y borrable eléctricamente (EEPROM), un dispositivo de memoria *flash* o cualquier dispositivo de memoria que se pueda usar en sistemas de procesamiento y plataformas informáticas. El circuito de procesamiento 102 puede incluir y/o acceder a una base de datos local 114 que puede mantener parámetros operativos y otra información usada para configurar y hacer funcionar el aparato 100. La base de datos local 114 se puede implementar usando uno o más de un módulo o servidor de base de datos, memoria *flash*, medios magnéticos, EEPROM, medios ópticos, una cinta, un disco flexible o duro, o similares. El circuito de procesamiento también puede estar acoplado funcionalmente a dispositivos externos tales como una antena 122, una pantalla 124, unos controles de operador, tales como un botón 128 y/o un teclado 126, entre otros componentes.

[0019] La FIG. 2 es un esquema de bloques 200 que ilustra determinados aspectos de un aparato tal como un dispositivo móvil inalámbrico, un teléfono móvil, un sistema informático móvil, un teléfono inalámbrico, un ordenador portátil, un dispositivo informático de tableta, un reproductor de medios, un dispositivo de juegos o similares. El aparato 200 puede comprender una pluralidad de dispositivos de CI 202 y 230 que intercambian datos e información de control a través de un enlace de comunicaciones 220. El enlace de comunicaciones 220 se puede usar para conectar los dispositivos de CI 202 y 222, que pueden estar localizados muy próximos uno del otro o localizados físicamente en diferentes partes del aparato 200. En un ejemplo, el enlace de comunicación 220 se puede proporcionar en un portador de chip, sustrato o placa de circuito que contiene los dispositivos de CI 202 y 230. En otro ejemplo, un primer dispositivo de CI 202 puede estar localizado en una sección de teclado de un teléfono plegable, mientras que un segundo dispositivo de CI 230 puede estar localizado en una sección de pantalla del teléfono plegable. En otro ejemplo, una parte del enlace de comunicaciones 220 puede comprender un cable o una conexión óptica.

[0020] El enlace de comunicaciones 220 puede comprender múltiples canales 222, 224 y 226. Uno o más canales

226 pueden ser bidireccionales y pueden funcionar en modos semidúplex y/o dúplex completo. Uno o más canales 222 y 224 pueden ser unidireccionales. El enlace de comunicaciones 220 puede ser asimétrico, proporcionando un mayor ancho de banda en una dirección. En un ejemplo descrito en el presente documento, un primer canal de comunicaciones 222 se puede denominar enlace directo 222, mientras que un segundo canal de comunicaciones 224 se puede denominar enlace inverso 224. El primer dispositivo de CI 202 se puede designar como sistema principal o transmisor, mientras que el segundo dispositivo de CI 230 se puede designar como sistema cliente o receptor, incluso si ambos dispositivos de CI 202 y 230 están configurados para transmitir y recibir en el enlace de comunicaciones 222. En un ejemplo, el enlace directo 222 puede funcionar a una velocidad de transferencia de datos más alta cuando se comunican datos desde un primer dispositivo de CI 202 a un segundo dispositivo de CI 230, mientras que el enlace inverso 224 puede funcionar a una velocidad de transferencia de datos más baja cuando se comunican datos desde el segundo dispositivo de CI 230 al primer dispositivo de CI 202.

[0021] Los dispositivos de CI 202 y 230 pueden comprender cada uno un procesador u otro circuito o dispositivo de procesamiento y/o informático 206, 236. En un ejemplo, el primer dispositivo de CI 202 puede realizar funciones centrales del aparato 200, incluyendo el mantenimiento de comunicaciones inalámbricas a través de un transceptor inalámbrico 204 y una antena 214, mientras que el segundo dispositivo de CI 230 puede admitir una interfaz de usuario que gestiona o hace funcionar un controlador de pantalla 232, y puede controlar las operaciones de una cámara o dispositivo de entrada de vídeo usando un controlador de cámara 234. Otras características admitidas por uno o más de los dispositivos de CI 202 y 230 pueden incluir un teclado, un componente de reconocimiento de voz y otros dispositivos de entrada o salida. El controlador de pantalla 232 puede comprender circuitos y controladores de software que admiten una pantalla tal como un panel de pantalla de cristal líquido (LCD), una pantalla táctil, un indicador, y así sucesivamente. Los medios de almacenamiento 208 y 238 pueden comprender dispositivos de almacenamiento transitorio y/o no transitorio adaptados para mantener instrucciones y datos usados por los respectivos procesadores 206 y 236, y/u otros componentes de los dispositivos de CI 202 y 230. Uno o más buses 212 y 242 pueden facilitar, respectivamente, una comunicación entre cada procesador 206, 236 y sus correspondientes medios de almacenamiento 208 y 238 y otros módulos y circuitos.

[0022] El enlace inverso 224 se puede hacer funcionar de la misma manera que el enlace directo 222, y el enlace directo 222 y el enlace inverso 224 podrían transmitir a velocidades comparables o a velocidades diferentes, donde la velocidad se puede expresar como una velocidad de transferencia de datos y/o unas velocidades de reloj. Las velocidades de transferencia de datos directa e inversa pueden ser sustancialmente iguales o diferir en unos órdenes de magnitud, dependiendo de la aplicación. En algunas aplicaciones, un solo enlace bidireccional 226 puede admitir comunicaciones entre el primer dispositivo de CI 202 y el segundo dispositivo de CI 230. El enlace directo 222 y/o el enlace inverso 224 pueden ser configurables para funcionar en un modo bidireccional cuando, por ejemplo, los enlaces directo e inverso 222 y 224 comparten las mismas conexiones físicas y funcionan en semidúplex.

[0023] En un ejemplo, el enlace de comunicaciones 220 se puede hacer funcionar para comunicar información de control, de mandatos y de otro tipo entre el primer dispositivo de CI 202 y el segundo dispositivo de CI 230, de acuerdo con una norma industrial o de otro tipo. Las normas industriales pueden ser específicas de la aplicación. En un ejemplo, la norma de la MIPI define unas interfaces de capa física que incluyen una especificación de interfaz síncrona (D-PHY) entre un dispositivo de CI de procesador de aplicaciones 202 y un dispositivo de CI 230 que admite la cámara o pantalla en un dispositivo móvil. La especificación D-PHY regula las características operativas de los productos que cumplen con las especificaciones MIPI para dispositivos móviles. Una interfaz D-PHY puede admitir transferencias de datos usando una interfaz en serie flexible, de bajo coste y alta velocidad que interconecta dispositivos de CI 202, 230 y/u otros componentes dentro de un dispositivo móvil. Estas interfaces pueden comprender buses paralelos compatibles con semiconductores complementarios de óxido metálico (CMOS) que proporcionan velocidades binarias relativamente bajas con bordes lentos para evitar problemas de interferencia electromagnética (EMI).

[0024] La FIG. 3 es un diagrama esquemático que ilustra un ejemplo de señalización diferencial de una implementación del enlace de comunicación 220 representado en la FIG. 2. La señalización diferencial típicamente conlleva transmitir información eléctricamente usando dos señales complementarias enviadas por un par de hilos 310a, 310b o 310c, que se pueden denominar par diferencial. El uso de pares diferenciales puede reducir significativamente la EMI al anular el efecto de la interferencia en modo común que afecta a ambos hilos de un par diferencial. En el enlace directo 222, un amplificador diferencial de sistema principal 304 puede accionar un par de hilos 310a. El amplificador diferencial 304 recibe un flujo de datos de entrada 302 y genera versiones positivas y negativas de la entrada 302, que a continuación se proporcionan al par de hilos 310a. El receptor diferencial 306 del lado del cliente genera un flujo de datos de salida 308 realizando una comparación de las señales transportadas en el par de hilos 310a.

[0025] En el enlace inverso 224, un amplificador diferencial de lado del cliente 326 puede accionar uno o más pares de hilos 310c. El amplificador diferencial 326 recibe un flujo de datos de entrada 328 y genera versiones positivas y negativas de la entrada 328, que se proporcionan al par de hilos 310c. El receptor diferencial 324 en el sistema principal genera un flujo de datos de salida 322 realizando una comparación de las señales transportadas en el par de hilos 310c.

[0026] En un enlace bidireccional 226, el sistema principal y el cliente pueden estar configurados para el modo semidúplex y pueden transmitir y recibir datos en el mismo par de hilos 310b. Un bus bidireccional se puede hacer funcionar de forma alternativa o adicional en modo dúplex completo usando combinaciones de los controladores de enlace directo e inverso 304, 326 para accionar múltiples pares de hilos 310a, 310c. En la implementación bidireccional semidúplex representada para el enlace bidireccional 226, se puede evitar que los transmisores 314 y 314' accionen el par de hilos 310b simultáneamente usando, por ejemplo, un control de habilitación de salida (OE) 320a, 320c (respectivamente) para obligar a los transmisores 314 y 314' a pasar a un estado de alta impedancia. Se puede evitar que el receptor diferencial 316' accione la entrada/salida 312 mientras el transmisor diferencial 314 está activo, usando típicamente un control de OE 320b para obligar al receptor diferencial 316' a pasar a un estado de alta impedancia. Se puede evitar que el receptor diferencial 316 accione la entrada/salida 318 mientras el transmisor diferencial 314' está activo, usando típicamente un control de OE 320d para obligar al receptor diferencial 316 a pasar a un estado de alta impedancia. En algunos casos, las salidas de los transmisores diferenciales 314 y 314' y los receptores diferenciales 316 y 316' pueden estar en un estado de alta impedancia cuando la interfaz no está activa. En consecuencia, los controles de OE 320a, 320c, 320b y 320d de los transmisores diferenciales 314, 314', y los receptores diferenciales 316 y 316' se pueden hacer funcionar independientemente unos de otros.

[0027] Cada uno de los amplificadores diferenciales 304, 314, 314' y 326 puede comprender un par de amplificadores, uno de los cuales recibe en una entrada la inversa de la entrada del otro amplificador. Los amplificadores diferenciales 304, 314, 314' y 326 pueden recibir cada uno una única entrada y comprender un inversor interno que genera una entrada inversa para su uso con un par de amplificadores. Los amplificadores diferenciales 304, 314, 314' y 326 también se pueden construir usando dos amplificadores controlados por separado, de modo que sus respectivas salidas se pueden situar en modo de alta impedancia independientemente unas de otras.

[0028] De acuerdo con determinados aspectos divulgados en el presente documento, los sistemas y aparatos pueden emplear procedimientos de interfaz de codificación y descodificación de datos de múltiples fases para comunicarse entre dispositivos de CI 202 y 230. Un codificador de múltiples fases puede accionar una pluralidad de conductores (es decir, M conductores). Los M conductores comprenden típicamente tres o más conductores, y cada conductor se puede denominar hilo, aunque los M conductores pueden comprender trazas conductoras sobre una placa de circuito o dentro de una capa conductora de un dispositivo de CI semiconductor. Los M conductores se pueden dividir en una pluralidad de grupos de transmisión, codificando cada grupo una parte de un bloque de datos que se va a transmitir. Se define un sistema de codificación de N fases en el que los bits de datos se codifican en transiciones de fase y cambios de polaridad en los M conductores. En un ejemplo, un sistema de codificación de N fases para un sistema de tres hilos puede comprender tres estados de fase y dos polaridades, proporcionando 6 estados y 5 posibles transiciones de cada estado. Se pueden detectar y descodificar cambios de tensión y/o corriente determinísticos para extraer datos de los M conductores. La descodificación no depende de conductores independientes o pares de conductores y la información de temporización se puede obtener directamente de las transiciones de fase y/o polaridad en los M conductores. La transferencia de datos de polaridad de N fases se puede aplicar a cualquier interfaz física de señalización, incluidas las interfaces eléctricas, ópticas y de radiofrecuencia (RF), por ejemplo.

[0029] La FIG. 4 es un diagrama esquemático que ilustra el uso de codificación de polaridad de N fases para implementar determinados aspectos del enlace de comunicación 220 representado en la FIG. 2. El ejemplo ilustrado se puede referir a un enlace de tres hilos o a una parte de un enlace que tiene más de tres hilos. El enlace de comunicación 220 puede comprender un bus alámbrico que tiene una pluralidad de hilos de señal, que pueden estar configurados para transportar datos sometidos a codificación de N fases en una interfaz digital de alta velocidad, tal como una interfaz digital de pantalla móvil (MDDI). Uno o más de los canales 222, 224 y 226 pueden usar codificación de polaridad de N fases. Los controladores de capa física 210 y 240 pueden estar adaptados para codificar y descodificar datos sometidos a codificación de polaridad de N fases transmitidos por el enlace 220. El uso de la codificación de polaridad de N fases posibilita una transferencia de datos de alta velocidad y puede consumir la mitad o menos de la potencia de otras interfaces ya que menos de N controladores están activos en los enlaces de datos sometidos a codificación de polaridad de N fases 220 en cualquier momento. Los dispositivos de codificación de polaridad de N fases 210 y/o 240 pueden codificar múltiples bits por transición en el enlace de comunicación 220. En un ejemplo, se puede usar una combinación de codificación de 3 fases y de codificación de polaridad para admitir una matriz amplia de gráficos de vídeo (WVGA), un CI de controlador de LCD de 80 tramas por segundo sin un búfer de tramas, suministrando datos de pixel para actualizar la pantalla a 810 Mb/s a través de tres o más hilos.

[0030] En el ejemplo representado 400, un transmisor de codificación de polaridad de M hilos y N fases está configurado para $M = 3$ y $N = 3$. El ejemplo de codificación de tres hilos y tres fases se selecciona únicamente con el propósito de simplificar las descripciones de determinados aspectos de la presente divulgación. Los principios y las técnicas divulgadas para codificadores de tres hilos y tres fases se pueden aplicar a otras configuraciones de codificadores de polaridad de M hilos y N fases y pueden cumplir o ser compatibles con otras normas de interfaz.

[0031] Cuando se usa la codificación de polaridad de N fases, conectores tales como hilos de señal 410a, 410b y 410c de un bus de N líneas pueden ser no accionados, de accionamiento positivo o de accionamiento negativo. Un hilo de señal no accionado 410a, 410b o 410c puede estar en un estado de alta impedancia. Un hilo de señal no accionado 410a, 410b o 410c se puede accionar o llevar hasta un nivel de tensión que se encuentra sustancialmente a medio camino entre los niveles de tensión positiva y negativa proporcionados en hilos de señal accionados. A través de un hilo de señal no accionado 410a, 410b o 410c, puede no haber flujo de corriente. En el ejemplo 400, cada hilo de señal 410a, 410b y 410c puede estar en uno de tres estados (denotados por +1, -1 o 0) usando controladores 408. En un ejemplo, los controladores 408 pueden comprender controladores a nivel de unidad de modo de corriente. En otro ejemplo, los controladores 408 pueden accionar tensiones de polaridad opuesta en dos señales 410a y 410b, mientras que la tercera señal 410c está a alta impedancia y/o está puesta a tierra. Para cada intervalo de símbolo transmitido, al menos una señal está en el estado no accionado (0), mientras que el número de señales de accionamiento positivo (estado +1) es igual al número de señales de accionamiento negativo (estado -1), de modo que la suma de la corriente que fluye hacia el receptor siempre es cero. Para cada símbolo, el estado de al menos un hilo de señal 410a, 410b o 410c se cambia a partir del símbolo transmitido en el intervalo de transmisión precedente.

[0032] En el ejemplo, 400, un mapeador 402 puede recibir datos de 16 bits 418 y el mapeador 402 puede mapear los datos de entrada 418 con 7 símbolos 412 para transmitir secuencialmente a través de los hilos de señal 410a, 410b y 410c. Un codificador de M hilos y N fases 406 configurado para la codificación de tres hilos y tres fases recibe los 7 símbolos 412 provistos por el mapeador a razón de un símbolo 414 cada vez y calcula el estado de cada hilo de señal 410a, 410b y 410c para cada intervalo de símbolo. Los 7 símbolos 412 se pueden disponer en serie usando convertidores paralelo-serie 404, por ejemplo. El codificador 406 selecciona los estados de los hilos de señal 410a, 410b y 410c en base al símbolo de entrada 414 y los estados previos de los hilos de señal 410a, 410b y 410c.

[0033] El uso de la codificación de M hilos y N fases permite que se codifique un número de bits en una pluralidad de símbolos, donde los bits por símbolo no son un número entero. En el ejemplo simple de un sistema de tres hilos y tres fases, hay 3 combinaciones disponibles de 2 hilos, que se pueden accionar simultáneamente, y 2 posibles combinaciones de polaridad en cualquier par de hilos que se accionan, produciendo 6 posibles estados. Puesto que cada transición se produce a partir de un estado actual, en cada transición están disponibles 5 de los 6 estados. Típicamente, se requiere que el estado de al menos un hilo cambie en cada transición. Con 5 estados, se pueden codificar $\log_2(5) \cong 2,32$ bits por símbolo. En consecuencia, un mapeador puede aceptar una palabra de 16 bits y convertirla en 7 símbolos, ya que 7 símbolos que transportan 2,32 bits por símbolo pueden codificar 16,24 bits. En otras palabras, una combinación de siete símbolos que codifica cinco estados tiene 5^7 (78 125) permutaciones. En consecuencia, los 7 símbolos se pueden usar para codificar las 2^{16} (65 536) permutaciones de 16 bits.

[0034] La FIG. 5 ilustra un ejemplo de señalización 500 que emplea un sistema de codificación de datos de modulación de tres fases en base al diagrama estados circular 550. De acuerdo con el sistema de codificación de datos, una señal de tres fases puede girar en dos direcciones y se puede transmitir en tres conductores 410a, 410b y 410c. Cada una de las tres señales transportadas por los conductores 410a, 410b, 410c comprende la señal de tres fases de cada conductor 410a, 410b y 410c que se acciona independientemente, estando cada señal desfasada 120 grados en relación con las otras dos señales. En cualquier momento, cada uno de los tres hilos está en un estado diferente (representado por V+, V- y abierto) al de los otros dos hilos. El sistema de codificación también codifica información en la polaridad de los dos de los conductores 410a, 410b y/o 410c que se accionan activamente a un nivel positivo y negativo. En 508, se indica la polaridad para la secuencia de estados representados.

[0035] En cualquier estado de fase de un ejemplo de tres hilos, exactamente dos de los conductores 410a, 410b, 410c transportan una señal que en realidad es una señal diferencial para ese estado de fase, mientras que el tercer conductor 410a, 410b o 410c es no accionado. El estado de fase para cada conductor 410a, 410b, 410c se puede definir mediante la diferencia de tensión entre el conductor 410a, 410b o 410c y al menos un otro conductor 410a, 410b y/o 410c, o mediante la dirección del flujo de corriente, o la ausencia de flujo de corriente, en el conductor 410a, 410b o 410c. Como se muestra en el diagrama de estados 550, se definen estados de tres fases (correspondientes respectivamente a los estados A, B y C) con un flujo de señal del estado A al estado B, del estado B al estado C, y del estado C al estado A en una primera dirección, y un flujo de señal del estado A al estado C, del estado C al estado B, y del estado B al estado A en una segunda dirección. Para otros valores de N , las transiciones entre los N estados se pueden definir de acuerdo con un diagrama de estados correspondiente para obtener una rotación circular entre las transiciones de estado.

[0036] En el ejemplo de enlace de tres hilos y tres fases, se puede usar una rotación hacia la derecha (A a B), (B a C) o (C a A) en una transición de estado para codificar un 1 lógico, mientras que se puede usar una rotación hacia la izquierda (A a C), (C a B) o (B a A) en la transición de estado para codificar un 0 lógico. En consecuencia, se puede codificar un bit en cada transición controlando si la señal "gira" hacia la derecha o hacia la izquierda. Por ejemplo, se puede codificar un 1 lógico cuando los tres hilos hacen la transición del estado A al estado B, y se puede codificar un 0 lógico cuando los tres hilos hacen la transición del estado B al estado A. En el ejemplo simple de tres hilos representado, la dirección de la rotación se puede determinar fácilmente en base a cuál de los tres

hilos es no accionado antes y después de la transición.

[0037] También se puede codificar información en la polaridad de los conductores accionados 410a, 410b, 410c o en la dirección del flujo de corriente entre dos conductores 410a, 410b, 410c. Las señales 502, 504 y 506 ilustran los niveles de tensión aplicados a los conductores 410a, 410b, 410c, respectivamente en cada estado de fase en un enlace de tres hilos y tres fases. En cualquier momento, un primer conductor 410a, 410b, 410c está acoplado a una tensión positiva (+V, por ejemplo), un segundo conductor 410a, 410b, 410c está acoplado a una tensión negativa (-V, por ejemplo), mientras que el tercer conductor 410a, 410b, 410c puede estar en circuito abierto. Así pues, un estado de codificación de polaridad se puede determinar mediante el flujo de corriente entre el primer y el segundo conductores 410a, 410b, 410c o las polaridades de tensión del primer y el segundo conductores 410a, 410b, 410c. En algunos modos de realización, se pueden codificar dos bits de datos en cada transición de fase. Un decodificador puede determinar la rotación para obtener el primer bit, y el segundo bit se puede determinar en base a la polaridad. El decodificador que tiene una dirección de rotación determinada puede determinar el estado de fase actual y la polaridad de la tensión aplicada entre los dos conectores activos 410a, 410b y/o 410c, o la dirección del flujo de corriente a través de los dos conductores activos 410a, 410b y/o 410c.

[0038] En el ejemplo del enlace de tres hilos y tres fases descrito en el presente documento, se puede codificar un bit de datos en la rotación, o el cambio de fase en el enlace de tres hilos y tres fases, y se puede codificar un bit adicional en la polaridad de dos hilos accionados. Determinados modos de realización codifican más de dos bits en cada transición de un sistema de codificación de tres hilos y tres fases, permitiendo la transición a cualquiera de los estados posibles desde un estado actual. Dadas tres fases rotacionales y dos polaridades para cada fase, se definen 6 estados, de modo que hay 5 estados disponibles a partir de cualquier estado actual. En consecuencia, puede haber $\log_2(5) \cong 2,32$ bits por símbolo (transición) y el mapeador puede aceptar una palabra de 16 bits y convertirla en 7 símbolos.

[0039] Una transferencia de datos de N fases puede usar más de tres hilos proporcionados en un enlace o un bus de comunicación. El uso de hilos de señal adicionales que se pueden accionar simultáneamente proporciona más combinaciones de estados y polaridades y permite que se codifiquen más bits de datos en cada transición entre estados. Esto puede mejorar significativamente el rendimiento del sistema y reducir el consumo de energía con respecto a los enfoques que usan múltiples pares diferenciales para transmitir bits de datos, al tiempo que proporciona un ancho de banda incrementado.

[0040] En un ejemplo, un codificador puede transmitir símbolos usando 6 hilos con dos pares de hilos accionados para cada estado. Los 6 hilos pueden estar marcados de A a F, de modo que en un estado, los hilos A y F son de accionamiento positivo, los hilos B y E de negativo, y C y D son no accionados (o no transportan corriente). Para seis hilos, puede haber:

$$C(6,4) = \frac{6!}{(6-4)! \cdot 4!} = 15$$

posibles combinaciones de hilos accionados activamente, con:

$$C(4,2) = \frac{4!}{(4-2)! \cdot 2!} = 6$$

combinaciones de polaridad diferentes para cada estado de fase.

[0041] Las 15 combinaciones diferentes de hilos accionados activamente pueden incluir:

ABCD	ABCE	ABCF	ABDE	ABDF
ABEF	ACDE	ACDF	ACEF	ADEF
BCDE	BCDF	BCEF	BDEF	CDEF

[0042] De los 4 hilos accionados, las posibles combinaciones de dos hilos de accionamiento positivo (y los otros dos deben ser negativos). Las combinaciones de polaridad pueden comprender:

+++ ++++ +-+ -++ -+- -++

[0043] En consecuencia, el número total de estados diferentes se puede calcular como $15 \times 6 = 90$. Para garantizar una transición entre símbolos, hay 89 estados disponibles a partir de cualquier estado actual, y el número

de bits que se pueden codificar en cada símbolo se puede calcular como: $\log_2(89) \cong 6,47$ bits por símbolo. En este ejemplo, el mapeador puede codificar una palabra de 32 bits en 5 símbolos, dado que $5 \times 6,47 = 32,35$ bits.

5 **[0044]** La ecuación general para el número de combinaciones de hilos que se pueden accionar para un bus de cualquier tamaño, en función del número de hilos del bus y el número de hilos accionados simultáneamente, es:

$$C(N_{hilos}, N_{accionados}) = \frac{N_{hilos}!}{(N_{hilos} - N_{accionados})! \cdot N_{accionados}!}$$

10 **[0045]** La ecuación para el número de combinaciones de polaridad para los hilos que se accionan es:

$$C\left(N_{accionados}, \frac{N_{accionados}}{2}\right) = \frac{N_{accionados}!}{\left(\left(\frac{N_{accionados}}{2}\right)!\right)^2}$$

[0046] El número de bits por símbolo es:

15
$$\log_2\left(C(N_{hilos}, N_{accionados}) \cdot C\left(N_{accionados}, \frac{N_{accionados}}{2}\right) - 1\right)$$

[0047] La FIG. 6 ilustra un ejemplo 600 de un receptor en una capa física (PHY) de tres hilos y tres fases. El ejemplo de tres hilos y tres fases es ilustrativo de determinados principios de funcionamiento aplicables a otras configuraciones de receptores de M hilos y N fases. Los comparadores 602 y el descodificador 604 están configurados para proporcionar una representación digital del estado de cada una de tres líneas de transmisión 612a, 612b y 612c, así como el cambio en el estado de las tres líneas de transmisión en comparación con el estado transmitido en el período de símbolo previo. Se ensamblian siete estados consecutivos mediante convertidores serie-paralelo 606, para proveer un conjunto de 7 símbolos que el desmapeador 608 va a procesar para obtener 16 bits de datos que se pueden almacenar en un búfer en un FIFO 610.

25 **[0048]** De acuerdo con determinados aspectos divulgados en el presente documento, se puede controlar una pluralidad de amplificadores de tres estados para proveer un conjunto de estados de salida definidos por un codificador diferencial, un codificador de polaridad de N fases u otro codificador que codifica información en hilos o conectores que pueden asumir uno de los tres estados descritos.

30 **[0049]** Con referencia de nuevo a las FIGS. 2 y 4, el enlace de comunicación 220 puede comprender una interfaz digital de alta velocidad que puede estar configurada para admitir tanto un sistema de codificación diferencial como una codificación de polaridad de N fases. Los controladores de capa física 210 y 240 pueden comprender codificadores y descodificadores de polaridad de N fases, que pueden codificar múltiples bits por cada transición en la interfaz, y controladores de línea para accionar los conectores 410a, 410b y 410c. Los controladores de línea se pueden construir con amplificadores que proveen una salida activa que puede tener una tensión positiva o negativa, o una salida de alta impedancia con lo que un conector 410a, 410b o 410c está en un estado indefinido o un estado que definen unos componentes eléctricos externos. En consecuencia, los controladores de salida 408 pueden recibir mediante un par de señales 416 que incluyen datos y un control de salida (control de modo de alta impedancia). A este respecto, los amplificadores de tres estados usados para la codificación de polaridad de N fases y la codificación diferencial pueden proveer los mismos tres estados de salida o unos similares. Cuando se usa para codificación diferencial, unos pares de los amplificadores de tres estados de un controlador diferencial de línea 306, 316, 316' o 324 (véase la FIG.3) pueden recibir una misma señal de entrada y señal de control de salida, mientras que cada uno de los controladores de línea de codificación de polaridad de N -fases 408 recibe entradas individuales que definen el estado de salida. De acuerdo con determinados aspectos divulgados en el presente documento, las entradas proporcionadas a cada controlador de línea de codificación de polaridad de N fases 408 se pueden controlar mediante lógica y/o unos conmutadores de modo que se pueden hacer funcionar unos pares de los controladores de línea 408 como un controlador diferencial de línea 306, 316, 316' y 324.

50 **[0050]** Determinados modos de realización proporcionan una interfaz configurable que puede activar selectivamente un número deseado de hilos para comunicar datos y/o reconfigurar una interfaz sometida a codificación de polaridad de M hilos y N fases, para que sirva de interfaz diferencial. La FIG. 7 ilustra un ejemplo en el que una plataforma móvil 700 emplea multiplexación de pines para proporcionar una interfaz de comunicaciones reconfigurable. En el ejemplo representado, un procesador de pantalla 702 genera datos de pantalla para un dispositivo de pantalla 124 (véase la FIG. 1). El procesador de pantalla 702 puede estar integrado a un circuito de procesamiento 206, por ejemplo. Con referencia también a la FIG. 2, se pueden transmitir datos a través de un enlace de comunicaciones 220 a un dispositivo 230 que incluye un controlador de pantalla 232. El enlace de comunicaciones 220 puede ser configurable para adaptarse a o ser compatible con una DSI de norma

MIPI o una interfaz de polaridad de N fases como se describe en el presente documento. La FIG. 7 muestra una configuración de ejemplo en la que un elemento de conmutación 726 selecciona entre las salidas de tres controladores diferenciales 714 y las salidas de dos codificadores de tres hilos y tres fases 716 para accionar 6 pines de salida 728. Se pueden admitir otras combinaciones y configuraciones de los pines de salida 718, controladores 714 y codificadores 716. En un ejemplo, el elemento de conmutación 724 puede comprender una matriz de conmutación que permite que los pines de salida 728 se mapeen a cualquier salida de cualquier controlador diferencial 714 o cualquier salida de cualquier codificador de M hilos y N fases.

[0051] Cuando se configura una interfaz DSI de MIPI, los datos de píxeles de pantalla que se originan en el procesador de pantalla 702 se proporcionan al controlador de enlace de DSI de MIPI 704, que formatea los datos de píxeles de pantalla como paquetes que se van a enviar a través de una interfaz en serie de alta velocidad 728 a la pantalla, típicamente a través del dispositivo. 230 y/o el controlador de pantalla 232. Tanto los datos de píxeles como la información de control se pueden transmitir a través de este enlace 728. Se puede proporcionar un enlace inverso para leer el estado de la pantalla 124 o para recibir otra información.

[0052] Los paquetes de datos generados por el controlador de enlace de DSI de MIPI 704 de los circuitos de lógica central digital 720 se pueden proporcionar a un precontrolador D-PHY de MIPI 706, lo que se puede realizar en una sección de entrada/salida (anillo de almohadillas) 724. Los paquetes de datos se pueden proporcionar a un conjunto de controladores de salida 718 a través de unos controladores diferenciales 714 y/o un multiplexor de conmutación electrónico 726. Los controladores diferenciales 714 pueden estar habilitados mientras los controladores de N fases 716 están inhabilitados. En un ejemplo, los controladores de N fases 716 pueden estar inhabilitados cuando los controladores de N fases 716 son obligados a cambiar o se cambian de otro modo a un modo de salida de alta impedancia.

[0053] En otro ejemplo, el multiplexor de conmutación 726 puede seleccionar entre unos conductores diferenciales 714 y unos controladores de N fases 716 para proporcionar entradas a los controladores de línea 718 cuando se requiere una codificación de polaridad de N fases. El multiplexor de conmutación 726 se puede hacer funcionar para seleccionar las salidas de los controladores de N fases 716 como entradas a los controladores de línea de salida 718. De forma alternativa o adicional, los controladores de N fases 716 se pueden habilitar mientras los controladores diferenciales 714 están inhabilitados, y viceversa. En esta configuración, los paquetes de datos generados por el controlador de enlace de DSI de MIPI 704 se pueden codificar usando un codificador de polaridad de N fases 710 y proporcionar a un precontrolador de polaridad de N fases 712.

[0054] El codificador usado para formatear datos puede determinar si uno o más de los controladores de línea 718 están en modo de alta impedancia. En un ejemplo, el precontrolador D-PHY de MIPI 706 puede controlar el control de salida (control de alta impedancia) de los controladores de línea 718, cuando la interfaz se acciona en un modo de codificación diferencial. En otro ejemplo, el precontrolador de polaridad de N fases 712 puede controlar el control de salida de los controladores de línea 718, cuando la interfaz se acciona en un modo de codificación de polaridad de N fases.

[0055] De acuerdo con determinados aspectos descritos en el presente documento, se envían paquetes de datos similares a los paquetes de DSI de MIPI a través de un enlace de polaridad de N fases. Algunos paquetes se pueden reformatear para un uso adecuado de grupos de símbolos en el enlace de polaridad de N fases. Por ejemplo, se puede añadir un byte a paquetes de longitud impar cuando la DSI de MIPI puede estar orientada a bytes, mientras que el enlace de polaridad de N fases está configurado para transferir palabras de 16 bits a la vez. Los transmisores y receptores pueden ser configurables para tener en cuenta las diferencias en la sincronización del enlace entre la codificación de polaridad de N fases y la codificación diferencial.

[0056] Un controlador de enlace de M hilos y N fases 708 puede proporcionar palabras de datos de entrada a datos como entrada a un mapeador 402 (véase la FIG. 4), que mapea la palabra de entrada con una serie de símbolos que se van a enviar a través del bus. El mapeador 402 se puede incorporar a un elemento de codificación 710. Un propósito del mapeador 402 es calcular los valores de un grupo de símbolos en base a una palabra de datos de entrada. Esto puede resultar útil en particular si el número de bits por símbolo no es un número entero. En el ejemplo simple descrito en relación con la FIG. 4, se emplea un sistema de tres hilos y tres fases en el que hay 3 combinaciones posibles de 2 hilos que se van a accionar simultáneamente, dado que un hilo es no accionado. También hay 2 posibles combinaciones de polaridad para cada par de hilos que se puede accionar, lo que produce 6 estados posibles. 5 de los 6 estados son usables, porque se requiere una transición entre dos símbolos cualesquiera. Con 5 estados, puede haber $\log_2(5) \cong 2,32$ bits por símbolo. El mapeador puede aceptar una palabra de 16 bits y convertirla en 7 símbolos.

[0057] Los paquetes de datos generados por el controlador de enlace de adaptación de polaridad de N fases 708 se pueden proporcionar al codificador de polaridad de N fases 710 para codificar grupos de datos de enlace (por ejemplo, palabras de 16 bits o 32 bits) como grupos de símbolos y facilitar un símbolo a la vez al precontrolador de polaridad de N fases 712. En un ejemplo, el controlador de enlace de adaptación de polaridad de N fases 708 se puede realizar en una lógica central digital 720, y el codificador de polaridad de N fases 710 se puede realizar en el anillo de almohadillas 724. El precontrolador 712 puede amplificar las señales de entrada recibidas hasta un

nivel suficiente para accionar los búferes 716 y/o el controlador de salida 718.

[0058] El multiplexor de conmutación 726 puede seleccionar la salida del precontrolador D-PHY de MIPI 706 o la salida del precontrolador de polaridad de N fases 712 que se va a proporcionar a los controladores de salida 718. El multiplexor de conmutación 726 puede transmitir señales que tienen un nivel de tensión o corriente mucho más bajo que la salida de los controladores de salida 718. En consecuencia, las señales de salida del precontrolador D-PHY de MIPI 706 y/o el precontrolador de polaridad de N fases 712 se pueden conmutar fácilmente usando un dispositivo de CI. En algunos casos, las señales de control que determinan si uno o más controladores de salida deberían estar en un estado de alta impedancia se pueden conmutar usando el multiplexor de conmutación 726 o un dispositivo de conmutación relacionado.

[0059] El estado de selección de modo 730 del multiplexor de conmutación 726 se puede establecer en una selección predeterminada o preconfigurada en el momento del encendido del sistema. Típicamente, solo es necesario configurar este estado una vez porque la pantalla 124 puede estar unida de forma permanente o semipermanente al circuito de procesamiento 102 (véase la FIG. 1). En consecuencia, el multiplexor de conmutación se puede configurar durante la fabricación, y no es necesario cambiar la configuración durante el funcionamiento normal del sistema. En un ejemplo, un procesador 206 o 236 se puede dirigir al multiplexor de conmutación 726 a través de uno o más registros de configuración, que pueden ser no volátiles. El código para programar el multiplexor de conmutación se puede almacenar en el almacenamiento 112. El uso del multiplexor de conmutación 726 para conmutar señales de bajo nivel permite usar el mismo procesador de aplicaciones para más de una interfaz, sin necesidad de duplicar almohadillas o pines de E/S. Por lo tanto, las mismas almohadillas o pines de E/S 728 se pueden usar para más de una interfaz, siendo solo necesario realizar la programación del multiplexor de conmutación una vez por sistema.

[0060] Los principios de funcionamiento descritos en relación con la FIG. 7 se puede aplicar a una amplia variedad de aplicaciones, y se puede emplear un multiplexor de pines para proporcionar un enlace de comunicaciones flexible y reconfigurable entre diferentes tipos de dispositivos y en diferentes tipos de aparatos, incluyendo las aplicaciones que no están reguladas por normas industriales.

[0061] La FIG. 8 es un diagrama de flujo que ilustra un sistema de codificación de acuerdo con determinados aspectos de la invención. El procedimiento puede ser realizado por uno o más dispositivos de CI. En la etapa 802, el uno o más dispositivos de CI pueden determinar un tipo de interfaz física que se va a usar para una comunicación entre dos dispositivos de un terminal móvil inalámbrico. El tipo de interfaz física puede ser uno de una pluralidad de tipos de interfaz física admitidos por al menos uno de los dos dispositivos. Uno o más de los dispositivos pueden incluir un codificador de N fases y un codificador diferencial, por ejemplo.

[0062] En la etapa 804, el uno o más dispositivos de CI pueden seleccionar un codificador para generar datos codificados consistentes con el tipo de interfaz física que se va a usar para una comunicación entre los dos dispositivos. Los datos se pueden comunicar a través de un bus que tiene una pluralidad de conectores que acoplan comunicativamente los dos dispositivos. La pluralidad de conectores puede incluir al menos algunos conectores bidireccionales. Los conectores pueden incluir conectores eléctricos u ópticos.

[0063] De acuerdo con determinados aspectos divulgados en el presente documento, el codificador puede proporcionar los datos codificados en señales codificadas diferencialmente. Configurar la pluralidad de controladores para recibir los datos codificados puede incluir hacer que una o más salidas de otro codificador pasen a un modo de alta impedancia. El otro codificador puede incluir un codificador de N fases.

[0064] De acuerdo con determinados aspectos divulgados en el presente documento, el codificador seleccionado puede proporcionar los datos codificados en una secuencia de símbolos codificados usando una combinación de un estado de fase de un primer par de conectores, una polaridad de un segundo par de conectores y una selección de al menos un conector no accionado. El primer par de los conectores puede comprender los mismos hilos que el segundo par de conectores o al menos un hilo diferente. Configurar la pluralidad de controladores para recibir los datos codificados puede incluir hacer que una o más salidas de un codificador diferencial pasen a un modo de alta impedancia.

[0065] En la etapa 806, el uno o más dispositivos de CI pueden configurar una pluralidad de controladores para recibir los datos codificados desde el codificador y para accionar una pluralidad de conectores que acoplan comunicativamente los dos dispositivos de acuerdo con el tipo de interfaz física que se va a usar para una comunicación entre los dos dispositivos. La pluralidad de controladores se puede configurar controlando una pluralidad de conmutadores para acoplar las salidas del codificador a la pluralidad de controladores.

[0066] En un aspecto de la divulgación, los datos codificados se pueden referir a una cámara o una pantalla controlada por uno de los dos dispositivos de CI.

[0067] La FIG. 9 es un diagrama 900 que ilustra un ejemplo simplificado de una implementación de hardware para un aparato que emplea un circuito de procesamiento 902. El circuito de procesamiento 902 se puede

implementar con una arquitectura de bus, representada, en general, mediante el bus 920. El bus 920 puede incluir cualquier número de buses y puentes de interconexión, dependiendo de la aplicación específica del circuito de procesamiento 902 y de las limitaciones de diseño globales. El bus 920 enlaza entre sí diversos circuitos, incluyendo uno o más procesadores y/o módulos de hardware, representados mediante el procesador 916, los módulos o circuitos 904, 906 y 908, una pluralidad de codificadores 910 diferentes, controladores de línea configurables para accionar conectores o hilos 914 y el medio de almacenamiento legible por ordenador 918. El bus 920 también puede enlazar otros circuitos diversos, tales como fuentes de temporización, dispositivos periféricos, reguladores de tensión y circuitos de gestión de potencia, que son bien conocidos en la técnica y que, por lo tanto, no se describirán en mayor detalle.

[0068] El procesador 916 es responsable del procesamiento general, que incluye la ejecución de software almacenado en el medio de almacenamiento legible por ordenador 916. El software, cuando se ejecuta mediante el procesador 916, hace que el circuito de procesamiento 902 realice las diversas funciones descritas *supra* para cualquier aparato particular. El medio de almacenamiento legible por ordenador 918 también se puede usar para almacenar datos que el procesador 916 manipula cuando ejecuta el software. El circuito de procesamiento 902 incluye además al menos uno de los módulos 904, 906 y 908. Los módulos pueden ser módulos de software que se ejecutan en el procesador 916, residentes/almacenados en el medio de almacenamiento legible por ordenador 918, uno o más módulos de hardware acoplados al procesador 916, o alguna combinación de los mismos.

[0069] En una configuración, el aparato 900 para comunicación inalámbrica incluye medios 904 para determinar un modo operativo para una comunicación entre los dos dispositivos de CI, medios 906 para seleccionar uno de los codificadores 910 para proporcionar datos codificados para su transmisión en la pluralidad de conectores 914 y medios 908 para configurar una pluralidad de controladores 912 para recibir datos codificados desde el codificador 910 y para accionar los conectores y/o hilos 914. Los medios mencionados anteriormente pueden ser uno o más de los módulos mencionados anteriormente del aparato 900 y/o el circuito de procesamiento 902 del aparato 902 configurado para realizar las funciones indicadas con los medios mencionados anteriormente. Los medios mencionados anteriormente se pueden implementar, por ejemplo, usando alguna combinación de un procesador 206 o 236, controladores de capa física 210 o 240 y medios de almacenamiento 208 y 238.

[0070] Se entiende que el orden o la jerarquía específicos de las etapas de los procesos divulgados es una ilustración de enfoques ejemplares. En base a las preferencias de diseño, se entiende que el orden o la jerarquía específicos de las etapas de los procesos se pueden reorganizar. Las reivindicaciones de procedimiento adjuntas presentan elementos de las diversas etapas en un orden de muestra y no pretenden limitarse al orden o la jerarquía específicos presentados.

[0071] La invención está definida únicamente por las reivindicaciones adjuntas.

REIVINDICACIONES

1. Un procedimiento de transferencia de datos operativo en al menos uno de dos dispositivos (202, 230) en un terminal, acoplándose comunicativamente los dos dispositivos a través de un enlace de comunicación (220), siendo dicho enlace de comunicación configurable para compatibilidad con una pluralidad de normas de interfaz física, comprendiendo el procedimiento:

determinar (802) una norma de interfaz física para su uso para una comunicación entre los dos dispositivos en el terminal;

seleccionar (804) un codificador (716) de al menos dos codificadores que codifican datos de diferentes maneras para generar datos codificados consistentes con la norma de interfaz física que se va a usar para una comunicación entre los dos dispositivos en el terminal;

configurar (806) una pluralidad de controladores (714, 728) para recibir los datos codificados desde el codificador seleccionado y para accionar una pluralidad de conectores que acoplan comunicativamente los dos dispositivos de acuerdo con la norma de interfaz física que se va a usar para una comunicación entre los dos dispositivos del terminal; y

controlar una pluralidad de conmutadores (726) para acoplar salidas del codificador seleccionado a la pluralidad de controladores, en el que la pluralidad de conmutadores es configurable para una pluralidad de modos de funcionamiento y en el que en un primer modo de funcionamiento, la pluralidad de conmutadores está configurada de modo que la pluralidad de controladores funciona como controladores diferenciales de línea (714) y en un segundo modo de funcionamiento, la pluralidad de conmutadores está configurada de modo que la pluralidad de controladores funciona como controladores de línea de M hilos y N fases.
2. El procedimiento de la reivindicación 1, en el que la pluralidad de conectores comprende al menos algunos conectores bidireccionales.
3. El procedimiento de la reivindicación 1, en el que la pluralidad de conectores comprende al menos algunos conectores unidireccionales.
4. El procedimiento de la reivindicación 1, en el que el codificador seleccionado proporciona los datos codificados en una secuencia de símbolos codificados usando una combinación de un estado de fase de un primer par de conectores y una polaridad de un segundo par de conectores.
5. El procedimiento de la reivindicación 4, en el que la secuencia de símbolos se codifica usando uno o más conectores no accionados.
6. El procedimiento de la reivindicación 4, en el que configurar la pluralidad de controladores para recibir los datos codificados incluye hacer que una o más salidas de un codificador diferencial pasen a un modo de alta impedancia.
7. El procedimiento de cualquier reivindicación anterior que comprende además: definir una pluralidad de estados para cada salida de controlador, incluyendo un estado no accionado, un primer estado accionado y un segundo estado accionado, teniendo el segundo estado accionado una polaridad opuesta al primer estado accionado.
8. El procedimiento de la reivindicación 1, que comprende además:

definir una pluralidad de estados para cada salida de controlador, incluyendo un estado no accionado, un primer estado accionado y un segundo estado accionado, teniendo el segundo estado accionado una polaridad opuesta al primer estado accionado,

en el que cada salida de controlador conmuta entre el primer estado accionado y el segundo estado accionado cuando un modo de funcionamiento actual es el primer modo de funcionamiento; y en el que al menos una salida de controlador está en el primer estado accionado, al menos una salida de controlador está en el segundo estado accionado, y al menos una salida de controlador está en el estado no accionado para cada uno de una sucesión de símbolos transmitidos cuando el modo de funcionamiento actual es el segundo modo de funcionamiento.
9. El procedimiento de la reivindicación 1, en el que seleccionar el codificador comprende:

activar un primer codificador desde los al menos dos codificadores durante el primer modo de funcionamiento; y

- 5 activar un segundo codificador durante el segundo modo de funcionamiento, en el que la pluralidad de conmutadores selecciona señales codificadas proporcionadas por el primer codificador como entradas para la pluralidad de controladores cuando un modo de funcionamiento actual es el primer modo de funcionamiento, y unas señales codificadas proporcionadas por el segundo codificador como entradas para la pluralidad de controladores cuando el modo de funcionamiento actual es el segundo modo de funcionamiento.
- 10 10. El procedimiento de la reivindicación 9, en el que el primer codificador comprende un codificador de DSI de MIPI y el segundo codificador comprende un codificador de interfaz digital de pantalla móvil, MDDI.
- 15 11. El procedimiento de la reivindicación 9 o 10, en el que el segundo codificador codifica datos en transiciones en estados de salida de uno o más de la pluralidad de controladores entre símbolos consecutivos de una secuencia de símbolos transmitida por la pluralidad de controladores, donde las transiciones en los estados de la salida incluyen transiciones de estado de fase y transiciones de estado de polaridad.
- 20 12. Un medio de almacenamiento legible por procesador que tiene una o más instrucciones que, cuando se ejecutan mediante al menos un circuito de procesamiento, hacen que el al menos un circuito de procesamiento implemente el procedimiento de acuerdo con cualquiera de las reivindicaciones 1 a 11.
- 25 13. Un aparato adaptado para transferir datos operativos en al menos uno de dos dispositivos (202, 230) en un terminal, teniendo los dos dispositivos un enlace de comunicación (220) entre los mismos, comprendiendo dicho enlace de comunicación (220) una pluralidad de tipos de interfaz física, estando configurada al menos una interfaz física para admitir al menos dos sistemas de codificación, que comprende:
- 30 medios para generar datos codificados consistentes con un tipo de interfaz física de la pluralidad de tipos de interfaz física que se va a usar para una comunicación entre los dos dispositivos en el terminal, en el que el tipo de interfaz física es uno de la pluralidad de tipos de interfaz física admitidos por los dos dispositivos, y en el que los medios para generar datos codificados incluyen al menos dos codificadores que están configurados para codificar datos de diferentes maneras; y
- 35 medios para configurar una pluralidad de controladores para recibir los datos codificados desde uno de los al menos dos codificadores y para accionar una pluralidad de conectores que acoplan comunicativamente los dos dispositivos de acuerdo con el tipo de interfaz física que se va a usar para una comunicación entre los dos dispositivos del terminal, comprendiendo los medios para configurar
- 40 una pluralidad de conmutadores (726) para acoplar una salida del uno de los al menos dos codificadores a la pluralidad de controladores.
- 45 14. El aparato de acuerdo con la reivindicación 13, en el que la pluralidad de conmutadores es configurable para una pluralidad de modos de funcionamiento, en el que en un primer modo de funcionamiento la pluralidad de conmutadores está configurada de modo que la pluralidad de controladores funciona como unos controladores diferenciales de línea (714), en el que en un segundo modo de funcionamiento la pluralidad de conmutadores está configurada de modo que la pluralidad de controladores funciona como
- 50 unos controladores de línea de 3 hilos y 3 fases que facilitan una pluralidad de estados, incluyendo un estado no accionado, un primer estado accionado, y un segundo estado accionado, teniendo el segundo estado accionado una polaridad opuesta al primer estado accionado, y en el que en el segundo modo de funcionamiento los medios para generar datos codificados están configurados para codificar datos en transiciones en estados de salida de la pluralidad de controladores entre símbolos consecutivos de una secuencia de símbolos transmitidos por la pluralidad de controladores, donde las transiciones en los estados de la salida de la pluralidad de controladores incluyen transiciones de estado de fase y transiciones de estado de polaridad.

100 →

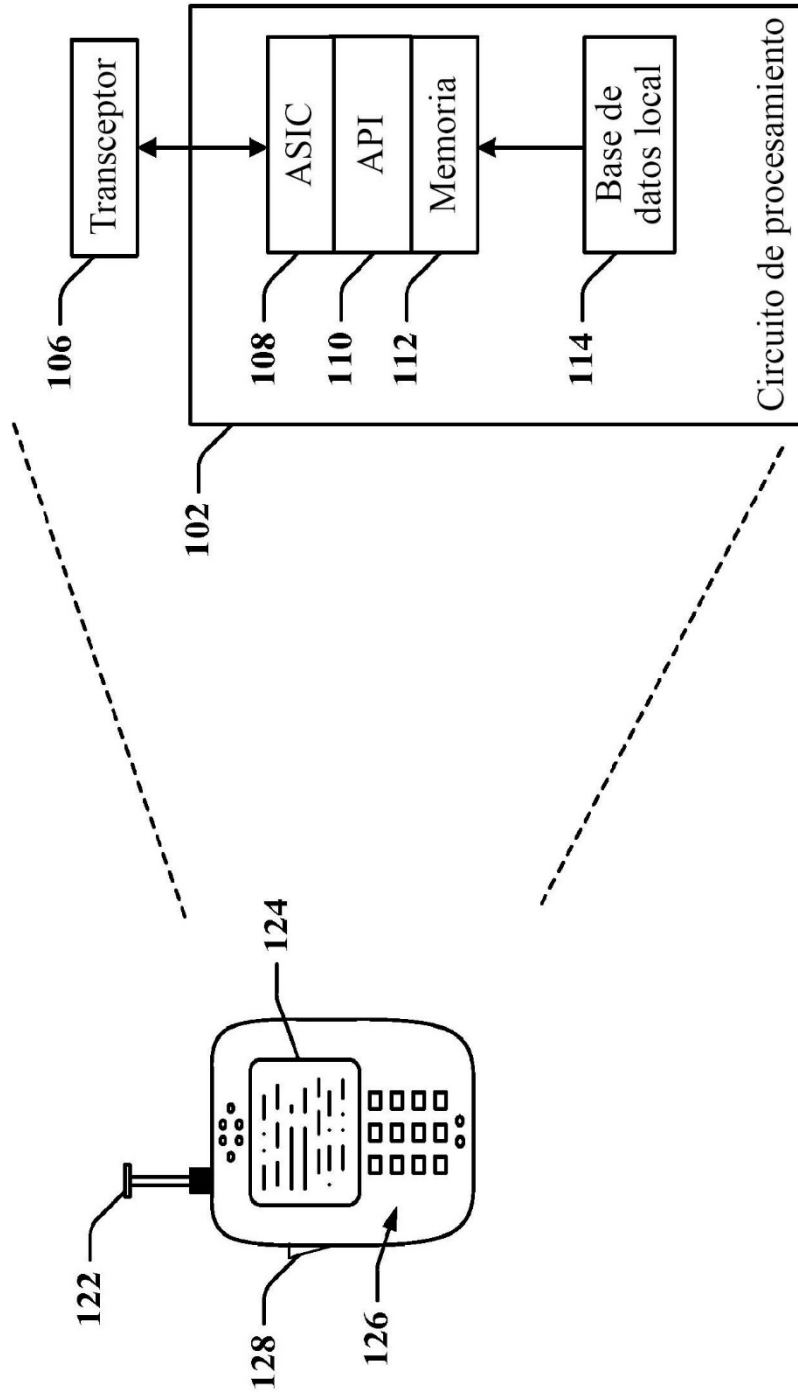


FIG. 1

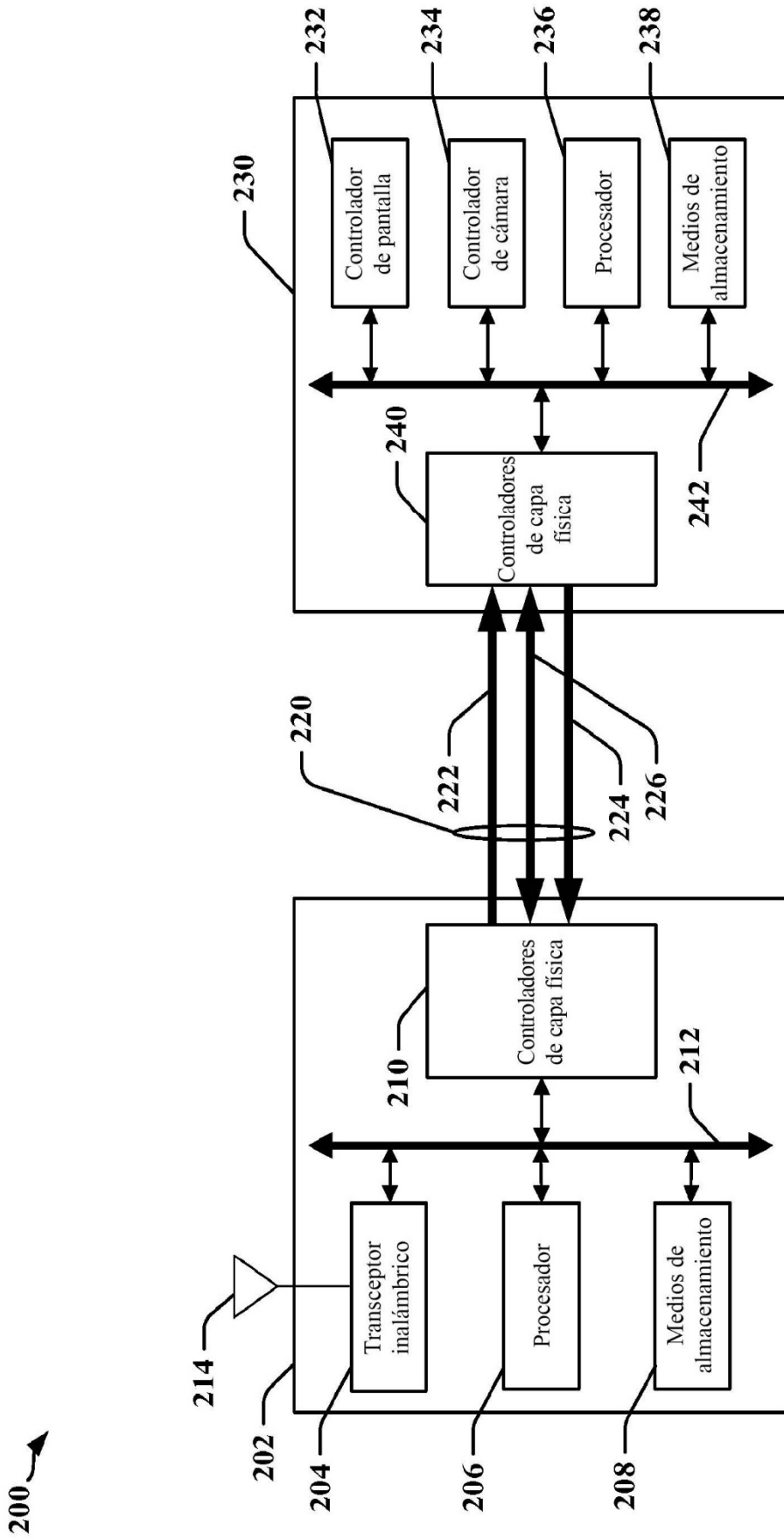


FIG. 2

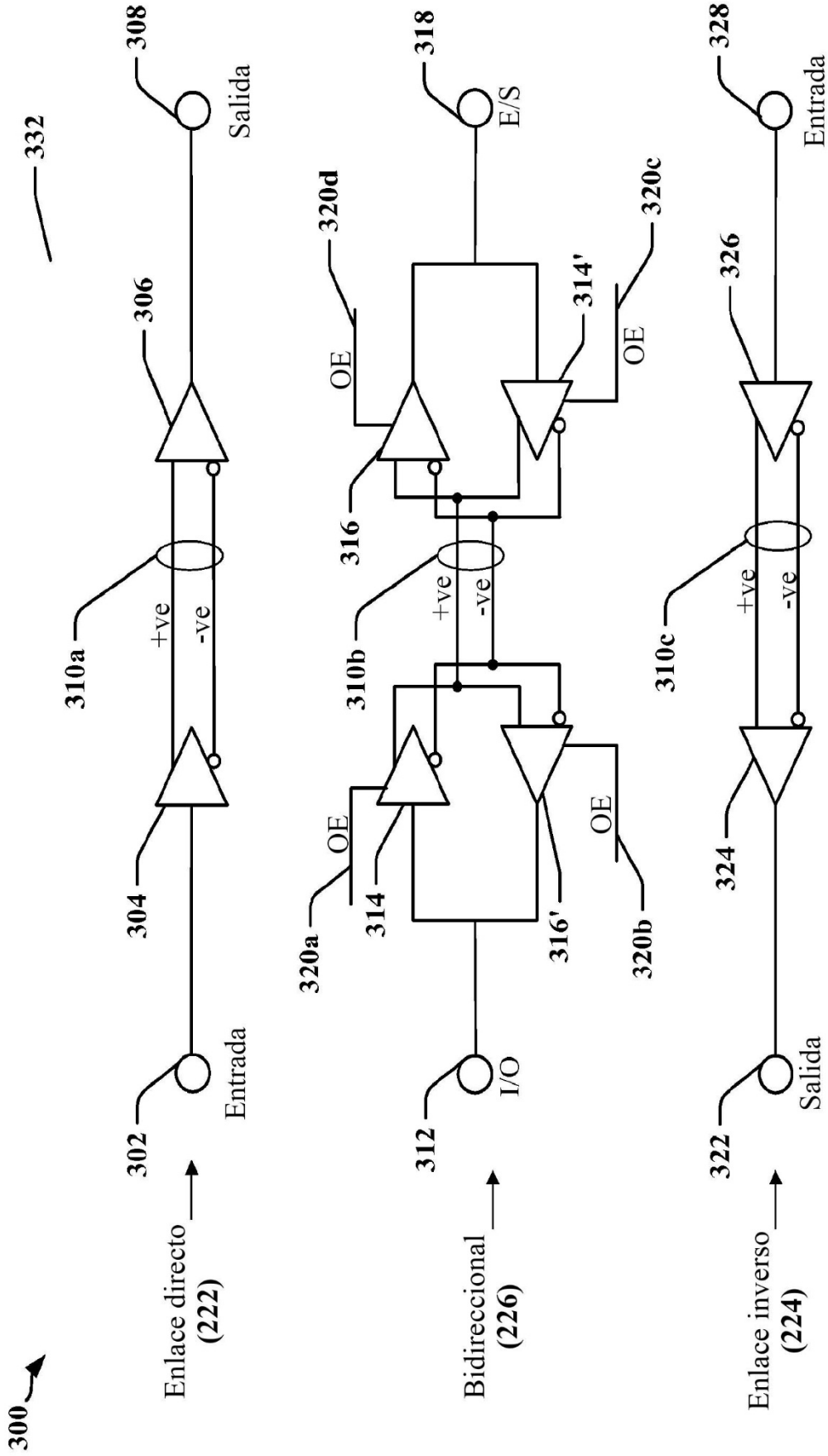


FIG. 3

400 →

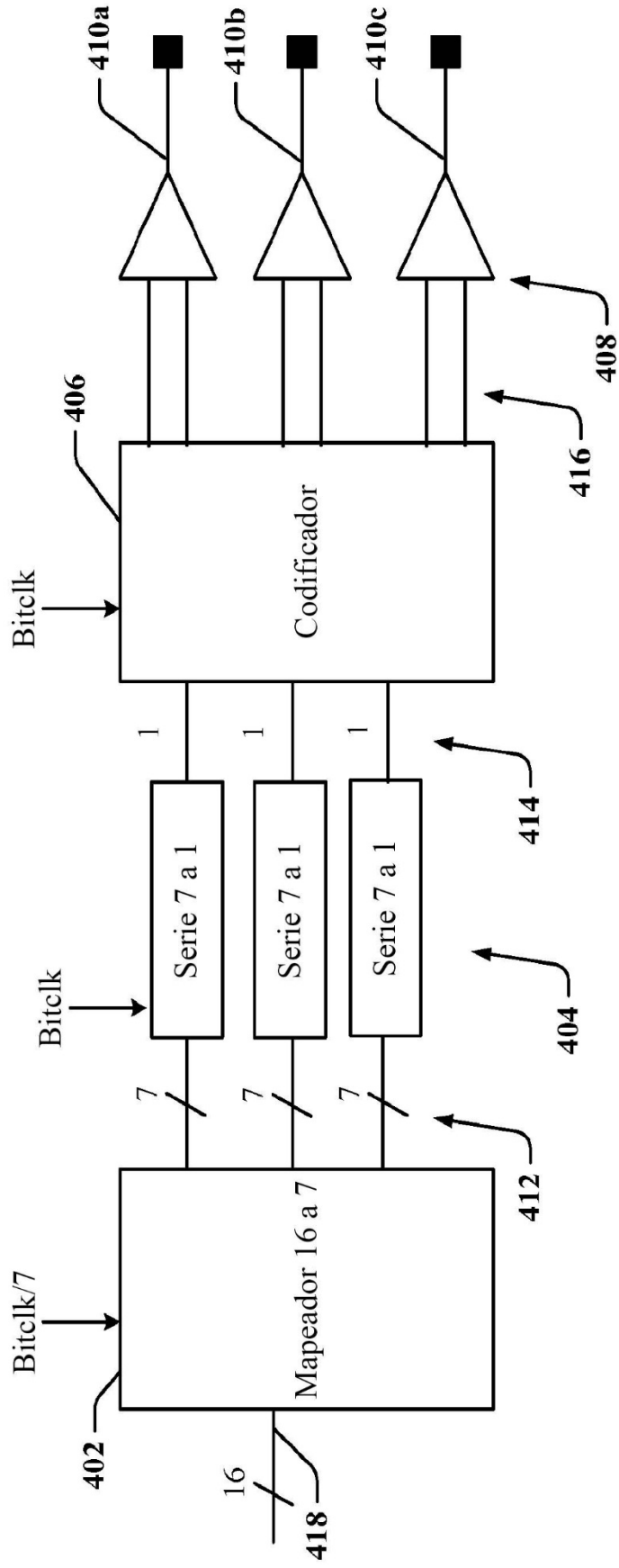
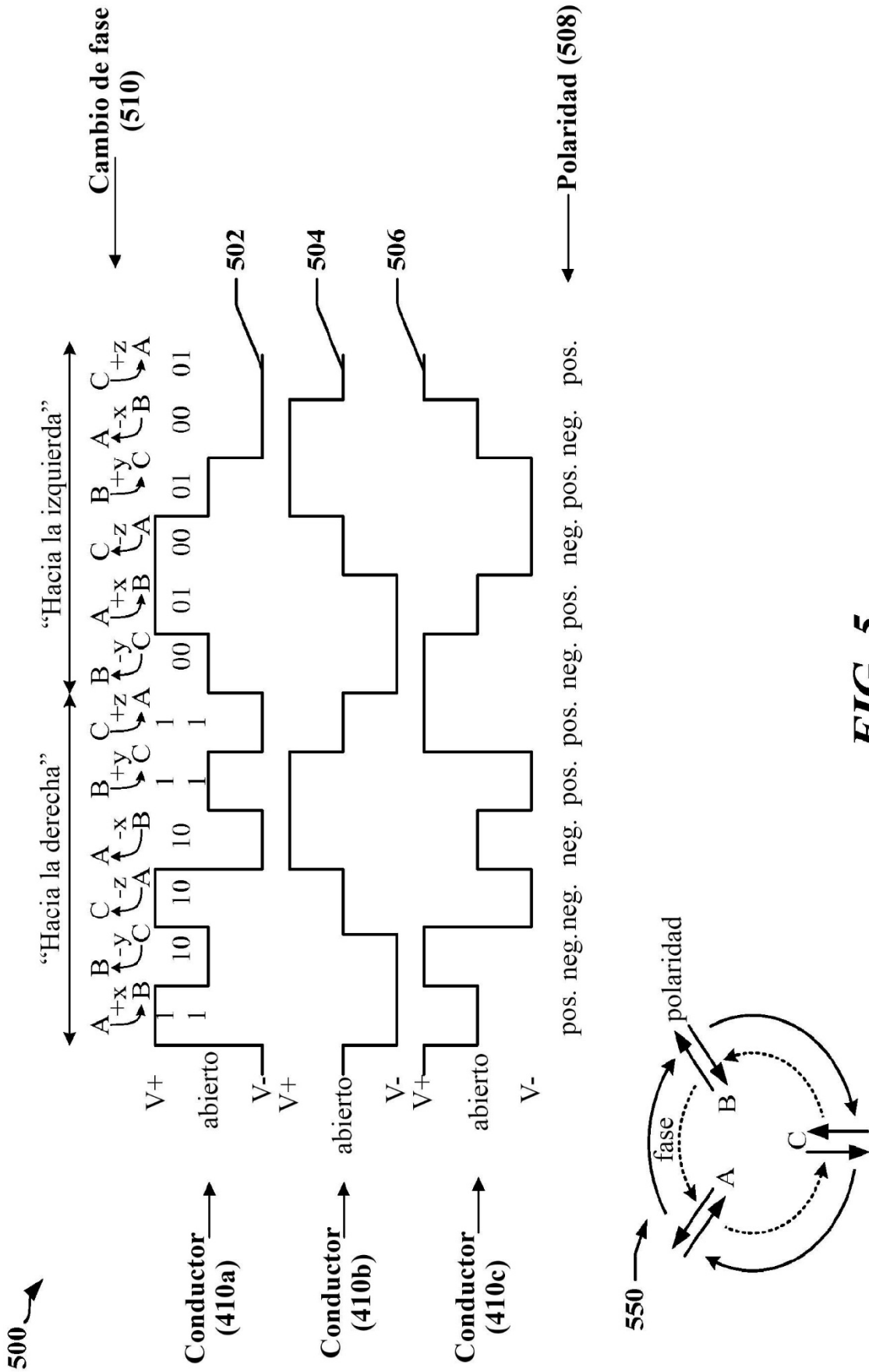


FIG. 4



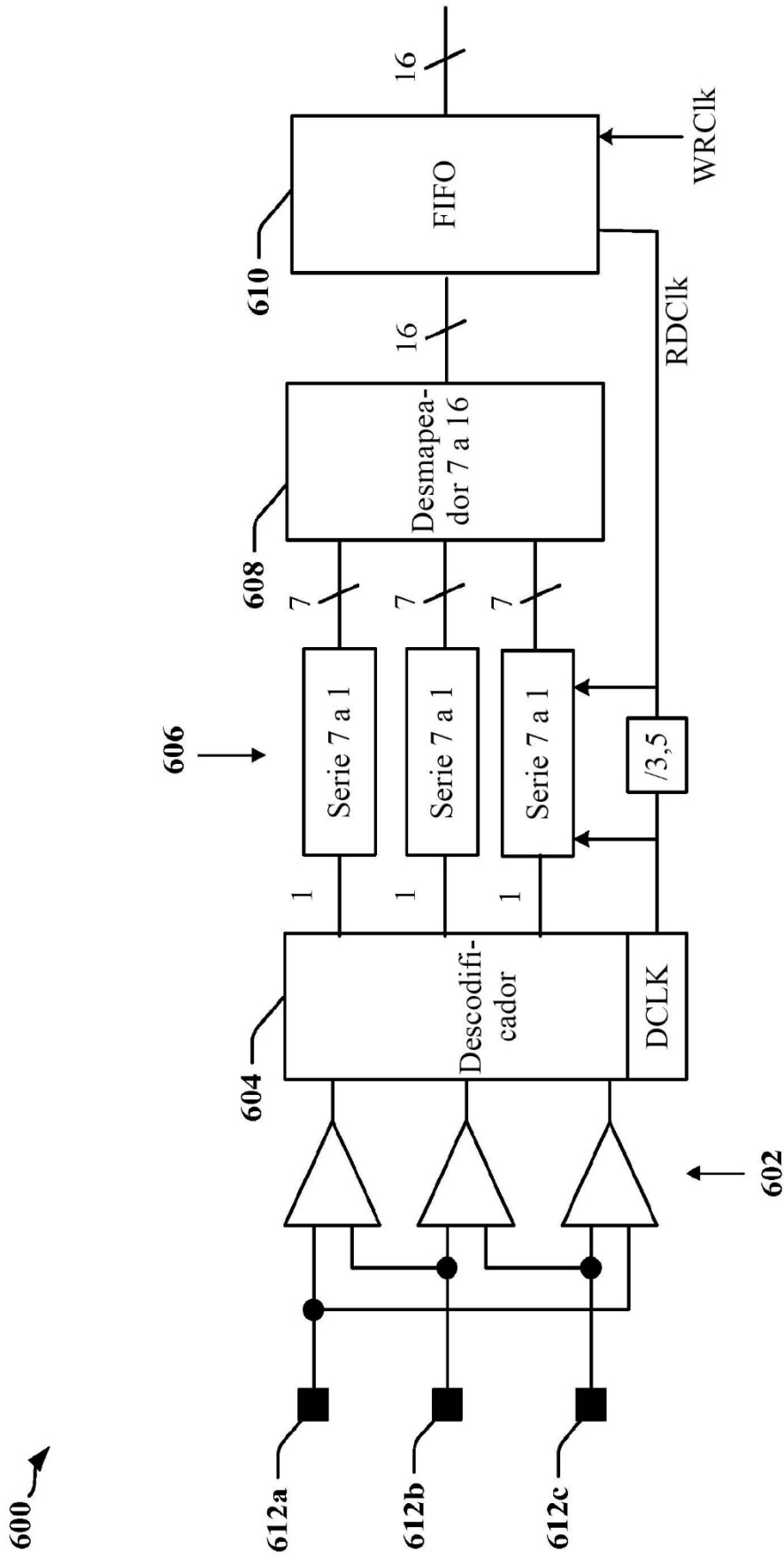


FIG. 6

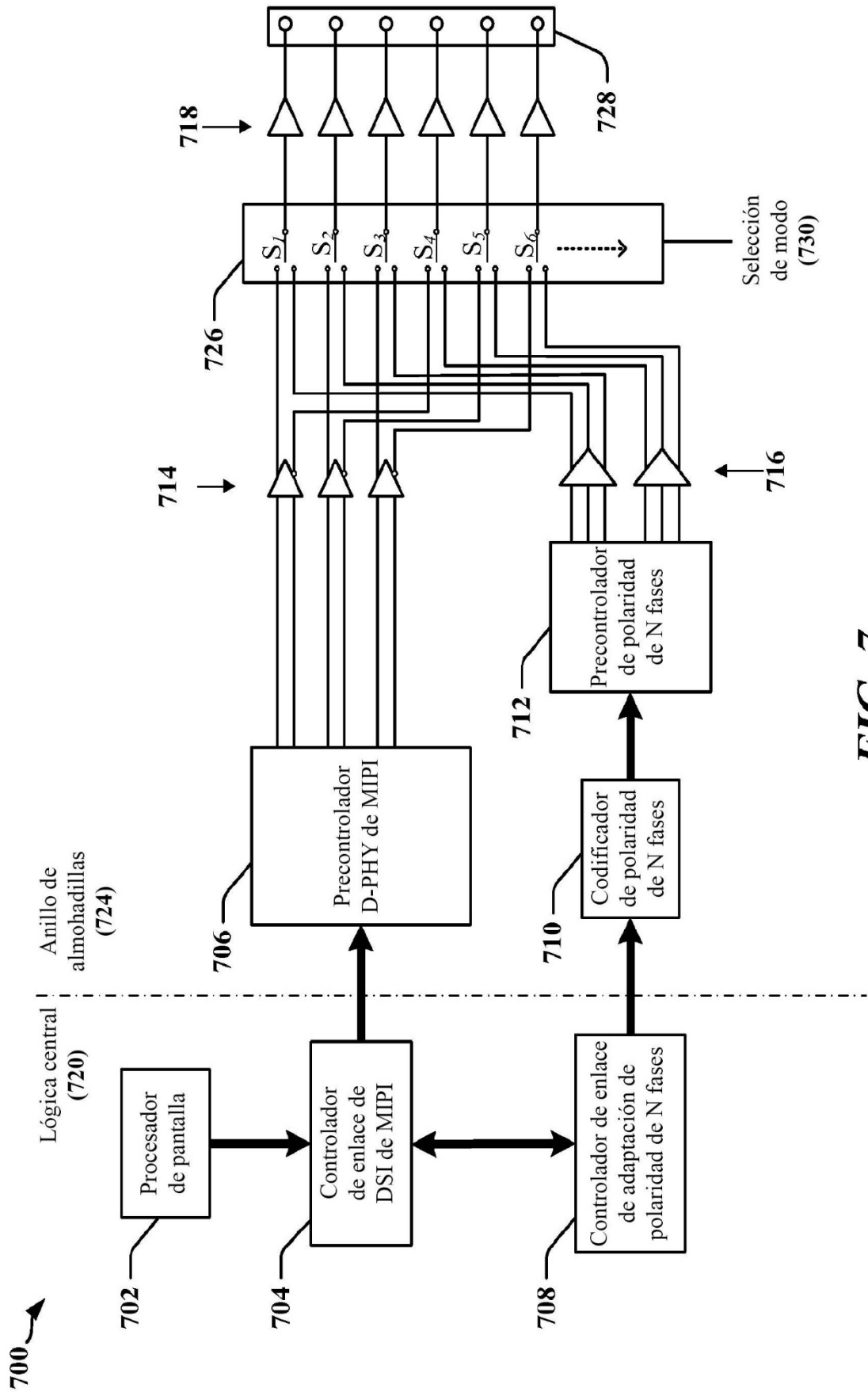


FIG. 7

800 →

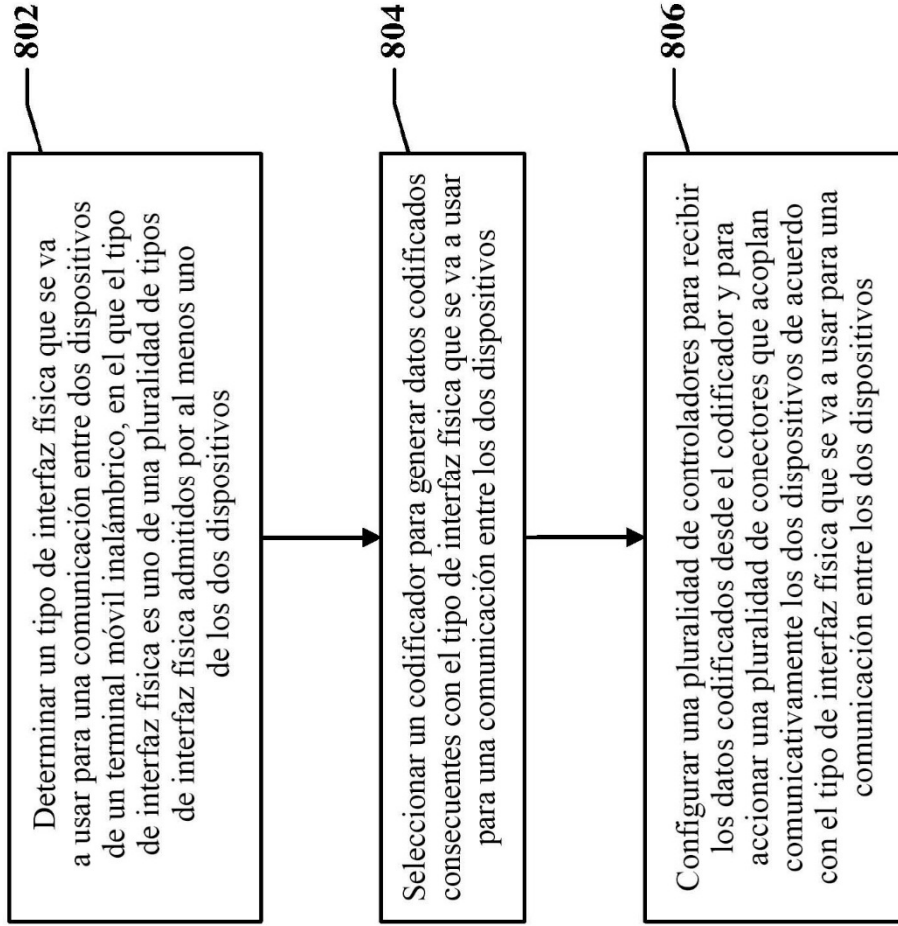


FIG. 8

900 ↗

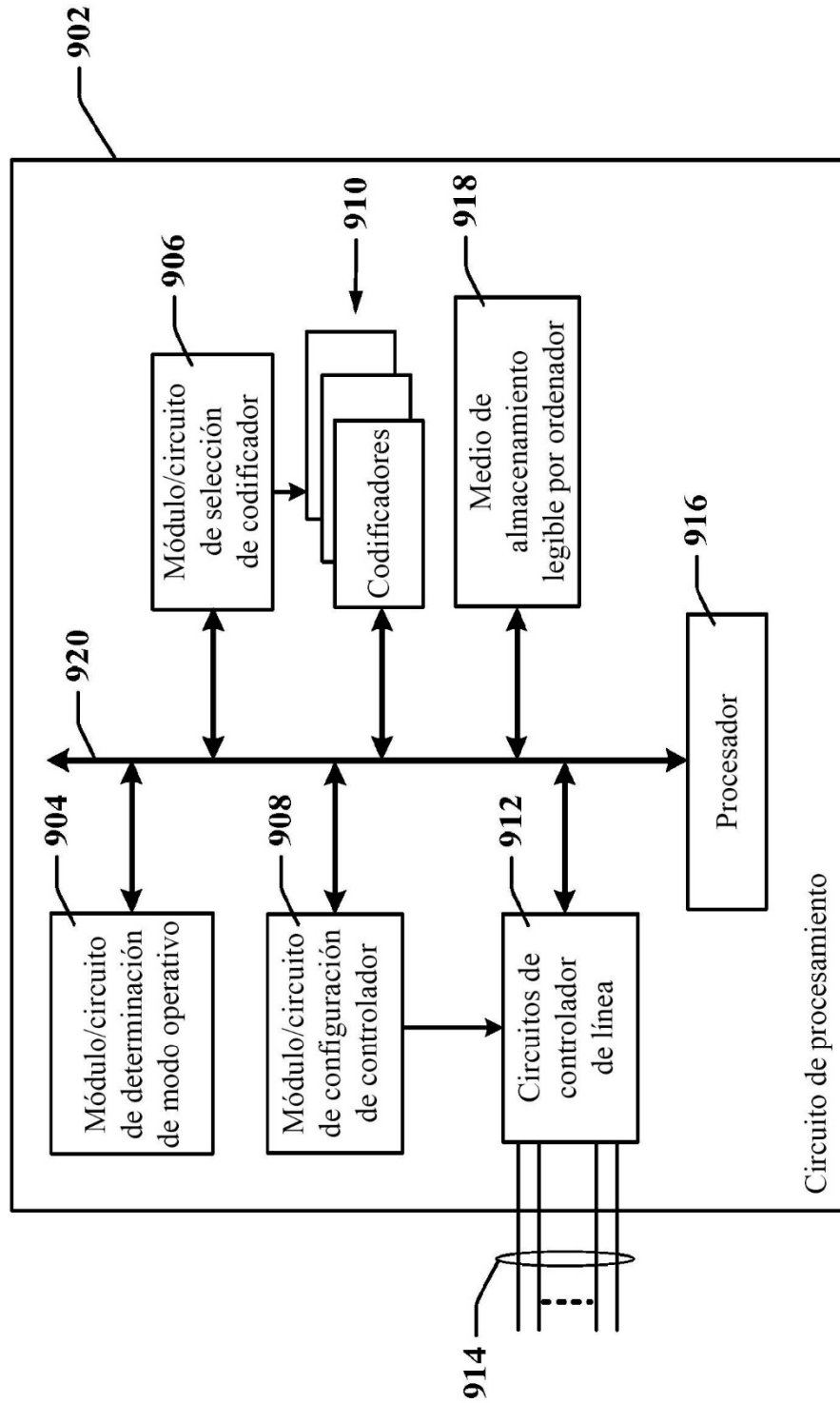


FIG. 9