



Patent
aufrechterhalten nach
§ 12 Abs. 3 ErstrG

DEUTSCHES PATENTAMT

Innerhalb von 3 Monaten nach Veröffentlichung der Aufrechterhaltung kann Einspruch eingelegt werden

(21) Aktenzeichen:	(22) Anmeldetag:	(44) Veröff.-tag der DD-Patentschrift:	(45) Veröff.-tag der Aufrechterhaltung:
DD G 01 R / 329 515 0	13. 06. 89	28. 11. 90	28. 11. 96

(30) Unionspriorität:

—

(72) Erfinder: Grobelny, Lothar, Dipl.-Ing., 01069 Dresden, DE; Hutschenreiter, Birgit, Dipl.-Math., 02899 Schönau-Berzdorf, DE; Näther, Marcus, Dr.-Ing., 01239 Dresden, DE; Oehm, Jürgen, Dipl.-Phys., 01189 Dresden, DE

(73) Patentinhaber: Zentrum Mikroelektronik Dresden GmbH, Grenzstr. 28, 01109 Dresden, DE

(74) Vertreter: Lippert, Stachow, Schmidt & Partner, Pat.-Anwälte, 01309 Dresden

(54) **Anordnung zum Test digitaler Schaltungen mit konfigurierbaren, in den Test einbezogenen Takterzeugungsschaltungen**

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

DE 2 902 375 C 2	DE 3 545 646 A 1	US 3 761 695 A	US 3 783 254 A
US 4 298 980 A	US 4 742 293 A		

Williams, T. W.; Parker, K. P.: Design for testability – a survey, Proc. of the IEEE, Vol 71, No. 1, Jan 1983, S. 98–111

Patentansprüche:

1. Anordnung zum Test digitaler Schaltungen mit konfigurierbaren, in den Test einbezogenen Takterzeugungsschaltungen, mit Dateneingängen und einem Schiebedateneingang, Datenausgängen und einem Schiebedatenausgang sowie Takt- und Steuersignaleingängen, enthaltend eine Flipflop-Anordnung aus mindestens zwei und maximal drei getakteten, seriell verschalteten Latches, dergestalt, daß die Datenausgänge der Latches jeweils auf den Dateneingang des nachfolgenden Latches geführt sind und daß dem Dateneingang des ersten Latches ein Multiplexer vorgeschaltet ist, dessen Dateneingänge an den Dateneingängen und dem Schiebedateneingang der Anordnung angeschlossen sind, **dadurch gekennzeichnet**, daß ein Schaltungstakt (ST), ein Testtakt (TT) und ein Schaltungstaktunterdrückungssignal (/SU) auf die entsprechenden Eingänge (ES; ET; EU) eines nichtlinearen, die logische Funktion $T = ST * /SU + TT$ realisierenden Netzwerkes (2) geführt sind, an dessen Ausgang (AT) der generierte Steuertakt (T) gelegt ist, daß das Schaltungstaktunterdrückungssignal (/SU) auf den Steuereingang (S) des Multiplexers (7) geführt ist, daß der Takteingang (TL) des ersten Latches (8.1) negiert und der Takteingang (TL) des zweiten Latches (8.2) nichtnegiert am Steuertakt (T) sowie der Takteingang (TL) des dritten Latches (8.3) bei dessen Vorhandensein am Schaltungstaktunterdrückungssignal (/SU) angeschlossen sind und daß bestimmte Datenausgänge (QL; /QL) der genannten Latches (8.1; 8.2; ...) die Datenausgänge (Q; /Q) und den Schiebedatenausgang (QS) der Anordnung realisieren.
2. Anordnung zum Test digitaler Schaltungen mit konfigurierbaren, in den Test einbezogenen Takterzeugungsschaltungen nach Anspruch 1, **dadurch gekennzeichnet**, daß die Flipflop-Anordnung (1) vorzugsweise zwei seriell verschaltete Latches (8.1; 8.2) enthält und daß der Datenausgang (Q) und der Schiebedatenausgang (QS) der Anordnung am Datenausgang (QL) des zweiten Latches (8.2) sowie der negierte Datenausgang (/Q) der Anordnung am negierten Datenausgang (/QL) des zweiten Latches (8.2) angeschlossen sind.
3. Anordnung zum Test digitaler Schaltungen mit konfigurierbaren, in den Test einbezogenen Takterzeugungsschaltungen nach Anspruch 1, **dadurch gekennzeichnet**, daß die Flipflop-Anordnung (1) vorzugsweise drei seriell verschaltete Latches (8.1; 8.2; 8.3) enthält und daß der Schiebedatenausgang (QS) der Anordnung am Datenausgang (QL) des zweiten Latches (8.2), der Datenausgang (Q) der Anordnung am Datenausgang (QL) des dritten Latches (8.3) sowie der negierte Datenausgang (/Q) der Anordnung am negierten Datenausgang (/QL) des dritten Latches (8.3) angeschlossen sind.
4. Anordnung zum Test digitaler Schaltungen mit konfigurierbaren, in den Test einbezogenen Takterzeugungsschaltungen nach Anspruch 1, **dadurch gekennzeichnet**, daß die Flipflop-Anordnung (1) vorzugsweise zwei seriell verschaltete Latches (8.1; 8.2) enthält und daß der Schiebedatenausgang (QS) der Anordnung am Datenausgang (QL) des zweiten Latches (8.2), der Datenausgang (Q) der Anordnung am Datenausgang (QL) des ersten Latches (8.1) sowie der negierte Datenausgang (/Q) der Anordnung am negierten Datenausgang (/QL) des ersten Latches (8.1) angeschlossen sind.
5. Anordnung zum Test digitaler Schaltungen mit konfigurierbaren, in den Test einbezogenen Takterzeugungsschaltungen nach Anspruch 1, **dadurch gekennzeichnet**, daß die Flipflop-Anordnung (1) vorzugsweise zwei seriell verschaltete Latches (8.1; 8.2) enthält, daß der Datenausgang (QL) des ersten Latches (8.1) zusätzlich auf den Dateneingang (DL) eines dritten Latches (8.4), dessen Takteingang (TL) am Schaltungstaktunterdrückungssignal (/SU) liegt, geführt ist und daß der Schiebedatenausgang (QS) der Anordnung am Datenausgang (QL) des zweiten Latches (8.2), der Datenausgang (Q) der Anordnung am Datenausgang (QL) des dritten Latches (8.4) sowie der negierte Datenausgang (/Q) der Anordnung am negierten Datenausgang (/QL) des dritten Latches (8.4) angeschlossen sind.
6. Anordnung zum Test digitaler Schaltungen mit konfigurierbaren, in den Test einbezogenen Takterzeugungsschaltungen nach Anspruch 1 und einem der Ansprüche 2 bis 5, **dadurch gekennzeichnet**, daß das nichtlineare, die logische Funktion $T = ST * /SU + TT$ realisierende Netzwerk (2) dergestalt ausgeführt ist, daß der Schaltungstakt (ST) über den Eingang (ES) des Netzwerkes (2) auf den ersten und das Schaltungstaktunterdrückungssignal (/SU) über den Eingang (EU) des Netzwerkes (2) auf den zweiten Eingang eines UND-Gatters (3) geführt sind, daß der Ausgang des UND-Gatters (3) an den ersten und der über den Eingang (ET) des Netzwerkes (2) angeschlossene Testtakt (TT) an den zweiten Eingang eines ODER-Gatters (4)

gelegt sind und daß der Ausgang des ODER-Gatters (4) den Ausgang (AT) des Netzwerkes (2) realisiert.

7. Anordnung zum Test digitaler Schaltungen mit konfigurierbaren, in den Test einbezogenen Takterzeugungsschaltungen nach Anspruch 1 und einem der Ansprüche 2 bis 5, **dadurch gekennzeichnet**, daß das nichtlineare, die logische Funktion $T = ST \cdot /SU + TT$ realisierende Netzwerk (2) dergestalt ausgeführt ist, daß der Testtakt (TT) über den Eingang (ET) des Netzwerkes (2) auf den ersten Eingang eines ODER-Gatters (5) und den ersten Dateneingang (DO) eines Multiplexers (6) sowie der Schaltungstakt (ST) auf den zweiten Eingang des ODER-Gatters (5) geführt sind, daß der Ausgang des ODER-Gatters (5) an den zweiten Dateneingang (D 1) des Multiplexers (6) gelegt ist, dessen Steuereingang (S) über den Eingang (EU) des Netzwerkes (2) am Schaltungstaktunterdrückungssignal (/SU) angeschlossen ist und daß der Datenausgang (A) des Multiplexers (6) den Ausgang (AT) des Netzwerkes (2) realisiert.

Hierzu 6 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Anordnung zum Test digitaler Schaltungen mit konfigurierbaren, in den Test einbezogenen Takterzeugungsschaltungen, welche vorzugsweise zur Prüfung komplexer digitaler Schaltkreise in LSI/VLSI-Technik zur Anwendung kommt, insbesondere wenn dabei mehrere voneinander verschiedene Taktsignale Verwendung finden.

Charakteristik des bekannten Standes der Technik

Es ist allgemein bekannt, daß Flipflops komplexer digitaler Schaltungen modifiziert, i. e. funktionskonvertierbar ausgeführt werden, um sie zum Zwecke der besseren Testbarkeit der Schaltung zu Schieberegistern zusammenschalten zu können. Diese Flipflops sind dann in unterschiedlichen Moden betreibbar. In einem „Anwendermodus“ führen sie ihre normale Funktion aus. Unter Verwendung zusätzlicher Hardware – die Ergänzung um Schiebedateneingang und -ausgang sowie der Anschluß zweier zusätzlicher externer Testtakte – wird in einem „Testmodus“ die Schiebefunktion ermöglicht.

Diese Lösung wird u. a. in den US-Patenten 3.761.695 und 3.783.254 dargelegt. Dabei ist eine komplizierte Ansteuerung erforderlich, damit sich die einzelnen Takte nicht überlappen und Wettlauffeffekte vermieden werden.

Bei Verwendung wettlauffreier Master-Slave-Flipflops genügt der Anschluß nur eines zusätzlichen Testtaktes (Williams, T. W.; Parker, K. P.: Design for testability – a survey“. Proc. of the IEEE; Vol. 71; No. 1; Jan. 1983; S. 98–111).

Als Alternative hierzu wird der Anschluß eines externen Modussteuersignals anstelle des externen Testtaktes vorgeschlagen (Liu, D. L.; McCluskey, E. J.: „A CMOS cell library design for testability“. VLSI Systems Design; 4. 5. 1987; S. 58–65). Hierbei fungiert der Takt des „Anwendermodus“ bei Umschaltung über das Modussteuersignal im „Testmodus“ als Testtakt.

Um die Verwendung mehrerer Takte und die Zusammenschaltung der Flipflops zu Schieberegistern in beliebiger Reihenfolge zu ermöglichen, werden, gesteuert durch ein Modussteuersignal, im Testmodus alle Flipflops mit dem gleichen Takt betrieben.

Bei den bekannten Lösungen ergibt sich als Nachteil, daß alle Taktsignale direkt von einem Schaltkreispin eingespeist werden müssen. Sind mehrere Takte erforderlich, müssen dementsprechend mehrere voneinander unabhängige Takte von mehreren Pins eingespeist werden. Die Verwendung voneinander abgeleiteter Taktsignale ist nicht möglich.

Beim Einsatz des Schaltkreises ist, um das sich bei Verwendung mehrerer Takte ergebende Synchronisationsproblem zu beherrschen, eine korrekte Ansteuerung der einzelnen auf dem Chip voneinander unabhängigen Takte von den Pins aus erforderlich.

Desweiteren ist bekannt, ein Modussteuersignal bei der Testung auf für die CMOS-Technik relevanter Stuck-open-Fehler zu verwenden. Dazu werden spezielle Master-Slave-Flipflops eingesetzt, die neben dem Master einen Schiebe- und einen Arbeitsslave enthalten.

Im „Testmodus“ realisiert das Modussteuersignal die Konstanz des Arbeitsslaves, wodurch die Einstellung von Initialisierungswert und Testwert zur Testung der Stuck-open-Fehler ermöglicht wird.

Im US-Patent 4.742.293 wird eine zum Test von CMOS-Schaltungen geeignete Latchanordnung vorgeschlagen, die neben dem „eigentlichen“ Latch ein zusätzliches Latch zur Zwischenspeicherung der Initialisierungswerte besitzt. Über einen Multiplexer und ein weiteres Steuersignal stimulieren diese beiden Latches die nachfolgende Schaltung.

Dabei durchlaufen aber Initialisierungswert und Testwert die vorgeschlagene Testanordnung auf verschiedenen Datenwegen. Somit können die Stuck-open-Fehler in der Latchanordnung selbst nicht getestet werden.

Ziel der Erfindung

Das Ziel der Erfindung ist die Verbesserung der Integrierbarkeit digitaler Systeme über die Verringerung des erforderlichen Hardwareaufwandes bei Erweiterung der schaltungstechnischen Möglichkeiten sowie die Realisierung ihrer umfassenden Prüfung mit höherer Zeiteffektivität.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Anordnung zum Test digitaler Schaltungen mit konfigurierbaren, in den Test einbezogenen Takterzeugungsschaltungen zu entwickeln, bei der nicht alle Taktsignale direkt über die Pins eingespeist werden müssen; welche die Aufbereitung von Taktsignalen, z. B. durch Ableitung mehrerer Taktsignale von einem Systemtakt, auf dem Chip ermöglicht, die Lösung des Synchronisationsproblems bei Verwendung mehrerer Taktsignale auf einem Chip sichert und den Test der Takterzeugungsschaltung nach den gleichen Prinzipien wie beim Test der übrigen Schaltung realisiert. Dabei sind der Entwurf der Schaltung nach Scan-path-Prinzipien und ein einfaches Steuerprinzip im „Testmodus“ zu gewährleisten.

In Lösung dieser Aufgabe kommt eine Anordnung zum Test digitaler Schaltungen mit konfigurierbaren, in den Test einbezogenen Takterzeugungsschaltungen zur Anwendung, welche Dateneingänge und einen Schiebedateneingang, Datenausgänge und einen Schiebedatenausgang sowie Takt- und Steuersignaleingänge besitzt. Sie enthält eine Flipflop-Anordnung aus mindestens zwei und maximal drei getakteten, seriell verschalteten Latches. Diese ist dergestalt ausgeführt, daß die Datenausgänge der Latches jeweils auf den Dateneingang des nachfolgenden Latches gelegt sind und daß dem Dateneingang des ersten Latches ein Multiplexer vorgeschaltet ist, dessen Dateneingänge an den Dateneingängen und dem Schiebedateneingang der Anordnung angeschlossen sind.

Erfindungsgemäß sind nun ein Schaltungstakt ST, ein Testtakt TT und ein Schaltungstaktunterdrückungssignal /SU auf die entsprechenden Eingänge eines nichtlinearen, die logische Funktion $T = ST * /SU + TT$ realisierenden Netzwerkes geführt, an dessen Ausgang der generierte Steuertakt T gelegt ist. Das Schaltungstaktunterdrückungssignal /SU ist weiterhin auf den Steuereingang des Multiplexers geführt. Der Takteingang des ersten Latches ist negiert und der Takteingang des zweiten Latches ist nichtnegiert am vom nichtlinearen Netzwerk generierten Steuertakt angeschlossen. Der Takteingang des ggf. vorhandenen dritten Latches ist an das Schaltungstaktunterdrückungssignal /SU gelegt. Bestimmte Datenausgänge der genannten Latches realisieren die Datenausgänge und den Schiebedatenausgang der Anordnung.

Dabei ist der Schaltungstakt ST ein Takt, der durch eine konfigurierbare Takterzeugungsschaltung in der digitalen Schaltung abgeleitet werden kann. Testtakt TT sowie Schaltungstaktunterdrückungssignal /SU sind zu Testzwecken ergänzte, über zwei zusätzliche Pins eingespeiste unabhängige Signale.

In einer ersten Ausgestaltungsvariante stellt die Flipflop-Anordnung ein scan-path-fähiges Master-Slave-Flipflop dar. Dazu enthält die Flipflop-Anordnung vorzugsweise zwei seriell verschaltete Latches; der Datenausgang und der Schiebedatenausgang der Anordnung sind am Datenausgang des zweiten Latches sowie der negierte Datenausgang der Anordnung am negierten Datenausgang des zweiten Latches angeschlossen.

In einer zweiten Ausgestaltungsvariante stellt die Flipflop-Anordnung ein scan-path-fähiges Master-Slave-Flipflop dar, das für den Test von Stuck-open-Fehlern ausgelegt ist. Dazu enthält die Flipflop-Anordnung vorzugsweise drei seriell verschaltete Latches; der Schiebedatenausgang der Anordnung ist am Datenausgang des zweiten Latches, der Datenausgang der Anordnung am Datenausgang des dritten Latches sowie der negierte Datenausgang der Anordnung am negierten Datenausgang des dritten Latches angeschlossen.

In einer dritten Ausgestaltungsvariante stellt die Flipflop-Anordnung eine scan-path-fähige Latchanordnung dar. Dazu enthält die Flipflop-Anordnung vorzugsweise zwei seriell verschaltete Latches; der Schiebedatenausgang der Anordnung ist am Datenausgang des zweiten Latches, der Datenausgang der Anordnung am Datenausgang des ersten Latches sowie der negierte Datenausgang der Anordnung am negierten Datenausgang des ersten Latches angeschlossen.

In einer vierten Ausgestaltungsvariante stellt die Flipflop-Anordnung eine scan-path-fähige Latchanordnung dar, die für den Test von Stuck-open-Fehlern ausgelegt ist. Dazu enthält die Flipflop-Anordnung vorzugsweise zwei seriell verschaltete Latches, wobei der Datenausgang des ersten Latches zusätzlich auf den Dateneingang eines dritten Latches geführt ist, dessen Takteingang am Schaltungstaktunterdrückungssignal /SU liegt. Der Schiebedatenausgang der Anordnung ist am Datenausgang des zweiten Latches, der Datenausgang der Anordnung am Datenausgang des dritten Latches sowie der negierte Datenausgang der Anordnung am negierten Datenausgang des dritten Latches angeschlossen.

In einer weiteren ersten Ausgestaltungsvariante ist das nichtlineare, die logische Funktion $T = ST * /SU + TT$ realisierende Netzwerk dergestalt ausgeführt, daß der Schaltungstakt ST über den zweiten Eingang des Netzwerkes auf den ersten und das Schaltungstaktunterdrückungssignal /SU über den ersten Eingang des Netzwerkes auf den zweiten Eingang eines UND-Gatters geführt sind. Der Ausgang des UND-Gatters ist an den ersten und der über den dritten Eingang des Netzwerkes angeschlossene Testtakt ist an den zweiten Eingang eines ODER-Gatters gelegt, dessen Ausgang den Ausgang des Netzwerkes realisiert.

In einer weiteren zweiten Ausgestaltungsvariante ist das nichtlineare, die logische Funktion $T = ST * /SU + TT$ realisierende Netzwerk dergestalt ausgeführt, daß der Testtakt TT über den dritten Eingang des Netzwerkes auf den ersten Eingang eines ODER-Gatters und den ersten Dateneingang eines Multiplexers sowie der Schaltungstakt ST auf den zweiten Eingang des ODER-Gatters geführt sind. Der Ausgang des ODER-Gatters ist an den zweiten Dateneingang des Multiplexers gelegt, dessen Steuereingang über den ersten Eingang des Netzwerkes am Schaltungstaktunterdrückungssignal /SU angeschlossen ist. Der Datenausgang des Multiplexers realisiert den Ausgang des Netzwerkes.

Dabei sind die einzelnen Ausgestaltungsvarianten der Flipflop-Anordnung und des nichtlinearen, die genannte logische Funktion ausführenden Netzwerkes beliebig miteinander zur erfindungsgemäßen Anordnung kombinierbar.

Die Erfindung ermöglicht den Entwurf der Schaltung nach Scan-path-Prinzipien und realisiert ein einfaches Steuerprinzip im „Testmodus“. Die Flipflops sind frei wählbar in beliebiger Reihenfolge zu einem oder mehreren Schieberegistern zusammenschaltbar.

In der gesamten Schaltung, eingeschlossen der Takterzeugungsschaltung, ist der Test der Stuck-open-Fehler durch Einstellbarkeit eines Initialisierungswertes und eines Testwertes möglich, da innerhalb der erfindungsgemäßen Anordnung die gleichen Datenwege durchlaufen werden.

Die erfindungsgemäße Lösung gestattet den Test von komplexen digitalen Schaltungen, ohne daß alle Taktsignale direkt über Schaltkreispins eingespeist werden müssen, indem die Ableitung mehrerer Taktsignale von einem Systemtakt gestützt wird. Weiterhin wird die Lösung des bei Verwendung mehrerer voneinander verschiedener Taktsignale auf einem Chip auftretenden Synchronisationsproblems gesichert. Der Test der Takterzeugungsschaltung erfolgt analog dem Test der übrigen Schaltung.

Ausführungsbeispiel

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen und sieben Zeichnungen näher erläutert. Dabei zeigen

- Fig. 1: das Blockschaltbild der erfindungsgemäßen Anordnung
 Fig. 2 a: eine erste Ausführung des nichtlinearen Netzwerkes
 Fig. 2 b: eine zweite Ausführung des nichtlinearen Netzwerkes
 Fig. 3 a: die Flipflopordnung als Master-Slave-Flipflop
 Fig. 3 b: die Flipflopordnung als Master-Slave-Flipflop, geeignet für den Test von Stuck-open-Fehlern
 Fig. 3 c: die Flipflopordnung als Latchanordnung
 Fig. 3 d: die Flipflopordnung als Latchanordnung, geeignet für den Test von Stuck-open-Fehlern.

Wie in Fig. 1 dargestellt, besteht die erfindungsgemäße Anordnung aus zwei Komponenten, der Flipflopordnung 1 und dem nichtlinearen, die logische Funktion $T = ST * /SU + TT$ realisierenden Netzwerk 2 (im weiteren als Netzwerk 2 bezeichnet). Sie führt einen Dateneingang D, einen Schiebedateneingang DS, einen Datenausgang Q, einen negierten Datenausgang /Q, einen Schiebedatenausgang QS und jeweils einen Eingang für den Schaltungstakt ST, den Testtakt TT und das Schaltungstaktunterdrückungssignal /SU.

Dabei sind der Dateneingang D der Anordnung auf den Dateneingang DF der Flipflopordnung 1 und der Schiebedateneingang DS auf den Schiebedateneingang DSF der Flipflopordnung 1 geführt. Der Datenausgang Q der erfindungsgemäßen Anordnung ist durch den Datenausgang QF der Flipflopordnung 1, der negierte Datenausgang /Q durch den negierten Datenausgang /QF und der Schiebedatenausgang QS durch den Schiebedatenausgang QSF der Flipflopordnung 1 realisiert.

Das Schaltungstaktunterdrückungssignal /SU ist auf den ersten Eingang EU des Netzwerkes 2, der Schaltungstakt ST auf dessen zweiten Eingang ES und der Testtakt TT auf dessen dritten Eingang ET gelegt. Der Ausgang AT des Netzwerkes 2 führt den generierten Steuertakt T und ist mit dem Takteingang TE der Flipflopordnung 1 verbunden. Das Schaltungstaktunterdrückungssignal /SU ist weiterhin am Modussteuereingang der Flipflopordnung 1 angeschlossen. Die Arbeitsweise des Netzwerkes 2 ist wie folgt anzugeben:

EU	ES	ET	AT	
1	x	0	= ES	
x	x	1	1	
0	x	0	0	(x ... beliebig)

Für die Funktionsweise der Schaltung werden zwei Moden unterschieden, der „Anwendermodus“ und der „Testmodus“. Im „Anwendermodus“ hat das Schaltungstaktunterdrückungssignal /SU den Wert „1“ und der Testtakt TT konstant „0“. Am Takteingang TE der Flipflopordnung 1 liegt damit der Schaltungstakt ST an.

Im „Testmodus“ sind drei Betriebsarten zu unterscheiden: der Schiebetakt, der Initialisierungstakt und der Arbeitstakt.

Im Schiebetakt ist /SU = 0. Unabhängig vom Schaltungstakt ST liegt am Takteingang TE der Flipflopordnung 1 der Testtakt TT.

Im Initialisierungstakt werden zwei Taktphasen unterschieden. In der ersten Taktphase sind /SU = TT = 1. Damit liegt am Takteingang TE ebenfalls „1“. In der zweiten Taktphase sind /SU = TT = 0 und an TE liegt „0“.

Im Arbeitstakt ist /SU = 1. Es werden wiederum zwei Taktphasen unterschieden. In der ersten Taktphase ist TT = 1. Damit liegt am Takteingang TE der Flipflopordnung 1 unabhängig vom Schaltungstakt ST der Wert „1“. In der zweiten Taktphase ist TT = 0. Damit bestimmt der Schaltungstakt ST den Wert am Takteingang TE. Ist ST = 1, so bleibt am Takteingang TE der Wert „1“ aus der ersten Taktphase erhalten. Ist ST = 0, so stellt sich auch am Takteingang TE der Wert „0“ ein.

Eine erste Ausgestaltungsvariante des Netzwerkes 2 ist in Fig. 2 a angegeben. Dabei sind der zweite Eingang ES des Netzwerkes 2 auf den ersten und der erste Eingang EU des Netzwerkes 2 auf den zweiten Eingang eines UND-Gatters 3 geführt. Der Ausgang des UND-Gatters ist an den ersten Eingang eines ODER-Gatters gelegt, dessen zweiter Eingang am dritten Eingang ET des Netzwerkes 2 angeschlossen ist und dessen Ausgang den Ausgang AT des Netzwerkes 2 realisiert.

Fig. 2 b zeigt eine zweite Ausgestaltungsvariante des Netzwerkes 2. Hierbei ist der dritte Eingang ET des Netzwerkes 2 mit dem ersten Eingang eines ODER-Gatters 5 und dem ersten Dateneingang DO eines Multiplexers 6 sowie der zweite Eingang ES des Netzwerkes 2 mit dem zweiten Eingang des ODER-Gatters 5 verbunden. Der Ausgang des ODER-Gatters 5 ist an den zweiten Dateneingang D 1 des Multiplexers 6 gelegt, dessen Steuereingang S am ersten Eingang EU des Netzwerkes 2 angeschlossen ist. Der Ausgang A des Multiplexers 6 realisiert den Ausgang AT des Netzwerkes 2.

Beide Ausgestaltungsvarianten des Netzwerkes 2 sind in ihrer Funktion identisch und realisieren die logische Verknüpfung $AT = ES * EU + ET$ und damit entsprechend der Beschaltung des Netzwerkes 2 gemäß Fig. 1 die logische Verknüpfung $T = ST * /SU + TT$.

Fig. 3 a zeigt die Flipflopordnung 1 in einer ersten Ausgestaltungsvariante als scan-path-fähiges Master-Slave-Flipflop. Dabei ist der Schiebedateneingang DSF der Flipflopordnung 1 auf den ersten Dateneingang DO und der Dateneingang DF der Flipflopordnung 1 auf den zweiten Dateneingang D 1 des Multiplexers 7 geführt. Dessen Steuereingang S ist am Modussteuereingang ME der Flipflopordnung 1 und über diesen am Schaltungstaktunterdrückungssignal /SU

angeschlossen. Sein Datenausgang A ist auf den Dateneingang DL des ersten Latches 8.1 gelegt. Der Takteingang TL des Latches 8.1 ist über einen Inverter 9 auf den Takteingang TE der Flipflopordnung 1 geführt. Sein Ausgang QL realisiert den Dateneingang DL des nachfolgenden Latches 8.2, dessen Takteingang TL nichtnegiert am Takteingang TE angeschlossen ist. Der Ausgang QL des zweiten Latches 8.2 ist auf den Schiebedatenausgang QSF und den Datenausgang QF der Flipflopordnung 1 sowie der negierte Datenausgang /QL des Latches 8.2 auf den negierten Datenausgang /QF geführt. Im folgenden sei die Funktionsweise der Flipflopordnung 1 gemäß Fig. 3 a erläutert.

Hierbei hat der Multiplexer 7 folgende Arbeitsweise: Führt sein Steuereingang S den Wert „0“, so wird der Wert des Dateneinganges DO an den Datenausgang A geschaltet. Liegt der Steuereingang S auf „1“, so wird der Wert des Dateneinganges D 1 an den Datenausgang A geschaltet.

Die Arbeitsweise der Latches 8.i ist folgende: Führt der Takteingang TL den Wert „1“, so wird der am Dateneingang DL liegende Wert wahr an den Datenausgang QL und invertiert an den negierten Datenausgang /DL geschaltet. Das Latch übernimmt Daten. Hat der Takteingang TL den Wert „0“, wird der am Dateneingang DL liegende Wert nicht in das Latch 8.i übernommen; das Latch speichert. Der Wert am Datenausgang QL und der am negierten Datenausgang /QL bleiben unverändert.

Im „Anwendermodus“ führt der Modussteuereingang ME den Wert „1“. In einer ersten Taktphase liegt am Takteingang TE der Wert „1“ an. Das Latch 8.1 speichert seinen Zustand. Das Latch 8.2 übernimmt den Zustand vom Latch 8.1 und schaltet ihn auf den Schiebedatenausgang QSF, den Datenausgang QF und invertiert auf den negierten Datenausgang /QF durch. In einer zweiten Taktphase hat der Takteingang TE den Wert „0“. Das Latch 8.1 übernimmt wegen ME = 1 den am Dateneingang DF anliegenden Wert. Latch 8.2 speichert seinen Zustand; an den Ausgängen QSF, QF, /QF ergeben sich keine Änderungen. Im „Testmodus“ sind Schiebetakt und Arbeitstakt auszuführen. Diese unterscheiden sich dabei nur in ihrer zweiten Taktphase; ihre erste Taktphase entspricht der ersten Taktphase des „Anwendermodus“. Im Schiebetakt führt der Modussteuereingang ME den Wert „0“, im Arbeitstakt den Wert „1“. In der zweiten Taktphase des Schiebetaktes übernimmt das Latch 8.1 Daten über den Schiebedateneingang DSF; die Werte an den Ausgängen QSF, QF, /QF ändern sich nicht. In der zweiten Taktphase des Arbeitstaktes sind zwei Fälle zu unterscheiden. Im ersten Fall behält der Takteingang TE den Wert „1“. Damit ergeben sich zur ersten Taktphase keine Änderungen. Im zweiten Fall nimmt der Takteingang TE den Wert „0“ an. Latch 8.1 übernimmt jetzt Daten von Dateneingang DF wie in der zweiten Taktphase des „Anwendermodus“.

In Fig. 3 b ist die Flipflopordnung 1 in einer zweiten Ausgestaltungsvariante als scan-path-fähiges Master-Slave-Flipflop, konfiguriert für den Test von Stuck-open-Fehlern, dargestellt.

Hierbei ist der Schiebedateneingang DSF der Flipflopordnung 1 auf den ersten Dateneingang DO und der Dateneingang DF der Flipflopordnung 1 auf den zweiten Dateneingang D 1 des Multiplexers 7 geführt. Dessen Steuereingang S ist am Modussteuereingang ME der Flipflopordnung 1 angeschlossen.

Sein Datenausgang A ist auf den Dateneingang DL des ersten Latches 8.1 gelegt. Der Takteingang TL des Latches 8.1 ist über einen Inverter 9 auf den Takteingang TE der Flipflopordnung 1 geführt. Sein Ausgang QL realisiert den Dateneingang DL des nachfolgenden Latches 8.2, dessen Takteingang TL nichtnegiert am Takteingang TE angeschlossen ist. Der Ausgang QL des zweiten Latches 8.2 ist auf den Schiebedatenausgang QSF und den Dateneingang DL des dritten Latches 8.3 geführt, dessen Takteingang TL am Modussteuereingang ME der Flipflopordnung 1 liegt. Der Ausgang QL des Latches 8.3 realisiert den Datenausgang QF, sein negierter Datenausgang /QL den Datenausgang /QF der Flipflopordnung 1.

Die Funktionsweise dieser Ausgestaltungsvariante unterscheidet sich von der nach Fig. 3 a ausgeführten wie folgt:

Da am Modussteuereingang ME im Schiebetakt der Wert „0“ liegt, sichert das zusätzliche Latch 8.3 den Datenerhalt an den Datenausgängen QF und /QF.

Um den Test auf Stuck-open-Fehler zu ermöglichen, muß ein Initialisierungswert in Latch 8.3 eingeschoben werden. Dazu dient der Initialisierungstakt im Testmodus. In seiner ersten Taktphase führen Modussteuereingang ME und Takteingang TE den Wert „1“. Im Unterschied zur ersten Taktphase des Schiebetaktes übernimmt das Latch 8.3 den im vorangegangenen Schiebetakt in Latch 8.1 eingespeicherten Initialisierungswert über Latch 8.2. Der Initialisierungswert liegt dann entsprechend an den Datenausgängen QF und /QF an, bis in einem Arbeitstakt der eigentliche Testwert das Latch 8.3 auf dem gleichen Datenweg erreicht und durchläuft.

Fig. 3 c zeigt die Flipflopordnung 1 in einer dritten Ausgestaltungsvariante als scan-path-fähige Latchanordnung. Diese unterscheidet sich von der ersten Ausgestaltungsvariante nach Fig. 3 a dadurch, daß der Datenausgang QF der Flipflopordnung 1 nicht am Datenausgang QL des Latches 8.2, sondern an dem des Latches 8.1 und der negierte Datenausgang /QF äquivalent nicht am negierten Datenausgang /QL des Latches 8.2, sondern ebenfalls an dem des Latches 8.1 angeschlossen sind.

Damit ergibt sich folgende Funktionsweise:

Im „Anwendermodus“ liegt am Modussteuereingang ME der Wert „1“. In einer ersten Taktphase führt der Takteingang TE ebenfalls den Wert „1“. Latch 8.1 speichert seinen Zustand; die Werte der Datenausgänge QF und /QF bleiben konstant. Latch 8.2 übernimmt den Zustand von Latch 8.1 und schaltet ihn auf den Schiebedatenausgang QSF durch. In einer zweiten Taktphase liegt am Takteingang TE der Wert „0“ an. Latch 8.1 übernimmt, da ME = 1, den am Dateneingang DF anliegenden Wert und schaltet ihn auf den Datenausgang QF sowie invertiert auf den negierten Datenausgang /QF durch. Das Latch 8.2 speichert seinen Zustand; am Schiebedatenausgang QSF tritt keine Veränderung ein.

Im „Testmodus“ sind Schiebetakt und Arbeitstakt auszuführen. Diese unterscheiden sich wiederum nur in ihrer zweiten Taktphase; ihre erste Taktphase entspricht der ersten Taktphase des „Anwendermodus“. Im Schiebetakt führt der Modussteuereingang ME den Wert „0“, im Arbeitstakt den Wert „1“. In der zweiten Taktphase des Schiebetaktes übernimmt das Latch 8.1 den Wert am Schiebedateneingang DSF und schaltet ihn auf den Datenausgang QF und invertiert auf den negierten Datenausgang /QF; der Wert am Schiebedatenausgang ändert sich nicht. In der zweiten Taktphase des Arbeitstaktes sind wiederum zwei Fälle zu unterscheiden. Im ersten Fall behält der Takteingang TE den Wert „1“. Damit ändert sich gegenüber der ersten Taktphase nichts. Im zweiten Fall nimmt der Takteingang TE den Wert „0“ an. Latch 8.1 übernimmt Daten vom Dateneingang DF, die auf die Ausgänge QF und /QF durchgeschaltet werden. Am Schiebedatenausgang QSF kommt es zu keiner Veränderung.

Bei der in Fig. 3 d dargestellten Flipflopordnung 1 handelt es sich um eine scan-path-fähige Latchanordnung, konfiguriert für den Test von Stuck-open-Fehlern.

Dabei ist der Schiebedateneingang DSF der Flipflopordnung 1 auf den ersten Dateneingang DO und der Dateneingang DF der Flipflopordnung 1 auf den zweiten Dateneingang D1 des Multiplexers 7 geführt. Dessen Steuereingang S ist am Modussteuereingang ME der Flipflopordnung 1 und über diesen am Schaltungstaktunterdrückungssignal /SU angeschlossen. Sein Datenausgang A ist auf den Dateneingang DL des ersten Latches 8.1 gelegt. Der Takteingang TL des Latches 8.1 ist über einen Inverter 9 auf den Takteingang TE der Flipflopordnung 1 geführt. Sein Ausgang QL realisiert den Dateneingang DL des nachfolgenden Latches 8.2, dessen Takteingang TL wiederum nichtnegiert am Takteingang TE angeschlossen ist, sowie den Dateneingang DL eines zusätzlichen dritten Latches 8.4, dessen Takteingang am Modussteuereingang ME der Flipflopordnung 1 liegt. Der Ausgang QL des zweiten Latches 8.2 ist auf den Schiebedatenausgang QSF, der Datenausgang QL des dritten Latches 8.4 auf den Datenausgang QF und der negierte Datenausgang /QL des Latches 8.4 auf den negierten Datenausgang /QF der Flipflopordnung 1 geführt.

Die Funktionsweise der vierten Ausgestaltungsvariante unterscheidet sich von der nach Fig. 3c ausgeführten wie folgt:

Da das Modussteuersignal ME im Schiebetakt den Wert „0“ besitzt, sichert die zusätzliche Latchzelle 8.4 den Datenerhalt an den Datenausgängen QF und /QF. Um den Test auf Stuck-open-Fehler zu ermöglichen, ist wieder ein Initialisierungstakt im „Testmodus“ enthalten, in welchem ein Initialisierungswert in das Latch 8.4 eingeschoben wird.

In der ersten Taktphase des Initialisierungstaktes liegt am Modussteuereingang ME und am Takteingang TE der Wert „1“. Im Unterschied zur ersten Taktphase des Schiebetaktes übernimmt das Latch 8.4 den im vorangegangenen Schiebetakt in das Latch 8.1 eingespeicherten Initialisierungswert, der dann entsprechend an den Datenausgängen QF und /QF anliegt, bis in einem Arbeitstakt der eigentliche Testwert das Latch 8.4 auf dem gleichen Datenweg erreicht und durchläuft.

Der Test des Schaltungstaktes ST und der ihn ableitenden Taktschaltung erfolgt in der zweiten Taktphase des Arbeitstaktes im „Testmodus“.

Wird eine Taktschaltung zur Ableitung des Schaltungstaktes ST verwendet, so ist bei ihrer Realisierung über scan-path-fähige Master-Slave-Flipflops entsprechend den Fig. 3a und 3b gewährleistet, daß die Flipflops der Taktschaltung, wenn sie zum Test des Schaltungstaktes ST benutzt werden, während der zweiten Taktphase des Arbeitstaktes bei zusätzlicher Einstellung des Wertes „1“ am Eingang ES des Netzwerkes 2 den eingestellten Zustand behalten.

Die Einstellung des Schaltungstaktes ST für die Flipflops außerhalb der Taktschaltung erfolgt durch Einschieben im Schiebetakt des „Testmodus“.

Wird keine Taktschaltung zur Ableitung des Schaltungstaktes ST verwendet, so erfolgt im einfachsten Fall die Einstellung des Schaltungstaktes ST durch die Verwendung eines direkt über ein Pin eingespeisten Grundtaktes als Schaltungstakt ST.

Im Schiebetakt wird in das Latch 8.1 ein bestimmter Wert über den Schiebedateneingang DS eingeschoben. Am Dateneingang D wird der dazu inverse Wert eingestellt. Wird nun der Wert „1“ für den Schaltungstakt ST vorgegeben, so speichert das Latch 8.1 in der zweiten Taktphase des Arbeitstaktes seinen Zustand; der eingeschobene Wert ändert sich nicht. Wird der Wert „0“ für den Schaltungstakt ST eingestellt, so übernimmt das Latch 8.1 den Wert vom Dateneingang D. Der zuvor eingeschobene Wert wird damit vom inversen Wert überschrieben.

Die einzelnen Ausgestaltungsvarianten der Flipflopordnung 1 nach den Fig. 3a; 3b; 3c; 3d und des Netzwerkes 2 nach den Fig. 2a und 2b sind beliebig miteinander zur erfindungsgemäßen Anordnung kombinierbar.

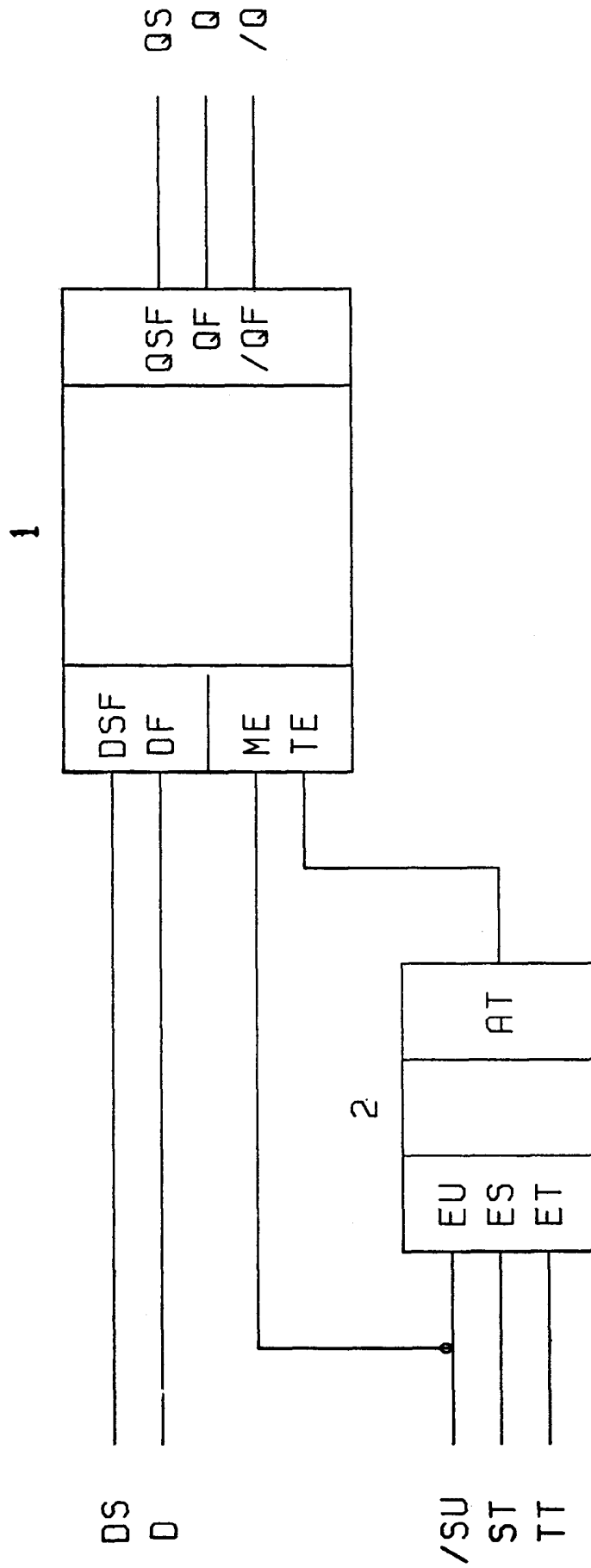


Fig. 1

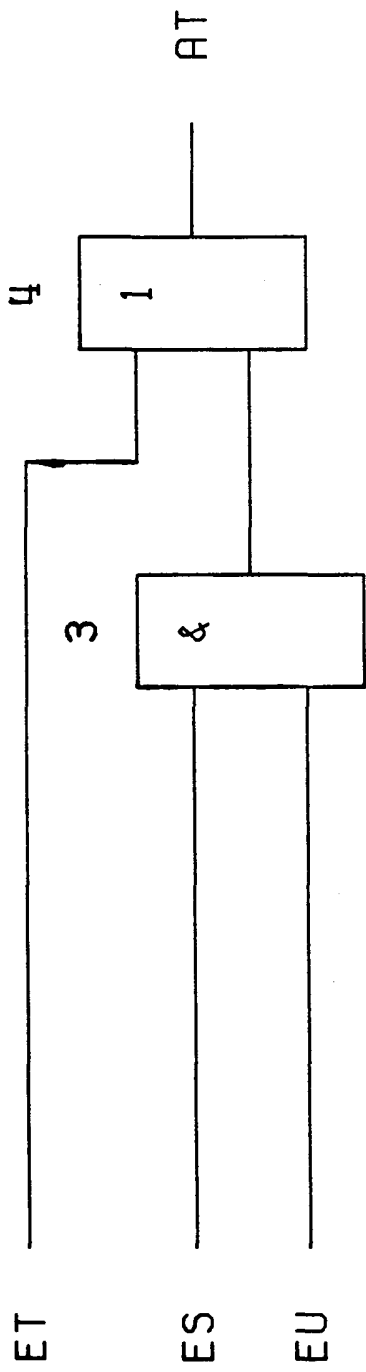


Fig. 2a

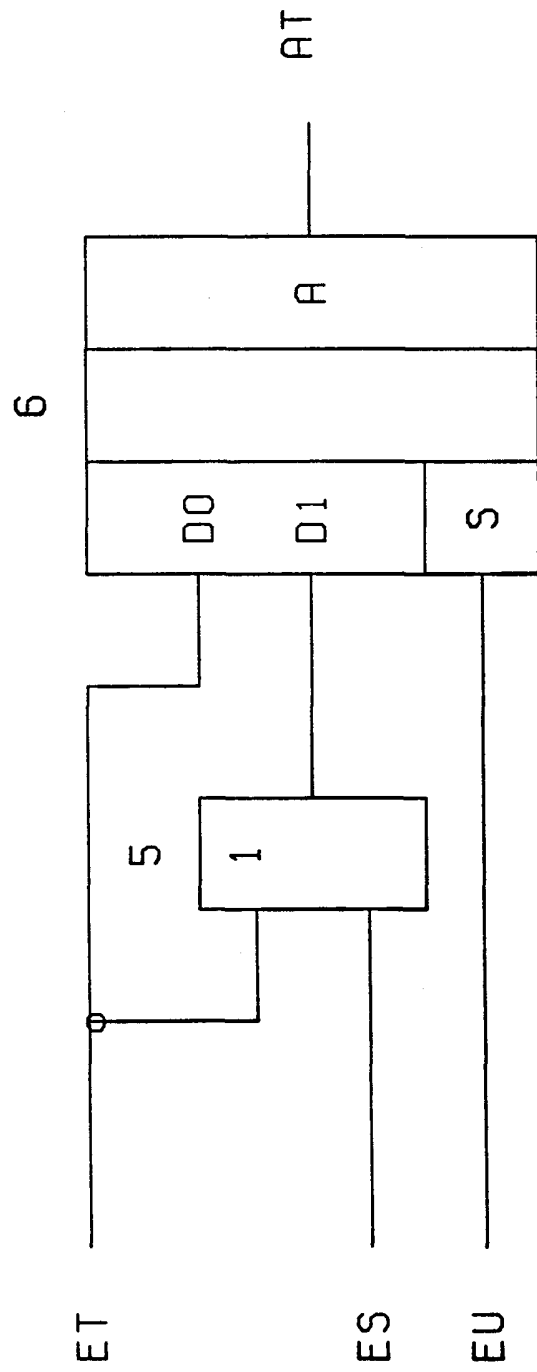


Fig. 2b

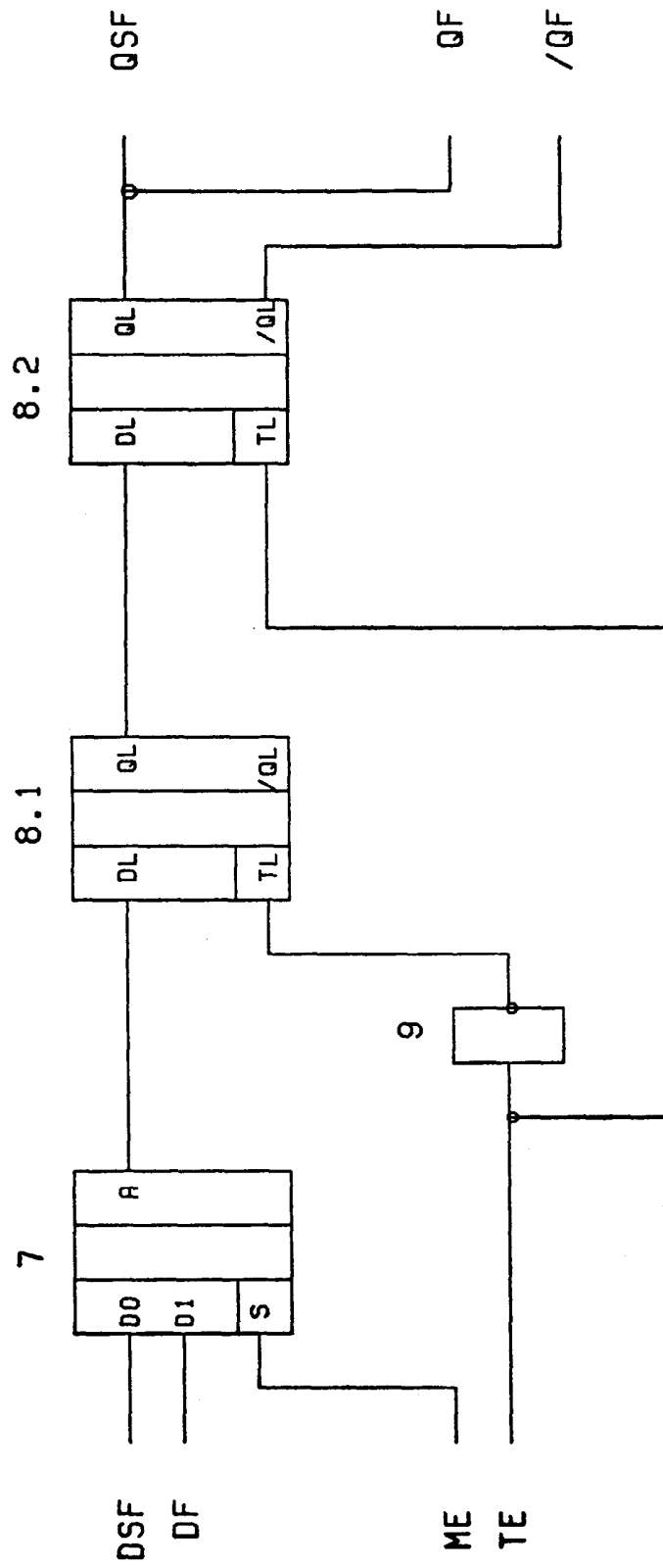


Fig. 3a

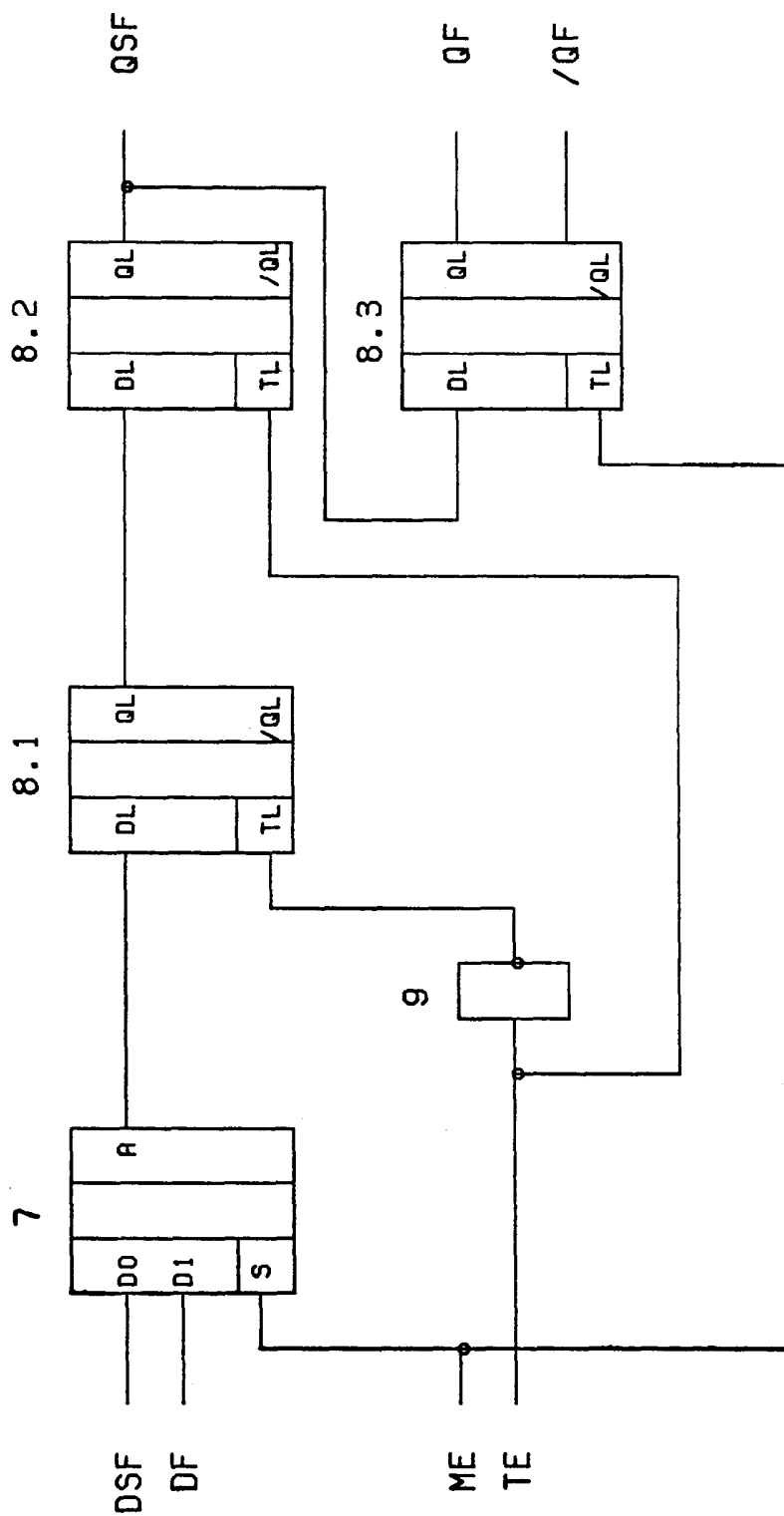


Fig. 3b

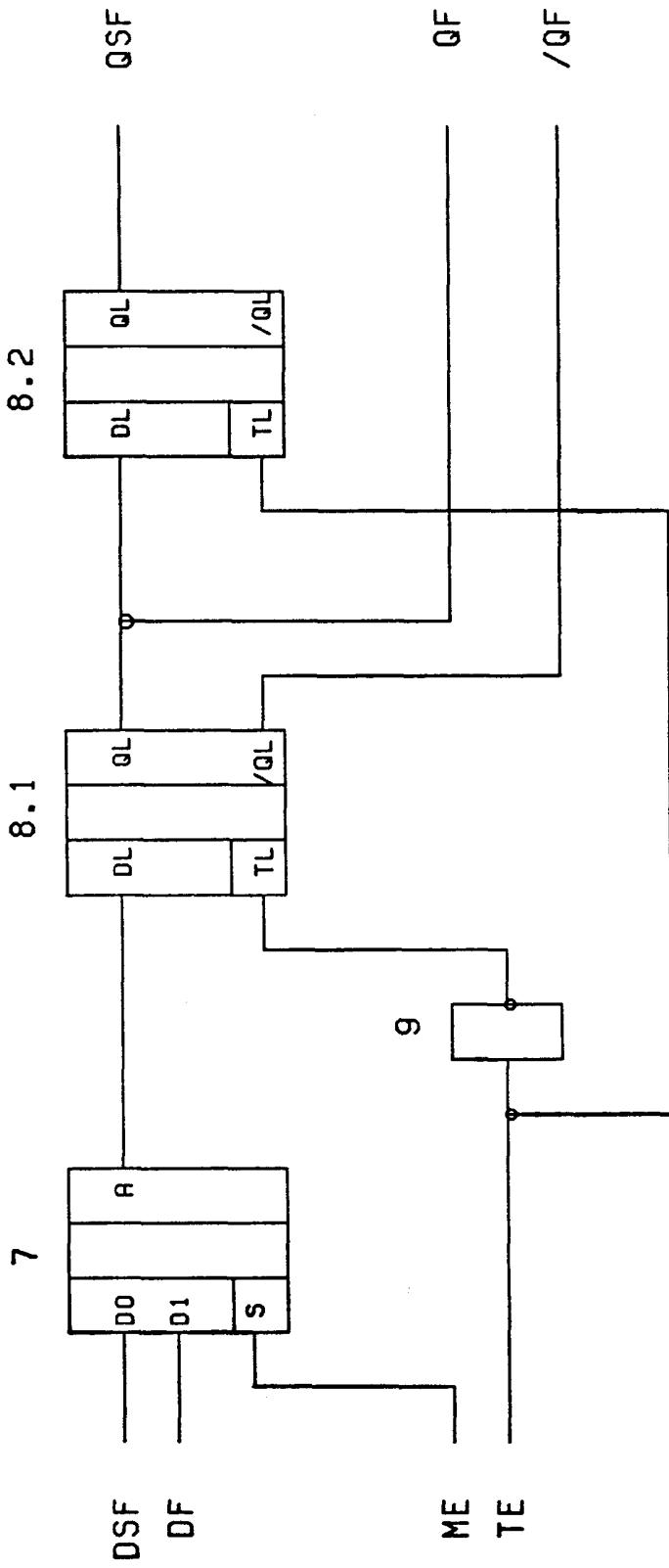


Fig. 3c

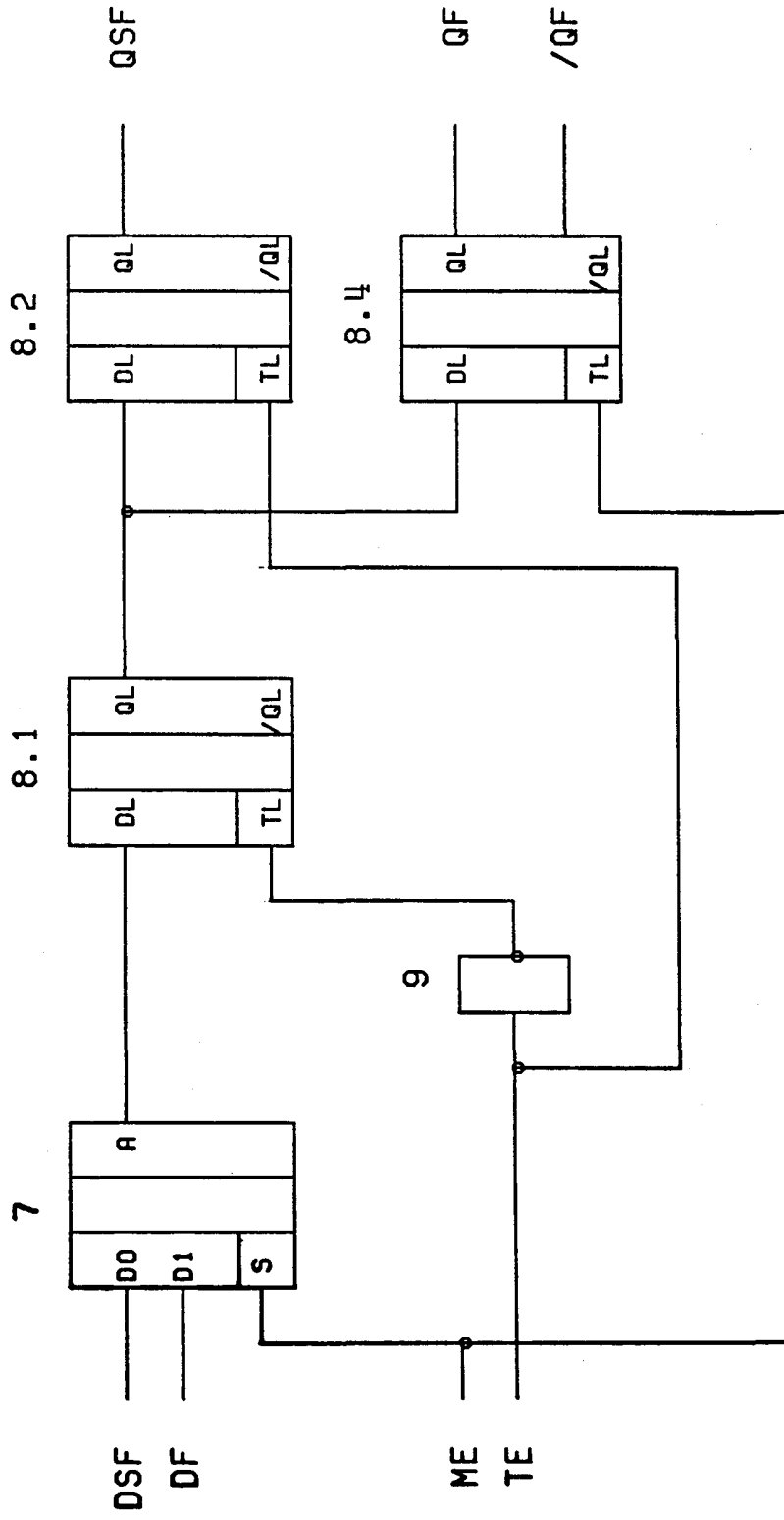


Fig. 3d