

Vynález se týká zapojení fázově impulsního převodníku diferenčního členu pro řízení polohy souřadnic obráběcího stroje při číslicovém řízení.

Jednou ze základních funkcí při číslicovém řízení obráběcích strojů je plynulé přestavování jednotlivých řízených souřadnic do žádaných poloh, definovanou posuvovou rychlostí, při dodržení programem zadané vzájemné funkční vazby mezi pohyby v jednotlivých souřadnicových směrech. Pro splnění těchto požadavků je kromě jiného třeba průběžně vyhodnocovat, s dostatečnou rychlostí a přesností, rozdíl mezi žádanou a skutečnou polohou, polohovou odchylku, které je řídicí veličinou pro ovládání pohonu souřadnic. Vyhodnocování polohové odchylky se provádí v diferenčním členu.

Dosud známé způsoby řešení diferenčních členů jsou navrženy s ohledem na typ použitého odměřovacího čidla. Při fázovém odměřování pomocí resolveru nebo induktosynu vyhodnocuje diferenční člen polohovou odchylku z vzájemného posuvu fáze frekvence výstupního harmonického průběhu z čidla oproti frekvenci vstupního harmonického průběhu, kterou se fázové čidlo napájí. Vlastní vyhodnocení polohové odchylky se provádí speciálními hardwareově zapojenými obvody, integrací v rytmu frekvence výstupního harmonického průběhu se opakujících impulsů, jejichž šířka je úměrná polohové odchylce.

Pro odměřování polohy inkrementálním rotačním nebo lineárním čidlem, nebo laserem se polohová odchylka v diferenčním členu vyhodnocuje průběžnou integrací kladných nebo záporných dráhových inkrementů vysílaných příslušným čidlem.

Tento způsob samostatně řešených diferenčních členů pro jednotlivé typy odměřovacích čidel má značné nevýhody. V první řadě je to potřeba minimálně dvou typů diferenčních členů, čímž vzrůstá sortiment desek plošných spojů karet systému.

Další nevýhodou známých diferenčních členů pro fázové odměřování je způsob připojení odměřovacích resolverů nebo induktozů, který neumožňuje využít v jeho centrální části mikropočítač.

Tyto nevýhody odstraňuje zapojení fázově impulsního převodníku podle vynálezu. Podstata vynálezu spočívá v tom, že blokovací vstup řídicího obvodu je spojen s blokovacím výstupem diferenčního čítače, jehož odchylkový impulsní vstup je spojen s odchylkovým impulsním výstupem řídicího obvodu. Zápisový výstup řídicího obvodu je spojen se zápisovým vstupem vyrovnávací paměti, s nulovacím vstupem děliče a s nulovacím vstupem data frekvenčního převodníku. Datový vstup data frekvenčního převodníku je spojen s hodnotovým výstupem vyrovnávací paměti, jejíž hodnotový vstup je spojen s odchylkovým výstupem diferenčního čítače. Nulovací vstup diferenčního členu je spojen s nulovacím výstupem řídicího obvodu, jehož znaménkový výstup je spojen se znaménkovým vstupem pulsního generátoru. Řídicí impulsní vstup pulsního generátoru je spojen s řídicím impulsním výstupem data frekvenčního převodníku, jehož impulsní vstup je spojen s vyděleným frekvenčním výstupem děliče. Frekvenční vstup děliče je spojen s řídicím frekvenčním výstupem pulsního generátoru a s impulsním vstupem impulsně fázového převodníku, jehož fázový výstup je spojen s fázovým vstupem řídicího obvodu.

Frekvenční vstup řídicího obvodu je spojen s frekvenčním vstupem pulsního generátoru a s frekvenčním výstupem časové základny. Hodinový vstup časové základny je spojen s hodinovým vstupem zapojení, jehož přičítací výstup je spojen s přičítacím výstupem pulsního generátoru. Odčítací výstup pulsního generátoru je spojen s odčítacím výstupem zapojení, jehož odměřovací vstup je spojen s odměřovacím vstupem řídicího obvodu.

Zapojení fázově impulsního převodníku má řadu výhod, z nichž nejhlavnější tkví v tom, že umožňuje připojení fázových čidel, resolveru nebo inuktosymu, k univerzálně řešenému diferenčnímu členu, který je vybaven pro příjem diskretních dráhových impulsů. Použitím univerzálního diferenčního členu, který může být řešen pomocí mikroprocesorové techniky, se redukuje sortiment jednotlivých typů diferenčních členů, čímž vzrůstá seriovost výroby a klesají jeho výrobní náklady.

Použití fázově impulsního převodníku přinese podstatné obvodové zmenšení diferenčního členu, čímž stoupá spolehlivost celkového uspořádání a klesají nároky na údržbu, opravy a servis. Další předností je dostatečná linearita rozprostření dráhových inkrementů v čase a eliminování vlivu Dopplerova efektu, který vzniká při použití fázových čidel.

Fázově impulsní převodník je řešen přehledným způsobem, což usnadní použití u nejrozličnějších obráběcích strojů.

Příklad zapojení diferenčního členu podle vynálezu je znázorněn na připojeném výkresu, v blokovém schématu.

Jednotlivé bloky je možno charakterizovat takto: Řídicí obvod 1 je vytvořen z logických prvků kombinačního a sekvenčního charakteru a slouží k vytváření potřebné posloupnosti impulsů pro řízení diferenčního čítače 2 a ke generaci potřebných řídicích signálů. Impulsně fázový převodník 2 je tvořen čítačem a logickými obvody

a slouží k převodu vstupních impulsů na posun fáze výstupního vyděleného průběhu. Diferenční čítač 3 je tvořen binárním čítačem, slouží k akumulaci dráhových impulsů ujeté polohy generovaných řídicím obvodem 1. Vyrovnávací paměť 4 je vytvořena z klopných obvodů typu D a uchovává informace o ujeté dráze načítací diferencním čítačem 3. Data frekvenční převodník 5 je obvod čítačového typu s pamětí a slouží k převodu zadanych údajů na pulsy, které generuje rovnoměrně v daných časových intervalech. Dělič 6 je realizován čítačem s pevnou délkou čítání, který dělí vstupní impulsy přicházející na vstup impulsně fázového převodníku 2. Pulsní generátor 7 je vytvořen z logických prvků kombinačního a sekvenčního charakteru. Slučuje vstupní frekvenci z časové základny 8 se vstupní frekvencí z data frekvenčního převodníku 5. Časová základna 8 je tvořena přesným generátorem impulsů s děliči pro vytvoření všech potřebných frekvencí pro jednotlivé obvody zapojení. Jednotlivé bloky jsou zapojeny takto:

Blokovací vstup 104 řídicího obvodu 1 je spojen s blokovacím výstupem 311 diferencního čítače 3. Odchylový impulsní vstup 301 diferencního čítače 3 je spojen s odchylkovým impulsním výstupem 111 řídicího obvodu 1. Zápisový výstup 112 řídicího obvodu 1 je spojen se zápisovým vstupem 401 vyrovnávací paměti 4, s nulovacím vstupem 602 děliče 6 a s nulovacím vstupem 502 data frekvenčního převodníku 5. Datový vstup 501 data frekvenčního převodníku 5 je spojen s hodnotovým výstupem 411 vyrovnávací paměti 4, jejíž hodnotový vstup 402 je spojen s odchylkovým výstupem 312 diferencního čítače 3. Nulovací vstup 302 diferencního čítače 3 je spojen s nulovacím výstupem 114 řídicího obvodu 1, jehož znaménkový výstup 113 je spojen se znaménkovým vstupem 702 pulsního generátoru 7. Řídicí impulsní vstup 703 pulsního generátoru 7 je spojen s řídicím impulsním výstupem 511 data frek-

venčního převodníku 5, jehož impulsní vstup 503 je spojen s vyděleným frekvenčním výstupem 611 děliče 6. Frekvenční vstup 601 děliče 6 je spojen s řídicím frekvenčním výstupem 711 pulsního generátoru 7 a s impulsním vstupem 201 impulsně fázového převodníku 2. Fázový výstup 211 impulsně fázového převodníku 2 je spojen s fázovým vstupem 102 řídicího obvodu 1. Frekvenční vstup 103 řídicího obvodu 1 je spojen s frekvenčním vstupem 701 pulsního generátoru 7 a s frekvenčním výstupem 811 časové základny 8. Hodinový vstup 801 časové základny 8 je spojen s hodinovým vstupem 52 zapojení. Přičítací výstup 53 zapojení je spojen s přičítacím výstupem 712 pulsního generátoru 7, jehož odčítací výstup 713 je spojen s odčítacím výstupem 54 zapojení. Odměřovací vstup 51 zapojení je spojen s odměřovacím vstupem 101 řídicího obvodu 1.

Zapojení pracuje takto. Z odměřovacího vstupu 51 zapojení se přivádí odměřovací frekvence, to je vytvarovaný výstupní periodický průběh z fázového odměřovacího čidla na odměřovací vstup 51 zapojení a odtud na odměřovací vstup 101 řídicího obvodu 1. Na fázový vstup 102 řídicího obvodu 1 se přivádí upravená frekvence, to je výstupní periodický průběh z fázového výstupu 211 impulsně fázového převodníku 2. Pro nepohybující se fázové odměřovací čidlo je odměřovací frekvence výstupního periodického průběhu z tohoto čidla přiváděná na odměřovací vstup 101 řídicího obvodu 1 rovná upravené frekvenci periodického průběhu z fázového výstupu 211 impulsně fázového převodníku 2. Odměřovací frekvence je rovná hodnotě

$$f_o = \frac{f_r}{n}$$

kde

f_o je odměřovací frekvence

f_r je řídicí frekvence pulsu přiváděného na impulsní vstup 201 impulsně fázového převodníku 2

n je dělicí poměr impulsně fázového převodníku 2

Dělicí poměr n impulsně fázového převodníku 2 odpovídá takovému počtu zadávaných dráhových inkrementů, který je nutný pro vyvození fázového posuvu výstupního průběhu z fázového odměřovacího čidla o 360° . Při nepohybujícím se fázovém odměřovacím čidle je řídicí frekvence pulsů přiváděných na impulsní vstup 201 impulsně fázového převodníku 2 rovná taktovací frekvenci pulsů vysílaných z frekvenčního výstupu 811 časové základny 8 na frekvenční vstup 701 pulsního generátoru 7 a na frekvenční vstup 103 řídicího obvodu 1. V praktickém příkladě fázově impulsního převodníku v diferenčním členu řídicího systému je taktovací frekvence 4 MHz, dělicí poměr n je 2000, jeden zadávaný dráhový inkrement odpovídá posuvu o $1 \mu\text{m}$ a upravená frekvence z fázového výstupu 211 impulsně fázového převodníku 2 je 2 kHz. Při pohybujícím se fázově odměřovacím čidle se vyhodnotí v řídicím obvodu 1 fázový posuv mezi náběžnou hranou odměřovací frekvence, to je výstupního periodického průběhu z fázově odměřovacího čidla a mezi náběžnou hranou upravené frekvence, to je výstupního periodického průběhu z impulsně fázového převodníku 2. Vyhodnocený fázový posuv představují šířkově modulované impulsy o upravené frekvenci. Po dobu trvání těchto šířkově modulovaných impulsů se vysílají z odchylkového impulsního výstupu 111 řídicího obvodu 1 odchylkové dráhové inkrementy a přecházejí na odchylkový impulsní vstup 301 diferenčního čítače 3. Diferenční čítač 3 je v potřebném předstihu vynulován nulovacím signálem z nulovacího výstupu 114 řídicího obvodu 1. Nulovací signál se přivádí na nulovací vstup 302 diferenčního čítače 3. Odchylkové dráhové inkrementy se vysílají taktovací frekvencí a jejich maximální počet φ_{max} vyslaný během trvání jednoho šířkově modulovaného impulsu může dosáhnout hodnoty

$$\varphi_{\text{max}} = \frac{n}{m}$$

kde

231 291

$\varphi_{\max}$ je maximální počet odchylkových dráhových inkrementů vyslaných během trvání jednoho šířkově modulovaného impulsu

m je koeficient

n je dělicí poměr impulsně fázového převodníku 2

Velikost koeficientu m se volí s ohledem na maximální přípustnou posuvovou rychlost a na míru bezpečnosti, při které nemůže dojít k nežádoucímu přeskočení výstupního periodického průběhu z fázového odměřovacího čidla proti výstupnímu periodickému průběhu z impulsně fázového převodníku 2 o jednu odměřovací zónu, to je o fázový posuv 360° nebo více. V praktickém příkladě je hodnota koeficientu m rovná 8 a maximální počet $\varphi_{\max}$ odchylkových dráhových inkrementů, vyslaný během trvání jednoho šířkově modulovaného impulsu, je roven hodnotě 225. Při dosažení maximální hodnoty $\varphi_{\max}$ odchylkových dráhových inkrementů v diferenčním čítači 3 se vyšle povel z blokovacího výstupu 311 diferenčního čítače 3 na blokovací vstup 104 řídicího obvodu 1 k zastavení přísunu odchylkových dráhových inkrementů do diferenčního čítače 3. V okamžiku příchodu závěrné hrany výstupního periodického průběhu z impulsně fázového převodníku 2 se vyšle ze zápisového výstupu 112 řídicího obvodu 1 impuls na zápisový vstup 401 vyrovnávací paměti 4. Tento impuls přepíše hodnotu načítaných dráhových inkrementů v diferenčním čítači 3, a to z jeho odchylkového výstupu 312 na hodnotový vstup 402 vyrovnávací paměti 4. Tento impuls se současně přivádí na nulovací vstup 502 data frekvenčního převodníku 5 a na nulovací vstup 602 děliče 6, kde slouží k vynulování data frekvenčního převodníku 5 a děliče 6. Z hodnotového výstupu 411 zadávací paměti 4 se zadává počet dráhových inkrementů na datový vstup

501 data frekvenčního převodníku 5. Dělič 6 dělí řídicí frekvenci pulsů přiváděných na jeho frekvenční vstup 601 hodnotou koeficientu m . Vydělenou frekvenci vysílá dělič 6 ze svého vyděleného frekvenčního výstupu 611 na impulsní vstup 503 data frekvenčního převodníku 5 pro jeho taktování. Rozdílová frekvence pulsů vysílaných z řídicího impulsního výstupu 511 data frekvenčního převodníku 5 na řídicí impulsní vstup 703 pulsního generátoru 7 je rovná

$$f_d = \frac{f_i \cdot \varphi \cdot m}{n}$$

kde

f_d je rozdílová frekvence pulsů vysílaných z řídicího impulsního výstupu 511 data frekvenčního převodníku 5

m je koeficient, volený s ohledem na maximální přípustnou posuvovou rychlost

f_i je vydělená frekvence

φ je počet dráhových inkrementů

n je dělicí poměr impulsně fázového převodníku 2

V pulsním generátoru 7 se přičtou nebo odečtou pulsy o rozdílné frekvenci k frekvenci pulsů o taktovací frekvenci vysílaných na jeho frekvenční vstup 701. O přičtení nebo odečtení pulsů o rozdílové frekvenci rozhoduje znaménkový signál přiváděný ze znaménkového výstupu 113 řídicího obvodu 1 na znaménkový vstup 702 pulsního generátoru 7. Jestliže se v řídicím obvodu 1 vyhodnotí předbíhání náběžné hrany výstupního periodického průběhu z fázového odměřovacího čidla, který se přivádí na odměřovací vstup 101 řídicího obvodu 1, před náběžnou hranou

výstupního periodického průběhu z impulsně fázového převodníku 2, který se přivádí z jeho fázového výstupu 211 na fázový vstup 102 řídicího obvodu 1, potom se vyhodnotí kladný fázový posuv a pulsy o rozdílové frekvenci se přičítají k pulsům o taktovací frekvenci. Upravená frekvence na odchylkovém impulsním výstupu 211 impulsně fázového převodníku 2 se zvýší a její náběžná hrana dožene náběžnou hranu odměřovací frekvence z fázového odměřovacího čidla. Z přičítacího výstupu 53 zapojení se v tomto případě vysílají tak zvané kladné dráhové inkrementy, jejichž počet se rovná počtu pulsů vysílaných na řídicí impulsní vstup 703 pulsního generátoru 7 rozdílovou frekvencí. Tento počet vysílaných impulsů odpovídá změně polohy odměřované fázovým čidlem v kladném směru. V případě, kdy se v řídicím obvodu 1 vyhodnotí zaostávání náběžné hrany odměřovací frekvence z fázového odměřovacího čidla před náběžnou hranou upravené frekvence z impulsně fázového převodníku 2 se vyhodnotí záporný fázový posuv. Pulsy vysílané rozdílovou frekvencí se odečítají od pulsů taktovací frekvence. Upravená frekvence periodického průběhu z impulsně fázového převodníku 2 se sníží a náběžná hrana odměřovací frekvence periodického průběhu z fázového odměřovacího čidla naopak dožene náběžnou hranu pulsů upravené frekvence vysílané z impulsně fázového převodníku 2. Z odečítacího výstupu 54 zapojení se v tomto případě vysílají tak zvané záporné dráhové inkrementy, jejichž počet se rovná počtu pulsů vysílaných rozdílovou frekvencí, což odpovídá změně polohy odměřované fázovým čidlem v záporném směru. Časová základna 8 se symetrizuje hodinovými pulsy, které se přivádějí na její hodinový vstup 801 z hodinového vstupu 52 zapojení.

Vynálezu se využije při číslicovém řízení obráběcích a jiných výrobních strojů.

PŘEDMĚT VYNÁLEZU

231 291

Zapojení fázově impulsního převodníku, vyznačující se tím, že blokovací vstup (104) řídicího obvodu (1) je spojen s blokovacím výstupem (311) diferenčního čítače (3), jehož odchylkový impulsní vstup (301) je spojen s odchylkovým impulsním výstupem (111) řídicího obvodu (1), jehož zápisový výstup (112) je spojen se zápisovým vstupem (401) vyrovnávací paměti (4), s nulovacím vstupem (602) děliče (6) a s nulovacím vstupem (502) data frekvenčního převodníku (5), jehož datový vstup (501) je spojen s hodnotovým výstupem (411) vyrovnávací paměti (4), jejíž hodnotový vstup (402) je spojen s odchylkovým výstupem (312) diferenčního čítače (3), jehož nulovací vstup (302) je spojen s nulovacím výstupem (114) řídicího obvodu (1), jehož znaménkový výstup (113) je spojen se znaménkovým vstupem (702) pulsního generátoru (7), jehož řídicí impulsní vstup (703) je spojen s řídicím impulsním výstupem (511) data frekvenčního převodníku (5), jehož impulsní vstup (503) je spojen s vyděleným frekvenčním výstupem (611) děliče (6), jehož frekvenční vstup (601) je spojen s řídicím frekvenčním výstupem (711) pulsního generátoru (7) a s impulsním vstupem (201) impulsně fázového převodníku (2), jehož fázový výstup (211) je spojen s fázovým vstupem (102) řídicího obvodu (1), jehož frekvenční vstup (103) je spojen s frekvenčním vstupem (701) pulsního generátoru (7) a s frekvenčním výstupem (811) časové základny (8), jejíž hodinový vstup (801) je spojen s hodinovým vstupem (52) zapojení, jehož přičítací výstup (53) je spojen s přičítacím výstupem (712) pulsního generátoru (7), jehož odčítací výstup (713) je spojen s odčítacím výstupem (54) zapojení, jehož odměřovací vstup (51) je spojen s odměřovacím vstupem (101) řídicího obvodu (1).

1 výkres

