



(12) 发明专利申请

(10) 申请公布号 CN 102543941 A

(43) 申请公布日 2012. 07. 04

(21) 申请号 201110447057. 2

(22) 申请日 2011. 12. 28

(30) 优先权数据

10-2010-0137228 2010. 12. 28 KR

13/177, 103 2011. 07. 06 US

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 金中植 李东奕 李镐哲 柳长佑

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邵亚丽

(51) Int. Cl.

H01L 23/52(2006. 01)

H01L 25/065(2006. 01)

H01L 27/105(2006. 01)

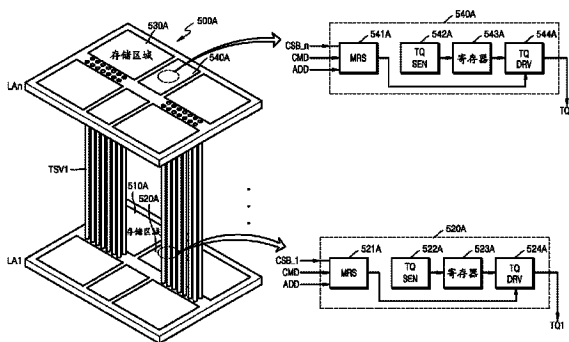
权利要求书 5 页 说明书 18 页 附图 23 页

(54) 发明名称

半导体器件、半导体存储器件及其操作方法

(57) 摘要

公开了用于在多个半导体层之间稳定地传送信号的采用了堆叠结构的半导体器件、存储器件、系统和方法。所述器件包括至少第一半导体芯片和至少一个贯通衬底通路，该第一半导体芯片包括第一温度传感器电路，该第一温度传感器电路被配置成输出与第一半导体芯片相关的第一温度信息。



1. 一种用于半导体封装的半导体器件,该半导体器件包括:
至少第一半导体芯片,其包括第一温度传感器电路,该第一温度传感器电路被配置成输出与第一半导体芯片相关的第一温度信息;
第一凸起,其电连接到第一温度传感器电路而不电连接到贯通衬底通路;以及
第二凸起,其电连接到第一半导体芯片的贯通衬底通路。
2. 如权利要求 1 所述的半导体器件,其中,所述第一温度信息基于第一半导体芯片的温度。
3. 如权利要求 1 所述的半导体器件,还包括:
至少第二半导体芯片,其堆叠在第一半导体芯片上,其中,该第二半导体芯片与第一半导体芯片相同。
4. 如权利要求 3 所述的半导体器件,还包括:
堆叠在第一半导体芯片上的至少第三半导体芯片和第四半导体芯片,其中,所述第三半导体芯片和第四半导体芯片中的每一个与第一半导体芯片相同。
5. 如权利要求 1 所述的半导体器件,还包括:
封装衬底,
其中,所述第一凸起和第二凸起将第一半导体芯片电连接到该封装衬底。
6. 如权利要求 1 所述的半导体器件,还包括:
堆叠在第一半导体芯片上的第二半导体芯片,
其中,所述第二半导体芯片包括电连接到贯通衬底通路的第二温度传感器电路。
7. 如权利要求 6 所述的半导体器件,其中:
所述第一凸起和第二凸起电连接到封装衬底而未经贯通衬底通路;并且
所述第二温度传感器电路通过至少一个贯通衬底通路电连接到封装衬底。
8. 一种半导体封装,包括:
封装衬底;以及
在封装衬底上的第一半导体芯片,该第一半导体芯片包括多个贯通衬底通路,用于向封装衬底传送信号,
其中,所述第一半导体芯片包括第一温度传感器电路,其电耦合到封装衬底,并且
所述第一半导体芯片被配置成不利用贯通衬底通路将温度信息从第一温度传感器电路传送到封装衬底。
9. 一种半导体器件,包括:
堆叠排列的多个半导体芯片;以及
第一组多个贯通衬底通路,所述第一组多个贯通衬底通路中的每一个位于多个半导体芯片中的相应的一个半导体芯片中,其中,所述第一组多个贯通衬底通路垂直对齐成第一叠贯通衬底通路,
其中,所述多个半导体芯片中的第一半导体芯片包括第一温度传感器电路,该第一温度传感器电路耦合到所述第一组多个贯通衬底通路中的至少一个。
10. 如权利要求 9 所述的半导体器件,其中:
所述多个半导体芯片中的第二半导体芯片包括第二温度传感器电路。
11. 如权利要求 10 所述的半导体器件,其中:

第一半导体芯片和第二半导体芯片具有相同的电路布局。

12. 如权利要求 10 所述的半导体器件,其中:

所述第一温度传感器电路和第二温度传感器电路都耦合到所述第一叠贯通衬底通路。

13. 如权利要求 12 所述的半导体器件,其中,所述第一温度传感器电路和第二温度传感器电路都被配置成将温度信息传送到第一叠贯通衬底通路,并且还包括:

选择电路,其被配置成在第一温度传感器电路和第二温度传感器电路之间进行选择以将温度信息输出到所述第一叠贯通衬底通路。

14. 如权利要求 13 所述的半导体器件,其中:

所述选择电路包括第一熔丝单元和第二熔丝单元,所述第一熔丝单元和第二分别耦合到第一半导体芯片和第二半导体芯片。

15. 如权利要求 13 所述的半导体器件,其中:

所述选择电路在制造阶段被构造,并且在制造完成后不能被改变。

16. 如权利要求 13 所述的半导体器件,其中:

所述选择电路包括连接到控制器的电路,该电路被配置成从控制器接收一个或多个信号,所述选择电路响应于所述一个或多个信号在所述第一温度电路和第二温度电路之间进行选择。

17. 如权利要求 13 所述的半导体器件,其中:

所述选择电路连接到一叠贯通衬底通路以接收一个或多个信号。

18. 如权利要求 17 所述的半导体器件,其中:

所述一个或多个信号是下列之一:模式寄存器设置代码、命令信号、地址信号或时钟信号。

19. 如权利要求 10 所述的半导体器件,还包括:

第二组多个贯通衬底通路,所述第二组多个贯通衬底通路中的每一个位于多个半导体芯片中的相应的一个半导体芯片中,其中,所述第二组多个贯通衬底通路垂直对齐成第二叠贯通衬底通路,该第二叠贯通衬底通路与所述第一叠贯通衬底通路分离,

其中,所述第一温度传感器电路耦合到所述第一叠贯通衬底通路,并且所述第二温度传感器电路耦合到所述第二叠贯通衬底通路。

20. 如权利要求 9 所述的半导体器件,其中,所述第一叠贯通衬底通路包括至少一个通路,该至少一个通路穿过所述半导体芯片中的一个半导体芯片的衬底,但不穿过该半导体芯片的电路层。

21. 如权利要求 20 所述的半导体器件,还包括:

算术单元,其耦合到所述第一温度传感器电路并耦合到所述第一组多个贯通衬底通路中的第一贯通衬底通路。

22. 一种半导体器件,包括:

一叠半导体芯片,包括第一半导体芯片和第二半导体芯片,该第一半导体芯片包括第一温度传感器,该第二半导体芯片包括第二温度传感器;

第一贯通衬底通路,其穿过所述第一半导体芯片并电耦合到所述第一温度传感器;

第二贯通衬底通路,其穿过所述第二半导体芯片并电耦合到所述第一贯通衬底通路。

23. 如权利要求 22 所述的半导体器件,其中:

所述第二贯通衬底通路电耦合到所述第二半导体芯片的第二温度传感器。

24. 如权利要求 23 所述的半导体器件,还包括:

第一电路,其将所述第一温度传感器连接到所述第一贯通衬底通路,所述第一电路被配置成选择是否将第一温度传感器的输出传送到第一贯通衬底通路;以及

第二电路,其将第二温度传感器连接到第二贯通衬底通路,所述第二电路被配置成选择是否将第二温度传感器的输出传送到第二贯通衬底通路。

25. 如权利要求 24 所述的半导体器件,其中:

第一电路和第二电路基于输入到该第一电路和第二电路两者的公共信号,选择是否将第一温度传感器和第二温度传感器各自的输出传送到相应的第一贯通衬底通路和第二贯通衬底通路。

26. 如权利要求 24 所述的半导体器件,其中:

所述第一贯通衬底通路和第二贯通衬底通路垂直地对齐从而形成一叠通路,并且

所述半导体器件被配置成使得第一温度传感器的输出和第二温度传感器的输出两者不能同时通过所述一叠通路进行传送。

27. 一种传送温度信息的方法,所述温度信息来自堆叠的半导体封装的多个半导体芯片中的一个或多个半导体芯片,所述方法包括:

对于所述多个半导体芯片中的每一个,由温度传感器电路生成温度信息;以及将由所述温度传感器电路中的至少一个生成的温度信息传送到第一贯通衬底通路。

28. 如权利要求 27 所述的方法,还包括:

选择仅仅将所述温度传感器电路中的一个的温度信息传送到第一贯通衬底通路。

其中,所述传送的步骤包括:仅仅将所选择的温度信息传送到第一贯通衬底通路。

29. 如权利要求 28 所述的方法,其中:

作为选择的结果,通过第一叠垂直对齐的贯通衬底通路传送所选择的温度信息,其中该第一叠垂直对齐的贯通衬底通路包括所述第一贯通衬底通路。

30. 如权利要求 28 所述的方法,其中,所述选择的步骤还包括:

从控制器通过第二叠垂直对齐的贯通衬底通路发送信号以用于选择温度传感器来传送温度信息。

31. 如权利要求 30 所述的方法,其中:

所述信号时 MRS 代码、命令信号、地址信号或时钟信号之一。

32. 如权利要求 27 所述的方法,还包括:

利用算术单元组合多个温度传感器电路的温度信息。

33. 如权利要求 32 所述的方法,其中:

组合温度信息包括:对多个温度传感器电路的温度信息执行一个或多个逻辑运算。

34. 一种半导体存储器封装,包括:

一叠半导体芯片;

多个贯通衬底通路;

所述一叠半导体芯片中的第一半导体芯片的第一温度传感器电路,其被配置成生成第一温度信息;以及

由选择元件配置的通信路径,用于通过所述多个贯通衬底通路中的至少一个提供第一

温度传感器电路与控制器之间的通信。

35. 一种半导体存储器封装,包括:

一叠半导体芯片;

多个贯通衬底通路;

所述一叠半导体芯片中的第一半导体芯片的第一温度传感器电路,其被配置成生成第一温度信息;以及

用于选择的装置,其从所述半导体芯片当中选择第一半导体芯片以输出来自所选择的第一半导体芯片的第一温度信息,

其中,所述多个贯通衬底通路中的至少一个耦合到第一温度传感器电路,并被配置成接收第一温度信息。

36. 如权利要求 35 所述的半导体存储器封装,还包括:

所述半导体芯片中的第二半导体芯片的第二温度传感器电路,其被配置成生成第二温度信息,

其中,所述用于选择的装置还包括:用于从所述半导体芯片当中进行选择以接收来自第二半导体芯片的第二温度信息的装置,并且

其中,所述多个贯通衬底通路中的至少一个耦合到第二温度传感器电路,并被配置成接收第二温度信息。

37. 如权利要求 35 所述的半导体存储器封装,其中:

所述用于选择的装置包括位于第一半导体芯片的熔丝单元。

38. 如权利要求 37 所述的半导体存储器封装,其中:

所述熔丝单元是电熔丝。

39. 如权利要求 36 所述的半导体存储器封装,其中:

所述用于选择的装置包括连接到控制器的电路,该电路被配置成从控制器接收一个或多个信号,所述用于选择的装置响应于所述一个或多个信号进行选择以接收来自第一半导体芯片的第一温度信息。

40. 如权利要求 39 所述的半导体存储器封装,其中:

所述用于选择的装置连接到一叠贯通衬底通路以接收所述一个或多个信号。

41. 如权利要求 39 所述的半导体存储器封装,其中:

所述一个或多个信号是下列之一:模式寄存器设置代码、命令信号、地址信号或时钟信号。

42. 如权利要求 36 所述的半导体存储器封装,还包括:

封装衬底,在该封装衬底上堆叠所述一叠半导体芯片;以及

树脂封装物,其形成在所述封装衬底上并覆盖所述一叠半导体芯片。

43. 一种半导体封装,包括:

一叠半导体芯片;

多个贯通衬底通路;

所述一叠半导体芯片中的第一半导体芯片的第一温度传感器电路,其被配置成生成第一温度信息;以及

电熔丝,用于从所述半导体芯片当中选择第一半导体芯片、并使得从所选择的第一半

导体芯片输出第一温度信息，

其中，所述多个贯通衬底通路中的至少一个耦合到第一温度传感器电路，并被配置成接收第一温度信息。

44. 如权利要求 43 所述的半导体封装，还包括：

熔丝编程单元，用于对电熔丝编程以选择第一半导体芯片。

45. 如权利要求 44 所述的半导体封装，其中：

所述熔丝编程单元被配置成响应于所接收的 MRS 代码生成用于控制电熔丝的连接状态的控制信号。

半导体器件、半导体存储器件及其操作方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2010 年 12 月 28 日向韩国知识产权局提交的韩国专利申请第 10-2010-0137228 号的优先权权益,其全部公开内容通过引用合并于此。

技术领域

[0003] 本公开内容涉及具有贯通电极的堆叠结构的半导体器件,更具体地,本公开内容涉及半导体器件,该半导体器件具有用于避免在多个半导体层之间传送的多条信息之间产生冲突的结构。

背景技术

[0004] 随着例如半导体存储器件等等的半导体器件具有越来越高的集成度,普通二维(2D)结构的集成高度几乎已达到极限。需要实现超越这种 2D 结构的具有 3 维(3D)结构的半导体存储器件,致力于实现这样的半导体器件的研究已经展开。

[0005] 具有 3D 结构的半导体器件包括多个半导体层,诸如各种类型的数据、命令、地址等等的信号在所述多个半导体层之间传送。在半导体器件中布置有贯通硅通路(Through-silicon via, TSV)以用于在半导体层之间传送信号,并且一些或所有信号会通过 TSV 传送。

[0006] 如上所述,通过多个半导体层的 TSV 传送信号,但是一些信号是通过多个半导体层的公用 TSV 来传送的。从而,如果在多个半导体层之间传送信号,信号可能相互冲突。在这种情况下,可能无法传送精确的信号值,从而半导体器件或使用该半导体器件的半导体系统的性能可能退化。

发明内容

[0007] 本公开提供一种用于在多个半导体层之间稳定地传送信号的具有堆叠结构的半导体器件,半导体存储器件及其操作方法。

[0008] 本公开还提供半导体存储器系统,其使用用于稳定地传送信号的具有堆叠结构的半导体存储器件。

[0009] 根据本发明的一个方面,提供一种用于半导体封装的半导体器件,该半导体器件包括:至少第一半导体芯片,其包括第一温度传感器电路,该第一温度传感器电路被配置成输出与第一半导体芯片相关的第一温度信息;第一凸起,其电连接到第一温度传感器电路而不电连接到贯通衬底通路;以及第二凸起,其电连接到第一半导体芯片的贯通衬底通路。

[0010] 根据本发明的一个方面,提供一种半导体封装,其包括:封装衬底;以及在封装衬底上的第一半导体芯片,该第一半导体芯片包括多个贯通衬底通路,用于向封装衬底传送信号,其中,所述第一半导体芯片包括第一温度传感器电路,其电耦合到封装衬底,并且所述第一半导体芯片被配置成不利用贯通衬底通路将温度信息从第一温度传感器电路传送到封装衬底。

[0011] 根据本发明的一个方面,提供一种半导体器件,其包括:堆叠排列的多个半导体芯片;以及第一组多个贯通衬底通路,所述第一组多个贯通衬底通路中的每一个位于多个半导体芯片中的相应的一个半导体芯片中,其中,所述第一组多个贯通衬底通路垂直对齐成第一叠贯通衬底通路,其中,所述多个半导体芯片中的第一半导体芯片包括第一温度传感器电路,该第一温度传感器电路耦合到所述第一组多个贯通衬底通路中的至少一个。

[0012] 根据本发明的一个方面,提供一种半导体器件,其包括:一叠半导体芯片,包括第一半导体芯片和第二半导体芯片,该第一半导体芯片包括第一温度传感器,该第二半导体芯片包括第二温度传感器;第一贯通衬底通路,其穿过所述第一半导体芯片并电耦合到所述第一温度传感器;第二贯通衬底通路,其穿过所述第二半导体芯片并电耦合到所述第一贯通衬底通路。

[0013] 根据本发明的一个方面,提供一种传送温度信息的方法,所述温度信息来自堆叠的半导体封装的多个半导体芯片中的一个或多个半导体芯片,所述方法包括:对于所述多个半导体芯片中的每一个,由温度传感器电路生成温度信息;以及将由所述温度传感器电路中的至少一个生成的温度信息传送到第一贯通衬底通路。

[0014] 根据本发明的一个方面,提供一种半导体存储器封装,其包括:一叠半导体芯片;多个贯通衬底通路;所述一叠半导体芯片中的第一半导体芯片的第一温度传感器电路,其被配置成生成第一温度信息;以及由选择元件配置的通信路径,用于通过所述多个贯通衬底通路中的至少一个提供第一温度传感器电路与控制器之间的通信。

[0015] 根据本发明的一个方面,提供一种半导体存储器封装,其包括:一叠半导体芯片;多个贯通衬底通路;所述一叠半导体芯片中的第一半导体芯片的第一温度传感器电路,其被配置成生成第一温度信息;以及用于选择的装置,其从所述半导体芯片当中选择第一半导体芯片以输出来自所选择的第一半导体芯片的第一温度信息,其中,所述多个贯通衬底通路中的至少一个耦合到第一温度传感器电路,并被配置成接收第一温度信息。

[0016] 根据本发明的一个方面,提供一种半导体封装,其包括:一叠半导体芯片;多个贯通衬底通路;所述一叠半导体芯片中的第一半导体芯片的第一温度传感器电路,其被配置成生成第一温度信息;以及电熔丝,用于从所述半导体芯片当中选择第一半导体芯片、并使从所选择的第一半导体芯片输出第一温度信息,其中,所述多个贯通衬底通路中的至少一个耦合到第一温度传感器电路,并被配置成接收第一温度信息。

附图说明

[0017] 从以下结合附图的详细描述将能更清楚地理解示例性实施例,附图中:

[0018] 图 1 示出根据一个实施例的包括多个半导体层的具有堆叠结构的示例性半导体器件的示意透视图;

[0019] 图 2A 和图 2B 是分别示出根据特定实施例的、通过半导体器件(如图 1 的半导体器件)的贯通硅通路(TSV)的示例性信息传输的截面图;

[0020] 图 3A 到图 3C 分别是示出根据特定实施例的示例性半导体器件(如图 1 的半导体器件)的透视图、框图和电路图;

[0021] 图 4 是示出根据另一个实施例的具有堆叠结构的示例性半导体器件的截面图;

[0022] 图 5 是示出根据另一个实施例的具有堆叠结构的示例性半导体器件的截面图;

- [0023] 图 6 是示出根据一个实施例的具有堆叠结构的示例性半导体器件的截面图；
- [0024] 图 7 是示出根据一个实施例的使用熔丝单元的示例性半导体器件的透视图；
- [0025] 图 8A 和图 8B 是示出根据特定实施例的图 7 的半导体器件的逻辑区域 (logic region) 的一部分的示例性结构的框图；
- [0026] 图 9 是示出根据一个实施例的图 7 的半导体器件的温度信息的示例性输出状态的截面图；
- [0027] 图 10 示出了根据另一个实施例的使用熔丝单元的半导体器件的示例性结构；
- [0028] 图 11 是示出根据一个实施例的图 10 的半导体器件的温度信息的示例性输出状态的截面图；
- [0029] 图 12 示出了根据一个实施例的使用命令信号的半导体器件的示例性结构；
- [0030] 图 13 是示出根据一个实施例的图 12 的半导体器件的命令信号和温度信息的示例性传输路径的框图；
- [0031] 图 14 是示出根据特定实施例的图 12 的半导体器件的温度信息的输出状态的截面图；
- [0032] 图 15 是示出根据特定实施例的在图 12 的半导体器件中生成温度信息和控制刷新周期的示例性操作的框图；
- [0033] 图 16 示出了根据一个实施例的使用算术单元的半导体器件的示例性结构；
- [0034] 图 17A 和图 17B 以及图 18 是示出根据特定示例性实施例的图 16 的算术单元的框图；
- [0035] 图 19 是示出根据一个实施例的图 16 的半导体器件的温度信息的示例性输出状态的截面图；
- [0036] 图 20 示出了根据一个实施例的使用时钟信号的半导体器件的示例性结构；
- [0037] 图 21A 和图 21B 分别示出了根据特定实施例的图 20 的半导体器件的逻辑电路的示例性修改和示例性信号波形；
- [0038] 图 22 是示出根据一个实施例的图 20 的半导体器件的温度信息的示例性输出状态的截面图；
- [0039] 图 23 是示出根据一个实施例的包括半导体存储器模块的示例性半导体存储器系统的框图；
- [0040] 图 24 示出根据一个实施例的包括具有堆叠结构的半导体存储器件的示例性单芯片微计算机的框图；
- [0041] 图 25A、25B 和 25C 分别示出了根据特定实施例的、半导体存储器系统的存储控制器和存储器之间的示例性信号传输；以及
- [0042] 图 26 是示出根据一个实施例的包括具有堆叠结构的半导体存储器件的示例性电子系统的框图。

具体实施方式

[0043] 现在将参照附图更全面地描述本公开，附图中示出了示例性实施例。然而，所公开的实施例可以以许多不同的形式具体实现，不应被理解为局限于此处阐述的实施例。

[0044] 将会理解，当一元件或层被称为在另一元件或层“上”、“连接到”或“耦合到”另一

元件或层时,其可以直接在所述另一元件或层之上、直接连接到或耦合到另一元件或层,或者也可以存在居间的元件或层。相反,当一元件被称为“直接”在另一元件或层“上”、“直接连接到”或“直接耦合到”另一元件或层时,不存在居间的元件或层。相似的参考标记始终指代相似的元件。此处使用的术语“和/或”包括关联的列出项目中的任何一个或一个或多个的所有组合。

[0045] 将会理解,虽然此处可能使用词语“第一”、“第二”、“第三”等来描述不同的元件、组件、区域、层或扇区,但这些元件、组件、区域、层和/或扇区不受这些词语的限制。这些词语仅仅用于将一个元件、组件、区域、层或扇区与另一个元件、组件、区域、层或扇区区分开来。因而,下面讨论的第一元件、组件、区域、层或扇区也可被称为第二元件、组件、区域、层或扇区,而不会偏离本发明构思的教导。

[0046] 为了方便描述,此处可能使用诸如“在...之下”、“在...下方”、“下”、“上方”、“上”等等的空间关系词语来描述附图中示出的一个元件或特征与另外的元件或特征之间的关系。将会理解,这样的空间关系词语旨在涵盖使用中的器件或操作的、除附图中描绘的方向之外的不同的方向。例如,如果将附图中的器件翻转,则被描述为在其他元件或特征“下方”或“之下”的元件的方位将变为在所述其他元件或特征“上方”。因而,词语“下方”可以涵盖上方和下方两个方向。器件可以具有其他朝向(旋转90度或处于其他朝向),对于此处使用的空间关系描述词应做相应解释。

[0047] 此处使用的术语仅仅用作描述具体实施例的目的,并非意图限制本发明构思。此处使用的单数形式“一”、“该”意图同时包括复数形式,除非向下文明确给出相反指示。还将理解,当本文中使用的词语“包括”和/或“包含”时,表明存在所描述的特征、整体、步骤、操作、元件和/或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

[0048] 本文中参照截面图或透视图对实施例进行描述,所述截面图或透视图是理想化实施例(和中间结构)的示意图。因此,例如由于制造工艺和/或允许误差所致偏离附图所示形状是预料之内的。因而,实施例不应被理解为局限于此处图示的区域的形状,而应包括例如因制造所致的形状偏差。例如,被图示为具有尖锐边缘的边缘或边角区域可以具有略显圆形或弯曲的特征。同样地,被图示为圆形或球形的元件可以呈椭圆形或者可以具有某些直线或平面部分。因而,附图中示出的区域实质上是示意性的,它们的形状并非意图示出器件的区域或元件的实际形状,并且并非意图限制所公开实施例的范围。

[0049] 除非另外定义,否则此处使用的所有术语(包括技术术语和科学术语)所具有的含义均与本发明构思所属技术领域普通技术人员通常理解的含义相同。还将理解,术语,如通常使用的词典中定义的那些术语,应被解释为其含义与它们在相关领域上下文中的含义一致,不应以理想化或过分形式化的方式来解释,除非本文明确地那样定义。

[0050] 作为半导体器件的存储器件可以是易失性存储器,如动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)等等,或者可以是非易失性存储器,如相变随机存取存储器(PRAM)、使用可变电阻特性材料(如复合金属氧化物等)的阻变式随机存取存储器(RRAM)、使用铁磁材料的磁性随机存取存储器(MRAM)、快闪存储器、EEPROM等等。

[0051] 半导体存储器件以及上面描述的存储器已经采用了3维(3D)结构概念。3D结构概念已经用于封装领域,但现有方法的操作是将各种端子置于半导体芯片的一侧,并利用

线接合 (wire bonding) 来电连接多个芯片的信号端。因此, 现有方法增加了芯片的大小、线路复杂度、功耗等等。

[0052] 从而, 提出了用于在作为半导体衬底材料的硅中形成垂直贯通电极 (through electrode) 从而提供信号传输路径的技术。由于贯通电极穿透硅衬底, 不同于一般的接触插塞, 因此贯通电极可被称为贯通硅通路 (through-silicon via, TSV) 或贯通衬底通路 (through-substrate via, TSV)。

[0053] 由于这样的 TSV 技术具有大大改善电路集成度、工作速度、功耗、制造成本等等的效果, 因此 TSV 技术已经被用于开发具有多处理器内核的芯片, 并且在 NAND (与非) 快闪存储器、诸如 DRAM 等等的存储器、混合存储器等等领域中取得了有竞争力的发展。

[0054] 图 1 是示出根据一个实施例的包括多个半导体层的具有堆叠结构的示例性半导体器件 100 的示意透视图。如图 1 中所示, 半导体器件 100 包括多个半导体层, 例如第一到第 n 半导体层 LA1 到 LAn, 以及 TSV, 通过 TSV 在第一到第 n 半导体层 LA1 到 LAn 之间传送信号。第一到第 n 半导体层 LA1 到 LAn 中的每一个包括用于实现半导体器件 100 的功能的电路块。

[0055] 包括存储单元的半导体存储器件可被用作半导体器件 100 的例子。如果图 1 的半导体器件 100 是半导体存储器件, 则布置在第一到第 n 半导体层 LA1 到 LAn 中的电路块可以是包括存储区域 (memory region) 的存储块。在一个实施例中, 半导体器件 100 的全部第一到第 n 半导体层 LA1 到 LAn 都包括存储块。在其他实施例中, 第一到第 n 半导体层 LA1 到 LAn 中的一些包括存储块, 或者第一到第 n 半导体层 LA1 到 LAn 中的任何一个都不包括存储块 (例如, 一些或全部半导体层可以是控制器或数据处理层)。

[0056] 例如, 垂直堆叠的第一到第 n 半导体层 LA1 到 LAn 中的每一个半导体层中所包括的所有电路块 110 和 120 都可以是存储块。半导体器件 100 的第一到第 n 半导体层 LA1 到 LAn 中的一个或多个半导体层 (例如第一半导体层 LA1) 可以用作主半导体层, 而第一到第 n 半导体层 LA1 到 LAn 中的其他半导体层 (例如第二到第 n 半导体层 LA2 到 LAn) 可以用作从半导体层。在一个实施例中, 第一半导体层 LA1 的电路块中的至少一个可以不包括存储块, 取而代之地可以包括控制块, 并且可以用作第一到第 n 半导体层 LA1 到 LAn 的主电路块。例如, 第一半导体层 LA1 的电路块 110 可以包括用于驱动其他半导体层 (例如, 第二到第 n 半导体层 LA2 到 LAn) 的存储块的逻辑电路。

[0057] 在一个实施例中, 第一到第 n 半导体层 LA1 到 LAn 通过 TSV 相互发送和 / 或接收信号。半导体器件 100 与外部控制器 (未示出) 接口。因而, 如果封装半导体器件 100, 则半导体器件 100 被堆叠在衬底 (封装衬底) (未示出) 上并通过在衬底中形成的电路图案以及在衬底的外表面上形成的导体 (例如, 诸如引线、焊球等等的导体) 与外部控制器 (未示出) 接口。如果第一到第 n 半导体层 LA1 到 LAn 中的一个, 例如, 第一半导体层 LA1, 直接连接到衬底, 则第 n 半导体层 LAn 通过 TSV 传送信号到第一半导体层 LA1, 然后该信号通过衬底传送到外部。

[0058] 半导体器件 100 的第一到第 n 半导体层 LA1 到 LAn 通过 TSV 向外部发送各种类型的信号, 并通过 TSV 从外部接收信号。例如, 在数据读取操作期间, 可以通过 TSV 将与半导体器件 100 的存储器操作相关的数据和数据选通信号传送到外部。除了根据存储器操作传送的信号之外, 其他各种信息也可以通过 TSV 传送到外部。作为其他各种信息的例子, 通过

检测第一到第 n 半导体层 LA1 到 LAn 的温度产生的温度信息、第一到第 n 半导体层 LA1 到 LAn 中的每一个的状态信息,如数据写入状态信息,等等,可以通过 TSV 传送到外部。

[0059] 第一到第 n 半导体层 LA1 到 LAn 中的每一个可以通过相同的路径(包括 TSV 的输出路径)传送数据、数据选通信号、其他各种信息等等。在堆叠第一到第 n 半导体层 LA1 到 LAn 时,使在第一到第 n 半导体层 LA1 到 LAn 中的每一个中形成的 TSV 相互对齐,并且第一到第 n 半导体层 LA1 到 LAn 的信息(例如,温度信息)被传送到在相同位置形成的 TSV。如果如上所述信号的输出路径被多个信号共享,则响应于外部命令生成数据 DQ 或数据选通信号 DQS。因此,在输出数据 DQ 或数据选通信号 DQS 时,降低了在数据 DQ 或数据选通信号 DQS 之间发生冲突的可能性。然而,温度信息、状态信息等等是由第一到第 n 半导体层 LA1 到 LAn 中的每一个不管命令如何而频繁地或周期地产生的。因此,在传送温度信息、状态信息等等时,存在着在温度信息、状态信息等等之间发生冲突的可能性。

[0060] 图 2A 和图 2B 是分别示出根据特定实施例的、通过半导体器件(如图 1 的半导体器件 100)的 TSV 的示例性信息传输的截面图。图 2A 和图 2B 中示出的实施例中的每一个半导体器件 100 都包括四个半导体层,它们分别被实现为单独的芯片,从而每个半导体器件 100 中包括四个半导体芯片芯片 1 到芯片 4。在图 2A 和图 2B 中,还提供在其上安装半导体器件 100 的衬底 SUB,半导体器件 100 通过衬底 SUB 与外部控制器(未示出)通信。

[0061] 参照图 2A,在半导体芯片芯片 1 到芯片 4 中的每一个中形成 TSV,并且半导体芯片芯片 1 到芯片 4 之一的信息通过 TSV 和在半导体芯片芯片 1 到芯片 4 的外表面上形成的导体(例如,焊球)传送到半导体芯片芯片 1 到芯片 4 中的其他芯片。通过 TSV 的信息传输可以用多种形式实现。例如,由第一半导体芯片芯片 1 产生的信息 Info1 可以通过第一半导体芯片芯片 1 的 TSV112A 电连接到导体 111A。可替换地,如果产生信息 Info1 的电路(未示出)布置在第一半导体芯片芯片 1 的下表面上,则信息 Info1 可以直接连接到导体 111A。参照图 2B,半导体芯片芯片 1 到芯片 4 被堆叠,然后在半导体芯片芯片 1 到芯片 4 中的每一个中形成 TSV。

[0062] 在图 2A 和图 2B 中的每一个中示出的信息 Info1 和 Info2 包括半导体芯片芯片 1 到芯片 4 中的每一个的温度信息和状态信息,并且所述温度信息和状态信息共享用于向外部传送信息的输出路径。在存储器操作期间信息 Info1 和 Info2 有规律地或周期地产生而不管芯片是否被选择。

[0063] 图 3A、图 3B 和图 3C 分别是示出根据特定实施例的半导体器件(如图 1 的半导体器件 100)的透视图、框图和电路图。图 3A 示出了包括存储单元、并且包括多个半导体层,如第一到第 n 半导体层 LA1 到 LAn 的半导体存储器件。半导体器件 100 可以包括主芯片并且从芯片,其中第一半导体层 LA1 可以是主芯片,其他半导体层,即第二到第 n 半导体层 LA2 到 LAn 可以是主芯片。

[0064] 在一个实施例中,第一半导体层 LA1 包括用于驱动存储器的各种类型的逻辑电路。如图 3A 中所示,第一半导体层 LA1 包括 X 驱动器 111、Y 驱动器 112、数据输入/输出(Din/Dout)单元 113、命令缓冲器 114、地址缓冲器 115 和外围电路 116。X 驱动器 111 驱动存储器的字线,Y 驱动器 112 驱动存储器的位线。Din/Dout 单元 113 控制数据的输入和/或输出,命令缓冲器 114 从外部接收命令并缓冲和解码命令。地址缓冲器 115 从外部接收地址并缓冲地址,外围电路 116 包括其他逻辑电路,如电压生成电路等等。尽管在图 3A 中

未示出,但是在第一半导体层 LA1 中可以布置存储单元区域,并且外围电路 116 可以包括温度感测电路,其感测第一半导体层 LA1 的温度并产生第一半导体层 LA1 的温度信息。

[0065] 每个从芯片,例如图 3A 中示出的第 n 半导体层 LAn,包括存储区域 120 和逻辑区域 130。存储区域 120 包括供多个存储单元和存储器访问的字线和位线,逻辑区域 130 包括用于驱动存储器的电路、用于生成与第 n 半导体层 LAn 有关的信息的电路等等。如图 3B 中所示,逻辑区域 130 可以包括:输入/输出驱动器 (IODRV) 131,其向存储区域 120 传送写入数据 WD;输入/输出感测放大器 (IOSA) 132,其放大和输出读出数据 RD;以及温度传感器电路 (TQ SEN) 133,其感测内部温度 Temp 并生成温度信息 TQ。写入数据 WD/读出数据 RD 通过 TSV 传送到外部或半导体器件 100,而温度信息 TQ 通过另一个 TSV 传送到半导体器件 100 外部。

[0066] 图 3C 是示出根据示例性实施例的图 3B 的温度传感器电路 133 的电路图。如图 3C 中所示,温度传感器电路 133 包括连接到电源电压 VDD 的第一到第三 PMOS 晶体管 MP1 到 MP3、以及连接在第一到第三 PMOS 晶体管 MP1 到 MP3 与地电压之间的第一二极管 D1 和第二二极管 D2 以及第一电阻器 R1 和第二电阻器 R2。温度传感器电路 133 还包括第一放大器 AMP1 和第二放大器 AMP2 以及第一比较器 CP1 和第二比较器 CP2。第一放大器 AMP1 差分放大第一 PMOS 晶体管 MP1 和第二 PMOS 晶体管 MP2 的节点之间的电压。第二放大器 AMP2 差分放大第二 PMOS 晶体管 MP2 和第三 PMOS 晶体管 MP3 的节点之间的电压。第一比较器 CP1 和第二比较器 CP2 比较第一放大器 AMP1 和第二放大器 AMP2 的输出电压与输出比较结果。

[0067] 图 3C 的温度传感器电路 133 是利用带隙参考电压生成电路的温度传感器,因此利用电流 I2 和 I1 生成参考电流,其中电流 I2 流过第一二极管 D1,电流 I1 流过第二二极管 D2。参考电流是与第一放大器 AMP1 的输出相对应的电流。因而,如果第一二极管 D1 和第二二极管 D2 之间的比是 1 : n,则参考电流的值为 $I = kT/q * \ln(n) / R2$,其中,k 表示波尔兹曼常数,T 表示绝对温度,q 表示电荷量。因此,参考电流的值与绝对温度 T 成比例地增加。

[0068] 流过第一电阻器 R1 的电流 Ix 对应于 $I_x = V_{12} / R1$,其中,V12 是施加到第一二极管 D1 两端的电压。电流 Ix 的值与绝对温度 T 成反比。第一比较器 CP1 和第二比较器 CP2 比较第一放大器 AMP1 和第二放大器 AMP2 的输出电压,并生成温度信息 TQ,该温度信息 TQ 指示相应半导体层的温度是大于还是小于预定参考温度。

[0069] 现在将描述用于在传送半导体层的多条信息时避免在半导体层的多条信息之间发生冲突的具有堆叠结构的半导体器件的实施例。此外,通过感测半导体层的温度而生成的温度信息的输出将被描述为所述多条信息。然而,如上所述,发明构思不局限于温度信息,而是可以适用于不管命令或芯片选择信号为何均有规律地或周期性地生成的信息(例如,芯片状态信息)。以下公开的 TSV 结构可以应用于图 2A 和图 2B 中示出的 TSV 结构以及具有其他不同类型结构的 TSV。

[0070] 图 4 是示出根据另一个实施例的具有堆叠结构的示例性半导体器件 200A 的截面图。如图 4 中所示,半导体器件 200A 包括多个半导体层,例如第一半导体层 LA1 和第二半导体层 LA2。第一半导体层 LA1 和第二半导体层 LA2 中的每一个可以包括存储区域和/或逻辑区域。在一个实施例中,第一半导体层 LA1 包括存储区域和控制区域(例如,驱动器和/或命令区域)两者,并且用作主芯片,第二半导体层 LA2 包括存储区域但不包括控制区域,因此用作从芯片。然而,在另一个实施例中,半导体层 LA1 和 LA2 两者都可以包括相同的存

储区域和 / 或控制区域,从而使所述两层包括具有相同电路布局的芯片或等同的芯片。逻辑区域分别包括第一温度传感器电路 211A 和第二温度传感器电路 221A,第一温度传感器电路 211A 和第二温度传感器电路 221A 分别感测第一半导体层 LA1 和第二半导体层 LA2 的温度并生成温度信息 TQ。

[0071] 在第一半导体层 LA1 和第二半导体层 LA2 中的每一个中形成多个 TSV。在第一半导体层 LA1 和第二半导体层 LA2 中的每一个的表面上布置导体 (例如,焊球),并且布置在第一半导体层 LA1 上的导体连接到衬底。在一个实施例中,半导体器件 200A 通过第一半导体层 LA1 的导体和衬底与外部控制器 (未示出) 通信。

[0072] 布置与温度传感器电路 211A 和 221A 相对应的公共输出节点,以用于将温度传感器电路 211A 和 22A 产生的温度信息 TQ 传送到半导体器件 200A 外部。例如,第一半导体层 LA1 的焊球 212 被布置成与温度传感器电路 211A 和 221A 相对应的公共输出节点。根据一个实施例,焊球 212 可以固定地连接到温度传感器电路 211A 和 221A 之一的输出,从而导致从温度传感器电路 211A 和 221A 输出的多条温度信息 TQ 相互冲突。

[0073] 第一半导体层 LA1 和第二半导体层 LA2 的特定输出信号,例如,数据信号或数据选通信号,可以通过 TSV 传送。然而,在一个实施例中,生成温度信息 TQ 的温度传感器电路 211A 和 221A 不电连接到 TSV。取而代之,温度传感器电路 221A 通过内部线路电连接到第二半导体层 LA2 的导体 222,并且温度传感器电路 211A 通过内部线路电连接到第一半导体层 LA1 的导体 212。由于温度传感器电路 211A 和 221A 与 TSV 电绝缘,因此温度传感器电路 221A 生成的温度信息 TQ 不被传送到第一半导体层 LA1。因而,温度传感器电路 211A 生成的温度信息 TQ 被固定地连接到输出节点 (例如,第一半导体层 LA1 的导体 212)。

[0074] 根据上述实施例,半导体器件 200A 的多个半导体层 LA1 和 LA2 之一的温度信息 TQ 被传送到外部。一条信息是半导体层 LA1 的,另一条信息是半导体层 LA2 的。外部控制器 (未示出) 接收所述多条温度信息 TQ 并确定温度信息 TQ 是半导体器件 200A 的内部温度。外部控制器可以根据确定结果控制半导体器件 200A。例如,如果半导体器件 200A 是 DRAM,则外部控制器可以参考温度信息 TQ 控制对 DRAM 的存储区域执行的刷新操作的周期。

[0075] 图 5 是示出根据另一个实施例的具有堆叠结构的示例性半导体器件 200B 的截面图。半导体器件 200B 包括第一到第四半导体层 LA1 到 LA4。每一层可以包括存储区域和 / 或逻辑区域。在一个实施例中,第一半导体层 LA1 包括存储区域和控制区域 (例如,驱动器和 / 或命令区域) 两者,并且用作主芯片,第二到第四半导体层 LA2 到 LA4 包括存储区域但不包括控制区域,因此用作从芯片。在本实施例中,第二到第四半导体层 LA2 到 LA4 中的两个或更多个可以包括相同的存储区域和 / 或控制区域,从而使所述两层或更多层包括等同的芯片。如图 5 中所示,第一到第四半导体层 LA1 到 LA4 分别包括第一到第四温度传感器电路 211B 到 241B,第一到第四温度传感器电路 211B 到 241B 分别感测第一到第四半导体层 LA1 到 LA4 的温度并生成第一到第四半导体层 LA1 到 LA4 的多条温度信息 TQ。在第一到第四半导体层 LA1 到 LA4 中形成 TSV,并且 TSV 在第一到第四半导体层 LA1 到 LA4 之间传送信号。由于第一到第四温度传感器电路 211B 和 241B 与 TSV 电绝缘,因此温度信息 TQ 不在第一到第四半导体层 LA1 到 LA4 之间传送。因此,由堆叠在衬底表面上的第一半导体层 LA1 的第一温度传感器电路 211B 生成的温度信息 TQ 通过内部线路、导体和衬底传送到外部控制器 (未示出)。

[0076] 图 6 是示出根据一个实施例的示例性半导体器件 200C 的截面图。如图 6 中所示, 半导体器件 200C 包括多个半导体层, 例如第一半导体层 LA1 和第二半导体层 LA2。在第一半导体层 LA1 和第二半导体层 LA2 中形成 TSV, 并且第一半导体层 LA1 和第二半导体层 LA2 分别包括第一温度传感器电路 211C 和第二温度传感器电路 221C。

[0077] 半导体器件 200C 包括用于将多条温度信息 TQ 传送到外部的多个输出路径, 并且第一温度传感器电路 211C 和第二温度传感器电路 221C 的输出分别连接到不同的输出路径。例如, 第一温度传感器电路 211C 与 TSV 电绝缘并且通过内部线路连接到提供在第一半导体层 LA1 外表面上的导体 212C (例如, 焊球), 从而避免了第一温度传感器电路 211C 和第二温度传感器电路 221C 的输出之间的冲突。第二温度传感器电路 221C 电连接到 TSV, 从而通过 TSV 连接到提供在第一半导体层 LA1 外表面上的输出节点 213C。从半导体器件 200C 生成的第一温度信息 TQ1 和第二温度信息 TQ2 被传送到外部控制器 (未示出), 并且外部控制器参考第一温度信息 TQ1 和第二温度信息 TQ2 控制半导体器件 200C。这样, 至少一个 TSV 耦合到第一温度传感器, 并且所述至少一个 TSV 被配置为从温度传感器接收温度信息并将该温度信息传递到半导体器件 200C 外部。

[0078] 现在将参照图 7 到图 9 描述根据另一个实施例的半导体器件。

[0079] 图 7 是示出根据另一个实施例的示例性半导体器件 300 的透视图。如图 7 中所示, 半导体器件 300 包括多个半导体层, 即第一到第 n 半导体层 LA1 到 LAn。在图 7 的实施例中, 所有第一到第 n 半导体层 LA1 到 LAn 都可以是等同的存储器芯片。然而, 可替换地, 第一到第 n 半导体层 LA1 到 LAn 可以是主芯片和从芯片。如果第一半导体层 LA1 是主芯片, 则可以在第一半导体层 LA1 中布置用于与外部接口的电路和用于控制存储器操作的各种类型的逻辑电路。

[0080] 第一到第 n 半导体层 LA1 到 LAn 中的每一个包括存储区域和逻辑区域。例如, 第一半导体层 LA1 包括存储区域 310 和逻辑区域 320, 第 n 半导体层 LAn 包括存储区域 330 和逻辑区域 340。第一到第 n 半导体层 LA1 到 LAn 通过 TSV 在相互之间发送和 / 或接收信号。

[0081] 在图 7 的实施例中, 第一到第 n 半导体层 LA1 到 LAn 中的每一个的逻辑区域 320 和 340 包括温度传感器电路 (未示出), 并且通过公共输出路径传送由温度传感器电路生成的温度信息。例如, 通过包括第一 TSV TSV1 的输出路径传送温度信息。第一 TSV TSV1 可以是分别在第一到第 n 半导体层 LA1 到 LAn 中形成并且在相同位置对齐的通路。如果第一半导体层 LA1 堆叠在衬底 (未示出) 上, 则其他半导体层, 即第二到第 n 半导体层 LA2 到 LAn 的温度信息通过第一 TSV TSV1 传送到第一半导体层 LA1。传送到第一半导体层 LA1 的温度信息通过布置在第一半导体层 LA1 外表面上的输出节点传送到外部。

[0082] 图 8A 和图 8B 是示出根据特定实施例的图 7 的半导体器件 300 的逻辑区域 340 的示例性部分的框图。在图 8A 和图 8B 中示出了图 7 的第 n 半导体层 LAn 的逻辑区域 340 的一部分, 但其他半导体层的逻辑区域也可以包括与图 8A 和 8B 中示出的相同的特征。

[0083] 如图 8A 中所示, 逻辑区域 340 包括温度传感器电路 341, 其感测第 n 半导体层 LAn 的温度并生成温度信息 TQ。温度传感器电路 341 通过诸如缓冲器的输出单元将温度信息 TQ 传送到 TSV TSV1。例如, 如果温度传感器电路 341 的输出连接到第 n 半导体层 LAn 的 TSV 从而进行传送, 则图 8A 的 TSV TSV1 可以是在第 n 半导体层 LAn 中形成的通路。可替换地, 如果温度传感器电路 341 的输出通过布置在第 n 半导体层 LAn 外表面上的导体电连接到位

于第 n 半导体层 LAn 下方的第 n-1 半导体层,则 TSV TSV1 可以是在第 n-1 半导体层中形成的通路。

[0084] 被传送到 TSV TSV1 的温度信息 TQ 通过其他更低的半导体层传送到半导体器件 300 外部。逻辑区域 340 还包括控制器,其用于例如利用熔丝单元 342 控制是否输出温度信息 TQ,所述熔丝单元 342 生成用于控制输出缓冲器的信号。一般来说,熔丝单元 342 的熔丝可以包括根据电信号断开连接的电熔丝,以及激光熔丝,所述激光熔丝通过在制造半导体器件时在晶圆级 (wafer level) 上照射的激光被断开。在图 8A 和图 8B 的实施例中,熔丝单元 342 是通过照射的激光断开的激光熔丝。

[0085] 在制造半导体器件 300 时,激光在第一到第 n 半导体层 LA1 到 LAn 中的每一个的晶圆级上照射到熔丝单元 342 上,从而设置熔丝的连接状态。激光可以照射到第一到第 n 半导体层 LA1 到 LAn 之一的熔丝单元 342 上,以将熔丝单元 342 的连接状态设置为第一状态,从而避免在公共输出路径上发生在两个相邻半导体层的温度信息 TQ 之间的冲突。激光可以照射到其他半导体层的熔丝单元 342 上以将熔丝单元 342 的连接状态设置为第二状态。熔丝单元 342 生成用于在第一状态下使能输出缓冲器的信号,熔丝单元 342 生成用于在第二状态下禁止输出缓冲器的信号。因此,第一到第 n 半导体层 LA1 到 LAn 之一的温度传感器电路 341 的输出被使能,并因此固定地连接到 TSV TSV1,从而将传送到 TSV TSV1 的温度信息 TQ 传送到外部。其他半导体层的温度传感器电路 341 的输出被禁止。

[0086] 图 8B 是示出根据另一个示例性实施例的半导体器件的逻辑区域 340 的框图。如图 8B 中所示,逻辑区域 340 包括温度传感器电路 341、控制温度传感器电路 341 的使能的传感器控制器 (TQ CON) 343 以及生成用于控制传感器控制器 343 的信号熔丝单元 342。与图 8A 不同,在图 8B 中,不控制输出温度信息 TQ 的输出缓冲器的使能,而是使能或禁止温度传感器电路 341 的操作,从而避免在第一到第 n 半导体层 LA1 到 LAn 的温度信息 TQ 之间发生冲突。

[0087] 在第一到第 n 半导体层 LA1 到 LAn 中的每一个的晶圆级上,激光照射到熔丝单元 342 上以将熔丝单元 342 的连接状态设置为第一状态或第二状态。例如,第一到第 n 半导体层 LA1 到 LAn 之一的熔丝单元 342 的连接状态可以被设置为第一状态,而其他半导体层的熔丝单元 342 的连接状态可以被设置为第二状态。

[0088] 例如,在处于第一状态的熔丝单元 342 的控制下,传感器控制器 343 生成用于使能温度传感器电路 341 的使能信号 EN 并将使能信号 EN 传送到温度传感器电路 341。在处于第二状态的熔丝单元 342 的控制下,传感器控制器 343 生成用于禁止温度传感器电路 341 的禁止信号并将该禁止信号传送到温度传感器电路 341。因此,第一到第 n 半导体层 LA1 到 LAn 之一的温度传感器电路 341 的输出被使能,并因此固定地连接到 TSV TSV1,从而将传送到 TSV TSV1 的温度信息 TQ 传送到外部。

[0089] 图 9 是示出根据一个实施例的图 7 的半导体器件 300 的温度信息的示例性输出状态的截面图。如图 9 中所示,半导体器件 300 包括多个半导体层,例如第一到第四半导体层 LA1 到 LA4,第一到第四半导体层 LA1 到 LA4 分别包括温度传感器电路 321、351、361 和 341 以及熔丝单元 (FU) 322、352、362 和 342。通过在第一到第四半导体层 LA1 到 LA4 的晶圆级上照射的激光或传送到第一到第四半导体层 LA1 到 LA4 的电信号,将熔丝单元 322、352、362 和 342 的连接状态分别设置为第一状态或第二状态。

[0090] 在图 9 的实施例中,第二半导体层 LA2 的温度传感器电路 351 的输出固定地连接到 TSV TSV1。因此,第二半导体层 LA2 的熔丝单元 352 的连接状态被设置为第一状态,其他第一、第三和第四半导体层 LA1、LA3 和 LA4 的熔丝单元 322、362 和 342 的连接状态被设置为第二状态。第二半导体层 LA2 的温度传感器电路 351 的输出(温度信息 TQ2)通过 TSV TSV1 以及在第一半导体层 LA1 外表面上形成的输出节点 323(例如,诸如焊球的导体)传送到外部。这样,熔丝单元允许特定半导体芯片的感测温度被选择并被输出到半导体器件的外部(例如,输出到控制器)。

[0091] 现在将参照图 10 和图 11 描述根据附加的示例性实施例的半导体器件。

[0092] 如图 10 中所示,半导体器件 400 包括多个半导体层,例如第一到第 n 半导体层 LA1 到 LAn。包括在图 10 的半导体器件 400 中的多个第一到第 n 半导体层 LA1 到 LAn 可以都包括存储区域,并且可以是等同的存储器芯片,像在图 7 的示例性半导体器件 300 中那样。多个第一到第 n 半导体层 LA1 到 LAn 可以各自包括存储区域 410 和 430 以及逻辑区域 420 和 440。

[0093] 在图 10 的半导体器件 400 中,温度传感器电路的操作由电熔丝和作为一种类型的命令的模式寄存器设置(mode register set,MRS)代码来控制。第一半导体层 LA1 的逻辑区域 420 包括:MRS 单元 421,其在半导体器件 400 的初始操作中生成 MRS 代码,从而设置半导体器件 400 的操作环境;熔丝编程单元 422,其接收 MRS 代码并控制电熔丝的编程;熔丝单元 423,其包括至少一个电熔丝;传感器控制器 424;以及温度传感器电路 425。并且,第 n 半导体层 LAn 可以包括 MRS 单元 441、熔丝编程单元 442、熔丝单元 443、传感器控制器 444 和温度传感器电路 445。下面描述在一个实施例中与参照第一半导体层 LA1 的温度信息输出有关的操作。

[0094] 与温度信息输出有关的代码被预先设置并存储在 MRS 421 中,并且在半导体器件 400 的初始操作中从 MRS 421 生成的 MRS 代码被提供给熔丝编程单元 422。熔丝编程单元 422 响应于接收的 MRS 代码生成用于控制电熔丝的连接状态的控制信号。熔丝单元 423 的连接状态响应于所述控制信号而被设置为第一状态或第二状态。在一个实施例中,由于 MRS 代码,第一到第 n 半导体层 LA1 到 LAn 之一的熔丝单元的连接状态被设置为第一状态,并且其他半导体层的熔丝单元的连接状态被设置为第二状态。例如,如果第 n 半导体层 LAn 的熔丝单元 443 的连接状态被设置为第一状态,则将根据第一状态生成的信号传送到传感器控制器 444。传感器控制器 444 响应于所述信号生成使能信号并将该使能信号传送到温度传感器电路 445,温度传感器电路 445 生成温度信息 TQn 并通过 TSV TSV1_1 和 TSV1_2 将该温度信息 TQn 传送到外部。当半导体器件 400 工作时,第 n 半导体层 LAn 的温度信息 TQn 固定地连接到包括 TSV TSV1_1 和 TSV1_2 的输出路径,并且其他半导体层的温度信息被禁止。

[0095] 在上述实施例中,当半导体器件 400 工作时,一个半导体层的温度信息被固定地传送到外部。然而,也可以选择提供温度信息的半导体层。例如,可以调整 MRS 421 和 MRS 441 的寄存器状态以进行不同地设置。例如,如果第一半导体层 LA1 的内部温度最高,并因而将基于第一半导体层 LA1 的内部温度执行刷新周期,则可以不同地设置 MRS 421 和 MRS 441 的寄存器状态,从而将第一半导体层 LA1 的内部温度传送到外部。

[0096] 图 11 是示出根据特定实施例的图 10 的半导体器件 400 的温度信息的示例性输出

状态的截面图。如图 11 中所示,第一到第四半导体层 LA1 到 LA4 的 MRS 421、451、461 和 441 生成分别用于设置第一到第四半导体层 LA1 到 LA4 的操作环境的 MRS 代码。所述 MRS 生成用于设置温度传感器电路 425、455、465 和 445 的输出的 MRS 代码。在图 11 中示出的实施例中,第二半导体层 LA2 的温度信息 TQ2 响应于 MRS 代码被传送到半导体器件 400 外部,并且其他半导体层,即第一、第三和第四半导体层 LA1、LA3 和 LA4,的温度信息的输出被禁止。

[0097] 现在将参照图 12 到图 15 描述根据附加示例性实施例的半导体器件。

[0098] 图 12 示出了根据另一个实施例的半导体器件 500A 的示例性结构。如图 12 中所示,半导体器件 500A 包括多个半导体层,例如第一到第 n 半导体层 LA1 到 LAn。在一个实施例中,所有第一到第 n 半导体层 LA1 到 LAn 都可以是存储器芯片并且可以是等同的。

[0099] 在图 12 的实施例中,第一到第 n 半导体层 LA1 到 LAn 的逻辑区域 520A 和 540A 分别包括温度传感器电路 522A 和 542A,并且分别由温度传感器电路 522A 和 542A 生成的温度信息 TQ1 和 TQn 通过公共输出路径传送。例如,第一到第 n 半导体层 LA1 到 LAn 的温度信息 TQ1 和 TQn 通过半导体器件 500A 的公共 TSV TSV1 传送。

[0100] 在本实施例中,并不是一个半导体层的温度传感器电路的输出固定地连接到输出路径,而是第一到第 n 半导体层 LA1 到 LAn 的温度传感器电路 522A 和 542A 的输出选择性地连接到输出路径。作为有选择地将温度传感器电路 522A 和 542A 的输出连接到输出路径的一种方法,温度传感器电路 522A 和 542A 响应于命令 CMD 和 / 或地址 ADD 而操作。

[0101] 如图 12 中所示,第一半导体层 LA1 的逻辑区域 520A 可以包括 MRS521A、温度传感器电路 522A、寄存器 523A 和温度信息输出单元 524A。并且,其他半导体层,例如第 n 半导体层 LAn,可以包括 MRS 541A、温度传感器电路 542A、寄存器 543A 和温度信息输出单元 (TQ DRV) 544A。温度信息输出单元 524A 和 544A 的输出可以由预定控制信号控制,并且温度信息输出单元 524A 和 544A 可以包括例如开关或三态缓冲器。下面参照第 n 半导体层 LAn 描述半导体器件 500A 的示例性操作。

[0102] 用于芯片选择的芯片选择信号 CSB_n 以及命令 CMD/ 地址 ADD 被提供给第 n 半导体层 LAn。第 n 半导体层 LAn 被芯片选择信号 CSB_n 选择,并且 MRS 541A 接收命令 CMD 和 / 或地址 ADD,并响应于命令 CMD 和 / 或地址 ADD 生成控制信号 (例如,MRS 信号)。用于读取温度信息的代码预先设置并存储在 MRS 541A 中,并且外部控制器 (未示出) 将用于读取温度信息的芯片选择信号 CSB_n、命令 CMD 和 / 或地址 ADD 提供给半导体器件 500A。

[0103] 当从外部接收到温度信息读取命令时,MRS 541A 响应于该温度信息读取命令向温度信息输出单元 544A 提供控制信号。将来自温度传感器电路 542A 的温度信息 TQn 临时存储在寄存器 543A 中,并基于温度信息输出单元 544A 的开关操作通过 TSV TSV1 将其提供到外部。在图 12 中,示出了温度信息输出单元 544A 受到来自 MRS 541A 的控制信号的控制。然而,如在前面的实施例中描述的,第 n 半导体层 LAn 还可以包括用于控制温度传感器电路 542A 的激活的传感器控制器 (未示出)。并且,也可以将来自 MRS 541A 的控制信号提供给传感器控制器 (未示出)。

[0104] 可以任意地设置用于读取半导体器件 500A 的温度信息的命令 CMD 和 / 或地址 ADD 的组合。例如,在 MRS 521A 和 541A 中设置用于控制温度信息输出单元 524A 和 544A 的代码,并且 MRS 521A 和 MRS 541A 响应于来自外部的命令 CMD 生成用于控制温度信息输出单

元 524A 和 544A 的控制信号。可以将各种信号（诸如 RAS、CAS 和 WE 的命令信号）的任何一种组合用作命令 CMD，并且可以利用用于读出数据的一般读取命令来输出温度信息。当读取温度信息时，通过来自外部的芯片选择信号 CSB_1 和 CSB_n 选择任何一个半导体层，并且被选半导体层的 MRS 响应于读取命令生成用于控制温度信息输出单元的控制信号。根据芯片选择信号 CSB_1 和 CSB_n 的状态，将来自第一到第 n 半导体层 LA1 到 LAn 中的任何一个的温度信息提供到外部。

[0105] 图 13 是示出根据一个实施例的图 12 的半导体器件 500A 的命令和温度信息的示例性传输路径的框图。

[0106] 第一到第 n 半导体层 LA1 到 LAn 分别包括 MRS 521A、551A 和 541A、温度传感器电路 522A、552A 和 542A、寄存器 523A、553A 和 543A 以及温度信息输出单元 524A、554A 和 544A。另外，如图 13 中所示，第一到第 n 半导体层 LA1 到 LAn 可以分别包括输出缓冲器 525A、555A 和 545A。在图 13 中，可以通过公共路径（例如，公共 TSV）将第一到第 n 半导体层 LA1 到 LAn 中的每一个的数据 DQ 和温度信息 TQ 提供到外部。下面参照第 n 半导体层 LAn 描述半导体器件 500A 的示例性操作。

[0107] 可以根据半导体层通过单独的路径提供芯片选择信号 CSB_1、CSB_2 和 CSB_n。例如，当通过芯片选择信号 CSB_1、CSB_2 和 CSB_n 选择第 n 半导体层 LAn 时，第 n 半导体层 LAn 的 MRS 541A 响应于来自外部的命令 CMD 和 / 或地址 ADD 生成用于控制温度信息输出单元 544A 的控制信号 CONn。通过寄存器 543A 将来自温度传感器电路 542A 的温度信息 TQ 提供到温度信息输出单元 544A，并且温度信息输出单元 544A 响应于控制信号 CONn 将温度信息 TQ 提供到输出缓冲器 545A。通过输出缓冲器 545A 和 TSV 将温度信息 TQ 提供到外部。TSV 可以是彼此垂直对齐且相互电连接的一叠贯通衬底通路的一部分，用于允许通过不同的半导体层传递信号。在一个实施例中，它们可以通过诸如焊球的导体相互连接。因而，每叠电连接的贯通衬底通路可被看作是一个节点。

[0108] 当温度信息 TQ 和数据 DQ 共享输出路径时，除了温度信息 TQ 之外，输出缓冲器 545A 还接收第 n 半导体层 LAn 中的数据（例如，输出数据 DQ）。在将温度信息 TQ 提供到外部之前，MRS 541A 可以响应于命令 CMD 和 / 或地址 ADD 生成用于阻断数据 DQ 的传输路径（未示出）的 MRS 代码。在该 MRS 代码的控制下，可以不将数据 DQ 提供给输出缓冲器 545A。用于阻断数据 DQ 的传输路径（未示出）的命令 CMD 和 / 或地址 ADD 可以具有第一组合，而用于控制温度信息输出单元 544A 的命令 CMD 和 / 或地址 ADD 可以具有第二组合。此外，MRS 代码可以避免其他层 LA1 到 LAn-1 向该叠贯通衬底通路输出数据，从而避免数据冲突。

[0109] 图 14 是示出根据另一个实施例的图 12 的半导体器件 500A 的温度信息的示例性输出状态的截面图。在图 14 中，温度信息 TQ 和数据 DQ 各自通过不同的路径输出。

[0110] 如图 14 中所示，半导体器件 500B 包括第一到第 n 半导体层 LA1 到 LAn，并且第一到第 n 半导体层 LA1 到 LAn 分别包括 MRS 521B、551B 和 541B、温度传感器电路 522B、552B 和 542B、寄存器 523B、553B 和 543B、以及温度信息输出单元 524B、554B 和 544B。由于温度信息 TQ 和数据 DQ 各自通过不同的路径输出，所以来自温度传感器电路 522B、542B 和 552B 的温度信息 TQ 可以通过温度信息输出单元 524B、544B 和 554B 传送到 TSV。

[0111] 当通过芯片选择信号 CSB_1、CSB_2 和 CSB_n 选择了第 n 半导体层 LAn 时，第 n 半导体层 LAn 的 MRS 541B 响应于来自外部的命令 CMD 和 / 或地址 ADD 生成用于控制开关单

元 544B 的控制信号 CONn。并且,来自温度传感器电路 542B 的温度信息 TQ 被通过寄存器 543B 提供给温度信息输出单元 544B,并被通过 TSV 提供到外部。在一个实施例中,当选择了一个半导体层被以用于读取或记录数据时,相应半导体层的温度信息 TQ 被提供到外部,并且在读取数据时数据和温度信息 TQ 通过单独的路径提供到外部。

[0112] 图 15 是示出根据特定实施例的在图 12 的半导体器件 500A 中生成温度信息和控制刷新周期的示例性操作的框图。如图 15 中所示,半导体器件 500C 包括多个半导体层,但是此处为了方便起见将示例性地描述第一半导体层 LA1 和第 n 半导体层 LAn。在半导体器件 500C 中第一半导体层 LA1 和第 n 半导体层 LAn 可以具有相同的配置(例如,相同的电路布局)。

[0113] 第一半导体层 LA1 包括存储区域 510C 和多个电路。例如,第一半导体层 LA1 可以包括与温度信息 TQ 的读取相关的 MRS 521C、温度传感器电路 522C、寄存器 523C 和温度信息输出单元 524C,以及与刷新操作相关的刷新控制器 526C 和周期控制器 527C。存储区域 510C 包括单元阵列、行译码器、列译码器、感测放大器等等。第 n 半导体层 LAn 也包括存储区域 530C、MRS541C、温度传感器电路 542C、寄存器 543C、温度信息输出单元 544C、刷新控制器 546C 和周期控制器 547C。

[0114] 当第 n 半导体层 LAn 被选择时,响应于用于读取温度信息的命令 CMD_Read,将由第 n 半导体层 LAn 的温度传感器电路 542C 生成的温度信息 TQn 通过第一 TSV TSV1_1 和 TSV1_2 传送到外部。然后,从外部控制器(未示出)接收与刷新操作或刷新周期相关的刷新命令 CMD_Ref,并且响应于刷新命令 CMD_Ref 执行刷新操作和对刷新周期的控制操作。例如,第 n 半导体层 LAn 的刷新控制器 546C 响应于刷新命令 CMD_Ref 生成刷新信号并将该刷新信号提供给存储区域 530C。并且,周期控制器 547C 响应于刷新命令 CMD_Ref 生成周期控制信号并将该周期控制信号提供给刷新控制器 546C。如上所述,由于多个第一到第 n 半导体层 LA1 到 LAn 中的每一个的温度信息都被提供到外部,因而外部控制器(未示出)可以参照温度信息控制第一到第 n 半导体层 LA1 到 LAn 使其各自具有不同的刷新周期。

[0115] 现在将参照图 16 到图 19 描述根据其他示例性实施例的半导体器件。

[0116] 如图 16 中所示,半导体器件 600 包括多个半导体层,例如第一到第 n 半导体层 LA1 到 LAn。所有第一到第 n 半导体层 LA1 到 LAn 都可以是包括存储区域且具有相同电路布局的等同的存储器芯片。第一到第 n 半导体层 LA1 到 LAn 中的每一个包括存储区域和逻辑区域。例如,第一半导体层 LA1 和第二半导体层 LA2 分别包括存储区域 610 和 630 以及逻辑区域 620 和 640。

[0117] 图 16 的实施例使用对半导体层的温度信息执行算术运算的方法来避免第一到第 n 半导体层 LA1 到 LAn 的温度信息在公共输出路径中相互冲突。因此,第一半导体层 LA1 和第二半导体层 LA2 分别包括温度传感器电路 621 和 641 以及算术单元 622 和 642。例如,不是立即将第 n 半导体层 LAn 的第 n 温度信息通过半导体器件 600 的 TSV 传送到外部,而是将其传送到第 n-1 半导体层 LAn-1。对第 n 温度信息和第 n-1 半导体层 LAn-1 的第 n-1 温度信息执行算术运算。算术运算的结果被传送到第 n-2 半导体层 LAn-2,并且对第 n-2 半导体层 LAn-2 的温度信息执行类似上述算术运算的算术运算。

[0118] 如图 16 中所示,将作为对第三半导体层 LA3 的温度信息执行算术运算的结果的温度信息 TQ3' 通过 TSV TSV1_1 传送到第二半导体层 LA2。温度传感器电路 641 生成第二半

导体层 LA2 的温度信息 TQ2, 并且算术单元 642 对温度信息 TQ2 和传送到第二半导体层 LA2 的温度信息 TQ3' 执行算术运算。该算术运算的结果 TQ2' 通过 TSV TSV1_2 被传送到第一半导体层 LA1。第一半导体层 LA1 的算术单元 622 对通过 TSV TSV1_2 接收的结果 TQ2' 和由温度传感器电路 621 生成的温度信息 TQ1 执行算术运算, 并将该算术运算结果 TQ 作为半导体器件 600 的最终温度信息传送到半导体器件 600 外部。

[0119] 图 17A 和图 17B 是示出根据特定实施例的图 16 的算术单元 642 和 622 的示例性逻辑区域的框图。图 17A 是示出根据一个实施例的作为或 (OR) 门的算术单元的框图。图 17B 是示出根据一个实施例的作为复用器 (multiplexer) MUX 的算术单元的框图。为了方便起见, 在图 17A 和图 17B 中示出的逻辑区域 620A 和 620B 是第一半导体层 LA1 的逻辑区域。可以根据与图 17A 和图 17B 中示出的逻辑区域 620A 和 620B 相同或类似的方法来实现其他半导体层的逻辑区域。

[0120] 如图 17A 中所示, 第一半导体层 LA1 的算术单元 622A 从温度传感器电路 621 接收第一温度信息 TQ1 并通过 TSV 从第二半导体层 LA2 接收算术结果 TQ2', 并且算术单元 622A 对第一温度信息 TQ1 和算术结果 TQ2' 执行算术运算。作为算术运算的例子, 算术单元 622A 被实现为或门, 因而对第一温度信息 TQ1 和算术结果 TQ2' 执行或 (OR) 操作。将或操作的结果作为最终温度信息 TQ 传送。

[0121] 在一个实施例中, 如果半导体层的温度超过预定参考值, 则可以生成与“1”相对应的温度信息。在这种情况下, 如果使用或门, 则尽管多个半导体层中的一个的温度超过参考值, 最终温度信息 TQ 也可以被生成值为“1”。外部控制器 (未示出) 可以参照最终温度信息 TQ 控制半导体器件 (例如, 刷新操作的周期)。

[0122] 作为或门的替代方式, 也可以使用其他逻辑门。例如, 算术单元 622A 可以被实现为与 (AND) 门。如果半导体层的温度超过预定参考值, 则可以生成与“0”相对应的温度信息。在这种情况下, 如果使用与门将最终温度信息 TQ 生成值为“0”, 则可以确定一个或多个半导体层的温度已经超过参考值。

[0123] 尽管温度信息 TQ 包括多个比特, 但仍可以通过适当的算术运算来确定温度信息 TQ 是否超过半导体层的参考温度。例如, 可以对第一半导体层 LA1 的温度信息 TQ1 和半导体层 LA2 的算术结果 TQ2' 执行比较运算或平均运算, 并且可以生成比较运算或平均运算的算术结果。在比较运算的情况下, 算术单元 622A 可以被实现为比较器, 可以比较温度信息 TQ1 与算术结果 TQ2' 的大小, 并且可以生成具有大值的信息或具有小值的信息作为算术结果。可替换地, 算术单元 622A 可以被实现为平均计算器, 因而可以生成温度信息 TQ1 和算术结果 TQ2' 的大小的平均值作为算术结果。

[0124] 在图 17B 中, 算术单元 622B 被实现为复用器 MUX。复用器 MUX 接收温度信息 TQ1 和算术结果 TQ2', 并选择性地输出温度信息 TQ1 和算术结果 TQ2' 之一。可以应用各种方法来控制复用器 MUX 的输出。例如, 可以使用用于将半导体器件 600 的操作环境设置为半导体器件 600 的初始操作的 MRS 代码来控制复用器 MUX 的输出。通过设置复用器 MUX 的输出将半导体器件 600 的第一到第 n 半导体层 LA1 到 LAn 之一的温度信息传送到外部。

[0125] 图 18 是示出根据另一个示例性实施例的图 16 的逻辑区域 640 的框图。参照图 16 和图 18, 算术结果未被通过 TSV 传送到第 n 半导体层 LAn。因而, 算术单元 642 的输入节点处于浮置状态。因此, 根据图 18 的实施例, 除了温度传感器电路 641 和算术单元 642 之外,

逻辑区域 640 还包括浮置避免单元,从而避免算术单元 620 的输入端处于浮置状态。逻辑区域 640 包括作为浮置避免单元的例子的大电阻值的电阻器单元 643。电阻器单元 643 的一端可以连接到地电压。在图 18 中示出了第 n 半导体层 LAn 的逻辑区域 640,但其他半导体层的逻辑区域也可以按照与逻辑区域 640 相同或类似的方法来实现。

[0126] 算术单元 642 接收相应半导体层的温度信息 TQ_m 和从上方半导体层传送的算术结果 $TQ_{(m-1)}$,并对温度信息 TQ_m 和算术结果 $TQ_{(m-1)}$ 执行算术运算。在一个实施例中,如果相应半导体层是最上方的半导体层,则不传送算术结果 $TQ_{(m-1)}$ 。然而,由于算术单元 642 的输入节点通过电阻器单元 643 连接到地电压,所以算术单元 642 的输入节点不是处于浮置状态,而是具有与地电压相对应的电平。如果相应半导体层处于中间或较低位置,则从上方半导体层传送的算术结果 $TQ_{(m-1)}$ 被传送到算术单元 642 的输入节点。由于连接到算术单元 642 的输入节点的电阻器单元 643 具有大电阻值,因此算术结果 $TQ_{(m-1)}$ 不会受到地电压的很大影响,并且可以被适当地传送到算术单元 642 输入节点。

[0127] 图 19 是示出根据一个示例性实施例的图 16 的半导体器件 600 的温度信息的输出状态的截面图。如图 19 所示,半导体器件 600 包括多个半导体层,例如第一到第四半导体层 LA1 到 LA4,它们分别包括对温度信息执行算术运算的算术单元 (AU) 622、642、652 和 662。

[0128] 上方半导体层,例如第四半导体层 LA4 的算术单元 662 的第一算术结果通过 TSV 传送到第三半导体层 LA3。在图 19 的实施例中,TSV 贯穿半导体层的一部分但没有贯穿整个半导体层。因此,第一算术结果被传送到第三半导体层 LA3 的算术单元 652,并且算术单元 652 对第一算术结果和第三半导体层 LA3 的温度信息执行算术运算以生成第二算术结果,并通过 TSV 将该第二算术结果传送到第二半导体层 LA2。通过如上所述的算术处理,第一半导体层 LA1 的算术单元 622 的算术结果被作为最终温度信息 TQ 传送到半导体器件 600 外部。

[0129] 现在将参照图 20 到图 22 描述根据另一示例性实施例的半导体器件。

[0130] 如图 20 中所示,半导体器件 700 包括多个半导体层,例如第一到第 n 半导体层 LA1 到 LAn。在一个实施例中,所有第一到第 n 半导体层 LA1 到 LAn 都可以包括存储器芯片,所述存储器芯片包括具有相同配置的存储区域。第一到第 n 半导体层 LA1 到 LAn 中的每一个包括存储区域和逻辑区域,例如第一半导体层 LA1 和第 n 半导体层 LAn 分别包括存储区域 710 和 730 以及逻辑区域 720 和 740。

[0131] 图 20 的实施例使用利用从外部传送的时钟信号 CLK 来控制第一到第 n 半导体层 LA1 到 LAn 中的每一个的温度信息的输出时序的方法,从而避免了第一到第 n 半导体层 LA1 到 LAn 的温度信息在公共输出路径中相互冲突。如图 20 中所示,逻辑区域 720 和 740 中的每一个都包括响应于时钟信号 CLK 生成控制时钟的逻辑电路。可以将计数器 (CNT) 721 和 741 以及控制时钟生成器 (CTRL GEN) 722 和 742 作为逻辑电路来安装。现在将参照图 20、21A 和 21B 描述上述实施例的示例性操作。

[0132] 计数器 721 和 741 中的每一个利用时钟信号 CLK 生成多个具有不同的周期的时钟信号 (未示出)。控制时钟生成器 722 和 742 中的每一个利用所述多个时钟信号生成具有不同使能部分 (enable section) 的多个控制时钟 CTRL1 到 CTRLn。如图 21B 中所示,控制时钟 CTRL1 到 CTRLn 顺序地被使能而不相互重叠。控制时钟生成器 722 和 742 选择性地将控制时钟 CTRL1 到 CTRLn 之一传送到温度信息输出单元 724 和 744。温度信息输出单元 724

和 744 可以包括输出缓冲器,该输出缓冲器可以被实现为三态缓冲器。

[0133] 在一个实施例中,在第一到第 n 半导体层 LA1 到 LAn 中的每一个中温度信息输出单元 724 和 744 受不同控制时钟的控制,从而避免了温度信息在公共输出路径中相互冲突。例如,在第 n 半导体层 LAn 中温度信息输出单元 744 根据第 n 控制时钟 CTRLn 进行操作,而在第一半导体层 LA1 中温度信息输出单元 724 根据第一控制时钟 CTRL1 进行操作。可以根据预定选择控制信号 CON 设置对控制时钟 CTRL1 到 CTRLn 的选择操作。可以参照上面描述的实施例来实现选择控制信号 CON,例如,可以将半导体器件 700 的初始操作中生成的 MRS 代码用作选择控制信号 CON。

[0134] 在一个实施例中,半导体器件 700 顺序地将第一到第 n 半导体层的温度信息传送到外部。例如,响应于第 n 控制时钟 CTRLn 将由第 n 半导体层 LAn 的温度传感器电路 743 生成的温度信息 TQn 传送到外部,然后将第 n-1 到第一半导体层 LAn-1 到 LA1 的温度信息 TQ1 到 TQn-1 顺序地传送到外部。

[0135] 图 22 是示出根据一个实施例的图 20 的半导体器件 600 的温度信息的示例性传输操作的截面图。多个半导体层,例如,第一到第四半导体层 LA1 到 LA4 分别包括温度传感器电路 723、763、753 和 743 以及三态缓冲器 724、764、754 和 744。将从半导体器件 700 外部传送的时钟信号 CLK 通过一个或多个 TSV 分别传送到第一到第四半导体层 LA1 到 LA4。第一到第四半导体层 LA1 到 LA4 利用时钟信号 CLK 生成如图 21A 和 21B 中所示的控制时钟 CTRL。在图 22 的实施例中,根据控制时钟 CTRL 通过三态缓冲器 764 将第二半导体层 LA2 的温度信息 TQ2 传送到半导体器件 700 外部。并且,其他半导体层,即第一、第三和第四半导体层 LA1、LA3 和 LA4 的三态缓冲器 724、754 和 744 的输出处于 Hi-Z(高阻)状态。

[0136] 图 23 是示出根据一个实施例的包括半导体存储器模块 1110 的示例性半导体存储器系统 1100 的框图。如图 23 中所示,半导体存储器模块 1110 包括一个或多个半导体存储器件,即半导体存储器件 1111 和 1112,它们被安装在模块板上。在图 23 中半导体存储器件 1111 和 1112 被实现为 DRAM。然而,也可以使用其他类型的存储器件。半导体存储器件 1111 和 1112 中的每一个通过输出节点(未示出)将数据 DQ、数据选通信号 DQS 以及与半导体存储器件 1111 和 1112 相关的各种信息 Info 传送到外部。半导体存储器件 1111 和 1112 中的每一个还可以包括多个半导体层或多个半导体芯片。在实现半导体存储器件 1111 和 1112 时可以应用上面描述的实施例之一。

[0137] 根据图 23 中示出的实施例的半导体存储器系统 1100 包括半导体存储器模块 1110 和存储控制器 1120。存储控制器 1120 通过多个系统总线向半导体存储器模块 1110 发送和从半导体存储器模块 1110 接收各种类型的信号。存储控制器 1120 从半导体存储器模块 1110 接收信息 Info 并参照信息 Info 控制半导体存储器模块 1110。

[0138] 图 24 是示出根据一个实施例的包括具有堆叠结构的半导体存储器件的示例性单芯片微计算机 1200 的框图。

[0139] 参照图 24,电路模块类型的单芯片微计算机 1200 包括中央处理单元(CPU)1290、具有堆叠结构且用作 CPU 1290 的工作区的 RAM 1280、总线控制器 1270、振荡器 1220、分频器 1230、快闪存储器 1240、电源电路 1250、输入/输出(I/O)端口 1260 以及包括定时计数器的其他外围电路 1210,等等。单芯片微计算机 1200 的组件连接到内部总线。

[0140] CPU 1290 包括命令控制单元(未示出)和执行单元(未示出),其译码通过命令

控制部分取得 (fetch) 的命令,并根据译码结果通过执行部分执行处理操作。

[0141] 快闪存储器 1240 不局限于存储 CPU 1290 的操作程序或数据,而是可以存储各种类型的数据。电源电路 1250 生成用于快闪存储器 1240 的擦除操作和写入操作的高电压。

[0142] 分频器 1230 将从振荡器 1220 传送来的源频率分频成多个频率,以生成参考时钟信号和其他内部时钟信号。

[0143] 内部总线包括地址总线、数据总线和控制总线。

[0144] 总线控制器 1270 响应于从 CPU 1290 传送的访问请求控制预定周期数量的总线访问。在一个实施例中,访问周期数量与对应于等待状态和访问地址的总线宽度有关。

[0145] 如果单芯片微计算机 1200 被安装在系统上,则 CPU 1290 控制快闪存储器 1240 的擦除操作和写入操作。在测试或制造半导体器件时,可以像外部记录装置那样通过 I/O 端口 1260 直接控制快闪存储器 1240 的擦除操作和写入操作。

[0146] 图 25A、25B 和 25C 分别示出了根据特定实施例的、在半导体存储器系统的存储控制器和存储器件之间的示例性信号传送。

[0147] 参照图 25A,示出了存储控制器与存储器件之间的总线协议,并且诸如 CS、CKE、/RAS、/CAS、/WE 和地址信号 ADDR 的控制信号 CS 被从存储控制器传送到存储器件。数据 DQ 双向传送,温度信息 TQ 沿一个方向从存储器件传送到存储控制器。存储器件包括多个半导体层。并且,半导体层的温度信息 TQ 被顺序地传送到存储控制器,或者半导体层之一的温度信息 TQ 被固定地传送到存储控制器。

[0148] 参照图 25B,经封装的控制信号和地址信号 C/A 分组被从存储控制器传送到存储器件。数据 DQ 双向传送,并且温度信息 TQ 沿一个方向从存储器件传送到存储控制器。

[0149] 参照图 25C,经封装的控制信号、地址信号和写入信号 C/A/WD 分组被从存储控制器传送到存储器件。数据输出 Q 沿一个方向从存储器件传送到存储控制器,并且温度信息 TQ 沿一个方向从存储器件传送到存储控制器。

[0150] 图 26 是示出根据一个实施例的包括具有堆叠结构的半导体存储器件的示例性电子系统 1400 的框图。

[0151] 参照图 26,电子系统 1400 包括输入设备 1430、输出设备 1440、存储器系统 1420 和处理器 1410。

[0152] 存储器系统 1420 包括具有堆叠结构的存储器件 1421 和用于控制存储器件 1421 的存储控制器(未示出)。存储控制器可以实现为半导体芯片,并因而堆叠在存储器件 1421 上。在这种情况下,存储器件 1421 与存储控制器之间的通信可以通过 TSV 来执行。

[0153] 处理器设备 1410 与输入设备 1430、输出设备 1440 和存储器系统 1420 接口,因而控制电子系统 1400 的总体操作。

[0154] 尽管已经参照本公开的示例性实施例具体示出和描述了本公开,但将会理解,可以在其中进行形式和细节上的各种改变而不会脱离权利要求的精神和范围。

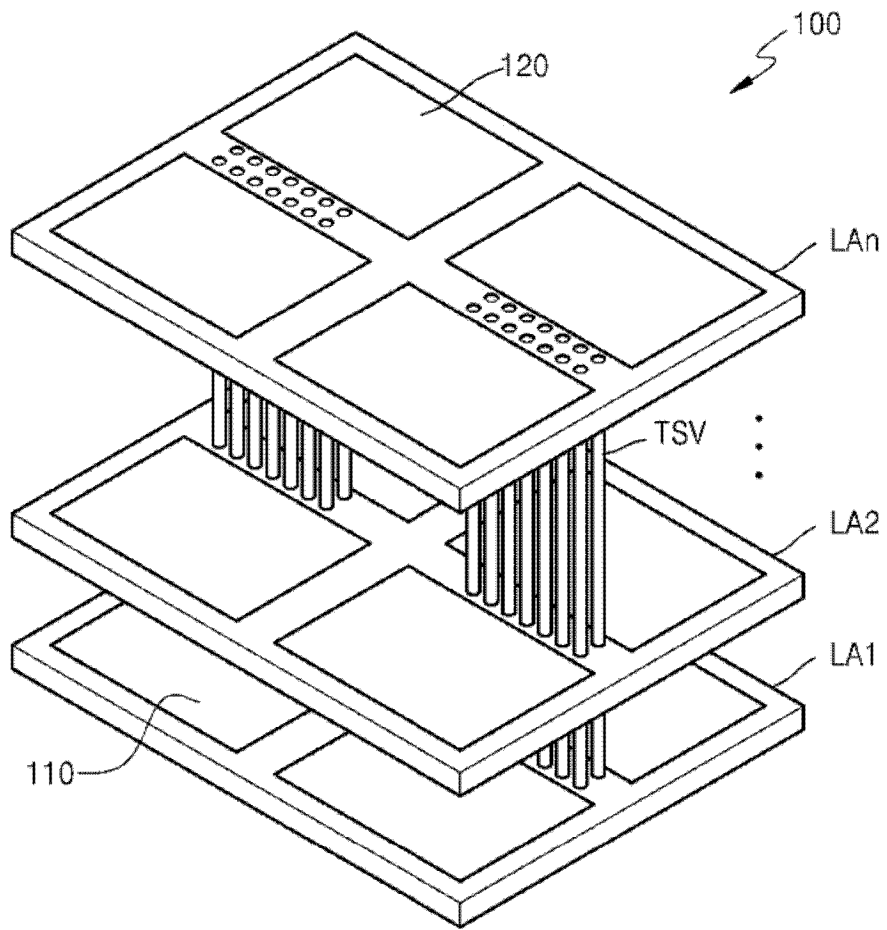


图 1

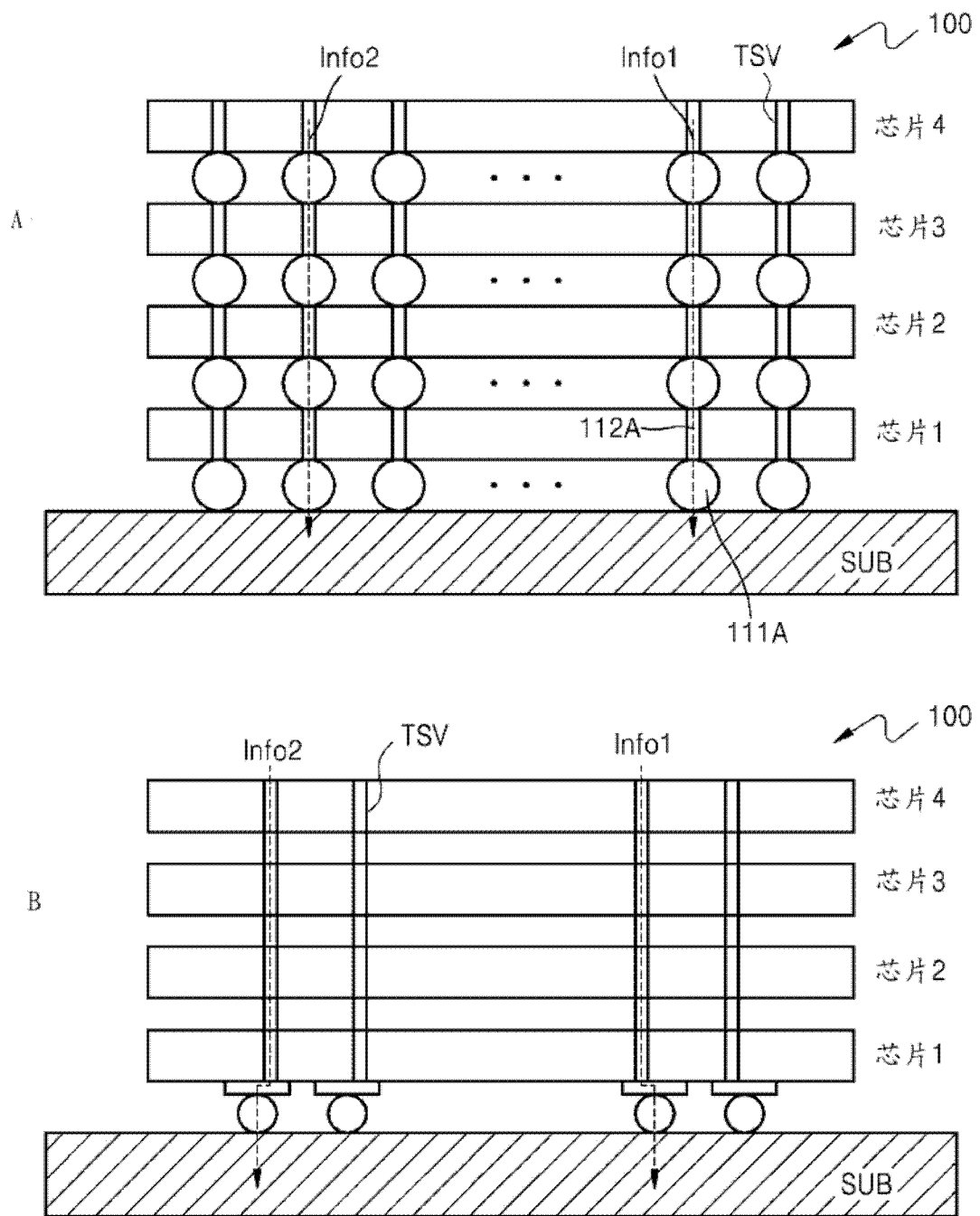


图 2

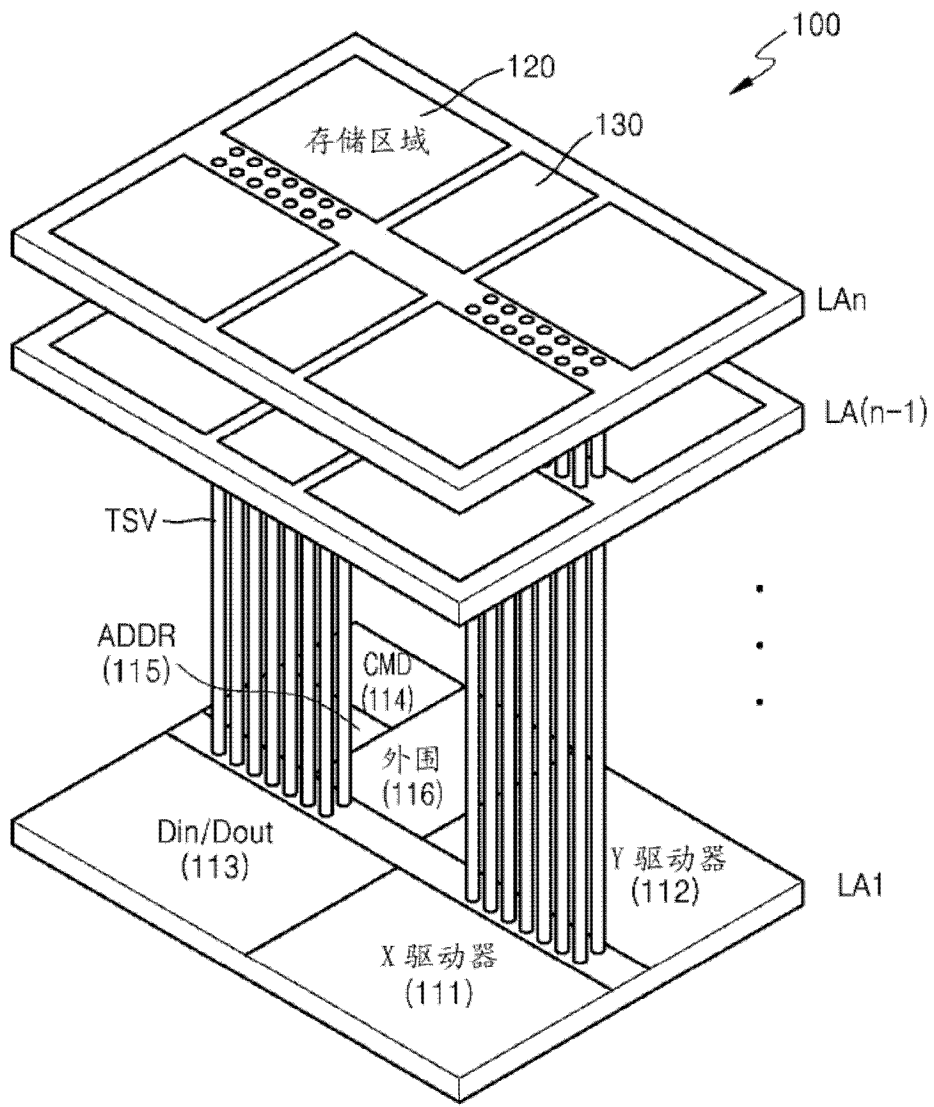


图 3A

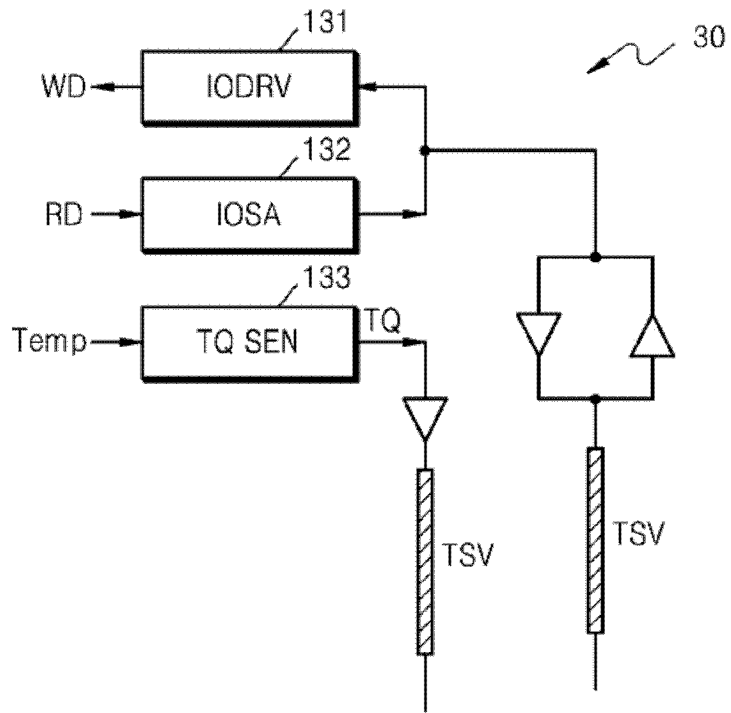


图 3B

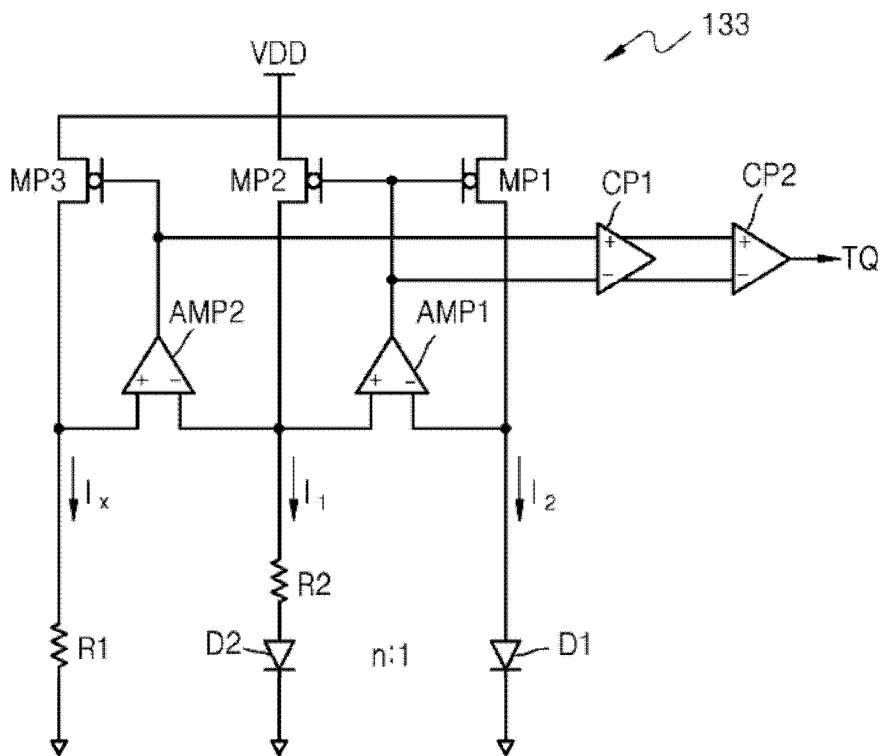


图 3C

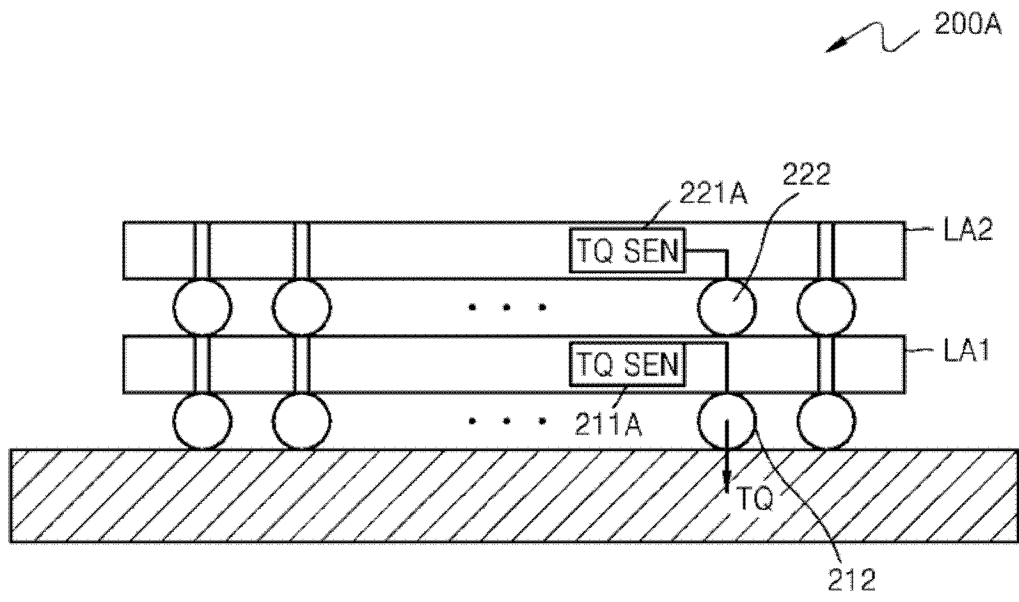


图 4

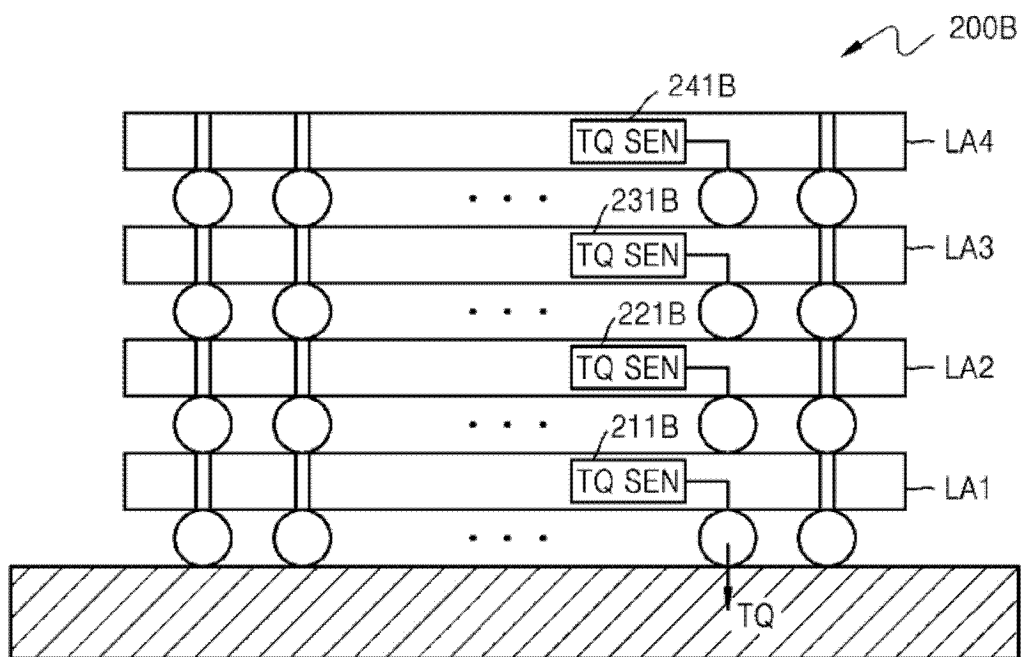


图 5

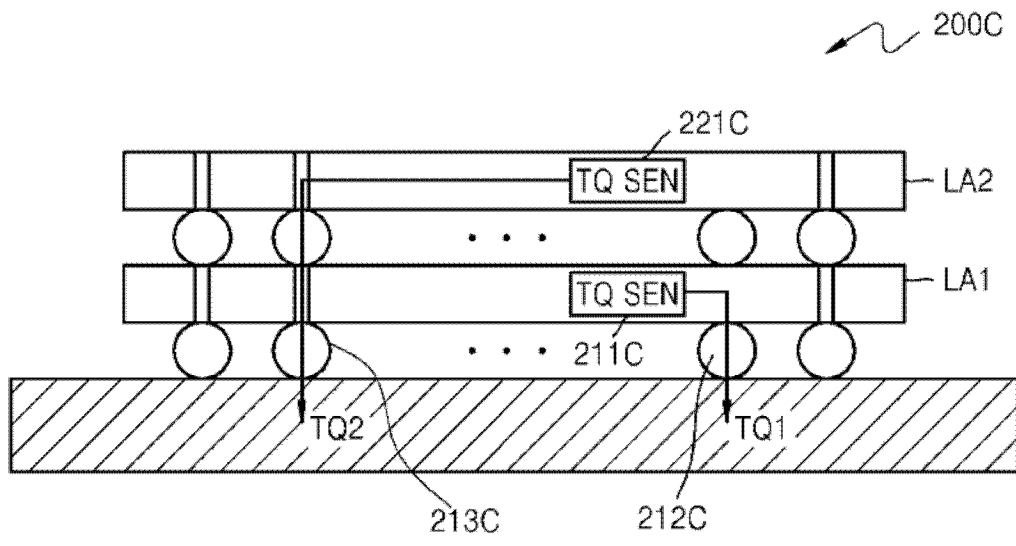


图 6

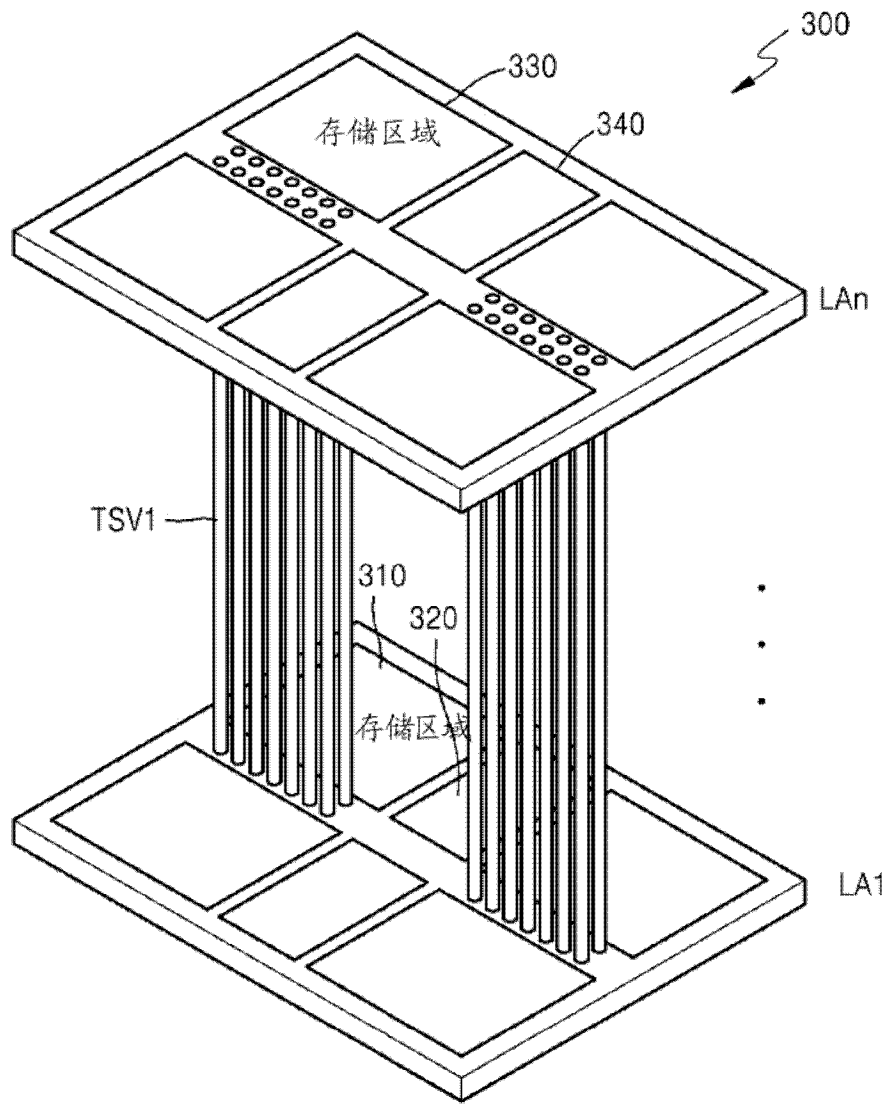


图 7

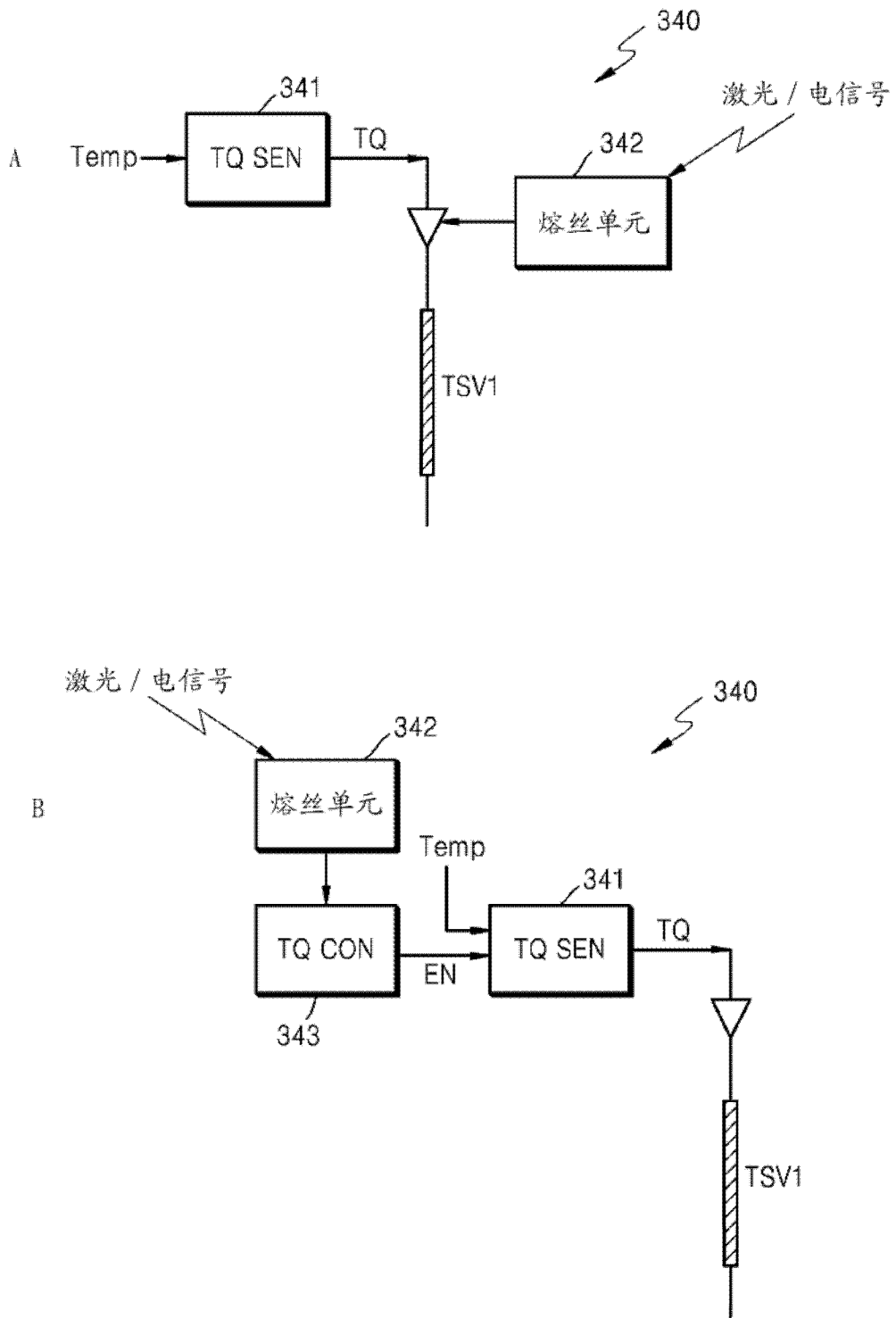


图 8

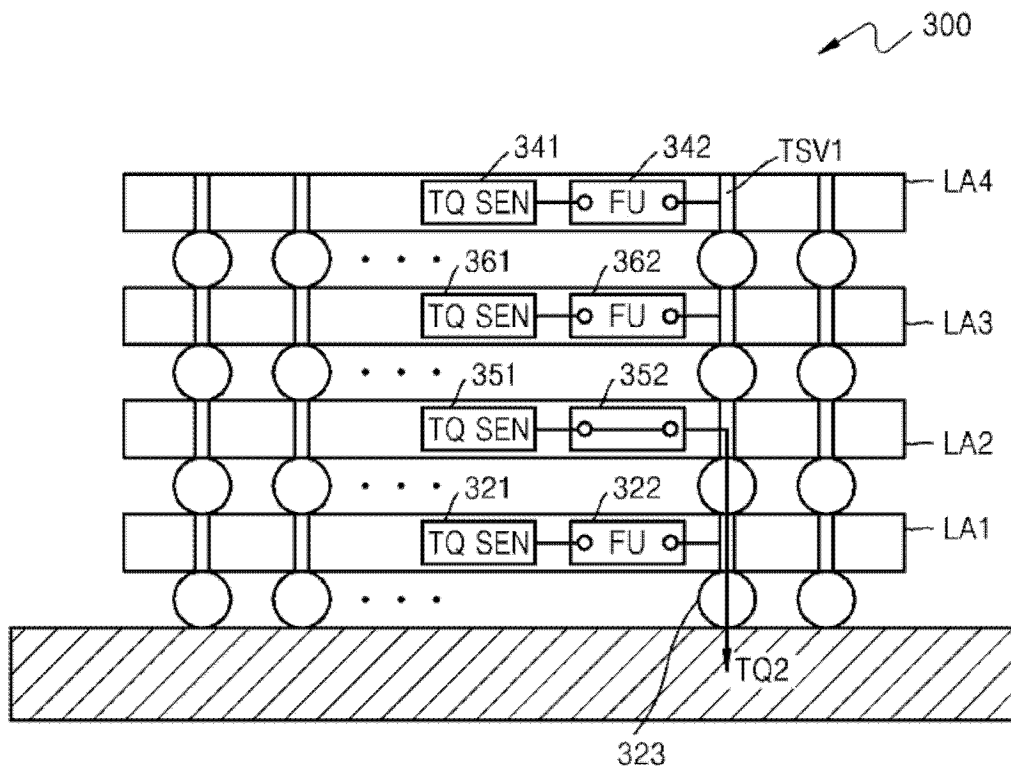


图 9

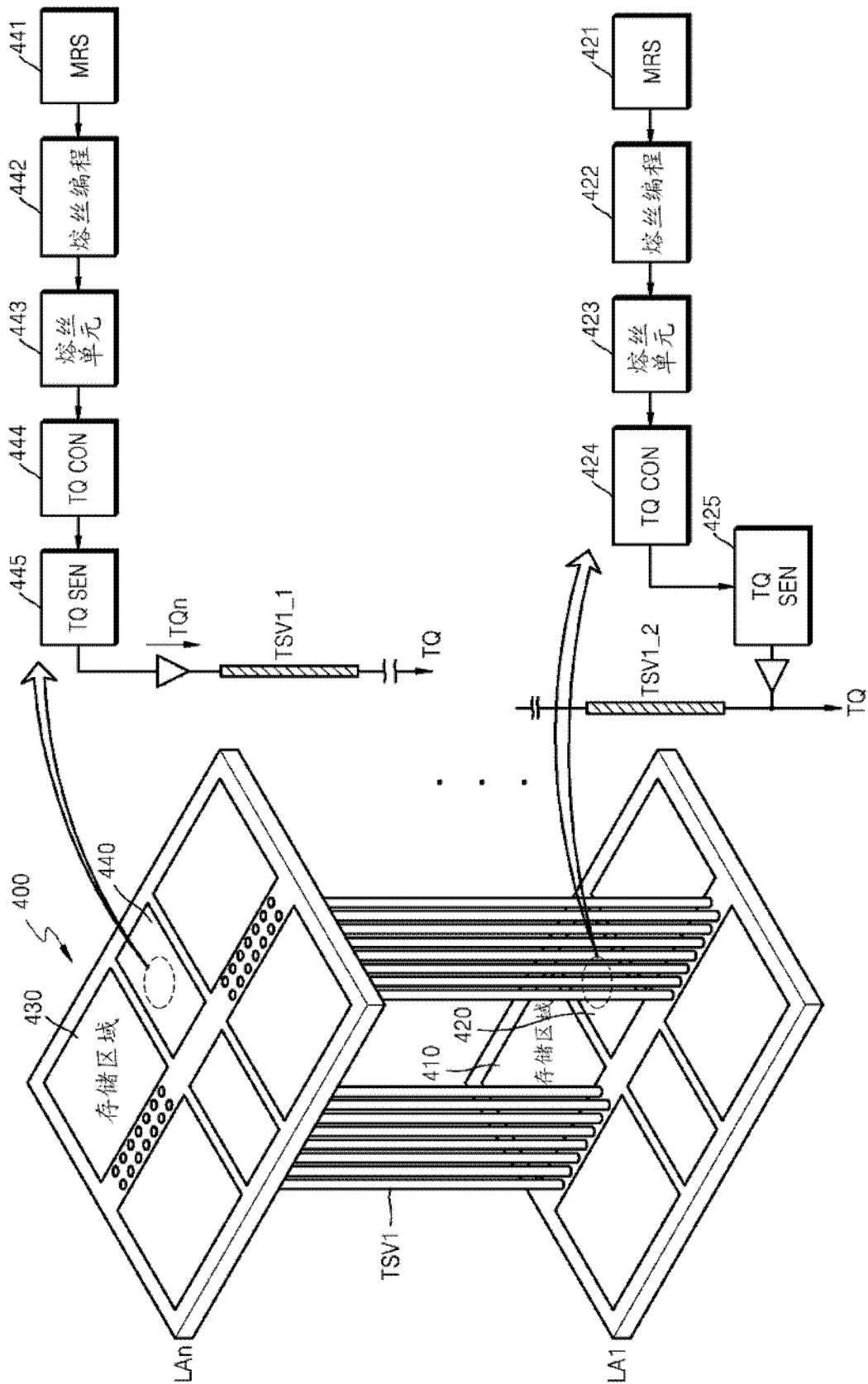


图 10

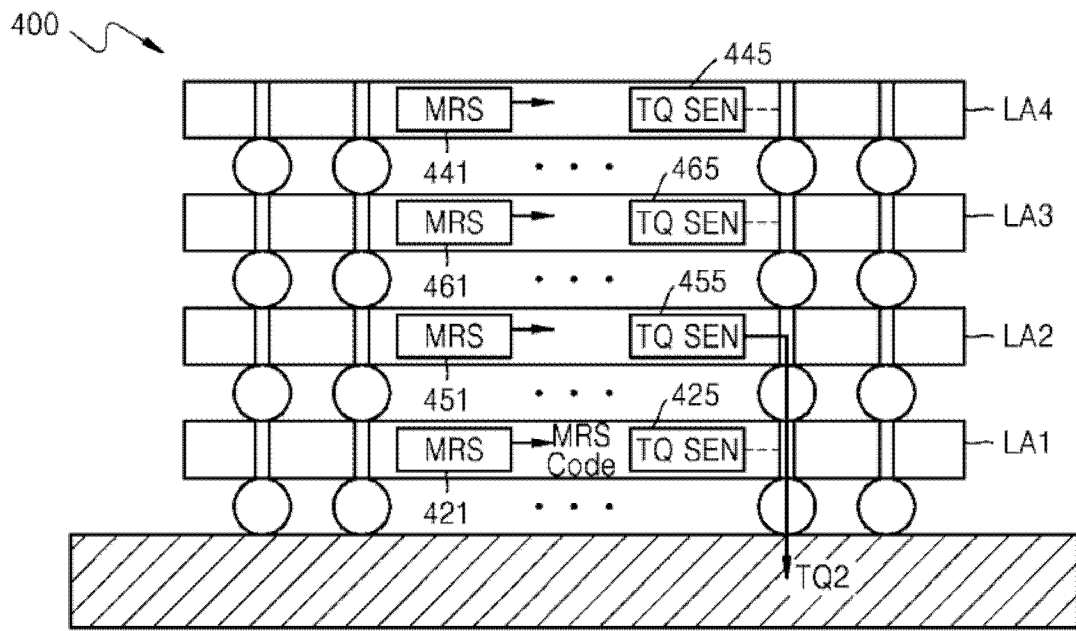


图 11

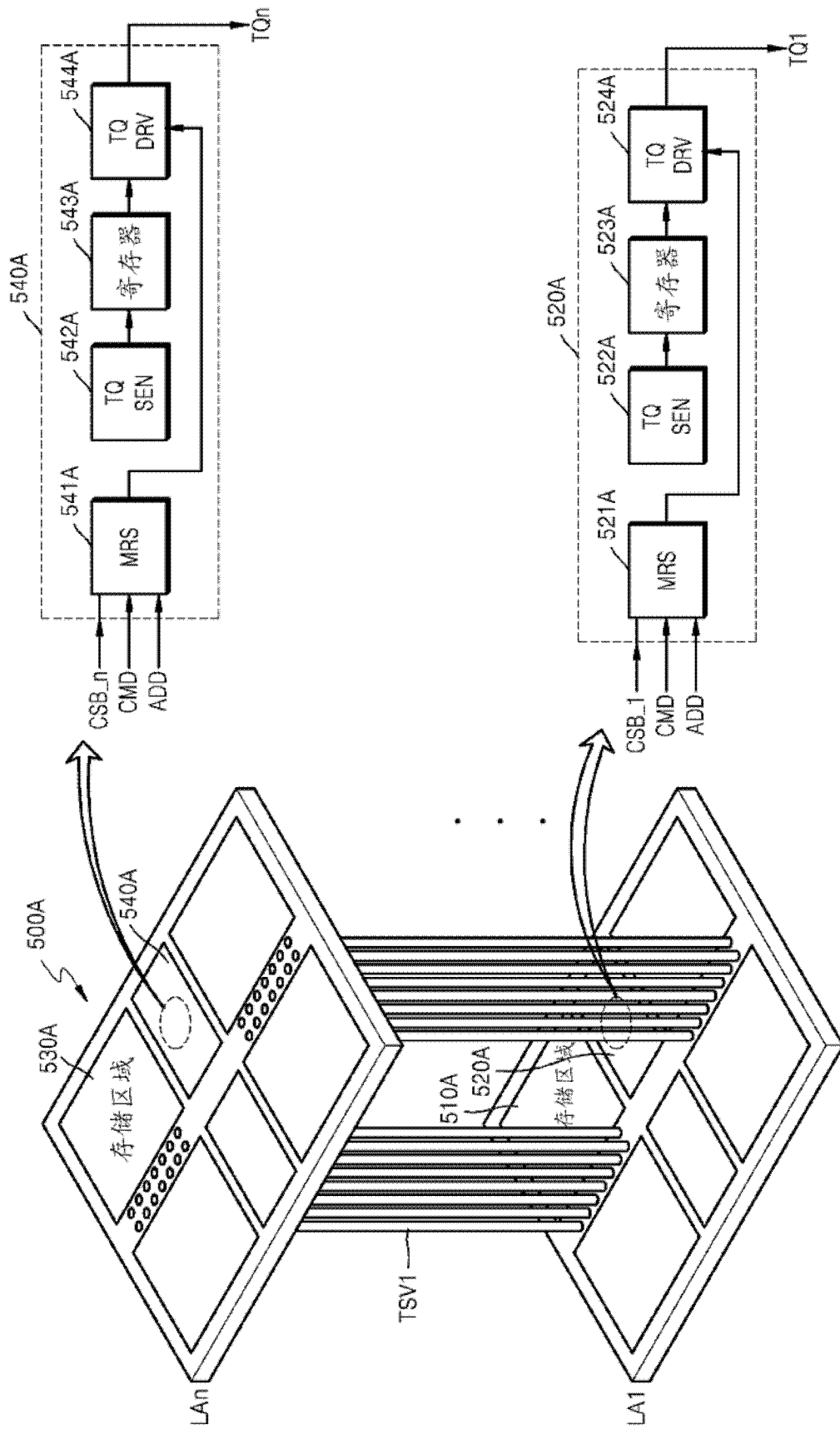


图 12

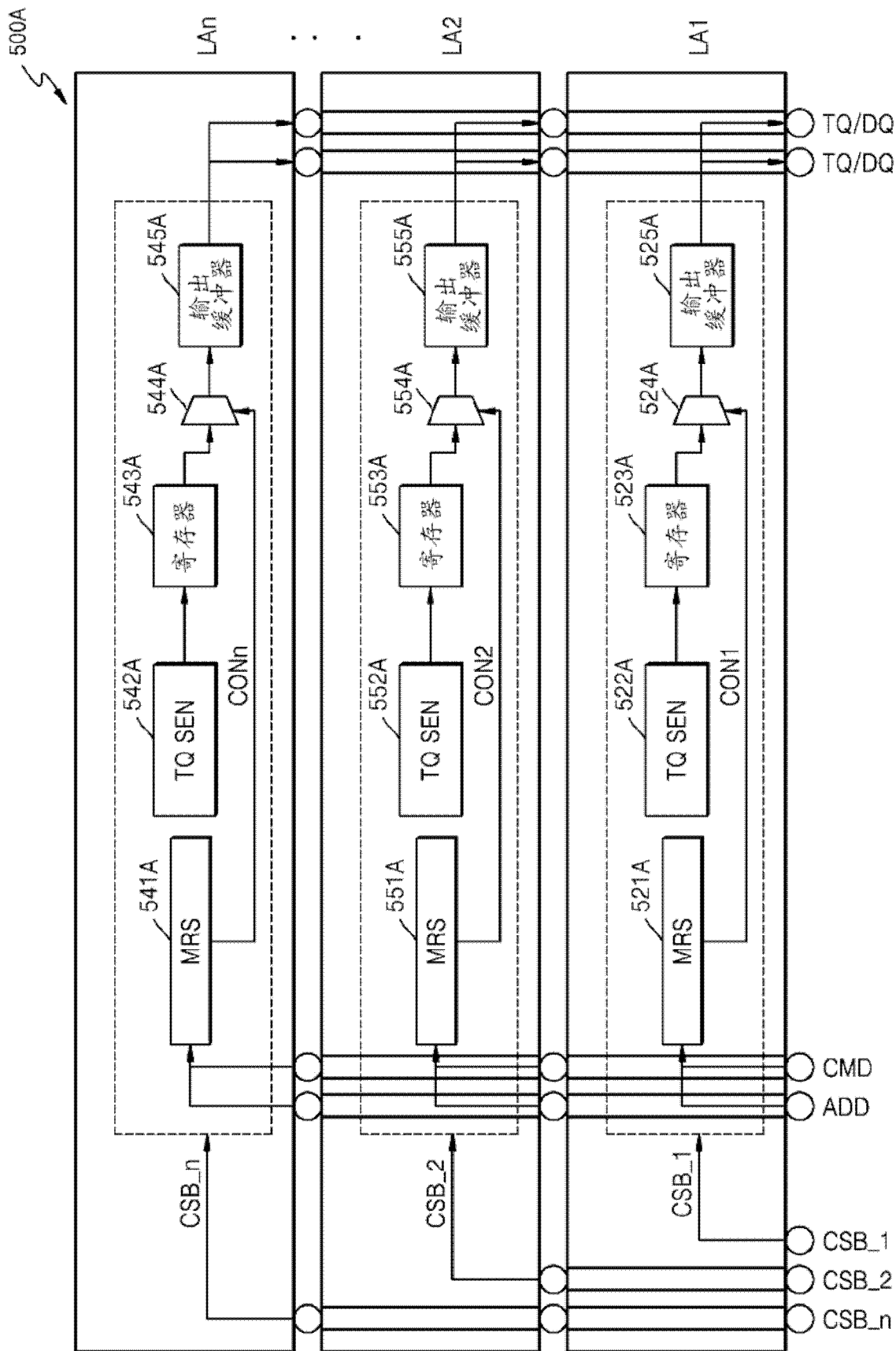


图 13

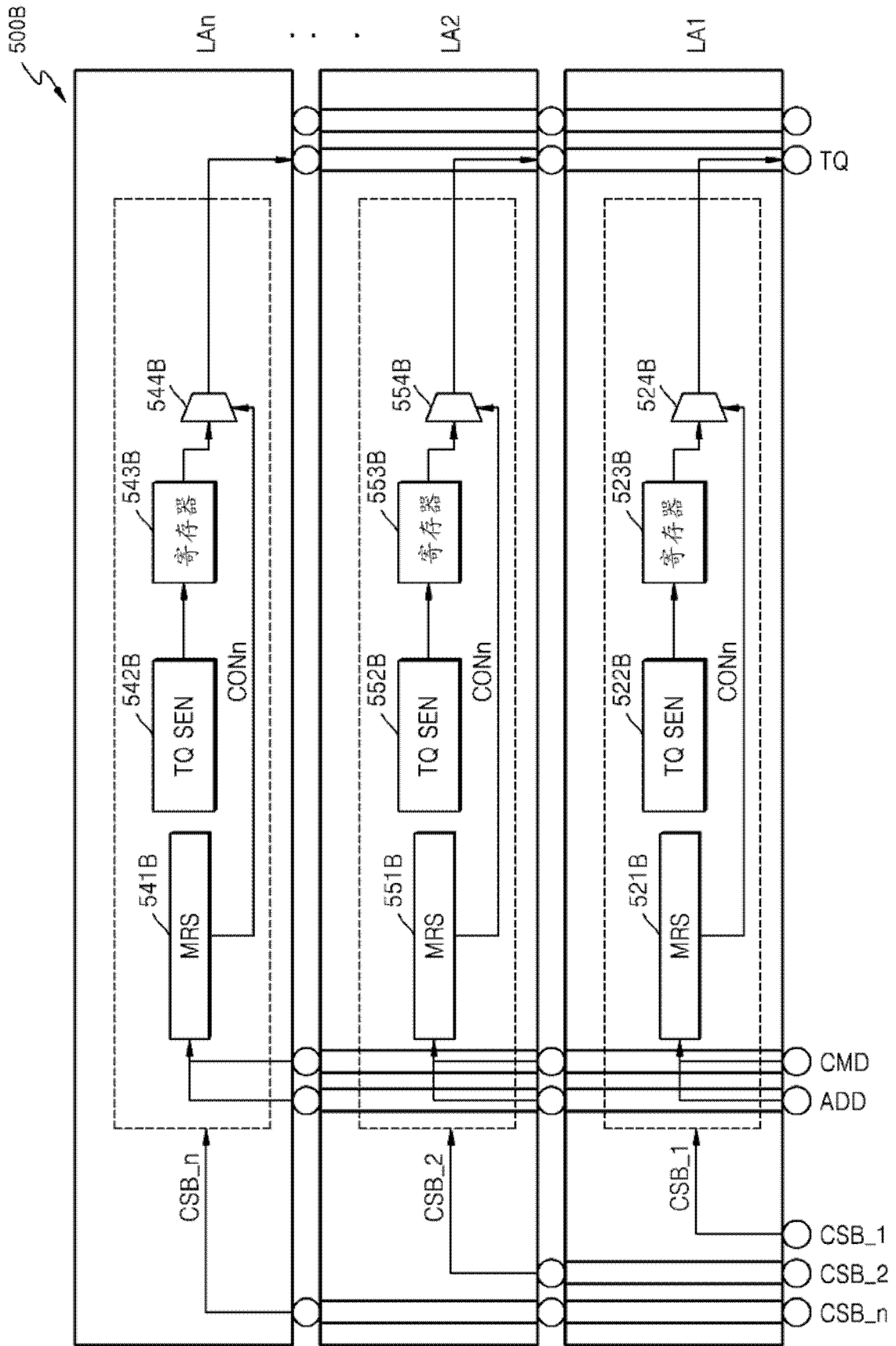


图 14

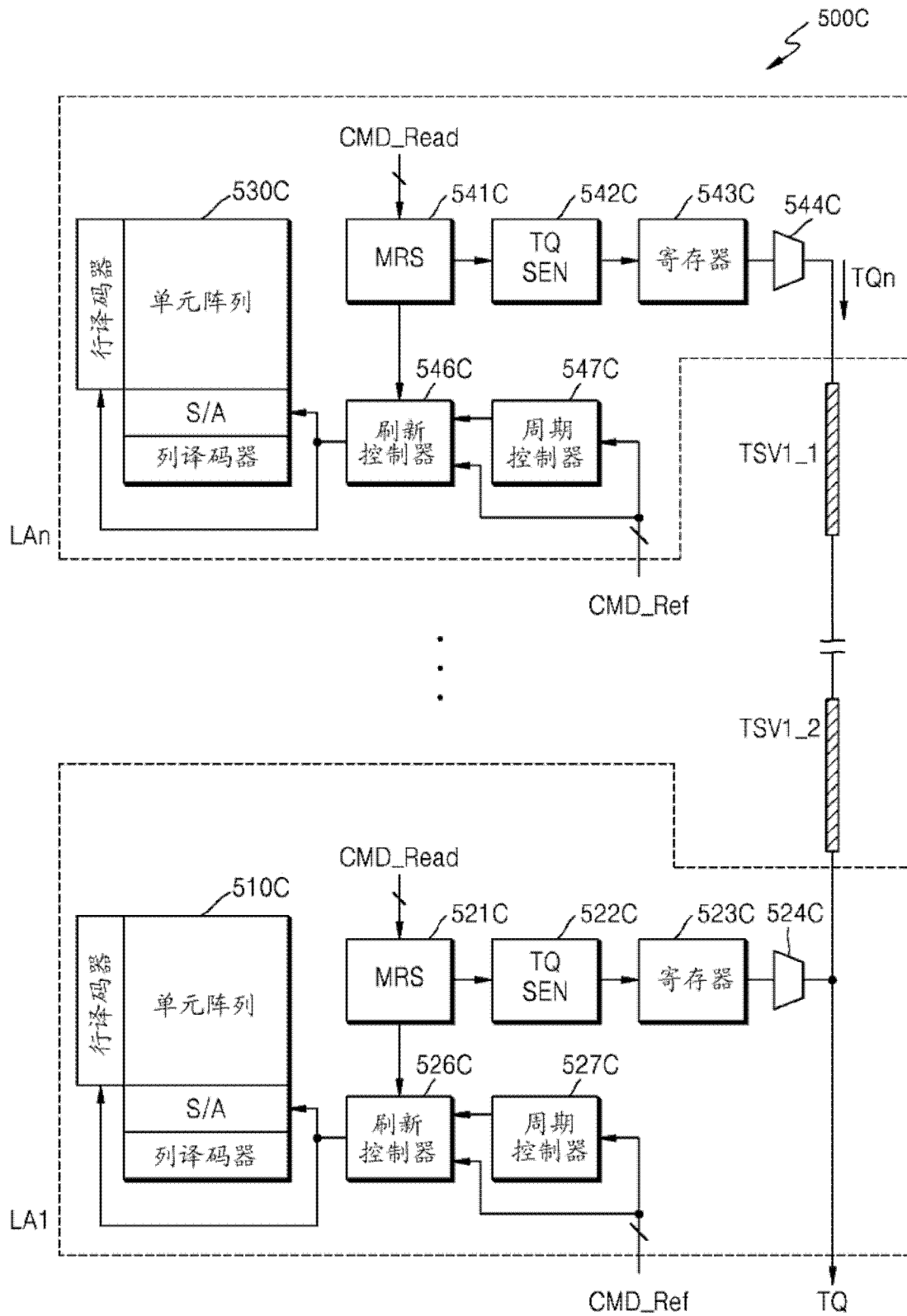


图 15

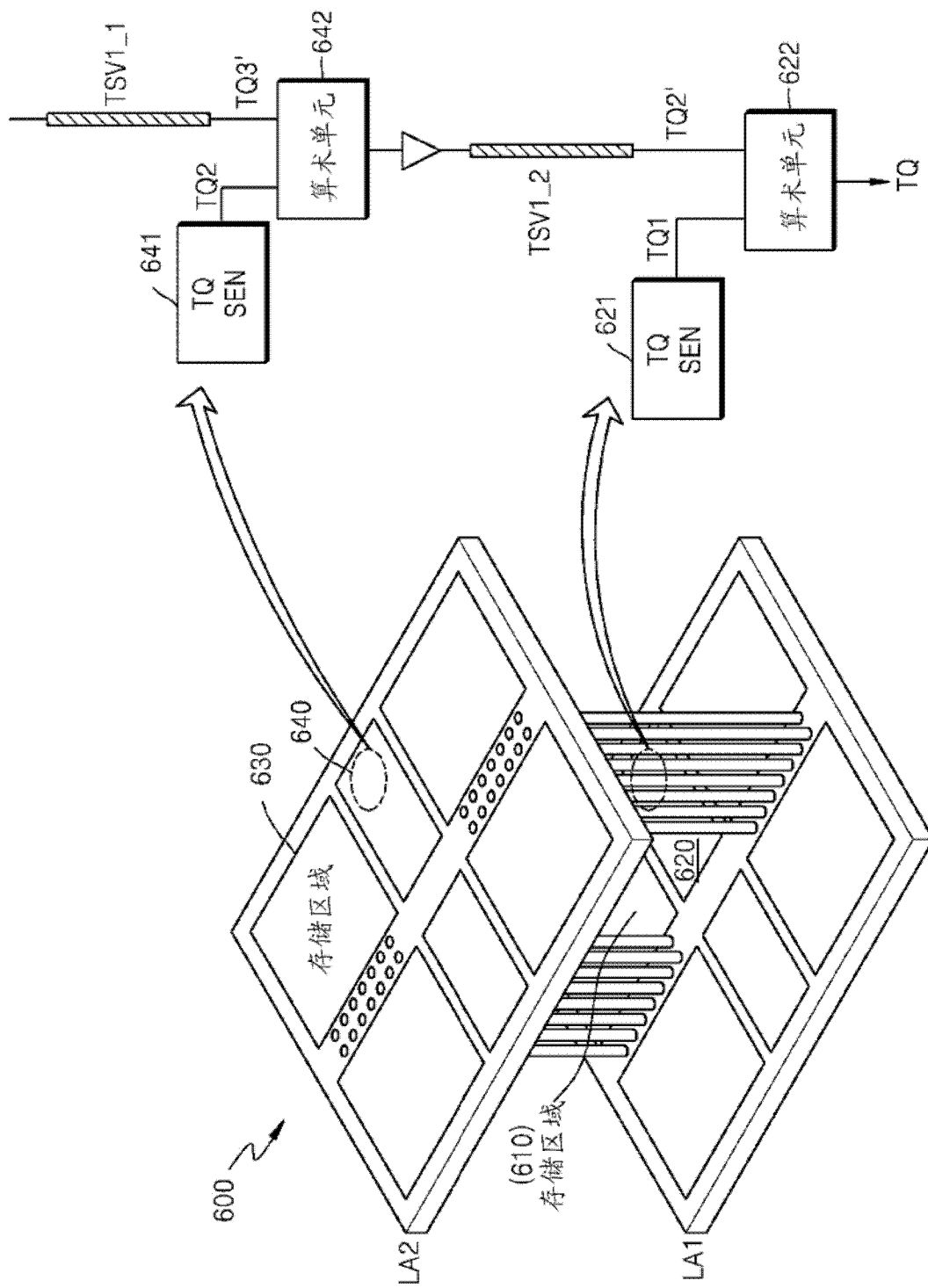


图 16

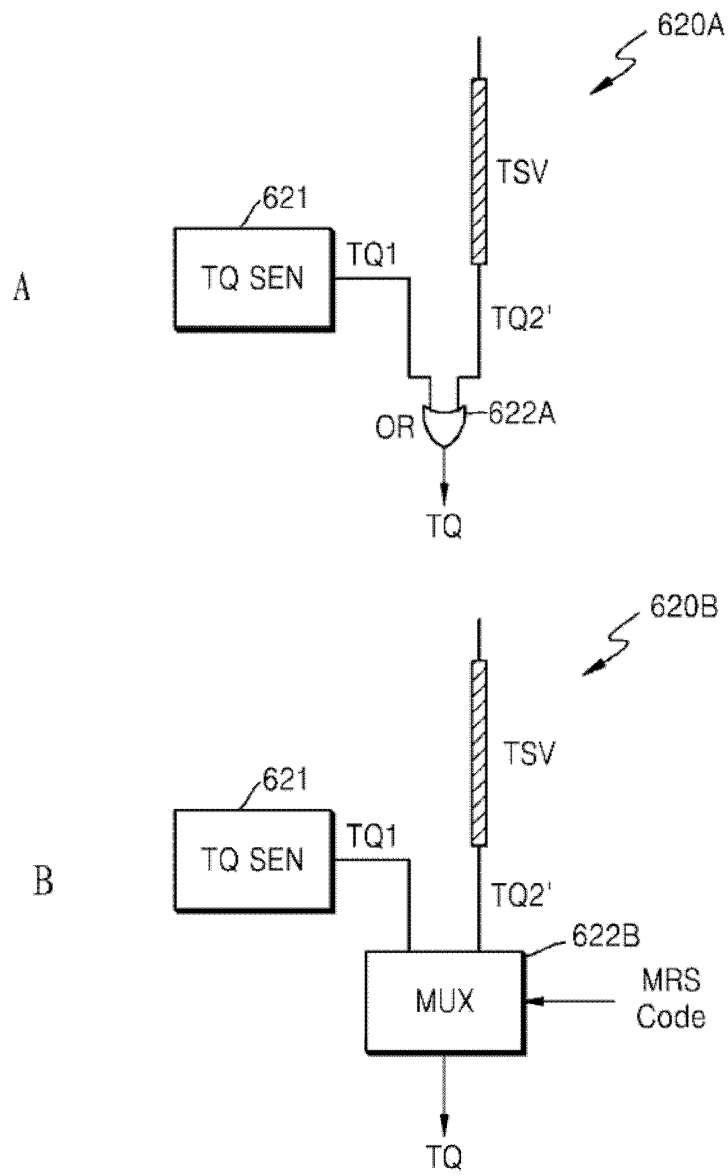


图 17

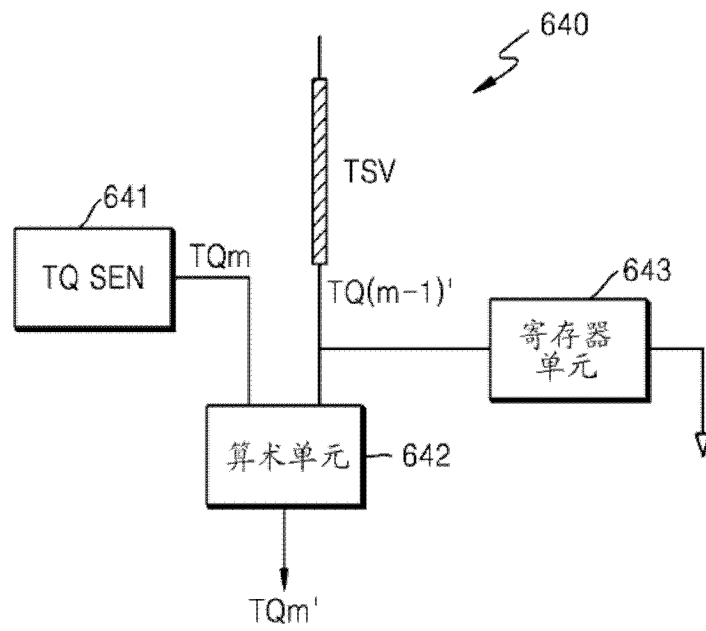


图 18

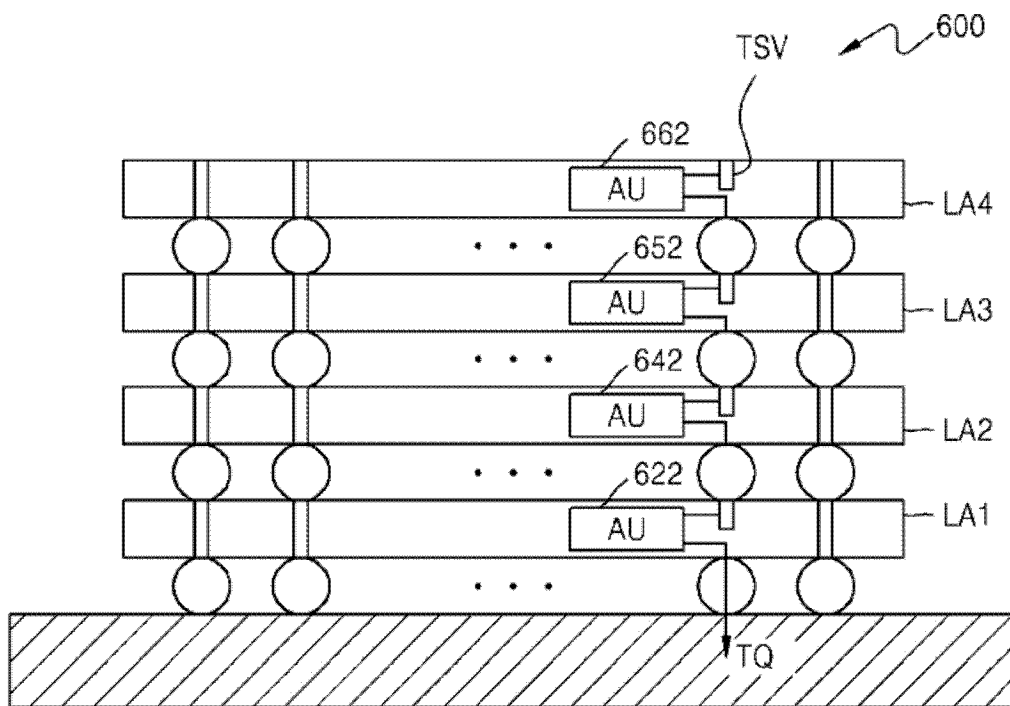


图 19

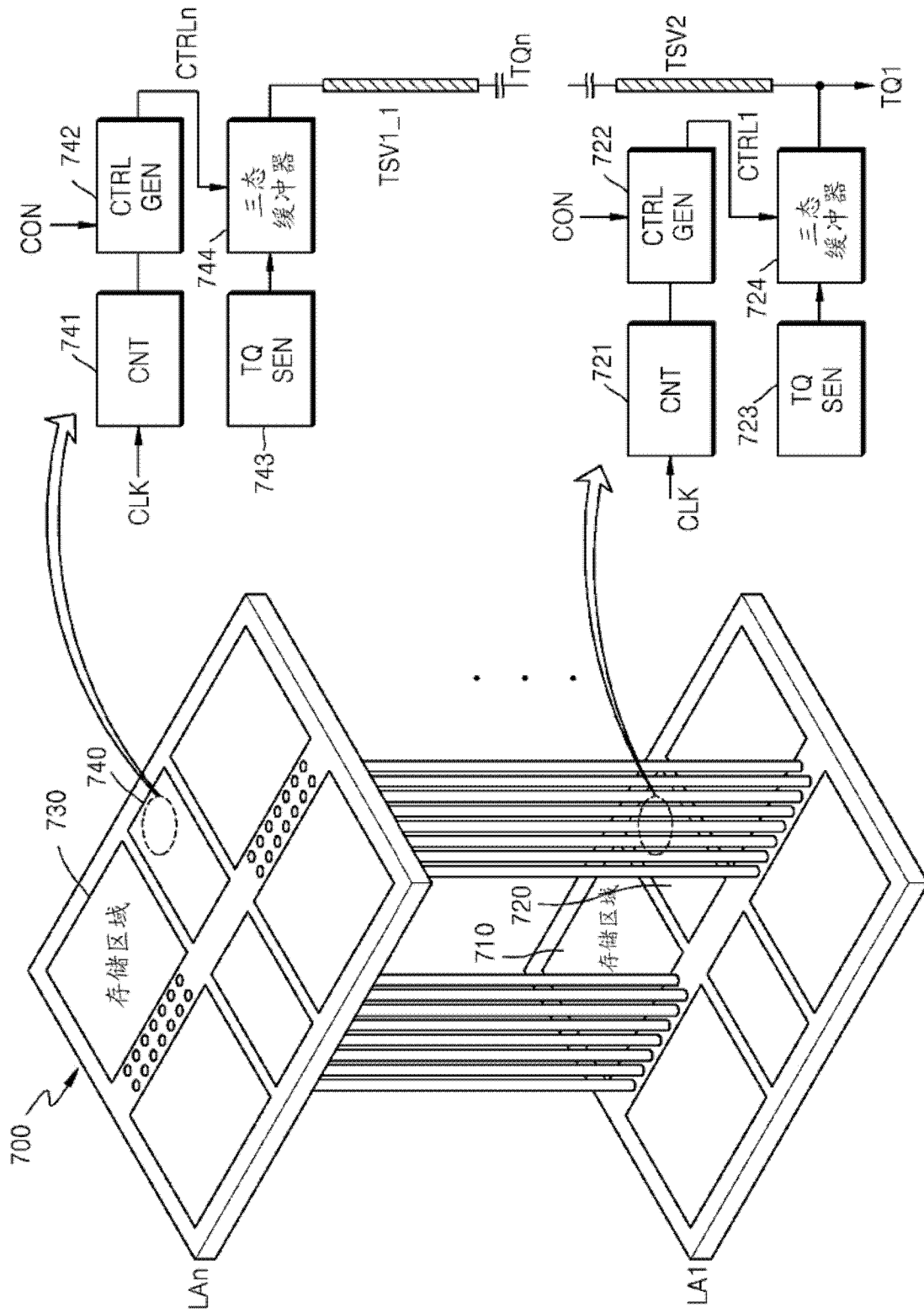


图 20

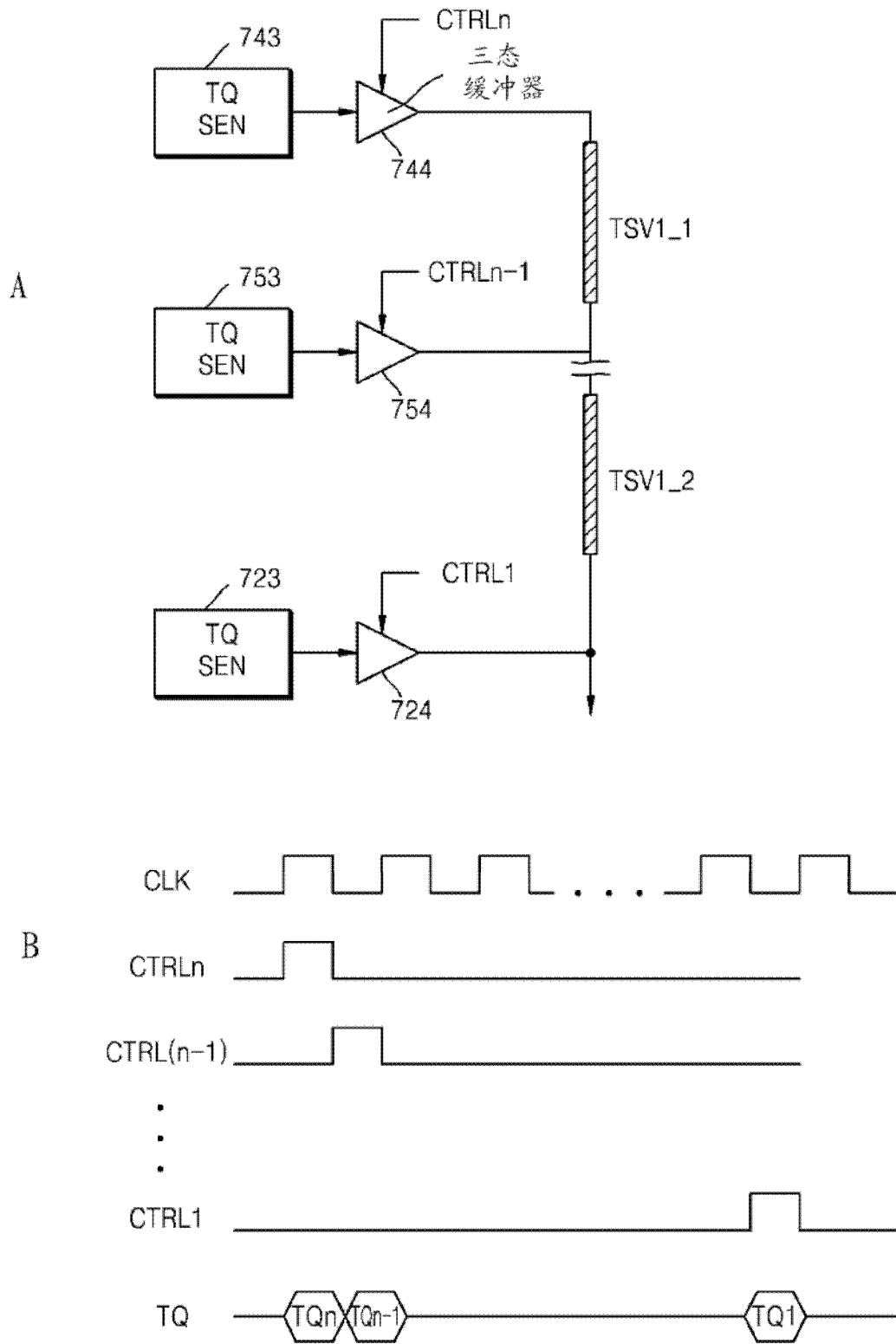


图 21

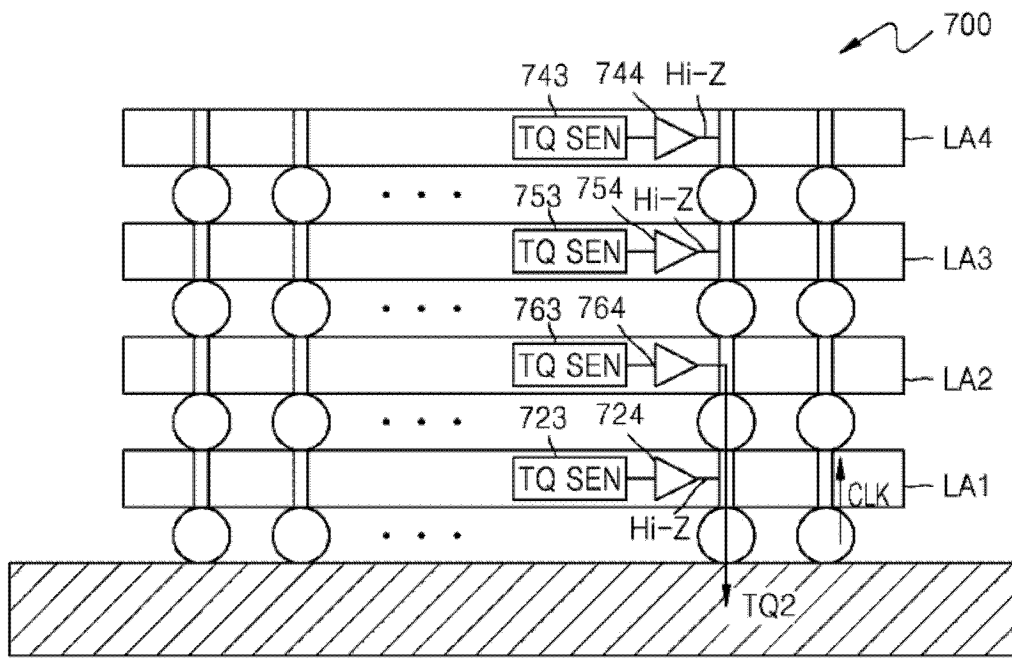


图 22

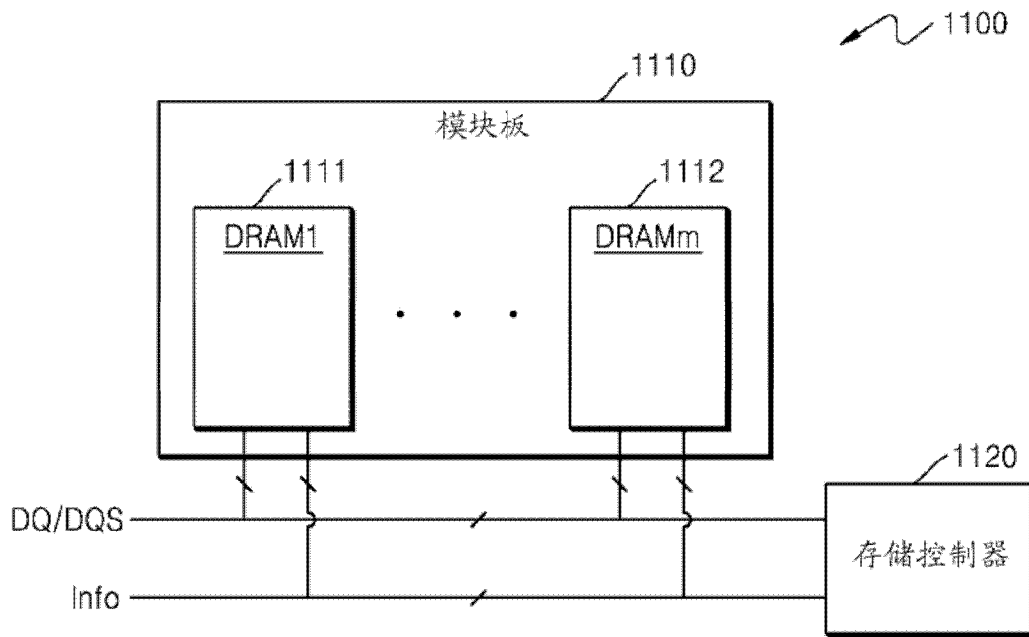


图 23

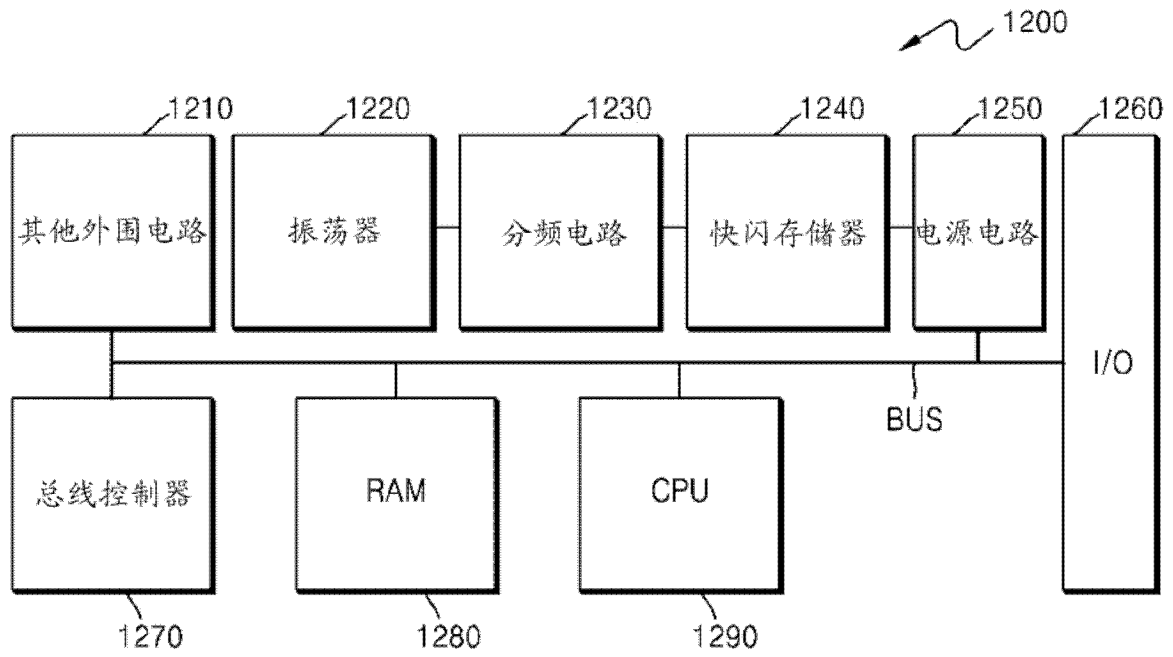


图 24

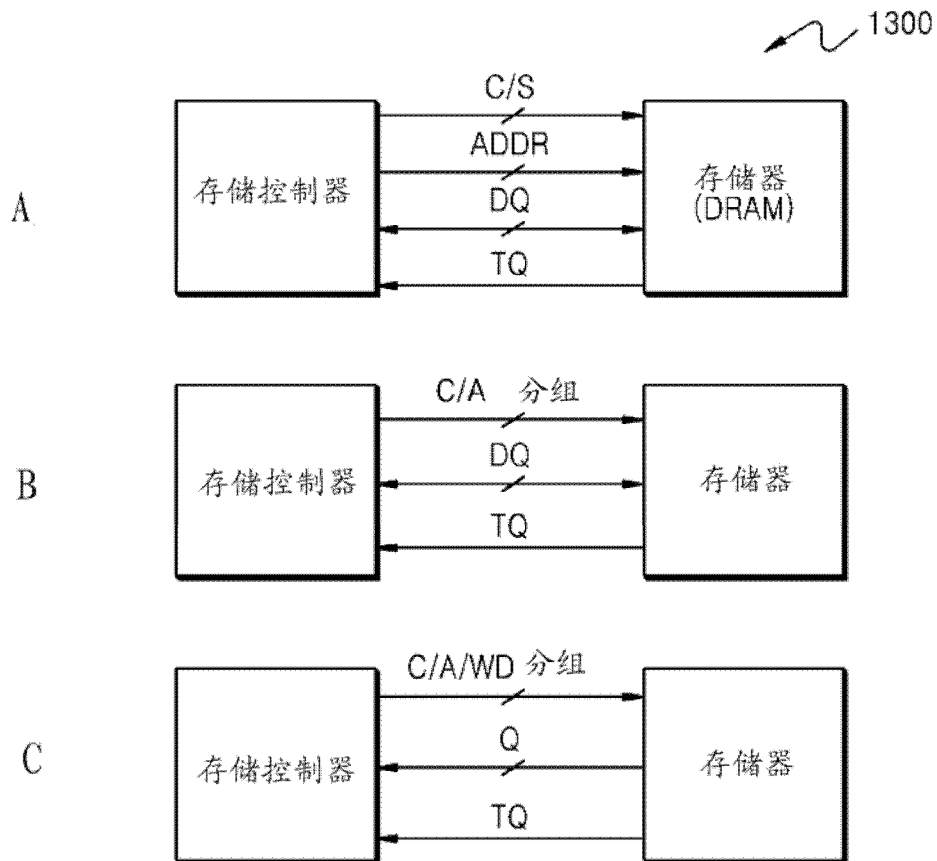


图 25

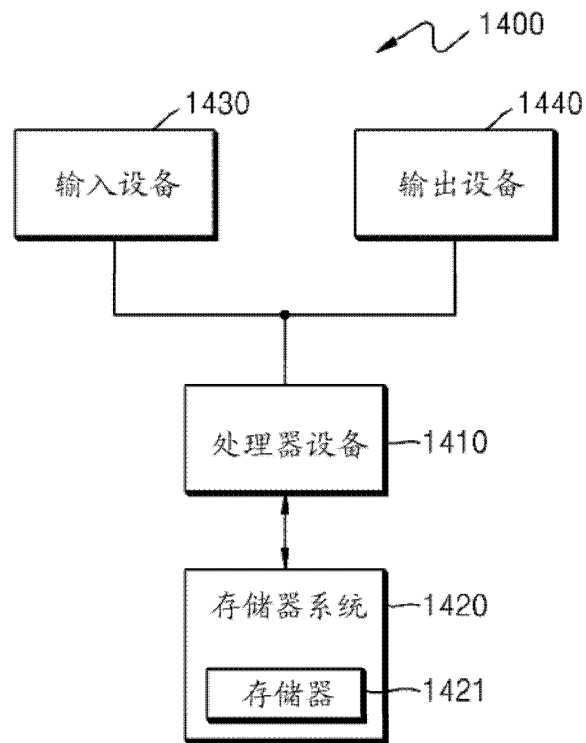


图 26