

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年7月1日(01.07.2021)



(10) 国際公開番号

WO 2021/131908 A1

(51) 国際特許分類:
H03G 3/02 (2006.01) G10K 15/02 (2006.01)
G10L 19/00 (2013.01)

(21) 国際出願番号: PCT/JP2020/046771

(22) 国際出願日: 2020年12月15日(15.12.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-239618 2019年12月27日(27.12.2019) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西
院溝崎町2-1 Kyoto (JP).

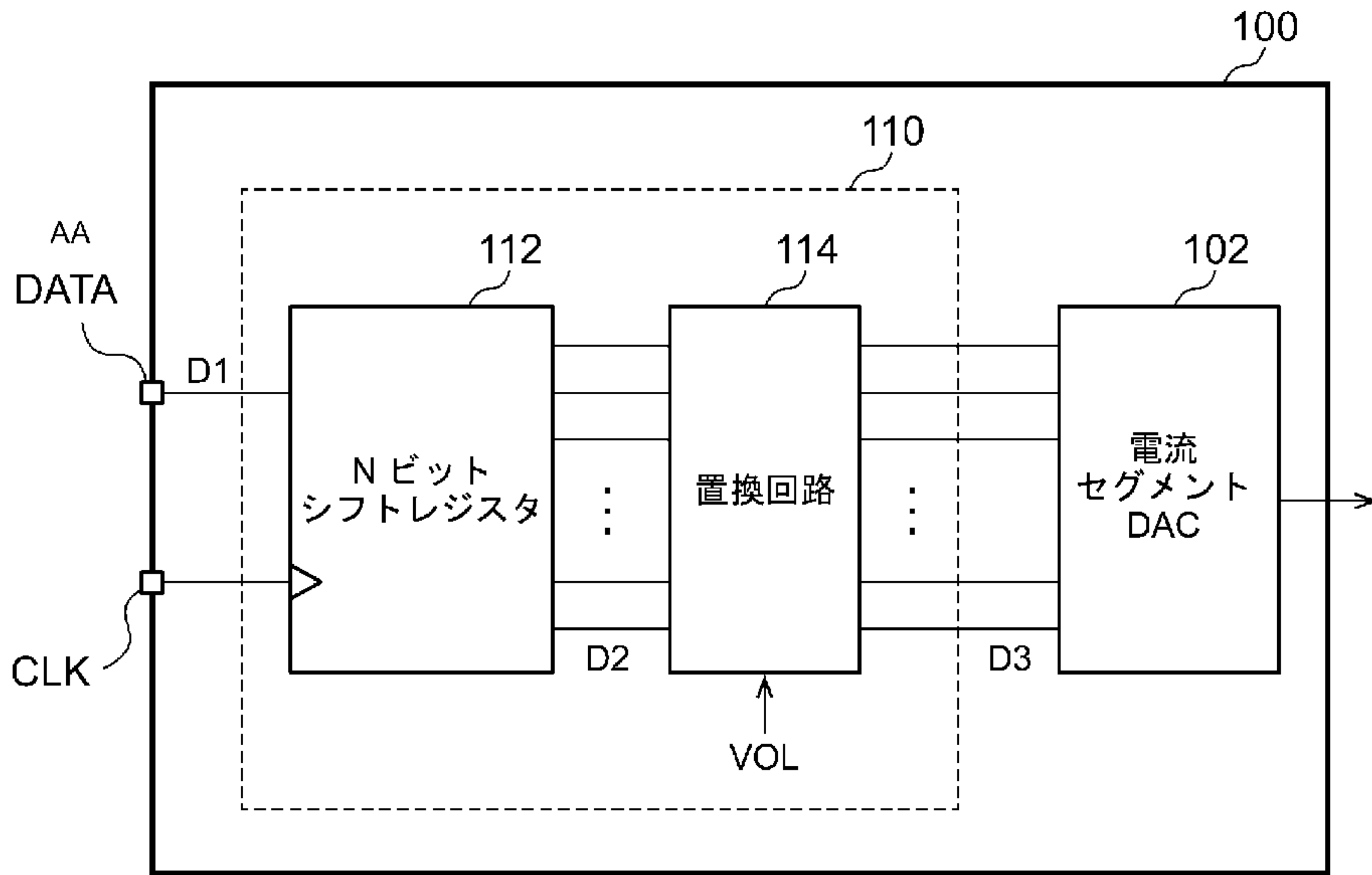
(72) 発明者: 山上 真司 (YAMAGAMI Shinji);
〒6158585 京都府京都市右京区西院溝崎
町2-1 ローム株式会社内 Kyoto (JP). 山
田 望人 (YAMADA Moto); 〒6158585 京都府
京都市右京区西院溝崎町2-1 ローム
株式会社内 Kyoto (JP).

(74) 代理人: 森下 賢樹 (MORISHITA Sakaki);
〒1500021 東京都渋谷区恵比寿西2-
1-12 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,

(54) Title: AUDIO CIRCUIT AND METHOD FOR REPRODUCING DSD SIGNAL

(54) 発明の名称: オーディオ回路、DSD信号の再生方法



102 Current segment DAC
112 N-bit shift register
114 Replacement circuit
AA DATA

(57) Abstract: An audio circuit 100 is provided with a volume circuit 110 that processes a DSD signal including DSD data and a DSD clock. The volume circuit 110 is provided with a first shift register 112 and a replacement circuit 114. The first shift register 112 holds N bits of the DSD data. The replacement circuit 114 replaces (N - M) bits ($0 \leq M \leq N$) corresponding to a gain set value among the N bits stored in the first shift register 112, with a bit string for muting having a mark rate of substantially 50%.

[続葉有]

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :
一 国際調査報告 (条約第21条(3))

(57) 要約 : オーディオ回路 1 0 0 は、D S D データと D S D クロックを含む D S D 信号を処理するボリ
ウム回路 1 1 0 を備える。ボリウム回路 1 1 0 は、第 1 シフトレジスタ 1 1 2 および置換回路 1 1 4
を備える。第 1 シフトレジスタ 1 1 2 は、D S D データの N ビットを保持する。置換回路 1 1 4 は、
第 1 シフトレジスタ 1 1 2 に格納される N ビットのうち、ゲイン設定値に応じた (N − M) ビット
(0 ≤ M ≤ N) を、マーク率が実質的に 5 0 % であるミュート用ビット列に置換する。

明 細 書

発明の名称：オーディオ回路、D S D信号の再生方法

技術分野

[0001] 本開示は、オーディオ信号処理に関し、特にD S D信号の再生技術に関する。

背景技術

[0002] 近年、オーディオ分野において、音源のハイレゾ化が進められている。こうした状況のもと、音源のネットワーク配信などではD S D (Direct Stream Digital) と呼ばれるフォーマットの普及が進んでおり、それに対応した再生装置が求められている。D S D方式は、それ自体は従来から存在しており、S A C D (スーパーオーディオC D) などでも採用されていた。

[0003] D S D方式は、P D M (パルス密度変調) の一種であり、オーディオ波形が1ビットのパルス密度変調されたビットストリームとして記録されたものであり、原理的にはそれをローパスフィルタを通過させることで、もとのオーディオ波形を再生できる。

[0004] D S Dフォーマットのオーディオ信号の再生方法は、非ネイティブ再生とネイティブ再生の2つに分けられる。非ネイティブ再生では、D S D信号を一旦、P C M (Pulse Code Modulation) 信号に変換した後に、D / Aコンバータによってアナログオーディオ信号に変換する。

[0005] 一方、ネイティブ再生では、D S D信号をP C M信号に変換することなく、そのままD / A変換を行い、アナログオーディオ信号に変換する。

先行技術文献

特許文献

[0006] 特許文献1：米国特許第9 8 7 5 7 5 0号明細書

発明の概要

発明が解決しようとする課題

[0007] 非ネイティブ再生では、D S P (Digital Signal ProcessorあるいはDigit

al Sound Processor) によって、PCM信号に対して、ボリューム制御やイコライジング処理など、さまざまなデジタル信号処理を施すことができる。一方で、PCM変換することにより遅延が生じ、またジッタの影響を受けやすくなるため、音質の面では、ネイティブ再生の方が優れている。

[0008] 一方で、ネイティブ再生は、音質面で優れているにもかかわらず、デジタル領域においてボリューム制御ができないという制約がある。

[0009] 本開示はかかる状況においてなされたものであり、そのある態様の例示的な目的のひとつは、DSDネイティブでボリューム制御可能なオーディオ回路の提供にある。

課題を解決するための手段

[0010] 本開示のある態様はオーディオ回路に関する。オーディオ回路は、DSD (Direct Stream Digital) データおよびDSDクロックを含むDSD信号を処理するボリューム回路を備える。ボリューム回路は、DSDデータを保持するNビット ($N \geq 2$) の第1シフトレジスタと、第1シフトレジスタに格納されるNビットのうち、ゲイン設定値に応じた ($N - M$) ビット ($0 \leq M \leq N$) を、マーク率が実質的に50%であるミュート用ビット列に置換する置換回路と、を含む。

[0011] なお、以上の構成要素の任意の組み合わせ、本開示の表現を、方法、装置などの間で変換したものもまた、本開示の態様として有効である。

発明の効果

[0012] 本開示のある態様によれば、DSDネイティブでボリューム制御が可能となる。

図面の簡単な説明

[0013] [図1]実施の形態に係るオーディオ回路の回路図である。

[図2]図1のオーディオ回路の動作波形図である。

[図3]図1のオーディオ回路におけるボリューム制御を説明する図である。

[図4]一実施例に係るボリューム回路の回路図である。

[図5]一実施例に係るボリューム回路の回路図である。

[図6]図4のボリウム回路の動作波形図である。

[図7]図4のボリウム回路の内部の動作を説明する図である。

[図8]D/AコンバータICのブロック図である。

発明を実施するための形態

[0014] (実施の形態の概要)

本開示のいくつかの例示的な実施形態の概要を説明する。この概要は、後述する詳細な説明の前置きとして、実施形態の基本的な理解を目的として、1つまたは複数の実施形態のいくつかの概念を簡略化して説明するものであり、発明あるいは開示の広さを限定するものではない。またこの概要は、考えられるすべての実施形態の包括的な概要ではなく、実施形態の欠くべからざる構成要素を限定するものではない。便宜上、「一実施形態」は、本明細書に開示するひとつの実施形態（実施例や変形例）または複数の実施形態（実施例や変形例）を指すものとして用いる場合がある。

[0015] 本明細書に開示される一実施の形態は、オーディオ回路に関する。オーディオ回路は、ボリウム回路を備える。ボリウム回路は、DSD (Direct Stream Digital) 信号のDSDデータを保持するNビット ($N \geq 2$) の第1シフトレジスタと、第1シフトレジスタに格納されるNビットのうち、ゲイン設定値に応じた $(N - M)$ ビット ($0 \leq M \leq N$) を、マーク率が実質的に50%であるミュート用ビット列に置換する置換回路と、を含む。

[0016] 置換回路による置換後のNビットは、ゲイン設定値が小さくなるほど、マーク率が50%に近づいていき、ミュート状態に近づいていく。したがって、DSDネイティブでのボリウム制御が可能となる。

[0017] ミュート用ビット列として固定したパターンを用いると、ゲイン設定値が、 $(N - M)$ が奇数となる状態で固定されたときに、ミュート用ビット列が50%からずれてしまい、音質が劣化する。そこで一実施形態において、ミュート用ビット列は、DSDクロックの周期毎に反転してもよい。これにより、ミュート用ビット列のマーク率の時間平均が50%に近づくため、音質の劣化を抑制できる。

[0018] 一実施形態において、ミュート用ビット列として、マーク率が50%の擬似ランダム信号（P R B S : Pseudo-random bit sequence）を用いてもよい。これにより、ミュート用ビット列のマーク率の時間平均が50%に近づくため、音質の劣化を抑制できる。

[0019] 一実施形態において、置換回路は、D S Dクロックの周期ごとに反転するデータを入力とするNビットの第2シフトレジスタと、第1シフトレジスタの一端からMビットと、第2シフトレジスタの他端から（N－M）ビットを結合する結合器と、を含んでもよい。第2シフトレジスタにより、D S Dクロックの周期毎に反転するミュート用ビット列を生成できる。

[0020] 一実施形態において、ボリウム回路は、ボリウム設定値が変更されると、ゲイン設定値を、ボリウム変更前の初期値から、ボリウム変更後の目標値に向かって変化させるカウンタをさらに含んでもよい。

[0021] 一実施形態において、ゲイン設定値が初期値から目標値に到達するまでの時間または傾きは設定可能であってもよい。

[0022] 一実施形態において、オーディオ回路は、置換回路が生成するNビットを入力として受ける電流セグメントD／Aコンバータをさらに備えてもよい。

[0023] （実施の形態）

以下、本開示を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、開示を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも開示の本質的なものであるとは限らない。

[0024] 本明細書において、「部材Aが、部材Bに接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合や、部材Aと部材Bが、それらの電気的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわせない、その他の部材を介して間接的に接続される場合も含む。

[0025] 同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわせない、その他の部材を介して間接的に接続される場合も含む。

[0026] 図1は、実施の形態に係るオーディオ回路100の回路図である。オーディオ回路100は、ひとつの半導体基板に集積化されたIC (Integrated Circuit) である。たとえばオーディオ回路100は、D/Aコンバータ102とボリウム回路110とが集積化されたDACチップである。

[0027] オーディオ回路100はデータピンDATAとクロックピンCLKを有し、DSDデータD1とDSDクロックCLKを含むDSD信号を受ける。ボリウム回路110は、DSDデータD1とDSDクロックCLKを含むDSD信号を受け、ボリウム設定値VOLに応じたボリウム制御を行う。DSDデータD1は、ミュート状態で0と1の出現確率が50%であり、50%からの乖離が、オーディオ信号成分となる。

[0028] ボリウム回路110は、第1シフトレジスタ112および置換回路114を備える。第1シフトレジスタ112は、DSDデータをNビット ($N \geq 2$) を保持する。その限りでないが、たとえば $N = 128$ である。

[0029] 置換回路114は、第1シフトレジスタ112に格納されるNビットのビット列D2のうち、ゲイン設定値に応じた ($N - M$) ビット ($0 \leq M \leq N$) を、マーク率が実質的に50%であるミュート用ビット列MBに置換し、置換後のビット列D3を出力する。ビット数Mは、最大ゲインのときにN、最小ゲインのときに0となる。

[0030] 以上がオーディオ回路100の構成である。続いてオーディオ回路100の動作を説明する。図2は、図1のオーディオ回路100の動作波形図である。

[0031] D1は、DSDデータを示す。DSDデータは、パルス密度変調された1と0のビットストリームである。あるクロックサイクルにおいて、DSDデ

ータD 1のうちのNビット分のデータD 2が第1シフトレジスタ1 1 2に格納されている。

[0032] 置換回路1 1 4は、NビットのデータD 2のうち、 $(N-M)$ ビットを、マーク率が50%のミュート用ビット列MBに置換する。NビットのデータD 2のうちMビットはもとのビットが保存される。この例では、ミュート用ビット列MBは、1と0が交互に並んだビット列である。置換後のデータD 3は、後段のA/Dコンバータに入力され、アナログ信号に変換される。

[0033] オーディオ回路1 0 0は、DSDデータD 1の中から第1シフトレジスタ1 1 2に格納するビット列D 2を、クロックサイクル毎に、右方向にシフトしながら、同じ処理を繰り返す。

[0034] 図3は、図1のオーディオ回路1 0 0におけるボリューム制御を説明する図である。ボリューム設定値VOLが最大値MAXのとき、 $M=N$ であり、DSDデータD 2（すなわちD 1）がそのまま、DSDデータD 3として出力される。

[0035] ボリューム設定値VOLが最小値MINのとき、 $M=0$ であり、入力されたDSDデータD 2の全ビットがミュート用ビット列MBに置換される。この状態では再生されるDSDデータは、マーク率が50%となるから、ミュート状態となる。

[0036] ボリューム設定値VOLが最小値MINと最大値MAXの間値をとるとき、 $0 < M < N$ であり、入力されたDSDデータD 2の一部がミュート用ビット列MBに置換される。この状態では再生されるDSDデータの実効的な音量は、ボリューム設定値が最大であるときに比べて、 M/N 倍となる。

[0037] 以上がオーディオ回路1 0 0の動作である。このオーディオ回路1 0 0によれば、DSDネイティブでのボリューム制御が可能となる。DSDネイティブでのボリューム制御は、PCM変換が不要であるため、オーディオ再生時の遅延時間を小さくでき、また回路の消費電力を下げることができる。さらに、ボリューム回路1 1 0は、シフトレジスタと、ビット置換回路の組み合わせで構成できるため、シンプルであり、回路面積も小さくて済む。

[0038] 本開示は、図1のブロック図や回路図として把握され、あるいは上述の説明から導かれるさまざまな装置、方法に及ぶものであり、特定の構成に限定されるものではない。以下、本開示の範囲を狭めるためではなく、開示の本質や動作の理解を助け、またそれらを明確化するために、より具体的な構成例や実施例を説明する。

[0039] 図4は、一実施例に係るボリウム回路110の回路図である。この実施例において、ミュート用ビット列MBは、DSDクロックCLKの周期毎に反転する。置換回路114は、第2シフトレジスタ116および結合器118を備える。第2シフトレジスタ116は、第1シフトレジスタ112と同様にNビットを有し、その入力に、DSDクロックCLKの周期毎に反転するデータ（クロック反転データという）D4を受ける。第2シフトレジスタ116に格納されるビット列は、DSDクロックCLKのサイクルごとに反転する。たとえばクロック反転データD4は、フリップフロップ115およびインバータ117で構成することができる。

[0040] 結合器118は、第1シフトレジスタ112の一端からMビットと、第2シフトレジスタ116の他端から(N-M)ビットを結合し、NビットのDSDデータD3を出力する。

[0041] 置換回路114はさらに、カウンタ120を備える。カウンタ120は、ボリウム設定値VOLが変更されると、ゲイン設定値、すなわちMを、ボリウム変更前の初期値から、ボリウム変更後の目標値に向かって変化させる。

[0042] ゲイン設定値Mが初期値から目標値に到達するまでの時間または傾きは、レジスタを用いて設定可能とすることが好ましい。

[0043] 図5は、変形例に係るボリウム回路110の回路図である。クロック反転データD4は、第2シフトレジスタ116の出力をインバータ116によって反転することにより生成される。あるいは、DSDクロックを、その1/4周期程度遅延した信号を、クロック反転データD4として用いてもよい。

[0044] 以上がボリウム回路110の構成例である。続いてその動作を説明する。

図6は、図4あるいは図5のボリウム回路110の動作波形図である。時刻

t_0 より前にボリウム設定値VOLはある値 V_1 であり、ゲイン設定値Mは、ボリウム設定値 V_1 に応じた値 M_1 となっている。

[0045] 時刻 t_0 に、ユーザがボリウム設定値VOLを値 V_2 に変化させる。これに
応答して、カウンタ120が、ゲイン設定値Mを、変更前のボリウム設定値
 V_1 に対応する初期値 M_1 から、変更後のボリウム設定値 V_2 に対応する目標値
 M_2 に、遷移時間 τ にわたって減少させる。これにより、D/Aコンバータの
出力であるオーディオ信号の振幅、すなわち音量が緩やかに低下していく。

[0046] 時刻 t_1 に、ユーザがボリウム設定値VOLを値 V_3 に変化させる。これに
応答して、カウンタ120が、ゲイン設定値Mを、変更前のボリウム設定値
 V_2 に対応する初期値 M_2 から、変更後のボリウム設定値 V_3 に対応する目標値
 M_3 に向かって遷移時間 τ にわたって増加させる。これにより、D/Aコンバ
ータの出力であるオーディオ信号の振幅、すなわち音量が緩やかに増大する
。

[0047] 図6では、カウンタ120は、ゲイン設定値Mの遷移時間 τ が一定となる
ように動作しているがその限りでなく、ゲイン設定値Mの傾きが一定となる
ように動作してもよい。遷移時間 τ は、数十ミリ秒～数百ミリ秒のオーダー
である。

[0048] 図7は、図4のボリウム回路110の内部の動作を説明する図である。ゲ
イン設定値Mが、 $0 < M < N$ のある値で固定される状況を考える。この場合
、ボリウム制御後のDSDデータD3に含まれるミュート用ビット列MBは
、DSDクロックCLKの周期で、1と0が反転する。なお、DSDデータ
D3に含まれるオーディオ成分D2は、DSDクロックCLKの周期毎に、
1ビットずつシフトしていく。

[0049] 以上がボリウム回路110の内部の動作である。ミュート用ビットMBと
して固定したパターンを用いると、 $N - M$ が奇数である場合に、ミュート用
ビット列MBのマーク率が50%からずれてしまいDCオフセットが発生し
、音質の劣化の要因となる。図6のボリウム回路110によれば、 $N - M$ が
奇数である場合にも、ミュート用ビット列MBのマーク率の時間平均値が5

0%となるため、DCオフセットの影響を抑制できる。

[0050] また、ボリウム回路110の後段に、電流セグメント型のD/Aコンバータを設ける場合、ミュート用ビット列MBを固定すると、ミュート用ビット列MBに対応するセグメントの状態が固定されることとなる。これに対して、ミュート用ビット列MBのクロックサイクルで反転させると、オンとなる電流セグメントがクロックサイクルで入れ替わるため、いわゆるダイレクトエレメントマッチングの効果が得られる。

[0051] 以上、本開示について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本開示の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

[0052] (変形例1)

ミュート用ビット列として、マーク率が50%となる擬似ランダム信号PRBSを用いてもよい。この場合、図4の第2シフトレジスタ116を、NビットのPRBS発生器に置換すればよい。PRBSを用いた場合も、ミュート用ビット列MBのマーク率の時間平均値は50%に近づけることができる。

[0053] (変形例2)

ミュート用ビット列として、固定のパターンを用いてもよい。この場合、DCオフセットは発生するが、回路構成をさらにシンプルにできる。なお、固定のパターンを用いる場合に、 $(M-N)$ が偶数となるように、ゲイン設定値Mを変化させてもよく、この場合、DCオフセットは発生しない。

[0054] 最後に、オーディオ回路100の具体例を説明する。図8は、D/Aコンバータ1C200のブロック図である。D/Aコンバータ1C200は、上述のオーディオ回路100のアーキテクチャを用いて構成される。

[0055] D/Aコンバータ1C200は、PCMフォーマットあるいはDSDフォーマットのオーディオ信号を受け、アナログのオーディオ信号に変換して出力する。

[0056] あるプラットフォーム（PCMプラットフォームという）では、D/AコンバータIC200のBCLKピン、LRCLKピン、DINピンには、PCM音源が接続され、2チャンネル（たとえばLチャンネルとRチャンネル）のオーディオ信号がI²S（Inter-IC Sound）フォーマットで入力される。別のプラットフォーム（DSDプラットフォーム）では、D/AコンバータIC200のDSDCLKピン、DSD1ピン、DSD2ピンには、DSD音源が接続され、2チャンネルのオーディオ信号がDSDフォーマットで入力される。

[0057] 本実施の形態において、BCLKピンとDSDCLKピン、LRCLKピンとDSDCL2ピン、DINピンとDSDCL1ピンは共通化されている。

[0058] PCMインタフェース210、オーディオファンクションコントローラ214、オーバーサンプリング・デジタルフィルタ216、 $\Delta\Sigma$ 変調器218は、PCMプラットフォームでアクティブとなる。オーディオファンクションコントローラ214は、PCMインタフェース210が受信したPCM信号に、ボリューム制御などの信号処理を施す。オーバーサンプリング・デジタルフィルタ216は、オーディオファンクションコントローラ214の出力を、オーバーサンプリングし、またデジタルフィルタにより周波数特性を制御する。 $\Delta\Sigma$ 変調器218は、オーバーサンプリング・デジタルフィルタ216の出力を $\Delta\Sigma$ 変調する。 $\Delta\Sigma$ 変調器218の出力は2チャンネルであり、各チャンネルがNビットのPDM信号である。Nビット×2チャンネルのPDM信号は、セレクタ220を経由して、チャンネルごとに電流セグメントDAC224、226に入力される。電流セグメントDAC224、226は、図1のD/Aコンバータ102に対応する。基準電圧源228は、電流セグメントDAC224、226に基準電圧を供給する。図8では、電流セグメントDAC224、226は、差動の電流出力を有するが、その限りでなく、シングルエンド出力であってもよく、また電圧出力であってもよい。

- [0059] DSDインタフェース212は、DSDプラットフォームでアクティブとなり、外部のDSD音源からDSD信号、具体的にはDSDクロックおよび2チャンネル分のDSDデータを受信する。ボリウム回路110の第1シフトレジスタ112は、DSDインタフェース212の一部として構成されてもよい。
- [0060] オーディオファンクションコントローラ214は、上述のボリウム回路110を備える。ボリウム回路110は、DSDインタフェース212が受信した2チャンネルのDSD信号に対して、ボリウム制御を行う。
- [0061] ボリウム回路110から出力されるボリウム制御後のDSD信号（上述のDSDデータD3）は、セクタ220を経由して、チャンネルごとの電流セグメントDAC224、226に入力される。
- [0062] クロック発生器230は、基準クロックを逡倍し、マスタークロックを生成する。
- [0063] シリアルインタフェース232は、I²CやSPIインタフェースであり、データピンSDAおよびクロックピンSCKには、外部のホストプロセッサが接続される。シリアルインタフェース232はホストプロセッサから、ボリウム設定値や各種パラメータを受信する。このパラメータには、ボリウムをソフト遷移させる際の、時定数や傾きなどが含まれる。シリアルインタフェース232が受信したボリウム設定値は、オーディオファンクションコントローラ214に供給される。
- [0064] システムコントローラ234は、D/AコンバータIC200全体を統合的に制御する。システムコントローラ234にはリセット信号が入力される。
- [0065] 実施の形態にもとづき、具体的な語句を用いて本開示を説明したが、実施の形態は、本開示の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本開示の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

産業上の利用可能性

[0066] 本開示は、オーディオ信号処理に利用できる。

符号の説明

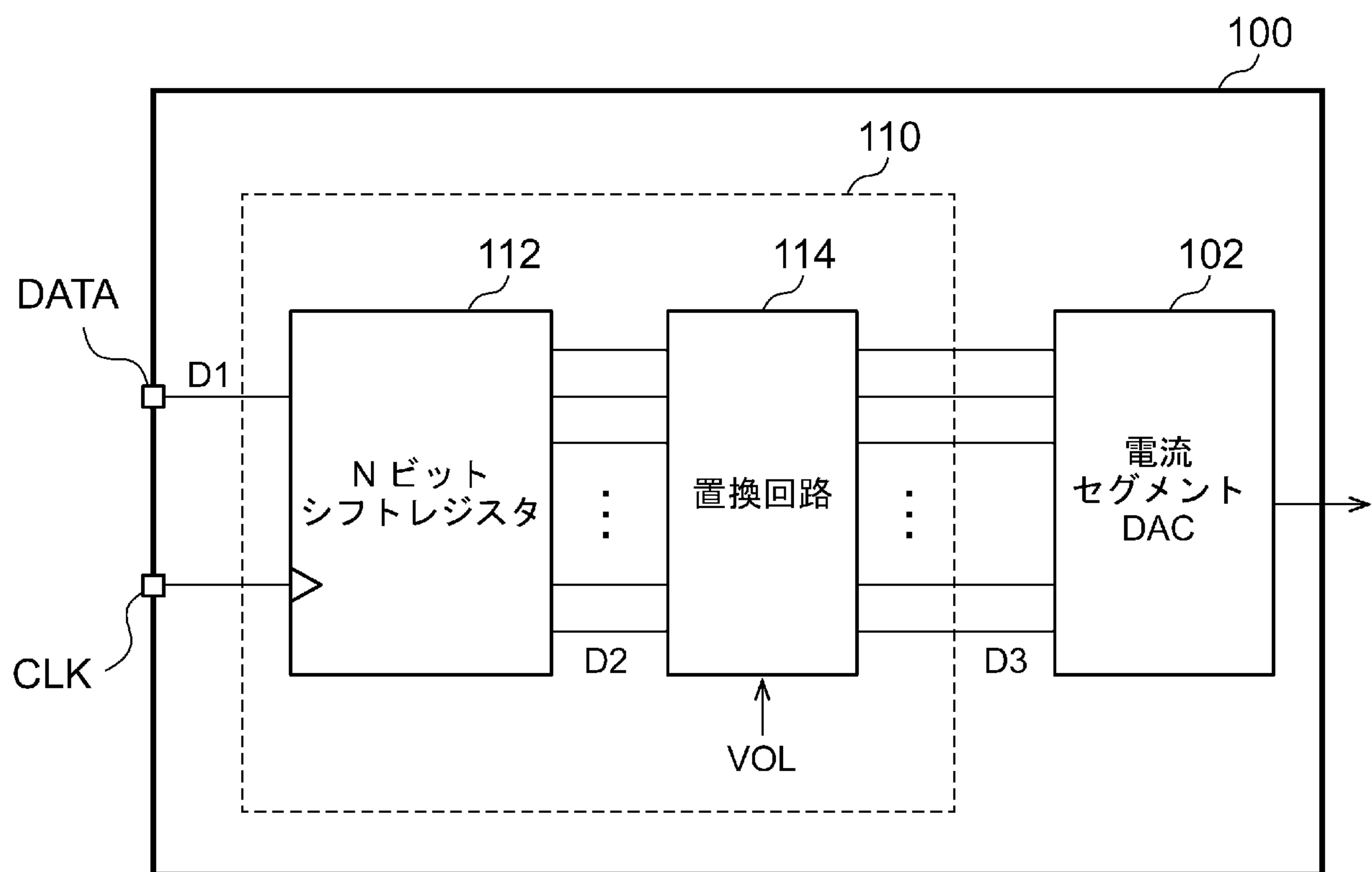
- [0067]
- 1 0 0 オーディオ回路
 - 1 0 2 D／Aコンバータ
 - 1 1 0 ボリウム回路
 - 1 1 2 第1シフトレジスタ
 - 1 1 4 置換回路
 - 1 1 6 第2シフトレジスタ
 - 1 1 8 結合器
 - 1 2 0 カウンタ
 - 2 0 0 D／AコンバータIC
 - 2 1 0 PCMインタフェース
 - 2 1 2 DSDインタフェース
 - 2 1 4 オーディオファンクションコントローラ
 - 2 1 6 オーバーサンプリング・デジタルフィルタ
 - 2 1 8 $\Delta\Sigma$ 変調器
 - 2 2 0 セレクタ
 - 2 2 4, 2 2 6 電流セグメントDAC
 - 2 2 8 基準電圧源
 - 2 3 0 クロック発生器
 - 2 3 2 シリアルインタフェース
 - 2 3 4 システムコントローラ

請求の範囲

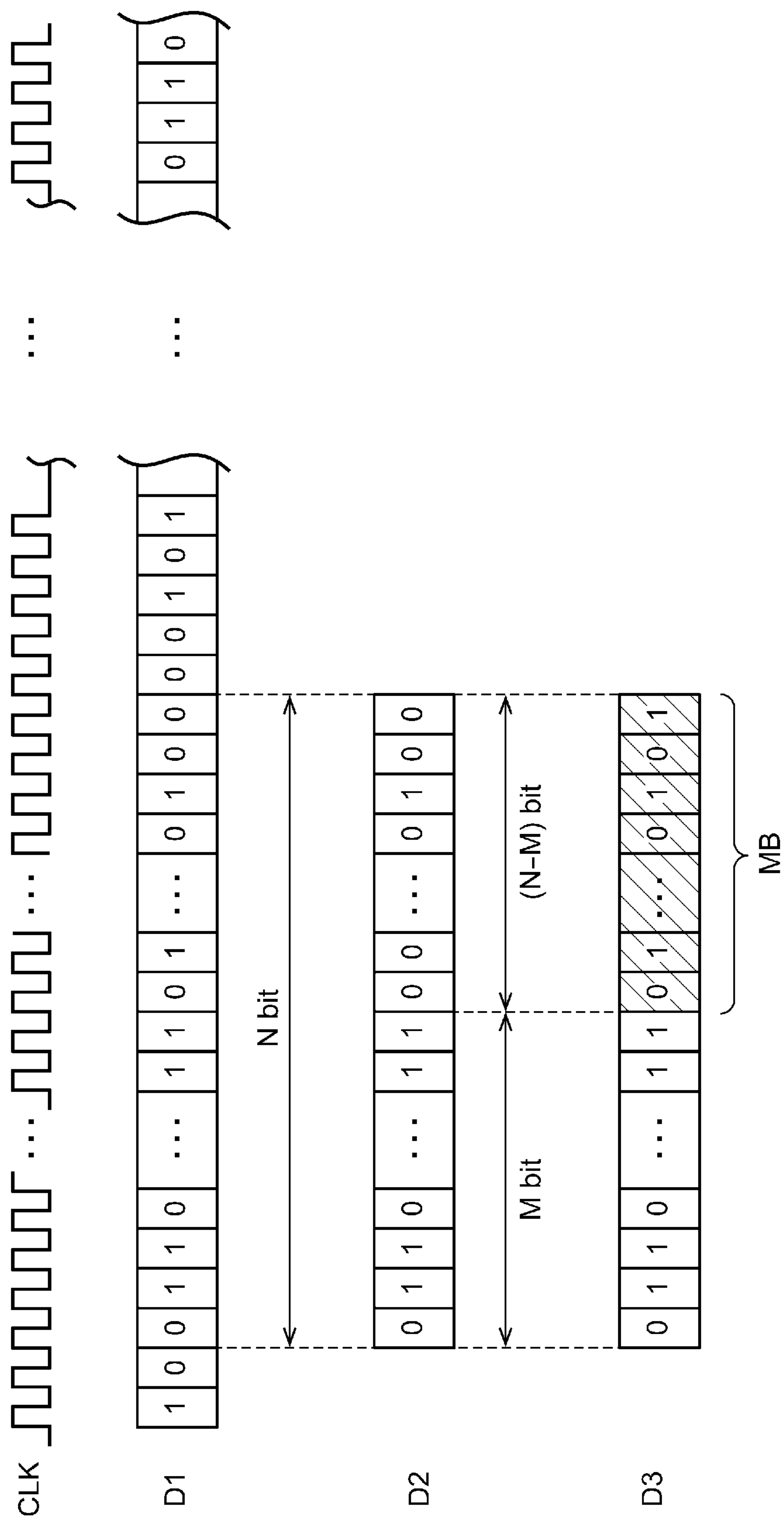
- [請求項1] D S D (Direct Stream Digital) データおよびD S Dクロックを含むD S D信号を処理するボリウム回路を備え、
前記ボリウム回路は、
前記D S Dデータを保持するNビット ($N \geq 2$) の第1シフトレジスタと、
前記第1シフトレジスタに格納されるNビットのうち、ゲイン設定値に応じた ($N - M$) ビット ($0 \leq M \leq N$) を、マーク率が実質的に50%であるミュート用ビット列に置換する置換回路と、
を含むことを特徴とするオーディオ回路。
- [請求項2] 前記ミュート用ビット列は、D S Dクロックの周期毎に反転することを特徴とする請求項1に記載のオーディオ回路。
- [請求項3] 前記置換回路は、
前記D S Dクロックの周期ごとに反転するデータを入力とするNビットの第2シフトレジスタと、
前記第1シフトレジスタの一端からMビットと、前記第2シフトレジスタの他端から ($N - M$) ビットを結合する結合器と、
を含むことを特徴とする請求項2に記載のオーディオ回路。
- [請求項4] 前記ボリウム回路は、ボリウム設定値が変更されると、前記ゲイン設定値を、変更前の初期値から変更後の目標値に向かって変化させるカウンタをさらに含むことを特徴とする請求項1から3のいずれかに記載のオーディオ回路。
- [請求項5] 前記ゲイン設定値が前記初期値から前記目標値に到達するまでの時間または傾きは設定可能であることを特徴とする請求項4に記載のオーディオ回路。
- [請求項6] 前記置換回路が生成するNビットを入力として受ける電流セグメントD/Aコンバータをさらに備えることを特徴とする請求項1から5のいずれかに記載のオーディオ回路。

- [請求項7] D S D (Direct Stream Digital) データおよびD S Dクロックを含むD S D信号の再生方法であって、
Nビット ($N \geq 2$) の第1シフトレジスタに、前記D S Dデータを保持するステップと、
前記第1シフトレジスタに格納されるNビットのうち、ゲイン設定値に応じた ($N - M$) ビット ($0 \leq M \leq N$) を、マーク率が実質的に50%であるミュート用ビット列に置換するステップと、
を備えることを特徴とする再生方法。
- [請求項8] 前記ミュート用ビット列は、D S Dクロックの周期毎に反転することを特徴とする請求項7に記載の再生方法。
- [請求項9] 前記置換するステップは、
Nビットの第2シフトレジスタに、前記D S Dクロックの周期毎に反転するデータを入力するステップと、
前記第1シフトレジスタの一端からMビットと、前記第2シフトレジスタの他端から ($N - M$) ビットを結合するステップと、
を含むことを特徴とする請求項7または8に記載の再生方法。
- [請求項10] ボリウム設定値が変更されると、前記ゲイン設定値を、変更前の初期値から変更後の目標値に向かって変化させるステップをさらに備えることを特徴とする請求項7から9のいずれかに記載の再生方法。
- [請求項11] 前記ゲイン設定値が前記初期値から前記目標値に到達するまでの時間または傾きは設定可能であることを特徴とする請求項10に記載の再生方法。
- [請求項12] 前記置換するステップにおいて生成されたNビットを、電流セグメントD/Aコンバータによってアナログ信号に変換するステップをさらに備えることを特徴とする請求項7から11のいずれかに記載の再生方法。

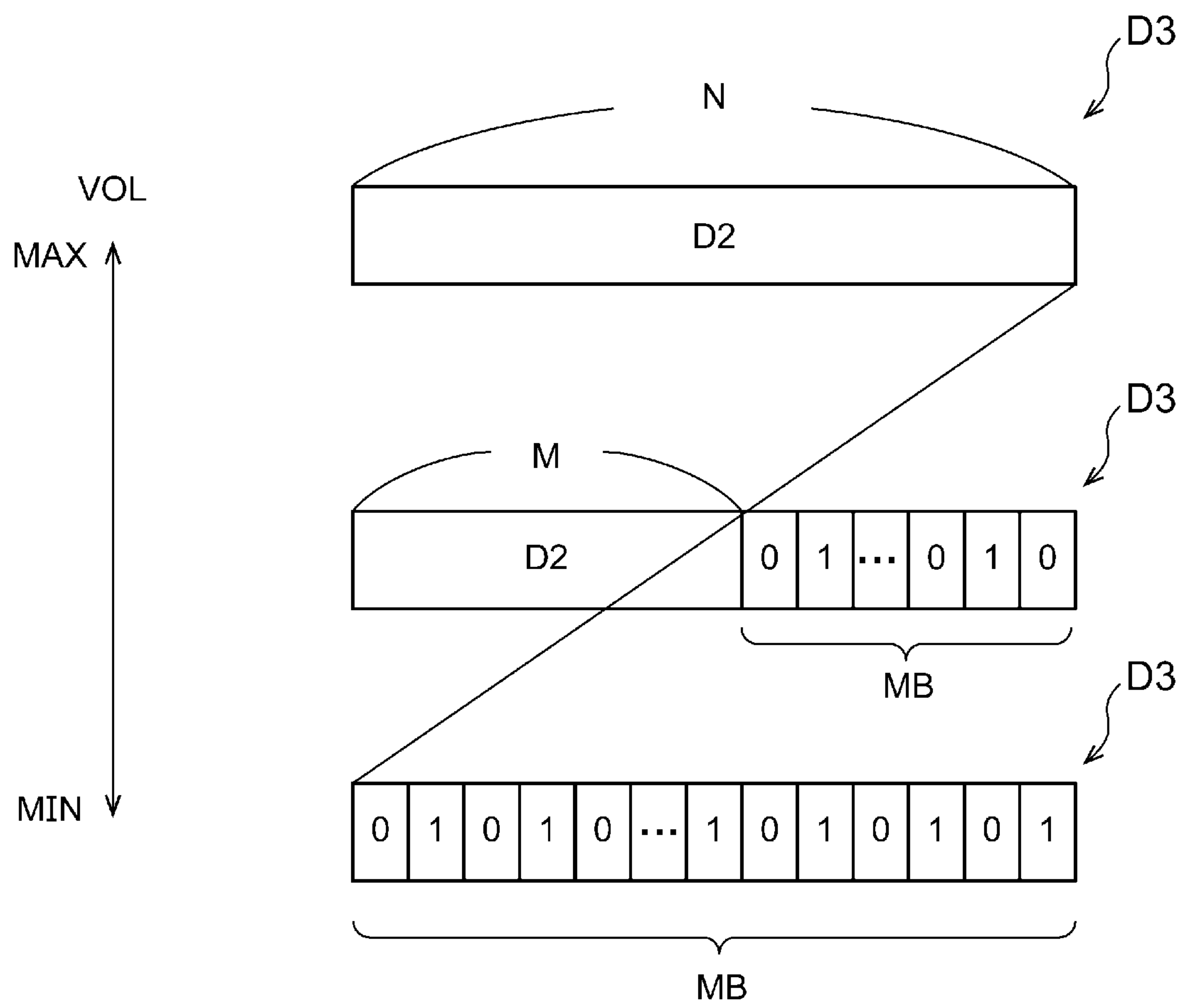
[図1]



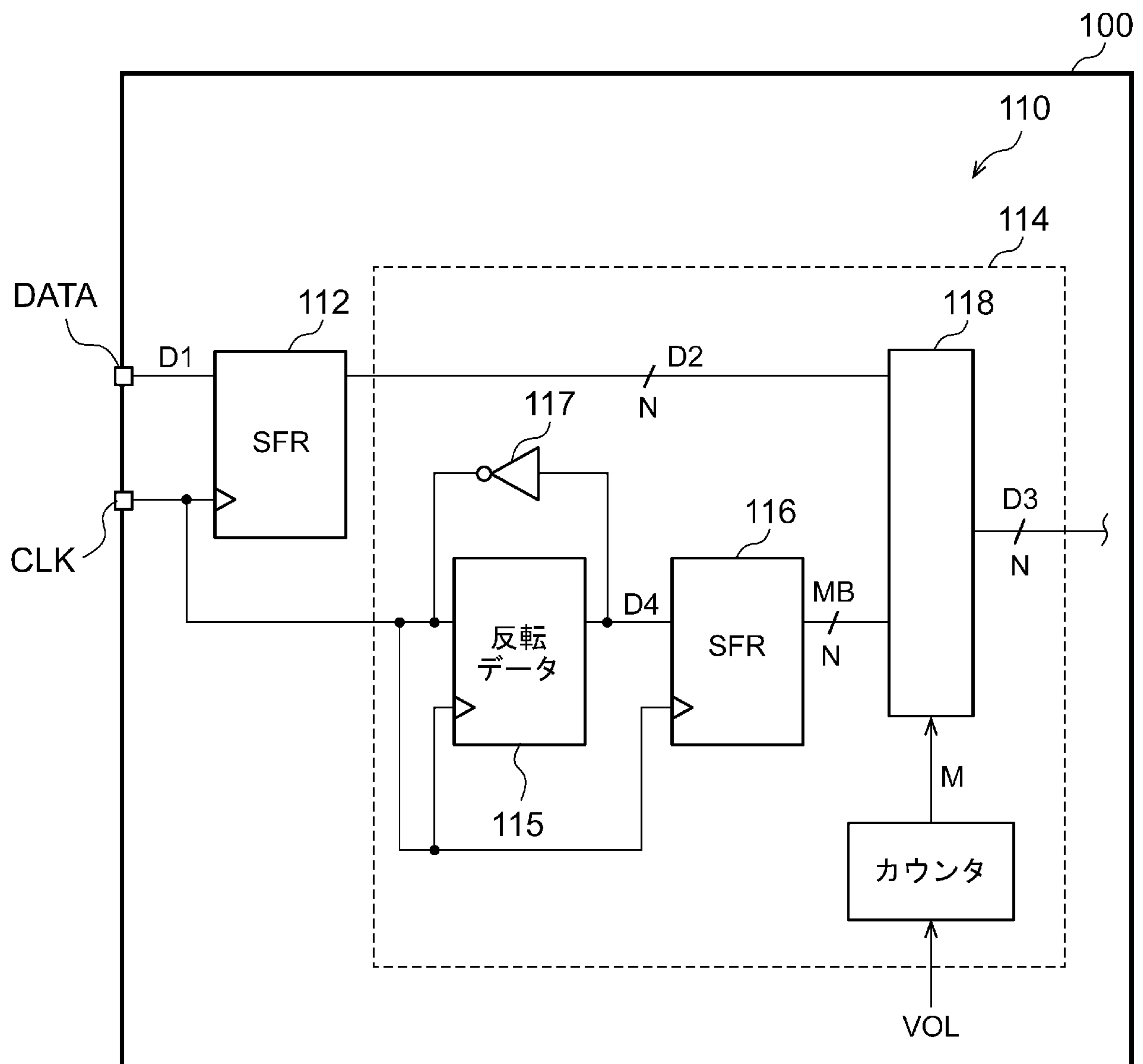
[図2]



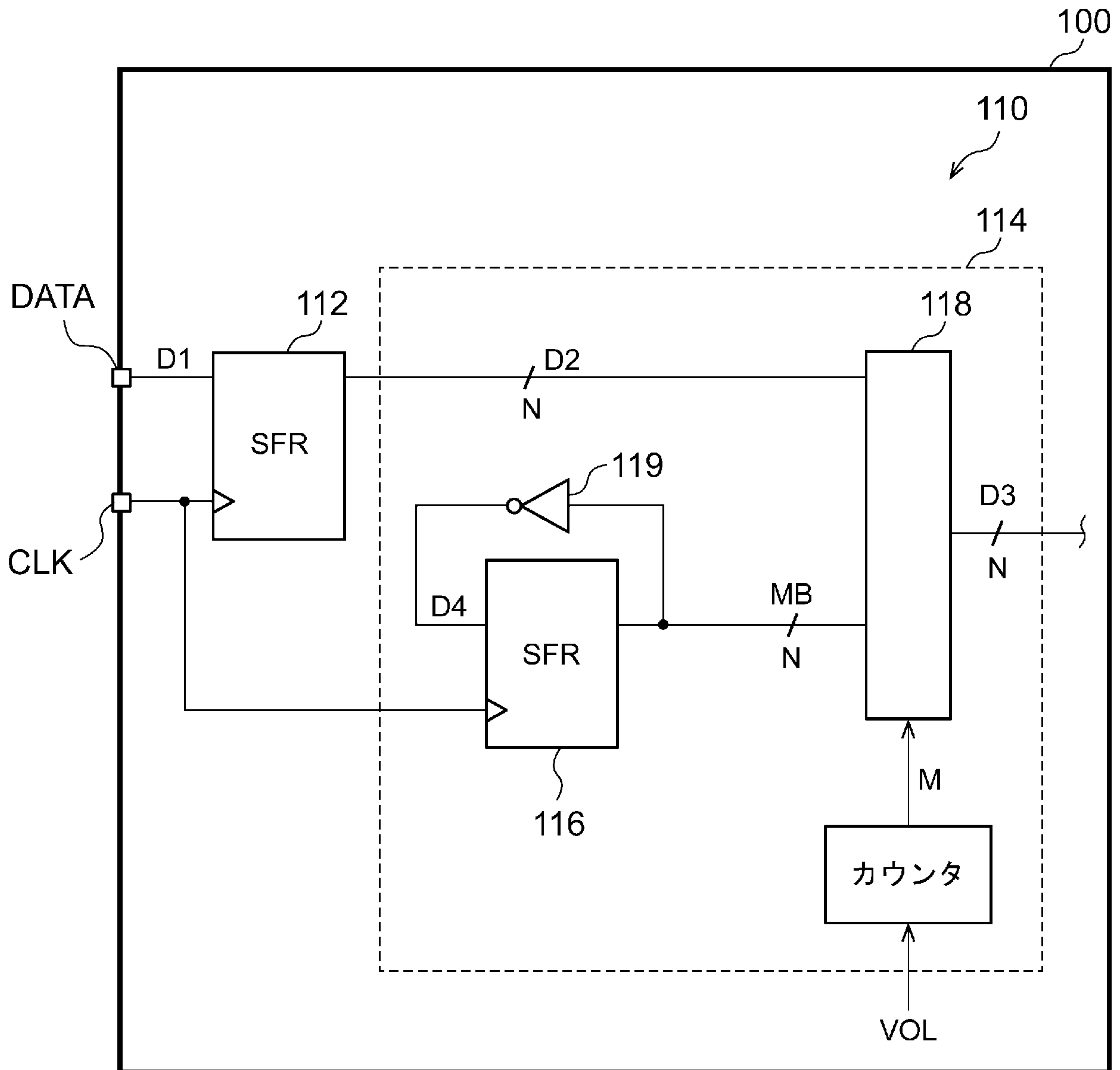
[図3]



[図4]

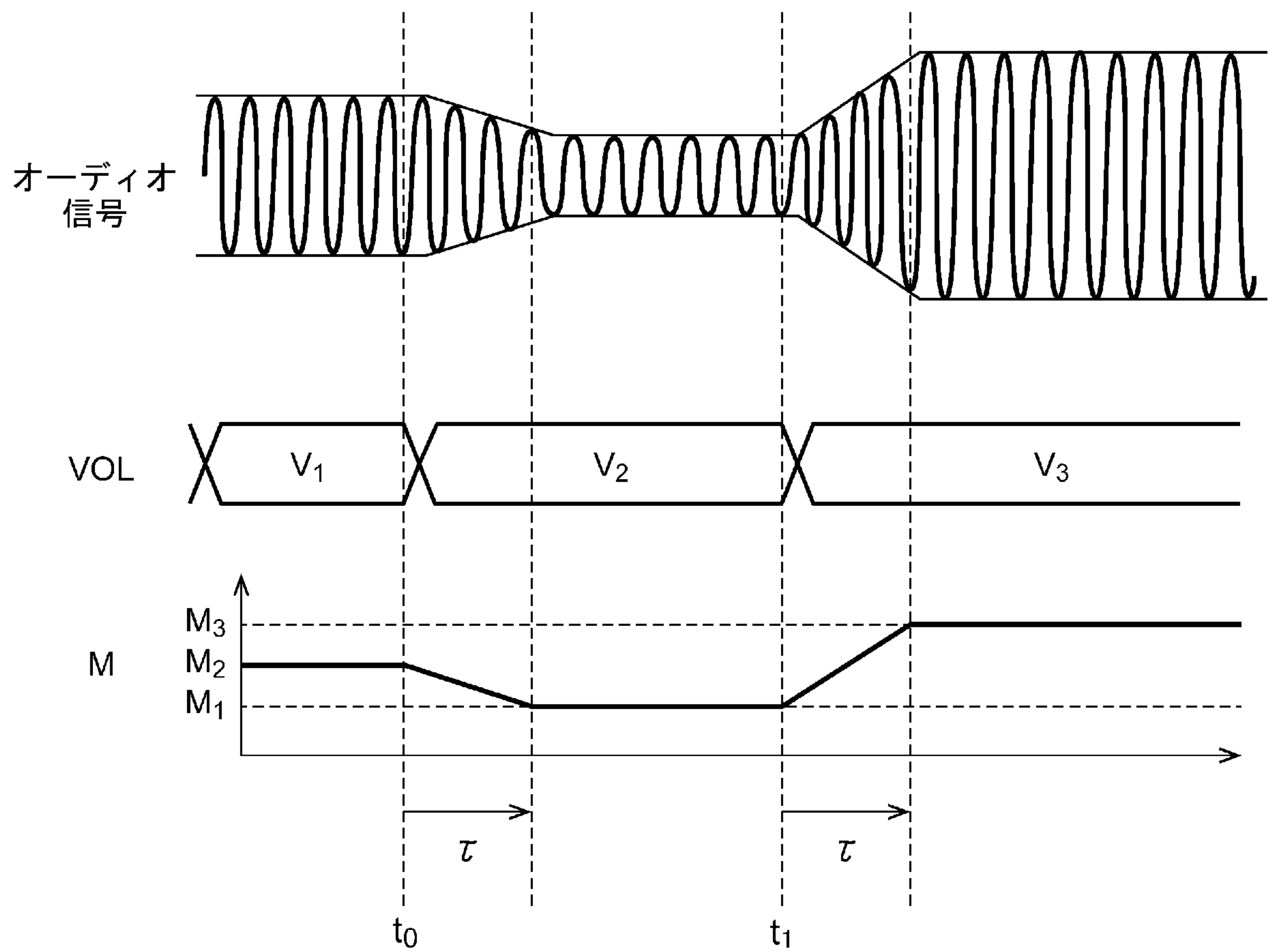


[図5]

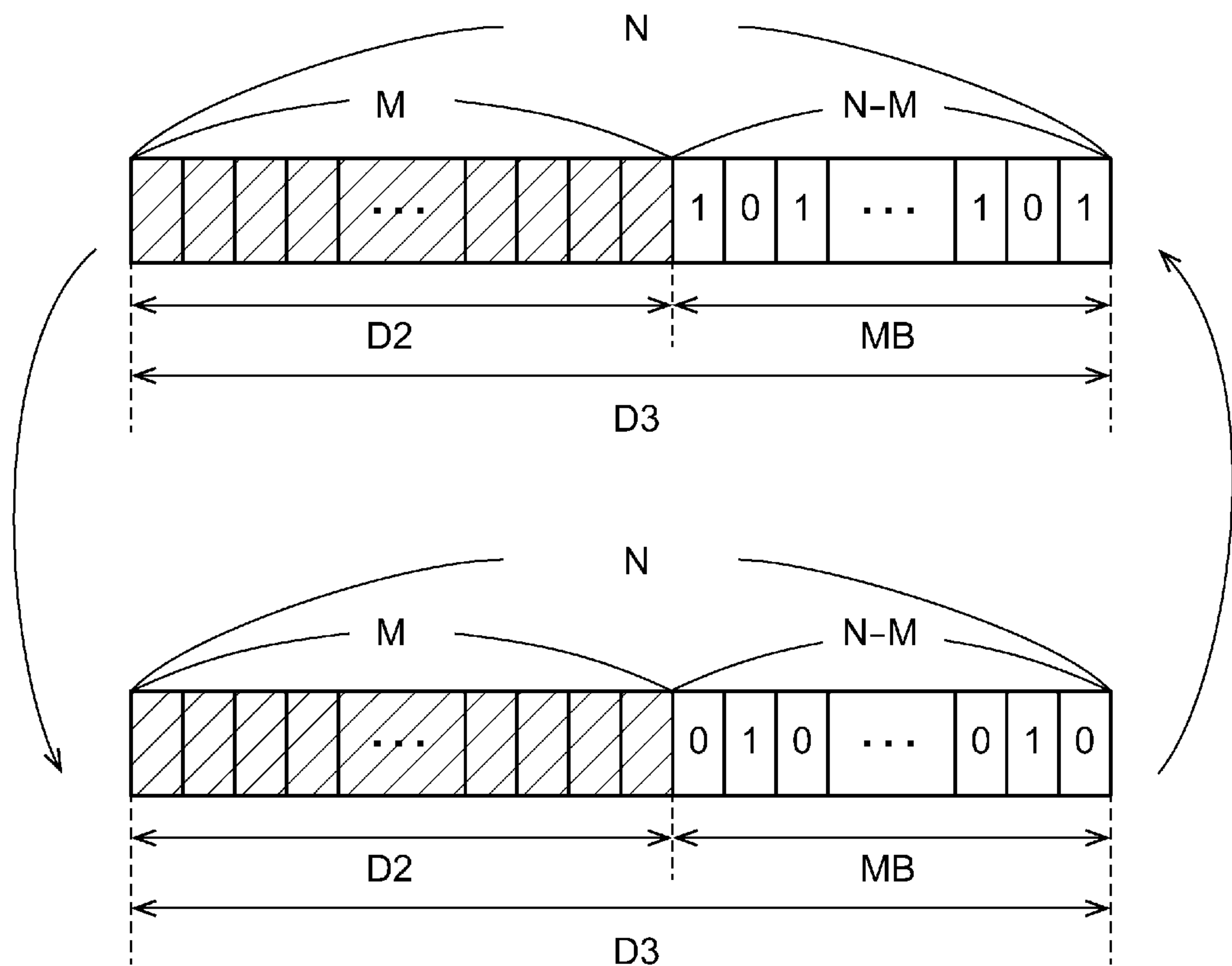


カウンタ

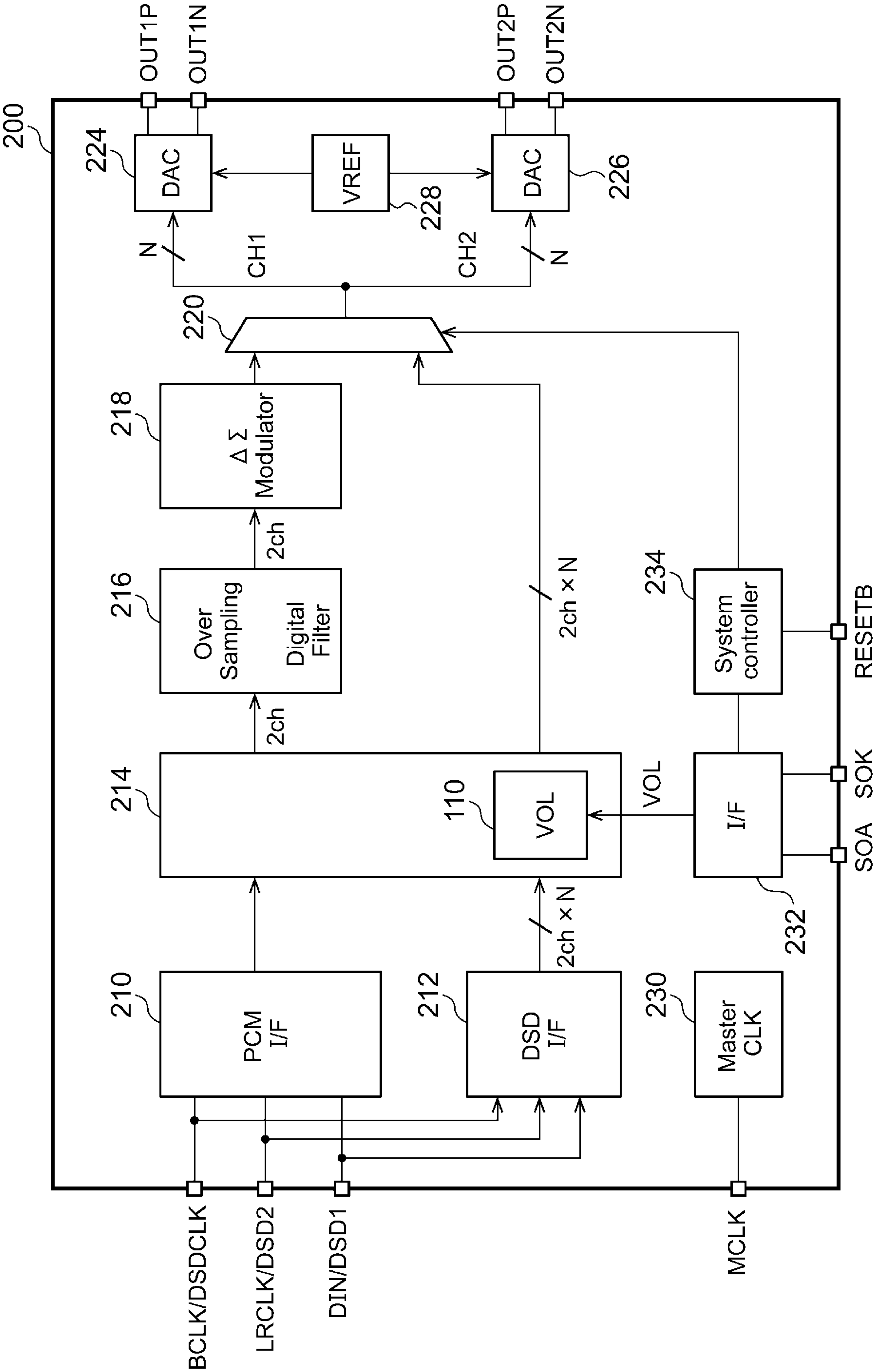
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/046771

A. CLASSIFICATION OF SUBJECT MATTER

H03G 3/02 (2006.01) i; G10L 19/00 (2013.01) n; G10K 15/02 (2006.01) i
FI: G10K15/02; H03G3/02 A; G10L19/00 220C; G10L19/00 220H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03G3/02; G10L19/00; G10K15/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2017/0372717 A1 (CIRRUS LOGIC INTERNATIONAL SEMICONDUCTOR LTD.) 28 December 2017 (2017-12-28) paragraphs [0023]-[0040], fig. 1-10	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“&” document member of the same patent family

Date of the actual completion of the international search
04 March 2021 (04.03.2021)

Date of mailing of the international search report
16 March 2021 (16.03.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

Information on patent family members

PCT/JP2020/046771

Form PCT/ISA/210 (patent family annex) (January 2015)

国際調査報告		国際出願番号 PCT/JP2020/046771
A. 発明の属する分野の分類（国際特許分類（I P C）） H03G 3/02(2006.01)i; G10L 19/00(2013.01)n; G10K 15/02(2006.01)i FI: G10K15/02; H03G3/02 A; G10L19/00 220C; G10L19/00 220H		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（I P C）） H03G3/02; G10L19/00; G10K15/02		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 2 1 年 日本国実用新案登録公報 1 9 9 6 - 2 0 2 1 年 日本国登録実用新案公報 1 9 9 4 - 2 0 2 1 年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2017/0372717 A1 (CIRRUS LOGIC INTERNATIONAL SEMICONDUCTOR LTD.) 28.12.2017 (2017 - 12 - 28) 段落 [0023]-[0040], 図1-10	1-12
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 04. 03. 2021	国際調査報告の発送日 16. 03. 2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 渡邊 正宏 5Z 4546 電話番号 03-3581-1101 内線 3591	

国際出願番号
PCT/JP2020/046771

引用文献			公表日	パテントファミリー文献	公表日
US	2017/0372717	A1	28.12.2017	(ファミリーなし)	