

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5588536号
(P5588536)

(45) 発行日 平成26年9月10日(2014.9.10)

(24) 登録日 平成26年8月1日(2014.8.1)

(51) Int.Cl. F I
G06F 12/06 (2006.01) G O 6 F 12/06 5 1 5 K
G06F 12/00 (2006.01) G O 6 F 12/00 5 5 0 K
 G O 6 F 12/00 5 9 7 U

請求項の数 8 (全 11 頁)

(21) 出願番号	特願2013-84237 (P2013-84237)	(73) 特許権者	502111536
(22) 出願日	平成25年4月12日 (2013.4.12)		サンディスク アイエル リミテッド
(62) 分割の表示	特願2006-521766 (P2006-521766) の分割		イスラエル国、クファル サバ 4442 5、アティル イェダ ストリート 7、 セントラル パーク 2000 Central Park 2000, A tir Yeda Street 7, 4 4425 Kfar Sabad, Isr ael
原出願日	平成16年5月12日 (2004.5.12)		
(65) 公開番号	特開2013-168169 (P2013-168169A)	(74) 代理人	100092897
(43) 公開日	平成25年8月29日 (2013.8.29)		弁理士 大西 正悟
審査請求日	平成25年4月15日 (2013.4.15)	(72) 発明者	アブラハム、メイ ル イスラエル、75438 リション レジ オン、ハシラ 16
(31) 優先権主張番号	60/492, 217		
(32) 優先日	平成15年7月31日 (2003.7.31)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	10/704, 613		
(32) 優先日	平成15年11月12日 (2003.11.12)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 メモリ・デバイス、メモリ・デバイスを有するシステム、及び埋め込み型デバイスの動作方法

(57) 【特許請求の範囲】

【請求項 1】

(a) 第1のダイ上に加工され、ホストに対してランタイム実行機能を提供するよう動作可能なRAMと、

(b) 第2のダイ上に加工され、オペレーティング・システム、プリインストールのアプリケーション、ダウンロードしたアプリケーション、およびユーザデータからなる群から選択されたコードを、前記ホストのために記憶するよう動作可能であり、前記RAMによって通信される信号とは異なる信号を用いてホストシステムと通信可能なフラッシュメモリと、

(c) RAMプロトコルのみを用いて前記ホストと通信するインタフェースと、

(d) 前記RAMと共に前記第1のダイ上に加工され、前記コードを記憶するために、前記RAMを用いることなく、前記RAMとは独立に前記RAMプロトコルを用いて前記ホストと前記コードを直接交換するよう動作可能であり、前記ランタイム実行機能を実行するために、前記インタフェースと前記RAM間で信号を直接交換するよう動作可能であり、フラッシュメモリプロトコルを用いて前記フラッシュメモリと通信するよう構成されている前記フラッシュメモリ用のコントローラと、

を備える、メモリ・デバイス。

【請求項 2】

前記フラッシュメモリがNANDフラッシュメモリである、請求項1に記載のメモリ・デバイス。

【請求項 3】

前記 R A M が S D R A M である、請求項 1 に記載のメモリ・デバイス。

【請求項 4】

前記インタフェースが前記ホストと通信するための唯一のインタフェースである、請求項 1 に記載のメモリ・デバイス。

【請求項 5】

前記第 1 および前記第 2 のダイが、共通のパッケージ内にパッケージされる、請求項 1 に記載のメモリ・デバイス。

【請求項 6】

(e) 前記第 1 および第 2 のダイを、前記ホストに接続操作するための複数のピンを備える、請求項 5 に記載のメモリ・デバイス。

10

【請求項 7】

C P U、R A M、フラッシュメモリ、および前記フラッシュメモリ用のコントローラを含む組み込み型デバイスを前記 C P U により動作させる方法であって、

(a) ランタイムを実行するために、第 1 のダイ上に加工された前記 R A M との通信において R A M プロトコルを用いるステップと、

(b) 前記第 1 のダイとは異なる第 2 のダイ上に加工され、前記 R A M が通信する信号とは異なる信号を用いてホストシステムと通信可能であるフラッシュメモリに、オペレーティング・システム、プリインストールのアプリケーション、ダウンロードしたアプリケーション、およびユーザデータからなる群から選択されたコードを記憶するステップと、

20

(c) 前記フラッシュメモリ内の前記コードに直接アクセスするために、前記 R A M プロトコルを用いて前記コントローラと通信するステップとを備える、

なお、前記コードは前記 R A M とは独立して前記 R A M を用いることなく前記コントローラによりアクセスされ、前記コントローラは前記 R A M の横における前記第 1 のダイの上に形成されるとともに前記フラッシュメモリとフラッシュメモリプロトコルを用いて通信するように構成されている、

方法。

【請求項 8】

(a) C P U と、

(b) メモリ・デバイスであって

30

(i) 第 1 のダイ上に加工され、前記 C P U にランタイム実行機能を提供するための R A M、および

(i i) 前記第 1 のダイとは異なる第 2 のダイ上に加工され、前記 R A M によって通信される信号とは異なる信号を用いてホストシステムと通信することが可能であり、オペレーティング・システム、プリインストールのアプリケーション、ダウンロードしたアプリケーション、およびユーザデータからなる群から選択された、前記 C P U がアクセスするためのコードを記憶する、フラッシュメモリ、
を有するメモリ・デバイスと、

(c) R A M プロトコルの信号のみを用いて、前記 C P U と前記メモリ・デバイスとが相互に通信するための通信リンクと、
を備える組み込み型デバイスであって、

40

前記メモリ・デバイスは、さらに

(i i i) 前記 R A M と共に前記第 1 のダイ上に加工され、前記コードを記憶するために、前記 R A M を用いることなく、前記 R A M とは独立に前記 R A M プロトコルを用いて前記ホストと前記コードを直接交換するよう動作可能であり、前記ランタイム実行機能を実行するために、前記インタフェースと前記 R A M 間で信号を直接交換するよう動作可能であり、フラッシュメモリプロトコルを用いて前記フラッシュメモリと通信するよう構成されている前記フラッシュメモリ用のコントローラを備える、組み込み型デバイス。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、メモリ・デバイスに関し、特に、一つのダイ上にNANDフラッシュメモリを持ち、もう一つのダイ上にNANDフラッシュメモリに対するコントローラと共にSDRAM（シンクロナス・ダイナミック・ランダムアクセスメモリ）を持つ、MCP（マルチチップ・パッケージ）メモリ・デバイスに関する。

【 背景技術 】

【 0 0 0 2 】

図1は、一般的な、従来の技術による組み込み型デバイス10の、部分的な高レベルのブロック図である。デバイス10は、一つの中央処理ユニット（CPU）12と、三つのメモリ・デバイス14、16及び18とを含む。メモリ・デバイス14は、デバイス10のオペレーティングシステム及びプリインストールのアプリケーションを記憶するために、NORフラッシュメモリ等の不揮発性メモリを含む。メモリ・デバイス16は、ユーザーのデータ、そしてダウンロードしたアプリケーションを記憶するために、NANDコントローラ17を介してアクセスが可能なNANDフラッシュメモリ等の、不揮発性メモリを含む。メモリ・デバイス18は、ランタイム実行のための、SDRAM等の揮発性メモリである。CPU12は、バス20を介してメモリ・デバイス14及び16との、そしてバス22を介してメモリ・デバイス18との通信を行う。

【 0 0 0 3 】

NORフラッシュメモリ、NANDフラッシュメモリ、そしてSDRAMの通信プロトコルは異なる。これが、デバイス10が、NANDコントローラ17、そして二つの異なるバス20及び22を必要とする理由である。もし下記の従来の技術がなかったなら、メモリ・デバイス16内にNANDフラッシュメモリを用いるデバイス10の実施例は、三つのバスを必要としたであろう。

【 0 0 0 4 】

NORフラッシュメモリあるいはスタティックなランダムアクセスのメモリ（SRAM）等の同期/非同期の外部メモリと、バス20上で通信するための典型的な信号は、次のものを含む。

【 0 0 0 5 】

A[0:x] - アドレス。

D[0:x] - データ。

CE# - チップ選択。

OE# - 出力エネイブル。

WE# - 書き込みエネイブル。

BUSY# - メモリ・デバイスの状態を示す。

リセット# - リセット信号。

CLK - システム・クロック。

バス22上のSDRAM18と通信するための典型的な信号は、次のものを含む。

CLK - システム・クロック。

CS - チップ選択。

CKE - クロック・エネイブル。

BA[0:x] - バンク・アドレス。

DMQ[0:x] - データ入力/出力。

A[0:x] - ロウアドレス、コラムアドレス。

DQ[0:x] - データ入力/出力。

RAS - ロウアドレス・ストローク。

CAS - コラムアドレス・ストローク。

WE - 書き込みエネイブル。

【 0 0 0 6 】

NANDフラッシュメモリは、アドレス及びデータ、そしてバス20及び22に対して定義した信号内に含まれない制御信号のための、マルチプレックスインタフェースを本質

的に必要とする。もしNANDフラッシュメモリデバイスがそれ自身のバスを持ったとしたなら、関連信号は、次のものを含むであろう。

【0007】

I/O[0:x] - I/Oピンは、コマンド、アドレス及びデータを入力するために、そして読み取り処理中にデータを出力するために用いる。

CLE - コマンド・レジスタに送信するコマンドのための作動バスを制御する。

ALE - 内部アドレス・レジスタへのアドレスのための作動バスを制御する。

CS - チップ選択（あるいは、CE - チップ・エネイブルに同等）。

RE - シリアル・データ出力制御。アクティブな場合、I/Oバス上へデータを送る。

WE - I/Oポートへの書き込みを制御する。

R/B - デバイスの状態を示す。

10

【0008】

NORフラッシュデバイスでは、読み取りはランダムアクセスで、RAMに似て速い（数十ナノ秒）。書き込みもランダムアクセスではあるが、遅い（数マイクロ秒）。消去は、「ブロック」と呼ぶ大きなチャンクとして行わなくてはならないため、非常に遅い（数百ミリ秒）。

【0009】

NANDフラッシュデバイスでは、読み取りは、ランダムアクセスと言うよりはむしろシリアルであり、幾分遅い（典型的に10から15マイクロ秒）。書き込みは、「ページ」と呼ぶ中サイズのチャンクとして行わなくてはならないため、遅い（数百マイクロ秒）。NORフラッシュデバイスの場合のように、消去は、ブロックとして行わなくてはならないが、NORフラッシュデバイスよりもかなり速い（数ミリ秒）。

20

【0010】

最近、NANDフラッシュメモリは、デバイス10等の組み込み型デバイスにおけるデータ記憶に魅力的なオプションとなった。これは、NORフラッシュに比べ、NANDフラッシュが、サイズが小さく、低コストで、書き込みスピードが速いためである。組み込み型デバイスにおける、NORフラッシュからNANDフラッシュへの移行を阻止する原因の一つが、NANDフラッシュの非標準インタフェースである。NANDフラッシュのこの、そして他の限界を克服するために、イスラエル、クファル・サバ（Kfar Saba）のMシステムズ・フラッシュディスク・パイオニア社は、NANDフラッシュメモリデバイスが、NORフラッシュメモリデバイスと同じメモリインタフェースを用いることを可能にする技術を導入した。この技術は、NANDフラッシュコントローラ17として図1に実装されている。この技術は、ディスクオンチップ（登録商標）・ミレニアム・プラス・データシートに説明されており、Mシステムズ・フラッシュディスク・パイオニア社から入手可能である。そのシートの内容は、参照により、全文を本文に記載したものとみなす。

30

【0011】

図2は、従来の技術によるNANDフラッシュメモリデバイス30、特にMシステムズのディスクオンチップ（登録商標）・ミレニアム・プラスの簡略なブロック図である。デバイス30は、共通なダイ36上に製造したNANDフラッシュメモリ34と、NANDフラッシュメモリ34のコントローラ32とを含む。コントローラ32の機能ブロックは、次のものを含む。

40

【0012】

デバイス10等のホスト・システムの残り部分にインタフェースするためのシステム・インタフェース38。

デバイス30が8ビット対16ビット・モード、カスケード構成及びハードウェア書き込み保護で作動するように構成するための、構成インタフェース58。

進歩したデータ/コード・セキュリティ及び保護のための、書き込み/読み取り保護と一回限りのプログラミング（OTP）を含む、保護及びセキュリティ可能化ブロック52。

50

ホスト・システム初期化機能のために、ダウンロード・エンジン 4 2 で拡張したインプレース実行 (X I P) 機能を持つプログラブル・ブート・ブロック 4 0。

オン・ザ・フライ・エラー処理のための、エラー検出及びエラー訂正コード・ブロック 5 4。

ホスト・システムから N A N D フラッシュメモリ 3 4 へデータを流すデータ・パイプライン 4 4。

ソフトウェアドライバと N A N D フラッシュメモリ 3 4 との間で、アドレス、データ及び制御情報を転送することを担うレジスタを含む、コントロール及びステータス・ブロック 5 0。

フラッシュインタフェース 5 6。

10

ホスト・システム・バス・アドレス、データ及び制御信号を、有効な N A N D フラッシュ信号へ翻訳するためのバス制御ブロック 4 8。

システム・インタフェース 3 8 から受信したアドレス範囲に応じて、コントローラ 3 2 内の関連ユニットを起動させるための、アドレス・デコーダ 4 6。

【 0 0 1 3 】

これらの機能ブロックの細部については、ディスクオンチップ (登録商標) ・ミレニアム・プラス・データシートを参照のこと。図 2 に示すデバイス 3 0 の左側には、デバイス 3 0 がホスト・システムと取り交わすいくつかの信号が示されている。

【 0 0 1 4 】

読み取りがランダムアクセスである N O R フラッシュとは異なり、N A N D フラッシュは、ホスト・システムを起動させる等に必要ない「インプレース実行」をサポートしない。コントローラ 3 2 内にブート・ブロック 4 0 を包含することで、デバイス 3 0 は、N O R フラッシュメモリデバイス等のデバイスにおいてのみ利用可能であったブート機能を備える。したがって、デバイス 3 0 あるいは類似のデバイスは、デバイス 1 0 内で、メモリ・デバイス 1 4 及びメモリ・デバイス 1 6 の両方の機能を提供することができる。このようなデバイス 3 0 は、S D R A M 1 8 を持つ共通の M C P パッケージ内に、好都合にパッケージすることが可能である。しかしながら、二つのバス 2 0 及び 2 2 を用いる必要があるため、そのような M C P は、相応に多数のピンを持たなくてはならない。

20

【 0 0 1 5 】

したがって、単一の外部バスを介してホスト・システムとの通信が可能な、N A N D フラッシュメモリ及び S D R A M の両方を含むメモリ・デバイスの必要性が広く認識されるため、そのようなものを得ることは大いに有利である。

30

【 発明の概要 】

【 課題を解決するための手段 】

【 0 0 1 6 】

本発明によれば、次のものを含むメモリ・デバイスが提供される。(a) 第一のメモリを加工した第一のダイ。そして (b) (i) 第一のメモリに対するコントローラと、(i i) 少なくとも一つの追加構成要素とを加工した第二のダイ。

【 0 0 1 7 】

本発明の第一のメモリ・デバイスは、最も基本的な形態として、二つのダイを含む。第一のメモリが第一のダイ上に加工され、第一のメモリに対するコントローラと、少なくとも一つの追加構成要素とが第二のダイ上に加工される。

40

【 0 0 1 8 】

両方のダイが共通のパッケージ内に一緒にパッケージされることが好ましい。第一のデバイスは、第一のデバイスをホスト・システムに操作上接続するための複数のピンを含むことが最も好ましい。これから理解できるように、用語「ピン」は、本発明の第一のデバイスとホスト・システムとの間に電氣的接続を確立するための、如何なる種類のリードをも示すものである。例えば、ボール・グリッド・アレイのボールは、本文で用いる用語「ピン」の例である。

【 0 0 1 9 】

50

第一のメモリは不揮発性メモリであることが好ましい。第一のメモリはフラッシュメモリであることがより好ましい。第一のメモリはNANDフラッシュメモリであることが最も好ましい。

【0020】

追加構成要素の一つが第二のメモリであることが好ましい。第二のメモリはSDRAM等の揮発性メモリであることが最も好ましい。第二のメモリがSDRAMである場合、本発明の第一のデバイスは、(例えばコントローラの一部として)SDRAMに適切な、ホスト・システムへの単一のインタフェースを含むことが好ましい。

【0021】

第一のメモリ及び追加構成要素は、各々異なる複数の信号を用いて、ホスト・システムとの通信を行うことが好ましい。本発明の第一のデバイスは、第一のメモリの信号ではなく、追加構成要素の信号を用いるだけで、ホスト・システムとの通信を行うための、ホスト・システムへの単一のインタフェースを(例えばコントローラの一部として)含むことが最も好ましい。

10

【0022】

コントローラはXIPブート・ブロックを含むことが好ましい。

【0023】

コントローラは追加構成要素の一つを管理するようにも作動することが好ましい。コントローラが管理する追加構成要素が、第二のメモリであることが最も好ましい。コントローラは、第二のメモリに対してページングそして/あるいはハードウェア圧縮解除を提供する。

20

【0024】

本発明の範囲は、また、本発明の第一のメモリ・デバイス、CPU、そしてCPUと本発明の第一のメモリ・デバイスとの間の通信のための単一のバスを持つシステムをも含む。バスを介する通信は、第一のメモリにではなく、追加構成要素にのみ適切な信号によることが好ましい。

【0025】

また、本発明によれば、次のものを含むメモリ・デバイスが提供される。(a)第一のメモリと、第二のメモリに対するコントローラとを加工した第一のダイ。

【0026】

最も基本的な形態において、本発明の第二のメモリ・デバイスは、第一のメモリと、第二のメモリに対するコントローラとを加工した第一のダイを含む。

30

【0027】

第二のメモリは不揮発性メモリであることが好ましい。第二のメモリはフラッシュメモリであることがより好ましい。第二のメモリはNANDフラッシュメモリであることが最も好ましい。

【0028】

第一のメモリはSDRAM等の揮発性メモリであることが好ましい。第一のメモリがSDRAMである場合、本発明の第二のデバイスは、SDRAMに適切な、ホスト・システムへの単一のインタフェースを(例えばコントローラの一部として)含むことが好ましい。

40

【0029】

本発明の第二のデバイスは、また、第二のメモリを加工した第二のダイを含むことが好ましい。両方のダイを共通のパッケージ内に一緒にパッケージすることがより好ましい。第二のデバイスは、第二のデバイスをホスト・システムに操作上接続するための複数のピンを含むことが最も好ましい。

【0030】

二つのメモリは、各々異なる複数の信号を用いて、ホスト・システムとの通信を行うことが好ましい。本発明の第二のデバイスは、第二のメモリの信号ではなく、第一のメモリの信号を用いるだけでホスト・システムとの通信を行うために、ホスト・システムへの単

50

一のインタフェースを（例えばコントローラの一部として）含むことが最も好ましい。

【0031】

コントローラはXIPブート・ブロックを含むことが好ましい。

【0032】

コントローラは、また、例えば第一のメモリに対してページングそして/あるいはハードウェア圧縮解除を提供することによって、第一のメモリを管理するようにも作動することが好ましい。

【0033】

本発明の範囲は、また、本発明の基本的な第二のメモリ・デバイス、CPUそしてCPUと本発明の第二のメモリ・デバイスとの間の通信のための単一のバスからなるシステムを含む。通常、このシステムはまた第二のメモリを含む。バスを介する通信は、第二のメモリにではなく、第一のメモリにのみ適当な信号によることが好ましい。

10

【0034】

定義

本文で用いる用語「SDRAM」の範囲は、すべてのタイプのシンクロナス・ダイナミックRAMをも含み、限定せずにDDR SDRAM、QDR SDRAM、そしてそれらの派生物を含む。

【図面の簡単な説明】

【0035】

本発明を、次の添付図面を参照しながら実施例によって説明する。

20

【図1】一般的な、従来の技術による組み込み型デバイスの、部分的な高レベルのブロック図である。

【図2】ディスクオンチップ（登録商標）・ミレニアム・プラスNANDフラッシュメモリデバイスの、簡略なブロック図である。

【図3】本発明によるメモリ・デバイスの、高レベルのブロック図である。

【図4】本発明の一般的な組み込み型デバイスの、部分的な高レベルのブロック図である。

【発明を実施するための形態】

【0036】

本発明は、2種類のメモリを含むが、一つのメモリのみのプロトコル及び信号を用いて、ホスト・デバイスあるいはシステムとの通信を行うメモリ・デバイスに関する。本発明は、これによってホスト・デバイスあるいはシステムが、それらの二つのメモリとの通信のために、一つのバスのみを持つことができるようにする。

30

【0037】

本発明によるメモリ・デバイスの原理及び作動は、図面、そしてその説明から良く理解することができる。

【0038】

さて、図面を参照する。図3は、本発明によるメモリ・デバイス70の、高レベルのブロック図である。デバイス70は、二つのダイ72及び74を含む。ダイ74上には、NANDフラッシュメモリ76が加工されている。ダイ72上には、NANDフラッシュメモリ76及びSDRAM80に対するコントローラ78が加工されている。コントローラ78は、従来の技術によるコントローラ32に類似している。コントローラ78とコントローラ32との間には、三つの主要な相違がある。第一の相違は、（内部バス84を介して）NANDフラッシュメモリ76と通信することに加え、コントローラ78は、また、例えば直接メモリ・アクセス（DMA）モードで、SDRAM80と直接的に通信する点である。第二の相違は、コントローラ78が、メモリ・デバイス70（下記に説明する図4を参照）を含むホスト・システム110のCPU112とSDRAM80との間で、信号への変換なしに直接的に信号を通す「ショート」として作用することができる点である。第三の相違は、コントローラ78が外部のホスト・システムとの通信に用いる信号が、SDRAM80に適当な信号である点である。これらの信号のいくつかを、デバイス70

40

50

の左側に示している。コントローラ78の機能ブロックに関しては、コントローラ32の対応する機能ブロックと実質的に異なるコントローラ78の唯一の機能ブロックは、システム・インタフェース・ブロックである。NORフラッシュメモリ等の同期/非同期メモリに適切なプロトコルに従う通信をサポートするコントローラ32のシステム・インタフェース・ブロック38とは異なり、コントローラ78のシステム・インタフェース・ブロック82は、SDRAM80に適切なプロトコルに従う通信をサポートする。したがって、コントローラ78の図3に示す唯一の機能ブロックは、システム・インタフェース・ブロック82である。SDRAM80へのDMA等の直接アクセスをサポートするために、コントローラ78内にどんな追加機能が必要になるかについては、本技術における同業者には明らかである。したがって、この直接アクセス・サポート機能はここに詳述しない。

10

【0039】

デバイス70は、ダイ72及び74が共通のパッケージ86内に一緒にパッケージされたMCPデバイスである。パッケージ86から突き出しているのは、複数のピン88である。デバイス70のピンの数は、典型的に、デバイス70がNANDフラッシュメモリ76及びSDRAM80に対して二つの個々の通信プロトコルをサポートする場合に必要となるであろうピン数よりも、際立って少ない。説明を簡略にするために、図3は、単に4本のピン88を示している。

【0040】

図3は、本発明の基本的なメモリ・デバイス70を示す。本発明のより洗練されたメモリ・デバイス70は、同デバイス内に、NANDフラッシュメモリ76及びSDRAM80を内蔵して利用するオプションの機能を含む。例えば、コントローラ78は、NANDフラッシュメモリ76に記憶するデータを圧縮し、そして、そのデータをNANDフラッシュメモリ76からSDRAM80へロードするときにはそのデータを圧縮解除する復元エンジンを含む。

20

【0041】

図4は、本発明の一般的な組み込み型デバイス110の、高レベルの部分的なブロック図である。デバイス110のCPU112は、デバイス10のCPU12に類似している。デバイス10とデバイス110との間の主要な相違は、デバイス110では、メモリ・デバイス14、16及び18の機能が、本発明のメモリ・デバイス70内へ統合されていることである。特に、NANDフラッシュメモリ76は、デバイス110のオペレーティング・システム及びプリインストールのアプリケーションを記憶するために、またユーザーのデータ、そしてダウンロードしたアプリケーションを記憶するために用いる。SDRAM80はランタイム実行のために用いる。その結果、デバイス110は、単一のメモリ・デバイス70との通信のために一つのバス116のみが必要であり、SDRAM70に適切な信号のみを用いる。

30

【0042】

デバイス10に対するデバイス110におけるバス数の減少に加えて、本発明は、従来の技術を超える次の利点を提供する。

【0043】

1. SDRAM80が、デバイス110のオペレーティング・システムのシャドウ・イメージを保持し、しかもランタイム実行のために必要なメモリ空間を提供するに十分に大きい場合(好ましい)、コントローラ78が、コントローラ32のブート・ブロック40及びダウンロード・エンジン42に類似するブート・ブロック及びダウンロード・エンジンを含むため、デバイス70は、SDRAM80からの直接起動が可能なチップセットである。SDRAMからの実行がNORフラッシュメモリからの実行よりも本質的に速いため、そのような構成であれば、デバイス110は、デバイス10よりも際立って速く作動する。

40

【0044】

2. デバイス110では、バス20がNORフラッシュメモリ・デバイスとの通信をサポートする必要がないため、CPUチップセットのベンダーは、NOR/SRAM信号を

50

排除し、チップから関連するピンを削除することができる。これは、ダイ・サイズの減少、チップセットのコスト削減、そして物理的により小さなパッケージサイズをもたらす。

【0045】

3. NANDフラッシュメモリ・デバイス16から外部バス20及び22を介してのSDRAMメモリ・デバイス18へのデータ転送とは異なり、NANDフラッシュメモリ76からSDRAM80へのデータ転送は、低電力の、外部バスをロードしない、高速な直接転送である。

【0046】

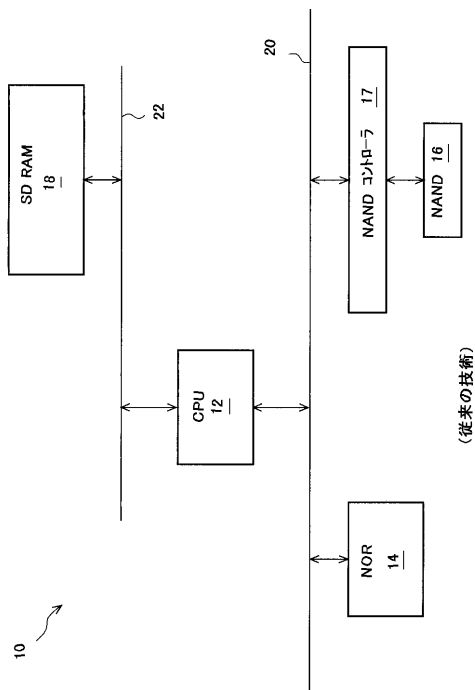
4. オプションとして、SDRAM80を管理するために、ページングやハードウェア圧縮解除等のメモリ管理機能をコントローラ78内に含んでもよい。デバイス10においては、バス22及びCPU12が、このような機能を果たさなければならないであろう。

10

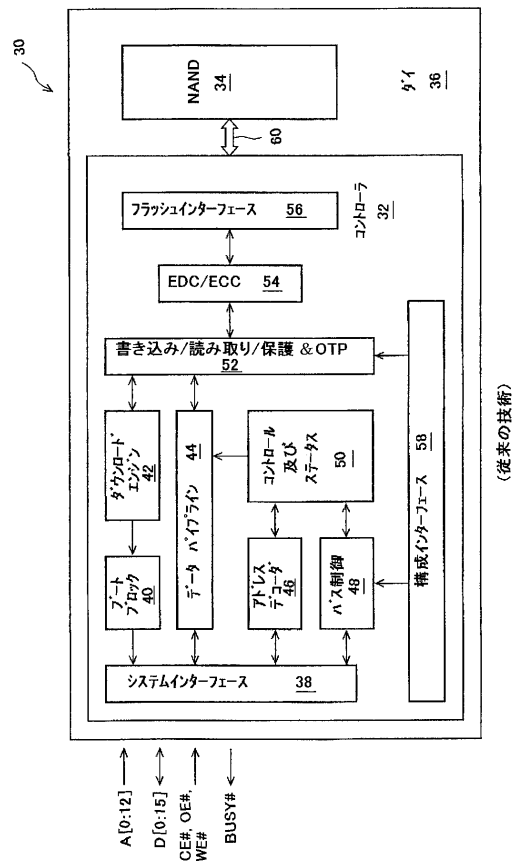
【0047】

本発明は、限られた実施例で説明したが、多くの変更及び改良、そして他の用途が可能であることは明らかである。

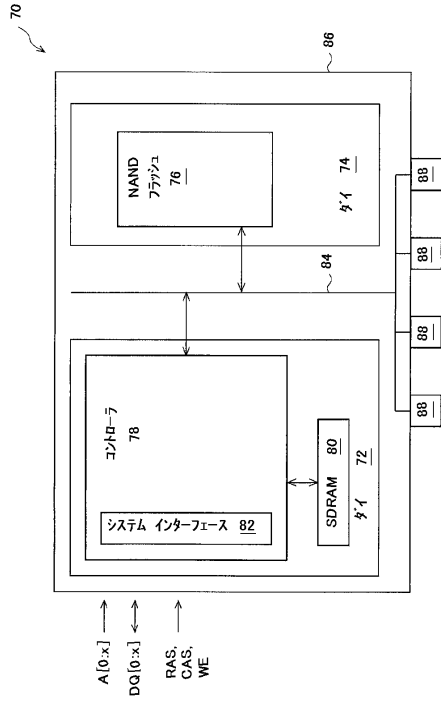
【図1】



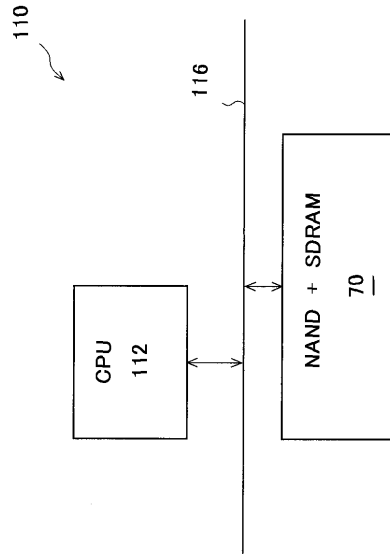
【図2】



【図3】



【図4】



フロントページの続き

- (72)発明者 インバル、ダン
イスラエル、56470 イェフド、デレク ハホレシュ 5
- (72)発明者 パズ、ズィブ
イスラエル、73142 ショハム、エメク アヤロン 149

審査官 野田 佳邦

- (56)参考文献 特開2002-366429(JP,A)
特開平08-306195(JP,A)
特開2002-312232(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|---------------|
| G06F | 12/00 - 12/06 |
| G06F | 13/16 - 13/18 |