

WO 2023/189052 A1

SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体モジュール

技術分野

[0001] この出願は、2022年3月31日提出の日本国特許出願2022-061318号に基づく優先権を主張しており、この出願の全内容はここに引用により組み込まれる。本発明は、IGBT装置、および、当該IGBT装置と並列回路を構成するMISFET装置を含む半導体モジュールに関する。

背景技術

[0002] 特許文献1は、縁ゲート型バイポーラトランジスタおよび電界効果型トランジスタを含む並列回路を備えたパワートランジスタ駆動装置を開示している。電界効果型トランジスタは、絶縁ゲート型バイポーラトランジスタがオン状態に制御された後、オン状態に制御される。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2018/0138904号明細書

発明の概要

発明が解決しようとする課題

[0004] 一実施形態は、電気的特性を向上できる半導体モジュールを提供する。

課題を解決するための手段

[0005] 一実施形態は、IGBT装置と、前記IGBT装置と並列回路を構成するMISFET装置と、を含み、前記IGBT装置のビルトイン電圧未満の電圧範囲において前記MISFET装置のドレイン電流を生成し、前記ビルトイン電圧以上の電圧範囲において前記IGBT装置のコレクタ電流および前記MISFET装置のドレイン電流を生成する、半導体モジュールを提供する。

[0006] 上述のまたはさらに他の目的、特徴および効果は、添付図面の参照によって説明される実施形態により明らかにされる。

図面の簡単な説明

[0007] [図1] 図 1 は、一実施形態に係る半導体モジュールの電氣的構造を示す回路図である。

[図2] 図 2 は、図 1 に示す半導体モジュールの電氣的特性を示すグラフである。

[図3] 図 3 は、図 1 に示す半導体モジュールに組み込まれる I G B T 装置の一構成例を示す平面図である。

[図4] 図 4 は、図 3 に示す IV-IV 線に沿う概略断面図である。

[図5] 図 5 は、図 3 に示す第 1 チップ内のレイアウト例を示す平面図である。

[図6] 図 6 は、図 5 に示す第 1 活性領域の要部を示す断面図である。

[図7] 図 7 は、図 1 に示す半導体モジュールに組み込まれる M I S F E T 装置の一構成例を示す平面図である。

[図8] 図 8 は、図 7 に示す VIII-VIII 線に沿う概略断面図である。

[図9] 図 9 は、図 7 に示す第 2 チップ内のレイアウト例を示す平面図である。

[図10] 図 10 は、図 7 に示す第 2 活性領域の要部を示す断面図である。

[図11A] 図 11A は、図 1 に示す半導体モジュールの第 1 調整例に係る電流電圧特性を示すグラフである。

[図11B] 図 11B は、図 1 に示す半導体モジュールの第 2 調整例に係る電流電圧特性を示すグラフである。

[図11C] 図 11C は、図 1 に示す半導体モジュールの第 3 調整例に係る電流電圧特性を示すグラフである。

[図12] 図 12 は、半導体モジュールの一構成例を示す斜視図である。

[図13] 図 13 は、図 12 に示す半導体モジュールの内部構造を示す平面図である。

[図14] 図 14 は、半導体モジュールの他の構成例を示す平面図である。

[図15] 図 15 は、半導体モジュールの他の構成例を示す平面図である。

[図16] 図 16 は、I G B T 装置の他の構成例を示す断面図である。

[図17] 図 17 は、M I S F E T 装置の他の構成例を示す断面図である。

[図18]図18は、M I S F E T装置の他の構成例を示す断面図である。

[図19]図19は、M I S F E T装置の他の構成例を示す断面図である。

[図20]図20は、M I S F E T装置の他の構成例を示す断面図である。

発明を実施するための形態

[0008] 以下、添付図面を参照して、実施形態が詳細に説明される。添付図面は、模式図であり、厳密に図示されたものではなく、縮尺等は必ずしも一致しない。また、添付図面の間で対応する構造には同一の参照符号が付され、重複する説明は省略または簡略化される。説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。

[0009] 比較対象 (comparison target) が存する説明において「ほぼ (substantially) 等しい」の文言が使用される場合、この文言は、比較対象の数値 (形態) と等しい数値 (形態) を含む他、比較対象の数値 (形態) を基準とする±10%の範囲の数値誤差 (形態誤差) も含む。実施形態では「第1」、「第2」、「第3」等の文言が使用されるが、これらは説明順序を明確にするために各構造の名称に付された記号であり、各構造の名称を限定する趣旨で付されていない。

[0010] 図1は、一実施形態に係る半導体モジュール1の電氣的構造を示す回路図である。図1を参照して、半導体モジュール1は、I G B T装置2 (Insulated Gate Bipolar Transistor device)、および、I G B T装置2と共に並列スイッチング回路を構成するM I S F E T装置3 (Metal Semiconductor Field Effect Transistor device) を含む。

[0011] I G B T装置2は、I G B Tを有するバイポーラ型の第1半導体スイッチング装置 (第1半導体装置) であり、コレクタC、エミッタEおよび第1ゲートG1を含む。M I S F E T装置3は、M I S F E Tを有するユニポーラ型の第2半導体スイッチング装置 (第2半導体装置) であり、ドレインD、ソースSおよび第2ゲートG2を含む。

[0012] M I S F E T装置3のドレインDは、I G B T装置2のコレクタCに電氣的に接続されている。M I S F E T装置3のソースSは、I G B T装置2の

エミッタEに電氣的に接続されている。M I S F E T装置3の第2ゲートG2は、I G B T装置2の第1ゲートG1に電氣的に接続されている。

[0013] I G B T装置2の第1ゲートG1およびM I S F E T装置3の第2ゲートG2はゲート駆動回路GDに電氣的に接続され、ゲート駆動回路GDからのゲート信号が第1ゲートG1および第2ゲートG2に入力される。つまり、M I S F E T装置3は、I G B T装置2と同時に制御される。I G B T装置2はゲート信号に応答してコレクタ電流 I_{ce} を生成し、M I S F E T装置3はゲート信号に応答してドレイン電流 I_{ds} を生成する。

[0014] ゲート駆動回路GDは、ゲートドライバICであってもよい。図1では、半導体モジュール1がゲート駆動回路GDに電氣的に接続された形態が示されているが、半導体モジュール1は、ゲート駆動回路GDを一構成要素として含んでいてもよい。

[0015] 図2は、図1に示す半導体モジュール1の電氣的特性を示すグラフである。図2において、縦軸はコレクタ電流 I_{ce} （ドレイン電流 I_{ds} ）を示し、横軸はコレクタ電圧 V_{ce} （ドレイン電圧 V_{ds} ）を示している。図2には、半導体モジュール1の出力電流 I_O の特性が示されている。出力電流 I_O は、コレクタ電流 I_{ce} およびドレイン電流 I_{ds} の加算値である。

[0016] 図2を参照して、半導体モジュール1は、I G B T装置2のビルトイン電圧 V_{bi} 未満の電圧範囲においてM I S F E T装置3のドレイン電流 I_{ds} のみからなる出力電流 I_O を生成する。一方、半導体モジュール1は、I G B T装置2のビルトイン電圧 V_{bi} 以上の電圧範囲においてM I S F E T装置3のドレイン電流 I_{ds} およびI G B T装置2のコレクタ電流 I_{ce} を含む出力電流 I_O を生成する。

[0017] I G B T装置2は、バイポーラ型の半導体スイッチング装置であるため、ビルトイン電圧 V_{bi} 未満の低電流領域において比較的大きい損失を有し、ビルトイン電圧 V_{bi} 以上の高電流領域において比較的小さい損失を有している。I G B T装置2における高電流領域の損失低減効果は、伝導度変調効果に起因している。

[0018] 一方、M I S F E T 装置 3 は、I G B T 装置 2 とは異なるユニポーラ型の半導体スイッチング装置であるため、ビルトイン電圧 V_{bi} を有さず、伝導度変調効果を奏しない。M I S F E T 装置 3 は、低電流領域において比較的小さい損失を有し、高電流領域において比較的大きい損失を有している。M I S F E T 装置 3 の高電流領域の損失は M I S F E T 装置 3 の大型化によって改善されるが、コストやレイアウト変更の問題が生じる。

[0019] 半導体モジュール 1 によれば、低電流領域において M I S F E T 装置 3 のドレイン電流 I_{ds} が使用されるため、低電流領域における I G B T 装置 2 の損失が低減される。また、高電流領域において I G B T 装置 2 のコレクタ電流 I_{ce} および M I S F E T 装置 3 のドレイン電流 I_{ds} が使用されるため、高電流領域における M I S F E T 装置 3 の損失が低減される。

[0020] したがって、半導体モジュール 1 によれば、M I S F E T 装置 3 を大型化することなく低電流領域の損失および高電流領域の損失の双方を低減できる。よって、電気的特性を向上できる半導体モジュール 1 を提供できる。以下、半導体モジュール 1 に組み込まれる I G B T 装置 2 の形態例、および、半導体モジュール 1 に組み込まれる M I S F E T 装置 3 の形態例が説明される。

[0021] 図 3 は、図 1 に示す半導体モジュール 1 に組み込まれる I G B T 装置 2 の一構成例を示す平面図である。図 4 は、図 3 に示す IV-IV 線に沿う概略断面図である。図 5 は、図 3 に示す第 1 チップ 10 内のレイアウト例を示す平面図である。図 6 は、図 5 に示す第 1 活性領域 17 の要部を示す断面図である。

[0022] I G B T 装置 2 は、第 1 ブレークダウン電圧 V_{B1} を有している。第 1 ブレークダウン電圧 V_{B1} は、逆電圧降伏（アバランシェ降伏）が始まる逆方向電圧である。たとえば、第 1 ブレークダウン電圧 V_{B1} は、500 V 以上 1500 V 以下であってもよい。第 1 ブレークダウン電圧 V_{B1} は、500 V 以上 750 V 以下、750 V 以上 1000 V 以下、1000 V 以上 1250 V 以下、および、1250 V 以上 1500 V 以下のいずれか 1 つの範囲に属する値を有していてもよい。たとえば、第 1 ブレークダウン電圧 V_{B1} は

、500V以上700V以下、または、1100V以上1300V以下であってもよい。

[0023] 図3～図6を参照して、IGBT装置2は、この形態 (this embodiment) では、六面体形状 (具体的には直方体形状) の第1チップ10を含む。第1チップ10は、Si (シリコン) 単結晶製のSiチップである。つまり、IGBT装置2は、「Si-IGBT装置」である。第1チップ10は、Si基板からなる単層構造を有している。

[0024] 第1チップ10は、第1チップ厚さT1を有している。第1チップ厚さT1は、50 μ m以上200 μ m以下の厚さを有していてもよい。第1チップ厚さT1は、50 μ m以上75 μ m以下、75 μ m以上100 μ m以下、100 μ m以上125 μ m以下、125 μ m以上150 μ m以下、150 μ m以上175 μ m以下、および、175 μ m以上200 μ m以下のいずれか1つの範囲に属する値を有していてもよい。

[0025] たとえば、第1ブレイクダウン電圧VB1が500V以上700V以下の場合、第1チップ厚さT1は60 μ m以上90 μ m以下であってもよい。たとえば、第1ブレイクダウン電圧VB1が1100V以上1300V以下の場合、第1チップ厚さT1は120 μ m以上160 μ m以下であってもよい。

[0026] 第1チップ10は、一方側の第1主面11、他方側の第2主面12、ならびに、第1主面11および第2主面12を接続する第1～第4側面13A～13Dを有している。第1主面11および第2主面12は、それらの法線方向Zから見た平面視 (以下、単に「平面視」という。) において四角形状 (この形態では長方形形状) に形成されている。法線方向Zは、第1チップ10の厚さ方向でもある。むろん、第1主面11および第2主面12は、平面視において正形状に形成されていてもよい。

[0027] 第1側面13Aおよび第2側面13Bは、第1主面11に沿う第1方向Xに延び、第1方向Xに交差 (具体的には直交) する第2方向Yに対向している。第1側面13Aおよび第2側面13Bは、第1チップ10の長辺を形成

している。第3側面13Cおよび第4側面13Dは、第2方向Yに延び、第1方向Xに対向している。第3側面13Cおよび第4側面13Dは、第1チップ10の短辺を形成している。

[0028] 第1～第4側面13A～13Dは、平面視において0.1mm以上20mm以下の長さをそれぞれ有していてもよい。第1～第4側面13A～13Dの長さは、0.1mm以上1mm以下、1mm以上2.5mm以下、2.5mm以上5mm以下、5mm以上7.5mm以下、7.5mm以上10mm以下、10mm以上12.5mm以下、12.5mm以上15mm以下、15mm以上17.5mm以下、および、17.5mm以上20mm以下のいずれか1つの範囲に属する値をそれぞれ有していてもよい。

[0029] 第1チップ10は、平面視において第1チップ面積S1を有している。第1チップ面積S1は、第1側面13Aの長さおよび第3側面13Cの長さの乗算値（つまり第2側面13Bの長さおよび第4側面13Dの長さの乗算値）である。

[0030] IGBT装置2は、第1チップ10の内部に形成されたn型（第1導電型）の半導体領域14を含む。半導体領域14は、第1チップ10の内部の全域に形成されている。この形態では、第1チップ10がn型のSiチップからなり、半導体領域14はSiチップを利用して形成されている。

[0031] IGBT装置2は、第2主面12の表層部に形成されたn型のバッファ領域15を含む。バッファ領域15は、この形態では、第2主面12の全域において第2主面12に沿って延びる層状に形成され、第1～第4側面13A～13Dから露出している。バッファ領域15は、半導体領域14よりも高いn型不純物濃度を有している。バッファ領域15の有無は任意であり、バッファ領域15を有さない形態が採用されてもよい。

[0032] IGBT装置2は、第2主面12の表層部に形成されたp型（第2導電型）のコレクタ領域16を含む。コレクタ領域16は、この形態では、バッファ領域15の第2主面12側の表層部に形成されている。コレクタ領域16は、第2主面12の全域において第2主面12に沿って延びる層状に形成さ

れ、第2主面12および第1～第4側面13A～13Dから露出している。

[0033] IGBT装置2は、第1チップ10の第1主面11に設けられた第1活性領域17 (first active region) を含む。第1活性領域17は、IGBT構造18を含み、コレクタ電流 I_{ce} を生成する領域である。第1活性領域17は、平面視において第1活性面積 S_{A1} を有している。

[0034] たとえば、第1活性面積 S_{A1} は、平面視においてIGBT構造18を包含する多角形状の領域(図3の二点鎖線参照)を設定した場合において、当該多角形状の領域の平面積によって定義される。複数の第1活性領域17が設けられている場合、第1活性面積 S_{A1} は複数の第1活性領域17の総平面積によって定義される。

[0035] 第1活性面積 S_{A1} は、第1チップ面積 S_1 に応じて種々の値を取る。第1活性面積 S_{A1} は、第1チップ面積 S_1 の30%以上100%未満であってもよい。第1活性面積 S_{A1} は、第1チップ面積 S_1 の30%以上40%以下、40%以上50%以下、50%以上60%以下、60%以上70%以下、70%以上80%以下、80%以上90%以下、および、90%以上100%未満のいずれか1つの範囲に属する値を有していてもよい。

[0036] IGBT構造18は、第1活性領域17において第1主面11の表層部に形成されたp型のベース領域19を含む。ベース領域19は、「チャンネル領域」と称されてもよい。ベース領域19は、第1活性領域17の全域において第1主面11に沿って延びる層状に形成されている。

[0037] IGBT構造18は、第1活性領域17において第1主面11に形成された複数の第1トレンチ構造20を含む。複数の第1トレンチ構造20にはゲート電位 V_g が付与される。複数の第1トレンチ構造20は、チャンネルの反転および非反転を制御する。つまり、IGBT構造18は、トレンチゲート型からなる。第1トレンチ構造20は、「第1トレンチゲート構造」と称されてもよい。

[0038] 複数の第1トレンチ構造20は、第1方向Xに間隔を空けて配列され、第2方向Yに延びる帯状にそれぞれ形成されている。複数の第1トレンチ構造

20は、ベース領域19を貫通し、半導体領域14に至るように第1主面11に形成されている。

[0039] 各第1トレンチ構造20の深さは、0.5 μm 以上10 μm 以下であってもよい。各第1トレンチ構造20の深さは、0.5 μm 以上2.5 μm 以下、2.5 μm 以上5 μm 以下、5 μm 以上7.5 μm 以下、および、7.5 μm 以上10 μm 以下のいずれか1つの範囲に属する値を有していてもよい。各第1トレンチ構造20の深さは、4 μm 以上8 μm 以下であることが好ましい。

[0040] 各第1トレンチ構造20は、第1トレンチ21、第1絶縁膜22および第1埋設電極23を含む。第1トレンチ21は、第1主面11に形成され、第1トレンチ構造20の壁面を区画している。第1絶縁膜22は、第1トレンチ21の壁面を膜状に被覆している。第1絶縁膜22は、酸化シリコン膜を含んでいてもよい。第1埋設電極23は、第1絶縁膜22を挟んで第1トレンチ21に埋設されている。第1埋設電極23は、この形態では、導電性ポリシリコンを含む。

[0041] IGBT構造18は、ベース領域19の表層部において複数の第1トレンチ構造20に沿う領域に形成されたn型の複数のエミッタ領域24を含む。各エミッタ領域24は、半導体領域14よりも高いn型不純物濃度を有している。各エミッタ領域24は、ベース領域19の表層部において隣り合う2つの第1トレンチ構造20の間の領域に形成されている。各エミッタ領域24は、半導体領域14と共にベース領域19内にIGBTのチャンネルを形成する。

[0042] IGBT構造18は、複数のエミッタ領域24を露出させるように第1主面11に形成された複数のコンタクト孔25を含む。各コンタクト孔25は、隣り合う2つの第1トレンチ構造20の間の領域に形成されている。各コンタクト孔25は、ベース領域19の底部から第1主面11側に間隔を空けて形成されている。各コンタクト孔25は、エミッタ領域24を貫通していてもよいし、エミッタ領域24の底部から第1主面11側に間隔を空けて形

成されていてもよい。各コンタクト孔25は、平面視において第1トレンチ構造20に沿って延びる帯状にそれぞれ形成されている。

[0043] IGBT構造18は、ベース領域19の表層部においてエミッタ領域24とは異なる領域に形成されたp型の複数の第1コンタクト領域26を含む。各第1コンタクト領域26は、ベース領域19よりも高いp型不純物濃度を有している。各第1コンタクト領域26は、対応するコンタクト孔25の壁面に沿う領域に形成されている。各第1コンタクト領域26は、平面視において対応するコンタクト孔25に沿って延びる帯状に形成されている。各第1コンタクト領域26の底部は、ベース領域19の底部および対応するコンタクト孔25の底壁の間の領域にそれぞれ形成されている。

[0044] IGBT装置2は、第1主面11を被覆する第1層間絶縁膜27を含む。第1層間絶縁膜27は、この形態では、第1下側絶縁膜28および第1上側絶縁膜29を含む。第1下側絶縁膜28は、第1絶縁膜22に接続され、第1埋設電極23を露出させるように第1主面11を被覆している。第1下側絶縁膜28は、酸化シリコン膜を含んでいてもよい。第1上側絶縁膜29は、複数の第1トレンチ構造20を被覆するように第1下側絶縁膜28を被覆している。第1上側絶縁膜29は、酸化シリコン膜を含んでいてもよい。第1上側絶縁膜29は、第1下側絶縁膜28よりも厚い。

[0045] 第1層間絶縁膜27は、複数のエミッタ領域24を露出させる複数のエミッタ開口30を含む。複数のエミッタ開口30は、複数のコンタクト孔25に連通するように複数のコンタクト孔25に対して1対1の対応関係で形成されている。複数のエミッタ開口30は、複数のコンタクト孔25に沿って延びる帯状に形成されている。

[0046] IGBT装置2は、第1層間絶縁膜27に埋設された複数のコンタクト電極31を含む。複数のコンタクト電極31は、複数のエミッタ開口30に埋設されている。各コンタクト電極31は、エミッタ開口30からコンタクト孔25内に入り込み、コンタクト孔25内においてエミッタ領域24および第1コンタクト領域26に電氣的に接続されている。

- [0047] IGBT装置2は、第1層間絶縁膜27の上に配置された第1ゲート電極32を含む。第1ゲート電極32には、外部からゲート電位 V_g が付与される。第1ゲート電極32は、平面視において第3側面13Cの中央部に沿う領域に配置されている。第1ゲート電極32の配置箇所は任意である。たとえば、第1ゲート電極32は、平面視において第1チップ10の角部に沿う領域や第1チップ10の中央部に配置されていてもよい。
- [0048] 第1ゲート電極32は、第1層間絶縁膜27を挟んで第1活性領域17外の領域に対向している。むしろ、第1ゲート電極32は、第1層間絶縁膜27を挟んで第1活性領域17（つまり複数の第1トレンチ構造20）に対向していてもよい。第1ゲート電極32は、平面視において四角形状に形成されている。第1ゲート電極32は、平面視において円形状や多角形状に形成されていてもよい。
- [0049] 第1ゲート電極32は、第1埋設電極23とは異なる導電材料を含む。第1ゲート電極32は、Ti系金属膜、Al系金属膜およびCu系金属膜のうちの少なくとも1種を含んでいてもよい。Ti系金属膜は、Ti膜およびTiN膜のうちの少なくとも1つを含んでいてもよい（以下、この明細書において同じ。）。
- [0050] Al系金属膜は、純Al膜（純度が99%以上のAl膜）およびAl合金膜のうちの少なくとも1つを含んでいてもよい（以下、この明細書において同じ。）。Cu系金属膜は、純Cu膜（純度が99%以上のCu膜）およびCu合金膜のうちの少なくとも1つを含んでいてもよい（以下、この明細書において同じ。）。
- [0051] Al合金膜およびCu合金膜は、AlCu合金膜、AlSi合金膜およびAlSiCu合金膜のうちの少なくとも1つを含んでいてもよい（以下、この明細書において同じ。）。ゲート電極は、この形態では、第1層間絶縁膜27側からこの順に積層されたTi系金属膜およびAl系金属膜を含む積層構造を有している。第1ゲート電極32は、「第1ゲートメタル」と称されてもよい。

- [0052] IGBT装置2は、第1層間絶縁膜27の上に配置された第1ゲート配線33を含む。第1ゲート配線33は、第1ゲート電極32および複数の第1トレンチ構造20に電氣的に接続され、第1ゲート電極32に付与されたゲート電位 V_g を複数の第1トレンチ構造20に伝達する。
- [0053] 具体的には、第1ゲート配線33は、平面視において第1ゲート電極32から第1層間絶縁膜27の上に引き出され、複数の第1トレンチ構造20の両端部に交差（具体的には直交）するように第1～第3側面13A～13Cに沿って帯状に延びている。第1ゲート配線33は、第1層間絶縁膜27を貫通して複数の第1トレンチ構造20に電氣的に接続されている。第1ゲート配線33は、第1ゲート電極32と同一の導電材料を含む。
- [0054] IGBT装置2は、第1層間絶縁膜27の上に配置されたエミッタ電極34を含む。エミッタ電極34には、外部からエミッタ電位 V_e が付与される。エミッタ電極34は、第1活性領域17を被覆するように第1層間絶縁膜27の上において第1ゲート電極32および第1ゲート配線33によって取り囲まれた領域に配置されている。
- [0055] エミッタ電極34は、第1層間絶縁膜27を挟んで複数の第1トレンチ構造20に対向し、第1層間絶縁膜27を貫通して複数のエミッタ領域24および複数の第1コンタクト領域26に電氣的に接続されている。具体的には、エミッタ電極34は、第1層間絶縁膜27を貫通する複数のコンタクト電極31を介して複数のエミッタ領域24および複数の第1コンタクト領域26に電氣的に接続されている。
- [0056] エミッタ電極34は、第1ゲート電極32と同一の導電材料を含む。エミッタ電極34は、「エミッタメタル」と称されてもよい。エミッタ電極34は、この形態では、複数のコンタクト電極31とは異なる導電材料を含む。むしろ、エミッタ電極34は、複数のコンタクト電極31と同一の導電材料を含んでいてもよい。この場合、エミッタ電極34のうち複数のエミッタ開口30内に位置する部分が複数のコンタクト電極31として形成されていてもよい。

- [0057] エミッタ電極34は、この形態では、第1活性領域17の平面形状に対してほぼ相似となる平面形状を有している。エミッタ電極34の平面形状が第1活性領域17の平面形状に対してほぼ相似である場合、前述の第1活性面積 S_{A1} はエミッタ電極34の平面積によって定義されてもよい。
- [0058] IGBT装置2は、第2主面12を被覆するコレクタ電極35を含む。コレクタ電極35には、コレクタ電位 V_c が付与される。コレクタ電極35は、第2主面12から露出するコレクタ領域16とオーミック接触を形成している。コレクタ電極35は、第1チップ10の周縁（第1～第4側面13A～13D）に連なるように第2主面12の全域を被覆していてもよい。
- [0059] 図7は、図1に示す半導体モジュール1に組み込まれるMISFET装置3の一構成例を示す平面図である。図8は、図7に示すVIII-VIII線に沿う概略断面図である。図9は、図7に示す第2チップ40内のレイアウト例を示す平面図である。図10は、図7に示す第2活性領域47の要部を示す断面図である。
- [0060] MISFET装置3は、第2ブレイクダウン電圧 V_{B2} を有している。第2ブレイクダウン電圧 V_{B2} は、逆電圧降伏（アバランシェ降伏）が始まる逆方向電圧である。第2ブレイクダウン電圧 V_{B2} は、IGBT装置2の第1ブレイクダウン電圧 V_{B1} 以上であることが好ましい。第2ブレイクダウン電圧 V_{B2} は、第1ブレイクダウン電圧 V_{B1} よりも高いことが特に好ましい。たとえば、第2ブレイクダウン電圧 V_{B2} は、500V以上3000V以下であってもよい。
- [0061] 第2ブレイクダウン電圧 V_{B2} は、500V以上750V以下、750V以上1000V以下、1000V以上1250V以下、1250V以上1500V以下、1500V以上1750V以下、1750V以上2000V以下、2000V以上2250V以下、2250V以上2500V以下、2500V以上2750V以下、および、2750V以上3000V以下のいずれか1つの範囲に属する値を有していてもよい。たとえば、第2ブレイクダウン電圧 V_{B2} は、500V以上700V以下、または、1100V以上1

300V以下であってもよい。

[0062] 図7～図10を参照して、MISFET装置3は、六面体形状（具体的には直方体形状）の第2チップ40を含む。第2チップ40は、第1チップ10とは異なる半導体単結晶製のチップからなる。具体的には、第2チップ40は、ワイドバンドギャップ半導体の単結晶製のワイドバンドギャップ半導体チップからなる。

[0063] つまり、MISFET装置3は、「ワイドバンドギャップ半導体－MISFET装置」である。ワイドバンドギャップ半導体は、Siのバンドギャップを超えるバンドギャップを有する半導体である。GaN（窒化ガリウム）、SiC（炭化シリコン）およびC（ダイヤモンド）が、ワイドバンドギャップ半導体として例示される。

[0064] 第2チップ40は、この形態では、ワイドバンドギャップ半導体の一例として六方晶のSiC単結晶を含むSiCチップからなる。つまり、MISFET装置3は、「SiC－MISFET装置」である。六方晶のSiC単結晶は、2H（Hexagonal）－SiC単結晶、4H－SiC単結晶、6H－SiC単結晶等を含む複数種のポリタイプを有している。この形態では、第2チップ40が4H－SiC単結晶を含む例が示されるが、第2チップ40は他のポリタイプを含んでいてもよい。

[0065] 第2チップ40は、第2チップ厚さT2を有している。第2チップ厚さT2は、IGBT装置2の第1チップ厚さT1以上であってもよい。第2チップ厚さT2は、第1チップ厚さT1未満であってもよい。第2チップ厚さT2は、第1チップ厚さT1とほぼ等しくてもよい。第2チップ厚さT2は、25 μ m以上200 μ m以下の厚さを有していてもよい。

[0066] 第2チップ厚さT2は、25 μ m以上50 μ m以下、50 μ m以上75 μ m以下、75 μ m以上100 μ m以下、100 μ m以上125 μ m以下、125 μ m以上150 μ m以下、150 μ m以上175 μ m以下、および、175 μ m以上200 μ m以下のいずれか1つの範囲に属する値を有していてもよい。

[0067] たとえば、第2ブレイクダウン電圧 V_{B2} の値が500V以上700V以下の場合、第2チップ厚さ T_2 は $25\mu\text{m}$ 以上 $50\mu\text{m}$ 以下、 $50\mu\text{m}$ 以上 $75\mu\text{m}$ 以下、 $75\mu\text{m}$ 以上 $100\mu\text{m}$ 以下、 $100\mu\text{m}$ 以上 $125\mu\text{m}$ 以下、 $125\mu\text{m}$ 以上 $150\mu\text{m}$ 以下、および、 $150\mu\text{m}$ 以上 $175\mu\text{m}$ 以下のいずれか1つの範囲に属する値を有していてもよい。

[0068] たとえば、第2ブレイクダウン電圧 V_{B2} の値が1100V以上1300V以下（3000V以下）の場合、第2チップ厚さ T_2 は $50\mu\text{m}$ 以上 $75\mu\text{m}$ 以下、 $75\mu\text{m}$ 以上 $100\mu\text{m}$ 以下、 $100\mu\text{m}$ 以上 $125\mu\text{m}$ 以下、 $125\mu\text{m}$ 以上 $150\mu\text{m}$ 以下、 $150\mu\text{m}$ 以上 $175\mu\text{m}$ 以下、および、 $175\mu\text{m}$ 以上 $200\mu\text{m}$ 以下のいずれか1つの範囲に属する値を有していてもよい。

[0069] たとえば、第2ブレイクダウン電圧 V_{B2} の値が1100V以上1300V以下（3000V以下）の場合、第2チップ厚さ T_2 は、 $150\mu\text{m}$ 以上 $160\mu\text{m}$ 以下、 $160\mu\text{m}$ 以上 $170\mu\text{m}$ 以下、および、 $170\mu\text{m}$ 以上 $180\mu\text{m}$ 以下のいずれか1つの範囲に属する値を有していてもよい。

[0070] 第2チップ40は、一方側の第1主面41、他方側の第2主面42、ならびに、第1主面41および第2主面42を接続する第1～第4側面43A～43Dを有している。第1主面41および第2主面42は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状（この形態では正形状）に形成されている。法線方向Zは、第2チップ40の厚さ方向でもある。むろん、第1主面41および第2主面42は、平面視において長形状に形成されていてもよい。

[0071] 第1主面41および第2主面42は、SiC単結晶のc面によって形成されていることが好ましい。この場合、第1主面41はSiC単結晶のシリコン面（（0001）面）によって形成され、第2主面42はSiC単結晶のカーボン面（（000-1）面）によって形成されていることが好ましい。

[0072] 第1主面41および第2主面42は、c面に対して所定のオフ方向に所定の角度で傾斜したオフ角を有していてもよい。オフ方向は、SiC単結晶の

a軸方向（ $[11\bar{2}0]$ 方向）であることが好ましい。オフ角は、 0° を超えて 10° 以下であってもよい。オフ角は、 5° 以下であることが好ましい。

[0073] 第1側面43Aおよび第2側面43Bは、第1主面41に沿う第1方向Xに延び、第1方向Xに交差（具体的には直交）する第2方向Yに対向している。第3側面43Cおよび第4側面43Dは、第2方向Yに延び、第1方向Xに対向している。第1方向XがSiC単結晶のm軸方向（ $[1\bar{1}00]$ 方向）であり、第2方向YがSiC単結晶のa軸方向であってもよい。むしろ、第1方向XがSiC単結晶のa軸方向であり、第2方向YがSiC単結晶のm軸方向であってもよい。

[0074] 第1～第4側面43A～43Dは、平面視において0.1mm以上20mm以下の長さをそれぞれ有していてもよい。第1～第4側面43A～43Dの長さは、0.1mm以上1mm以下、1mm以上2.5mm以下、2.5mm以上5mm以下、5mm以上7.5mm以下、7.5mm以上10mm以下、10mm以上12.5mm以下、12.5mm以上15mm以下、15mm以上17.5mm以下、および、17.5mm以上20mm以下のいずれか1つの範囲に属する値をそれぞれ有していてもよい。

[0075] 第2チップ40は、平面視において第2チップ面積S2を有している。第2チップ面積S2は、第1側面43Aの長さおよび第3側面43Cの長さの乗算値（つまり第2側面43Bの長さおよび第4側面43Dの長さの乗算値）である。第2チップ面積S2は、IGBT装置2の第1チップ面積S1未満であることが好ましい。

[0076] 第2チップ面積S2は、第1チップ面積S1の0.1倍以上0.6倍以下であることが特に好ましい。この場合、第2チップ面積S2は、第1チップ面積S1の0.1倍以上0.2倍以下、0.2倍以上0.3倍以下、0.3倍以上0.4倍以下、0.4倍以上0.5倍以下、および、0.5倍以上0.6倍以下のいずれか1つの範囲に属する値を有していてもよい。

[0077] MISFET装置3は、第2チップ40内において第1主面41側の領域

(表層部)に形成されたn型の第1半導体領域44を含む。第1半導体領域44は、第1主面41に沿って延びる層状に形成され、第1主面41および第1～第4側面43A～43Dから露出している。第1半導体領域44は、この形態では、ワイドバンドギャップ半導体のエピタキシャル層(SiCエピタキシャル層)からなる。

[0078] 第1半導体領域44は、 $1\mu\text{m}$ 以上 $50\mu\text{m}$ 以下の厚さを有していてもよい。第1半導体領域44は、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下、 $10\mu\text{m}$ 以上 $20\mu\text{m}$ 以下、 $20\mu\text{m}$ 以上 $30\mu\text{m}$ 以下、 $30\mu\text{m}$ 以上 $40\mu\text{m}$ 以下、および、 $40\mu\text{m}$ 以上 $50\mu\text{m}$ 以下のいずれか1つの範囲に属する値を有していてもよい。第1半導体領域44の厚さは、 $15\mu\text{m}$ 以上 $25\mu\text{m}$ 以下であることが好ましい。

[0079] MISFET装置3は、第2チップ40内において第2主面42側の領域(表層部)に形成されたn型の第2半導体領域45を含む。第2半導体領域45は、第2主面42に沿って延びる層状に形成され、第2主面42および第1～第4側面43A～43Dから露出している。第2半導体領域45は、第1半導体領域44よりも高いn型不純物濃度を有し、第1半導体領域44に電氣的に接続されている。第2半導体領域45は、この形態では、ワイドバンドギャップ半導体の単結晶基板(SiC単結晶基板)からなる。

[0080] つまり、第2チップ40は、基板およびエピタキシャル層を含む積層構造を有している。第2半導体領域45は、 $1\mu\text{m}$ 以上 $200\mu\text{m}$ 以下の厚さを有していてもよい。第2半導体領域45は、 $1\mu\text{m}$ 以上 $25\mu\text{m}$ 以下、 $25\mu\text{m}$ 以上 $50\mu\text{m}$ 以下、 $50\mu\text{m}$ 以上 $75\mu\text{m}$ 以下、 $75\mu\text{m}$ 以上 $100\mu\text{m}$ 以下、 $100\mu\text{m}$ 以上 $125\mu\text{m}$ 以下、 $125\mu\text{m}$ 以上 $150\mu\text{m}$ 以下、 $150\mu\text{m}$ 以上 $175\mu\text{m}$ 以下、および、 $175\mu\text{m}$ 以上 $200\mu\text{m}$ 以下のいずれか1つの範囲に属する値を有していてもよい。

[0081] 第2半導体領域45の厚さは、 $5\mu\text{m}$ 以上であってもよい。第2半導体領域45の厚さは、 $10\mu\text{m}$ 以上であることが好ましい。第2半導体領域45の厚さは、第1半導体領域44の厚さ以上であってもよい。第2半導体領域

45の厚さは、第1半導体領域44の厚さ未満であってもよい。第2半導体領域45の厚さは、第1半導体領域44の厚さとほぼ等しくてもよい、第2半導体領域45の厚さは、この形態では、第1半導体領域44の厚さよりも大きい。

[0082] MISFET装置3は、第2チップ40の第1主面41に設けられた第2活性領域47 (second active region) を含む。第2活性領域47は、MISFET構造48を含み、ドレイン電流 I_{ds} を生成する領域である。第2活性領域47は、平面視において第2活性面積 S_{A2} を有している。

[0083] たとえば、第2活性面積 S_{A2} は、平面視においてMISFET構造48を包含する多角形状の領域（図7の二点鎖線参照）を設定した場合において、当該多角形状の領域の平面積によって定義される。複数の第2活性領域47が設けられている場合、第2活性面積 S_{A2} は複数の第2活性領域47の総平面積によって定義される。

[0084] 第2活性面積 S_{A2} は、第2チップ面積 S_2 に応じて種々の値を取る。第2活性面積 S_{A2} は、第2チップ面積 S_2 の30%以上100%未満であってもよい。第2活性面積 S_{A2} は、第2チップ面積 S_2 の30%以上40%以下、40%以上50%以下、50%以上60%以下、60%以上70%以下、70%以上80%以下、80%以上90%以下、および、90%以上100%未満のいずれか1つの範囲に属する値を有していてもよい。

[0085] 第2活性面積 S_{A2} は、IGBT装置2の第1活性面積 S_{A1} 未満であることが好ましい。第2活性面積 S_{A2} は、第1活性面積 S_{A1} の0.1倍以上0.6倍以下であることが特に好ましい。この場合、第2活性面積 S_{A2} は、第1活性面積 S_{A1} の0.1倍以上0.2倍以下、0.2倍以上0.3倍以下、0.3倍以上0.4倍以下、0.4倍以上0.5倍以下、および、0.5倍以上0.6倍以下のいずれか1つの範囲に属する値を有していてもよい。

[0086] MISFET構造48は、第2活性領域47において第1主面41の表層部に形成されたp型のボディ領域49を含む。ボディ領域49は、「チャネ

ル領域」と称されてもよい。ボディ領域49は、第2活性領域47の全域において第1主面41に沿って延びる層状に形成されている。

[0087] MISFET構造48は、第2活性領域47において第1主面41に形成された複数の第2トレンチ構造50を含む。複数の第2トレンチ構造50にはIGBT装置2のゲート電位 V_g が付与される。複数の第2トレンチ構造50は、チャンネルの反転および非反転を制御する。つまり、MISFET構造48は、トレンチゲート型からなる。第2トレンチ構造50は、「第2トレンチゲート構造」と称されてもよい。

[0088] 複数の第2トレンチ構造50は、第1方向Xに間隔を空けて配列され、第2方向Yに延びる帯状にそれぞれ形成されている。複数の第2トレンチ構造50は、第1半導体領域44に至るようにボディ領域49を貫通し、第1半導体領域44の底部から第1主面41側に間隔を空けて形成されている。

[0089] 複数の第2トレンチ構造50は、IGBT装置2の複数の第1トレンチ構造20よりも浅いことが好ましい。各第2トレンチ構造50の深さは、0.1 μm 以上3 μm 以下であってもよい。各第2トレンチ構造50の深さは、0.1 μm 以上0.5 μm 以下、0.5 μm 以上1 μm 以下、1 μm 以上1.5 μm 以下、1.5 μm 以上2 μm 以下、2 μm 以上2.5 μm 以下、2.5 μm 以上3 μm 以下のいずれか1つの範囲に属する値を有していてもよい。各第1トレンチ構造20の深さは、0.5 μm 以上1.5 μm 以下であることが好ましい。

[0090] 各第2トレンチ構造50は、第2トレンチ51、第2絶縁膜52および第2埋設電極53を含む。第2トレンチ51は、第1主面41に形成され、第2トレンチ構造50の壁面を区画している。第2絶縁膜52は、第2トレンチ51の壁面を膜状に被覆している。第2絶縁膜52は、酸化シリコン膜を含んでいてもよい。第2埋設電極53は、第2絶縁膜52を挟んで第2トレンチ51に埋設されている。第2埋設電極53は、この形態では、導電性ポリシリコンを含む。

[0091] MISFET構造48は、第2活性領域47において第1主面41に形成

された複数の第3トレンチ構造60を含む。複数の第3トレンチ構造60には、ソース電位 V_s としてのIGBT装置2のエミッタ電位 V_e が印加される。第3トレンチ構造60は、「トレンチソース構造」と称されてもよい。

[0092] 複数の第3トレンチ構造60は、隣り合う2つの第2トレンチ構造50の間の領域にそれぞれ配置されている。複数の第3トレンチ構造60は、平面視において第1方向Xに複数の第2トレンチ構造50と交互に配列され、第2方向Yに延びる帯状にそれぞれ形成されている。複数の第3トレンチ構造60は、第1半導体領域44に至るようにボディ領域49を貫通し、第1半導体領域44の底部から第1主面41側に間隔を空けて形成されている。

[0093] 各第3トレンチ構造60は、各第2トレンチ構造50の深さ以上の深さを有している。各第3トレンチ構造60は、この形態では、各第2トレンチ構造50よりも深い。各第3トレンチ構造60の深さは、各第2トレンチ構造50の深さの1.5倍以上3倍以下であることが好ましい。

[0094] 各第3トレンチ構造60は、IGBT装置2の各第1トレンチ構造20よりも浅いことが好ましい。各第3トレンチ構造60の深さは、 $0.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であってもよい。各第3トレンチ構造60の深さは、 $0.5\mu\text{m}$ 以上 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上 $3\mu\text{m}$ 以下、 $3\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、および、 $4\mu\text{m}$ 以上 $5\mu\text{m}$ 以下のいずれか1つの範囲に属する値を有していてもよい。各第3トレンチ構造60の深さは、 $1\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下であることが好ましい。

[0095] 各第3トレンチ構造60は、第3トレンチ61、第3絶縁膜62および第3埋設電極63を含む。第3トレンチ61は、第1主面41に形成され、第3トレンチ構造60の壁面を区画している。第3絶縁膜62は、第3トレンチ61の壁面を膜状に被覆している。第3絶縁膜62は、酸化シリコン膜を含んでいてもよい。第3埋設電極63は、第3絶縁膜62を挟んで第3トレンチ61に埋設されている。第3埋設電極63は、この形態では、導電性ポリシリコンを含む。

[0096] MISFET構造48は、ボディ領域49の表層部において複数の第2ト

レンチ構造50に沿う領域に形成されたn型の複数のソース領域64を含む。各ソース領域64は、第1半導体領域44よりも高いn型不純物濃度を有している。各ソース領域64は、ボディ領域49の表層部において隣り合う第2トレンチ構造50および第3トレンチ構造60の間の領域に形成されている。各ソース領域64は、第1半導体領域44と共にボディ領域49内にMISFETのチャネルを形成する。

[0097] MISFET構造48は、第2チップ40内において複数の第3トレンチ構造60に沿う領域に形成されたp型の複数のウェル領域65を含む。ウェル領域65は、この形態では、ボディ領域49よりも高いp型不純物濃度を有している。むろん、ウェル領域65のp型不純物濃度は、ボディ領域49よりも低くてもよい。

[0098] 複数のウェル領域65は、第2チップ40内において第3トレンチ構造60の壁面を被覆し、第1主面41の表層部においてボディ領域49に電氣的に接続されている。複数のウェル領域65は、第1半導体領域44の底部から第1主面41側に間隔を空けて形成され、第1半導体領域44の一部を挟んで第2半導体領域45に対向している。複数のウェル領域65は、第1半導体領域44とpn接合部を形成している。

[0099] MISFET構造48は、複数のウェル領域65内において複数の第3トレンチ構造60に沿う領域に形成されたp型の複数の第2コンタクト領域66を含む。第2コンタクト領域66は、ボディ領域49よりも高いp型不純物濃度を有している。第2コンタクト領域66のp型不純物濃度は、この形態では、ウェル領域65よりも高い。

[0100] 複数の第2コンタクト領域66は、対応するウェル領域65内において対応する第3トレンチ構造60の壁面を被覆している。複数の第2コンタクト領域66は、対応するウェル領域65内から対応する第3トレンチ構造60の壁面に沿ってボディ領域49の表層部に引き出され、第1主面41から露出している。

[0101] MISFET装置3は、第1主面41を被覆する第2層間絶縁膜67を含

む。第2層間絶縁膜67は、この形態では、第2下側絶縁膜68および第2上側絶縁膜69を含む。第2下側絶縁膜68は、第2絶縁膜52および第3絶縁膜62に接続され、第2埋設電極53および第3埋設電極63を露出させるように第1主面41を被覆している。

[0102] 第2下側絶縁膜68は、酸化シリコン膜を含んでいてもよい。第2上側絶縁膜69は、複数の第2トレンチ構造50および複数の第3トレンチ構造60を被覆するように第2下側絶縁膜68を被覆している。第2上側絶縁膜69は、酸化シリコン膜を含んでいてもよい。第2上側絶縁膜69は、第2下側絶縁膜68よりも厚い。

[0103] MISFET装置3は、第2層間絶縁膜67の上に配置された第2ゲート電極72を含む。第2ゲート電極72には、外部からIGBT装置2のゲート電位 V_g が付与される。第2ゲート電極72は、平面視において第3側面43Cの中央部に沿う領域に配置されている。第2ゲート電極72の配置箇所は任意である。たとえば、第2ゲート電極72は、平面視において第2チップ40の角部に沿う領域や第2チップ40の中央部に配置されていてもよい。

[0104] 第2ゲート電極72は、第2層間絶縁膜67を挟んで第2活性領域47外の領域に対向している。むしろ、第2ゲート電極72は、第2層間絶縁膜67を挟んで第2活性領域47（つまり複数の第2トレンチ構造50および複数の第3トレンチ構造60）に対向していてもよい。第2ゲート電極72は、平面視において四角形状に形成されている。第2ゲート電極72は、平面視において円形状や多角形状に形成されていてもよい。

[0105] 第2ゲート電極72は、第2埋設電極53とは異なる導電材料を含む。第2ゲート電極72は、Ti系金属膜、Al系金属膜およびCu系金属膜のうちの少なくとも1種を含んでいてもよい。第2ゲート電極72は、この形態では、第2層間絶縁膜67側からこの順に積層されたTi系金属膜およびAl系金属膜を含む積層構造を有している。第2ゲート電極72は、「第2ゲートメタル」と称されてもよい。

- [0106] MISFET装置3は、第2層間絶縁膜67の上に配置された第2ゲート配線73を含む。第2ゲート配線73は、第2ゲート電極72および複数の第2トレンチ構造50に電氣的に接続され、第2ゲート電極72に付与されたゲート電位 V_g を複数の第2トレンチ構造50に伝達する。
- [0107] 具体的には、第2ゲート配線73は、平面視において第2ゲート電極72から第2層間絶縁膜67の上に引き出され、複数の第2トレンチ構造50の両端部に交差（具体的には直交）するように第1～第3側面43A～43Cに沿って帯状に延びている。第2ゲート配線73は、第2層間絶縁膜67を貫通して複数の第2トレンチ構造50に電氣的に接続されている。第2ゲート配線73は、第2ゲート電極72と同一の導電材料を含む。
- [0108] MISFET装置3は、第2層間絶縁膜67の上に配置されたソース電極74を含む。ソース電極74には、ソース電位 V_s としてのIGBT装置2のエミッタ電位 V_e が付与される。ソース電極74は、第2活性領域47を被覆するように第2層間絶縁膜67の上において第2ゲート電極72および第2ゲート配線73によって取り囲まれた領域に配置されている。ソース電極74は、第2層間絶縁膜67を挟んで複数の第2トレンチ構造50に対向し、第2層間絶縁膜67を貫通して複数の第3トレンチ構造60、複数のソース領域64および複数の第2コンタクト領域66に電氣的に接続されている。
- [0109] ソース電極74は、第2ゲート電極72と同一の導電材料を含む。ソース電極74は、「ソースメタル」と称されてもよい。ソース電極74は、この形態では、第2活性領域47の平面形状に対してほぼ相似となる平面形状を有している。ソース電極74の平面形状が第2活性領域47の平面形状に対してほぼ相似である場合、前述の第2活性面積 S_{A2} はソース電極74の平面積によって定義されてもよい。
- [0110] MISFET装置3は、第2主面42を被覆するドレイン電極75を含む。ドレイン電極75には、ドレイン電位 V_d としてのIGBT装置2のコレクタ電位 V_c が付与される。ドレイン電極75は、第2主面42から露出す

る第2半導体領域45とオーミック接触を形成している。ドレイン電極75は、第2チップ40の周縁（第1～第4側面43A～43D）に連なるように第2主面42の全域を被覆していてもよい。

[0111] 以下、半導体モジュール1において、低電流領域および高電流領域の双方の損失を適切に抑制できる出力電流 I_O の調整例が具体的に説明される。半導体モジュール1の出力電流 I_O は、 I GBT装置2の第1チップ面積 S_1 に対する M ISFET装置3の第2チップ面積 S_2 のチップ面積比 S_2/S_1 を調整することによって調節される。つまり、出力電流 I_O は、 I GBT装置2の第1活性面積 S_{A1} に対する M ISFET装置3の第2活性面積 S_{A2} の活性面積比 S_{A2}/S_{A1} を調整することによって調節される。

[0112] M ISFET装置3の第2チップ面積 S_2 （第2活性面積 S_{A2} ）が I GBT装置2の第1チップ面積 S_1 （第1活性面積 S_{A1} ）以上である場合、電流生成能力がそれに応じて向上し、高電流領域における M ISFET装置3の損失が増加する。たとえば、 M ISFET装置3において I GBT装置2のコレクタ電流 I_{ce} の最大定格値付近のドレイン電流 I_{ds} が生成される場合、高電流領域における M ISFET装置3の損失が極めて高くなる。これらの場合、 M ISFET装置3を I GBT装置2に対して並列接続させる利益が乏しい。

[0113] たとえば、半導体モジュール1は、一使用態様として、インバータ、 DC/DC コンバータ、 PFC （power factor correction）回路に組み込まれ得る。インバータの場合、一般的に最大定格値の20%～40%のコレクタ電流 I_{ce} が使用される。 DC/DC コンバータや PFC 回路の場合、一般的に最大定格値の30%～50%のコレクタ電流 I_{ce} が使用される。

[0114] M ISFET装置3は、低電流領域での使用を前提とするため、上記の電流範囲よりもさらに低い電流範囲のドレイン電流 I_{ds} を効率的に生成することが求められる。そのため、 M ISFET装置3の第2チップ面積 S_2 （第2活性面積 S_{A2} ）を大型化する利益は乏しい。

[0115] したがって、 M ISFET装置3の電流生成能力を制限すべく、 M ISF

ＥＴ装置３の第２チップ面積 S_2 （第２活性面積 S_{A2} ）はＩＧＢＴ装置２の第１チップ面積 S_1 （第１活性面積 S_{A1} ）未満に設定されることが好ましい。チップ面積比 S_2/S_1 （活性面積比 S_{A2}/S_{A1} ）は、 0.1 以上 0.6 以下であることが特に好ましい。

[0116] さらに、ＭＩＳＦＥＴ装置３は低電流領域での使用を前提とするためＩＧＢＴ装置２よりも小型であることが求められる一方で、ＭＩＳＦＥＴ装置３は高電流動作での使用を前提とするＩＧＢＴ装置２に並列接続されるためＩＧＢＴ装置２の耐圧以上の耐圧が求められる。

[0117] ＭＩＳＦＥＴ装置３は、この形態では、ＩＧＢＴ装置２の第１ブレイクダウン電圧 V_{B1} 以上の第２ブレイクダウン電圧 V_{B2} を有している。小型かつ高耐圧の条件を具備するＭＩＳＦＥＴ装置３は、ワイドバンドギャップ半導体製（この形態ではＳｉＣ製）の第２チップ４０を採用することによって達成されている。

[0118] 図１１Ａは、図１に示す半導体モジュール１の第１調整例に係る電流電圧特性を示すグラフである。図１１Ｂは、図１に示す半導体モジュール１の第２調整例に係る電流電圧特性を示すグラフである。図１１Ｃは、図１に示す半導体モジュール１の第３調整例に係る電流電圧特性を示すグラフである。図１１Ａ～図１１Ｃにおいて、縦軸はコレクタ電流 I_{ce} （ドレイン電流 I_{ds} ）を示し、横軸はコレクタ電圧 V_{ce} （ドレイン電圧 V_{ds} ）を示している。

[0119] 図１１Ａ～図１１Ｃには、第１特性 C_1 、第２特性 C_2 および第３特性 C_3 がそれぞれ示されている。第１特性 C_1 は、ＩＧＢＴ装置２を単体で使用した場合の個別コレクタ電流 I_{ce} を示している。第２特性 C_2 は、ＭＩＳＦＥＴ装置３を単体で使用した場合の個別ドレイン電流 I_{ds} を示している。第３特性 C_3 は、ＩＧＢＴ装置２およびＭＩＳＦＥＴ装置３を含む並列スイッチング回路を使用した場合の出力電流 I_O を示している。出力電流 I_O は、個別コレクタ電流 I_{ce} および個別ドレイン電流 I_{ds} の加算値である。

[0120] 図11Aでは、チップ面積比 S_2/S_1 （活性面積比 SA_2/SA_1 ）が0.1に調整されたときの第1～第3特性 $C_1 \sim C_3$ が示されている。図11Bでは、チップ面積比 S_2/S_1 （活性面積比 SA_2/SA_1 ）が0.3に調整されたときの第1～第3特性 $C_1 \sim C_3$ が示されている。図11Cでは、チップ面積比 S_2/S_1 （活性面積比 SA_2/SA_1 ）が0.6に調整されたときの第1～第3特性 $C_1 \sim C_3$ が示されている。

[0121] 図11A～図11Cを参照して、第1特性 C_1 および第2特性 C_2 の交点Pの個別ドレイン電流 I_{ds} （個別コレクタ電流 I_{ce} ）が第1電流値Aに設定され、ビルトイン電圧 V_{bi} 印加時（具体的には、ビルトイン電圧 V_{bi} と等しいドレイン電圧 V_{ds} 印加時）の個別ドレイン電流 I_{ds} が第2電流値B（ $B < A$ ）に設定されている。

[0122] この場合、第2電流値Bに対する第1電流値Aの電流比 A/B は、1よりも大きく3以下（ $1 < A/B \leq 3$ ）であることが好ましい。電流比 A/B は、1よりも大きく1.25以下、1.25以上1.5以下、1.5以上1.75以下、1.75以上2以下、2以上2.25以下、2.25以上2.5以下、2.5以上2.75以下、および、2.75以上3以下のいずれか1つの範囲に属する値を有していてもよい。電流比 A/B は、1.1以上2.6以下であることが特に好ましい。

[0123] 第1電流値Aおよび第2電流値Bの差分値（ $A - B$ ）は、0.5A以上30A以下であることが好ましい。差分値（ $A - B$ ）は、0.5A以上1A以下、1A以上5A以下、5A以上10A以下、10A以上15A以下、15A以上20A以下、20A以上25A以下、および、25A以上30A以下のいずれか1つの範囲に属する値を有していてもよい。

[0124] 第1電流値Aおよび第2電流値Bを結ぶ直線の傾きは、1よりも大きく30以下であることが好ましい。第1電流値Aおよび第2電流値Bを結ぶ直線の傾きは、1よりも大きく5以下、5以上10以下、10以上15以下、15以上20以下、20以上25以下、および、25以上30以下のいずれか1つの範囲に属する値を有していてもよい。

- [0125] 図11Aでは、第1電流値Aが4.2Aに調整され、第2電流値Bが3.3Aに調整されている。ビルトイン電圧 V_{bi} は0.6Vであり、交点Pのコレクタ電圧 V_{ce} （ドレイン電圧 V_{ds} ）は0.9Vである。電流比 A/B は、1.27である。第1電流値Aおよび第2電流値Bの差分値（ $A-B$ ）は、0.9Aである。第1電流値Aおよび第2電流値Bを結ぶ直線の傾きは、3である。
- [0126] 図11Bでは、第1電流値Aが16Aに調整され、第2電流値Bが10.7Aに調整されている。ビルトイン電圧 V_{bi} は0.6Vであり、交点Pのコレクタ電圧 V_{ce} （ドレイン電圧 V_{ds} ）は1.16Vである。電流比 A/B は、1.5である。第1電流値Aおよび第2電流値Bの差分値（ $A-B$ ）は、5.3Aである。第1電流値Aおよび第2電流値Bを結ぶ直線の傾きは、9.46である。
- [0127] 図11Cでは、第1電流値Aが46Aに調整され、第2電流値Bが22.8Aに調整されている。ビルトイン電圧 V_{bi} は0.6Vであり、交点Pのコレクタ電圧 V_{ce} （ドレイン電圧 V_{ds} ）は1.7Vである。電流比 A/B は、2.02である。第1電流値Aおよび第2電流値Bの差分値（ $A-B$ ）は、23.2Aである。第1電流値Aおよび第2電流値Bを結ぶ直線の傾きは、21.1である。
- [0128] 以上、半導体モジュール1は、IGBT装置2およびMISFET装置3を含む。MISFET装置3は、IGBT装置2と共に並列回路を構成している。このような構造において、半導体モジュール1は、IGBT装置2のビルトイン電圧 V_{bi} 未満の電圧範囲においてMISFET装置3のドレイン電流 I_{ds} を生成し、ビルトイン電圧 V_{bi} 以上の電圧範囲においてIGBT装置2のコレクタ電流 I_{ce} およびMISFET装置3のドレイン電流 I_{ds} を生成する。
- [0129] この構造によれば、低電流領域においてMISFET装置3のドレイン電流 I_{ds} が使用されるため、低電流領域におけるIGBT装置2の損失が低減される。また、高電流領域においてIGBT装置2のコレクタ電流 I_{ce}

およびM I S F E T装置3のドレイン電流 I_{ds} が使用されるため、高電流領域におけるM I S F E T装置3の損失が低減される。よって、電気的特性を向上できる半導体モジュール1を提供できる。

[0130] I G B T装置2は第1ブレークダウン電圧 V_{B1} を有し、M I S F E T装置3は第1ブレークダウン電圧 V_{B1} 以上の第2ブレークダウン電圧 V_{B2} を有していることが好ましい。この構造によれば、低電圧および低電流の環境下での使用を前提とするM I S F E T装置3を、高電圧および高電流の環境下での使用を前提とするI G B T装置2と適切に併用できる。第1ブレークダウン電圧 V_{B1} は、500V以上1500V以下であってもよい。第2ブレークダウン電圧 V_{B2} は、500V以上3000V以下であってもよい。

[0131] I G B T装置2は、S i製の第1チップ10を含ことが好ましい。この構造によれば、比較的安価なI G B T装置2を使用できる。M I S F E T装置3は、ワイドバンドギャップ半導体製の第2チップ40を含むことが好ましい。ワイドバンドギャップ半導体によれば、第2チップ40の高耐圧化および小型化を同時にかつ容易に実現できる。したがって、I G B T装置2の使用環境に適合する高耐圧のM I S F E T装置3を容易に実現できる。ワイドバンドギャップ半導体は、S i Cであることが特に好ましい。

[0132] 第1チップ10は第1チップ面積 S_1 を有し、第2チップ40は第1チップ面積 S_1 よりも小さい第2チップ面積 S_2 を有していることが好ましい。この構造によれば、M I S F E T装置3の電流生成能力を制限できる。これにより、低電流領域におけるM I S F E T装置3の損失を適切に低減できる。第2チップ面積 S_2 は、第1チップ面積 S_1 の0.1倍以上0.6倍以下であることが特に好ましい。第2チップ40は、第1チップ10よりも薄くてもよい。第2チップ40は、第1チップ10よりも厚くてもよい。

[0133] I G B T装置2単体の個別コレクタ電流 I_{ce} を示す第1特性C1、および、M I S F E T装置3単体の個別ドレイン電流 I_{ds} を示す第2特性C2に関して、第1特性C1および第2特性C2の交点Pの個別ドレイン電流 I

I_{ds} （個別コレクタ電流 I_{ce} ）が第1電流値 A に設定され、ビルトイン電圧 V_{bi} 印加時の個別ドレイン電流 I_{ds} が第2電流値 B （ $B < A$ ）に設定された時、第2電流値 B に対する第1電流値 A の電流比 A/B は1よりも大きく3以下（ $1 < A/B \leq 3$ ）であることが好ましい。この構造によれば、低電流領域の損失および高電流領域の損失の双方を適切に低減できる。

[0134] 半導体モジュール1の形態は、IGBT装置2およびMISFET装置3の並列スイッチング回路を構成できる限り任意であり、特定の形態に制限されない。以下では、半導体モジュール1の形態例が示される。図12は、半導体モジュール1の一構成例を示す斜視図である。図13は、図12に示す半導体モジュール1の内部構造を示す平面図である。

[0135] 図12および図13を参照して、半導体モジュール1は、この形態では、TO-220のパッケージ形態を有している。半導体モジュール1は、六面体形状（具体的には直方体形状）に形成された樹脂製のパッケージ本体80を含む。パッケージ本体80は、熱硬化性樹脂（たとえばエポキシ樹脂）からなってもよい。パッケージ本体80は、一方側の第1面81、他方側の第2面82、ならびに、第1面81および第2面82を接続する第1～第4側壁83A～83Dを有している。

[0136] 第1面81および第2面82は、それらの法線方向Zから見た平面視において四角形状に形成されている。第1側壁83Aおよび第2側壁83Bは、第1方向Xに延び、第1方向Xに直交する第2方向Yに対向している。第3側壁83Cおよび第4側壁83Dは、第2方向Yに延び、第1方向Xに対向している。

[0137] 半導体モジュール1は、パッケージ本体80内に配置された金属製の支持電極84を含む。支持電極84は、第2面82から露出してもよい。支持電極84は、支持部85および引き出し部86を含む。支持部85は、パッケージ本体80内に配置されている。引き出し部86は、支持部85から第3側壁83C側に向けて引き出され、第3側壁83Cを貫通してパッケージ本体80の外部に位置している。引き出し部86は、円形の貫通孔を有し

ている。

[0138] 半導体モジュール1は、パッケージ本体80の内部から外部に引き出された複数（この形態では3個）の金属製の配線電極87を含む。複数の配線電極87は、支持電極84に対して第4側壁83D側に配置されている。複数の配線電極87は、第4側壁83Dの直交方向（つまり第1方向X）に延びる帯状にそれぞれ形成されている。両サイドの配線電極87は、支持電極84から間隔を空けて配置され、中央の配線電極87は支持電極84と一体的に形成されている。支持電極84に接続される配線電極87の配置箇所は任意である。

[0139] 複数の配線電極87は、エミッタ配線電極87e、ゲート配線電極87gおよびコレクタ配線電極87cを含む。エミッタ配線電極87eは、「ソース端子」または「エミッタソース端子」と称されてもよい。コレクタ配線電極87cは、「ドレイン端子」または「コレクタドレイン端子」と称されてもよい。この形態では、エミッタ配線電極87eが第2側壁83B側に配置され、ゲート配線電極87gが第1側壁83A側に配置され、コレクタ配線電極87cがエミッタ配線電極87eおよびゲート配線電極87gの間に配置されている。

[0140] 半導体モジュール1は、パッケージ本体80内において支持電極84（支持部85）の上に配置された前述のIGBT装置2を含む。IGBT装置2は、この形態では、支持電極84の中央部に対して第1側壁83A側の領域に配置されている。つまり、IGBT装置2は、ゲート配線電極87gに近接する位置に配置されている。

[0141] IGBT装置2は、コレクタ電極35を支持電極84に向けた姿勢で支持電極84の上に配置されている。また、IGBT装置2は、平面視において第1ゲート電極32を第4側壁83D側に向けた姿勢で支持電極84の上に配置されている。コレクタ電極35は、支持電極84に電氣的に接続されている。

[0142] IGBT装置2は、ゲート配線電極87gから第1距離を空け、エミッタ

配線電極 87e から第 1 距離よりも大きい第 2 距離を空けて配置されている。 IGBT 装置 2 は、この形態では、第 1 方向 X にゲート配線電極 87g に対向し、第 1 方向 X にエミッタ配線電極 87e に対向していない。 IGBT 装置 2 は、第 1 方向 X にコレクタ配線電極 87c に対向していてもよい。

[0143] 半導体モジュール 1 は、パッケージ本体 80 内において IGBT 装置 2 から間隔を空けて支持電極 84（支持部 85）の上に配置された前述の MISFET 装置 3 を含む。 MISFET 装置 3 は、この形態では、 IGBT 装置 2 に対して第 2 側壁 83B 側に配置され、第 2 方向 Y に IGBT 装置 2 に対向している。つまり、 MISFET 装置 3 は、 IGBT 装置 2 よりもエミッタ配線電極 87e に近接する位置に配置されている。

[0144] MISFET 装置 3 は、ドレイン電極 75 を支持電極 84 に向けた姿勢で支持電極 84 の上に配置されている。また、 MISFET 装置 3 は、平面視において第 2 ゲート電極 72 を第 4 側壁 83D 側に向けた姿勢で支持電極 84 の上に配置されている。ドレイン電極 75 は、支持電極 84 を介して IGBT 装置 2 のコレクタ電極 35 に電氣的に接続され、支持電極 84 を介してコレクタ配線電極 87c に電氣的に接続されている。

[0145] MISFET 装置 3 は、ゲート配線電極 87g から第 3 距離を空け、エミッタ配線電極 87e から第 3 距離よりも小さい第 4 距離を空けて配置されている。 MISFET 装置 3 は、この形態では、第 1 方向 X にエミッタ配線電極 87e に対向し、第 1 方向 X にゲート配線電極 87g に対向していない。 MISFET 装置 3 は、第 1 方向 X にコレクタ配線電極 87c に対向していてもよい。

[0146] 半導体モジュール 1 は、支持電極 84（支持部 85）およびコレクタ電極 35 の間に介在された第 1 導電接着剤 88 を含む。第 1 導電接着剤 88 は、半田または金属ペーストを含んでいてもよい。半田は、鉛フリー半田であってもよい。金属ペーストは、Au、Ag および Cu のうちの少なくとも 1 つを含んでいてもよい。Ag ペーストは、Ag 焼結ペーストからなってもよい。Ag 焼結ペーストは、ナノサイズまたはマイクロサイズの Ag 粒子が

有機溶剤に添加されたペーストからなる。

[0147] 半導体モジュール 1 は、支持電極 8 4（支持部 8 5）およびドレイン電極 7 5 の間に介在された第 2 導電接着剤 8 9 を含む。第 2 導電接着剤 8 9 は、半田または金属ペーストを含んでいてもよい。半田は、鉛フリー半田であってもよい。金属ペーストは、A u、A g および C u のうちの少なくとも 1 つを含んでいてもよい。A g ペーストは、A g 焼結ペーストからなってもよい。

[0148] 半導体モジュール 1 は、パッケージ本体 8 0 内に配置された複数の第 1 ～第 4 導電接続部材 9 0 A ～ 9 0 D を含む。複数の第 1 ～第 4 導電接続部材 9 0 A ～ 9 0 D は、この形態では、金属ワイヤ（つまりボンディングワイヤ）からなる。複数の第 1 ～第 4 導電接続部材 9 0 A ～ 9 0 D は、金ワイヤ、銅ワイヤおよびアルミニウムワイヤのうちの少なくとも 1 つを含んでいてもよい。むろん、複数の第 1 ～第 4 導電接続部材 9 0 A ～ 9 0 D のうちの少なくとも 1 つまたは全部は、金属ワイヤに代えて金属クリップ等の金属板からなってもよい。

[0149] 第 1 導電接続部材 9 0 A は、M I S F E T 装置 3 のソース電極 7 4 およびエミッタ配線電極 8 7 e に電気的および機械的に接続されている。第 2 導電接続部材 9 0 B は、M I S F E T 装置 3 の第 2 ゲート電極 7 2 およびゲート配線電極 8 7 g に電気的および機械的に接続されている。

[0150] 第 3 導電接続部材 9 0 C は、I G B T 装置 2 のエミッタ電極 3 4 およびエミッタ配線電極 8 7 e に電気的に接続されている。具体的には、第 3 導電接続部材 9 0 C は、I G B T 装置 2 のエミッタ電極 3 4 に電気的および機械的に接続された第 1 接続部 9 1、および、M I S F E T 装置 3 のソース電極 7 4 に電気的および機械的に接続された第 2 接続部 9 2 を含み、第 1 導電接続部材 9 0 A を介してエミッタ配線電極 8 7 e に電気的に接続されている。

[0151] さらに具体的には、第 3 導電接続部材 9 0 C の第 2 接続部 9 2 は、ソース電極 7 4 の上において第 1 導電接続部材 9 0 A に接合されている。つまり、第 3 導電接続部材 9 0 C は、ステッチワイヤ方式によって、第 1 導電接続部

材 90A を介してエミッタ配線電極 87e に電氣的に接続されている。

[0152] むろん、第 3 導電接続部材 90C は、エミッタ電極 34 およびエミッタ配線電極 87e に電氣的および機械的に直接接続されていてもよい。第 4 導電接続部材 90D は、I G B T 装置 2 の第 1 ゲート電極 32 およびゲート配線電極 87g に電氣的および機械的に接続されている。

[0153] 図 14 は、半導体モジュール 1 の他の構成例を示す平面図である。図 14 は、第 1 形態例に係る半導体モジュール 1 において、I G B T 装置 2 と M I S F E T 装置 3 の配置箇所を入れ換えた形態を有している。つまり、I G B T 装置 2 は、この形態では、支持電極 84 の中央部に対して第 2 側壁 83B 側の領域に配置されている。また、I G B T 装置 2 は、エミッタ配線電極 87e に近接する位置に配置されている。

[0154] I G B T 装置 2 は、エミッタ配線電極 87e から第 1 距離を空け、ゲート配線電極 87g から第 1 距離よりも大きい第 2 距離を空けて配置されている。I G B T 装置 2 は、この形態では、第 1 方向 X にエミッタ配線電極 87e に対向し、第 1 方向 X にゲート配線電極 87g に対向していない。I G B T 装置 2 は、第 1 方向 X にコレクタ配線電極 87c に対向していてもよい。

[0155] M I S F E T 装置 3 は、この形態では、I G B T 装置 2 に対して第 1 側壁 83A 側に配置され、第 2 方向 Y に I G B T 装置 2 に対向している。つまり、M I S F E T 装置 3 は、I G B T 装置 2 よりもゲート配線電極 87g に近接する位置に配置されている。

[0156] M I S F E T 装置 3 は、エミッタ配線電極 87e から第 3 距離を空け、ゲート配線電極 87g から第 3 距離よりも小さい第 4 距離を空けて配置されている。M I S F E T 装置 3 は、この形態では、第 1 方向 X にゲート配線電極 87g に対向し、第 1 方向 X にエミッタ配線電極 87e に対向していない。M I S F E T 装置 3 は、第 1 方向 X にコレクタ配線電極 87c に対向していてもよい。

[0157] 第 1 導電接続部材 90A は、I G B T 装置 2 のエミッタ電極 34 およびエミッタ配線電極 87e に電氣的および機械的に接続されている。第 2 導電接

続部材 90B は、 IGBT 装置 2 の第 1 ゲート電極 32 およびゲート配線電極 87g に電気的および機械的に接続されている。

[0158] 第 3 導電接続部材 90C は、 M I S F E T 装置 3 のソース電極 74 およびエミッタ配線電極 87e に電気的に接続されている。具体的には、第 3 導電接続部材 90C は、 M I S F E T 装置 3 のソース電極 74 に電気的および機械的に接続された第 1 接続部 93、および、 IGBT 装置 2 のエミッタ電極 34 に電気的および機械的に接続された第 2 接続部 94 を含み、第 1 導電接続部材 90A を介してエミッタ配線電極 87e に電気的に接続されている。

[0159] さらに具体的には、第 3 導電接続部材 90C の第 2 接続部 94 は、エミッタ電極 34 の上において第 1 導電接続部材 90A に接合されている。つまり、第 3 導電接続部材 90C は、ステッチワイヤ方式によって、第 1 導電接続部材 90A を介してエミッタ配線電極 87e に電気的に接続されている。

[0160] むろん、第 3 導電接続部材 90C は、ソース電極 74 およびエミッタ配線電極 87e に電気的および機械的に直接接続されていてもよい。第 4 導電接続部材 90D は、 M I S F E T 装置 3 の第 2 ゲート電極 72 およびゲート配線電極 87g に電気的および機械的に接続されている。

[0161] 図 14 に係る半導体モジュール 1 の場合、 IGBT 装置 2 および M I S F E T 装置 3 の配置箇所によっては、第 1 導電接続部材 90A の延在方向に対する第 3 導電接続部材 90C の延在方向の曲げ角度が図 13 に係る半導体モジュール 1 の場合と比較して小さくなる（急になる）場合がある。したがって、第 1 導電接続部材 90A に対する第 2 導電接続部材 90B の曲げ角度を考慮した場合、 IGBT 装置 2 および M I S F E T 装置 3 の配置箇所は、図 13 に係る半導体モジュール 1 の方が好ましい。

[0162] 図 15 は、半導体モジュール 1 のさらに他の構成例を示す平面図である。半導体モジュール 1 は、第 1 半導体モジュール 1A および第 2 半導体モジュール 1B を含む。第 1 半導体モジュール 1A は、パッケージ本体 80、支持電極 84、複数の配線電極 87、 IGBT 装置 2、第 1 導電接着剤 88、第 1 導電接続部材 90A および第 2 導電接続部材 90B を含む。第 1 導電接続

部材 90A は、エミッタ電極 34 およびエミッタ配線電極 87e に電気的および機械的に接続されている。第 2 導電接続部材 90B は、第 1 ゲート電極 32 およびゲート配線電極 87g に電気的および機械的に接続されている。

[0163] 第 2 半導体モジュール 1B は、パッケージ本体 80、支持電極 84、複数の配線電極 87、MISFET 装置 3、第 2 導電接着剤 89、第 3 導電接続部材 90C および第 4 導電接続部材 90D を含む。第 3 導電接続部材 90C は、ソース電極 74 およびエミッタ配線電極 87e に電気的および機械的に接続されている。第 4 導電接続部材 90D は、第 2 ゲート電極 72 およびゲート配線電極 87g に電気的および機械的に接続されている。

[0164] 第 2 半導体モジュール 1B のエミッタ配線電極 87e は、第 1 半導体モジュール 1A のエミッタ配線電極 87e に電気的に接続されている。第 2 半導体モジュール 1B のゲート配線電極 87g は、第 1 半導体モジュール 1A のゲート配線電極 87g に電気的に接続されている。第 2 半導体モジュール 1B のコレクタ配線電極 87c は、第 1 半導体モジュール 1A のコレクタ配線電極 87c に電気的に接続されている。

[0165] 第 1 半導体モジュール 1A に係る「パッケージ本体 80」、「支持電極 84」および「複数の配線電極 87（エミッタ配線電極 87e、ゲート配線電極 87g およびコレクタ配線電極 87c）」は、「第 1 パッケージ本体」、「第 1 電極」および「複数の第 1 端子（第 1 エミッタ端子、第 1 ゲート端子および第 1 コレクタ端子）」と称されてもよい。

[0166] 第 2 半導体モジュール 1B に係る「パッケージ本体 80」、「支持電極 84」および「複数の配線電極 87（エミッタ配線電極 87e、ゲート配線電極 87g およびコレクタ配線電極 87c）」は、「第 2 パッケージ本体」、「第 2 電極板」および「複数の第 2 端子（第 2 エミッタ端子、第 2 ゲート端子および第 2 コレクタ端子）」と称されてもよい。

[0167] 図 16 は、IGBT 装置 2 の他の構成例を示す断面図である。IGBT 装置 2 は、この形態では、IGBT および還流ダイオード（pn 接合ダイオード）を一体的に含む RC-IGBT 装置（Reverse Conducting - IGBT device）

e) からなる。

[0168] IGBT装置2は、第1活性領域17に設けられた1つまたは複数（好ましくは複数）のIGBT構造18、および、第1活性領域17に設けられた1つまたは複数（好ましくは複数）のダイオード構造100を含む。たとえば、第1活性領域17の第1活性面積SA1は、平面視において全てのIGBT構造18および全てのダイオード構造100を包含する多角形状の領域を設定した場合において、当該多角形状の領域の平面積によって定義される。

[0169] 複数のIGBT構造18は、平面視において四角形状にそれぞれ形成されていてもよい。複数のダイオード構造100は、平面視において四角形状にそれぞれ形成されていてもよい。複数のIGBT構造18は、平面視において第1方向Xおよび第2方向Yに間隔を空けて行列状または千鳥状に配列されていてもよい。複数のダイオード構造100は、少なくとも1つのIGBT構造18に隣り合うように第1方向Xおよび第2方向Yに間隔を空けて配列されていてもよい。複数のダイオード構造100は、第1方向Xに複数のIGBT構造18と交互に配列されていてもよい。

[0170] 各IGBT構造18は、ベース領域19、複数の第1トレンチ構造20、複数のエミッタ領域24、複数のコンタクト孔25および複数の第1コンタクト領域26を含む。これらの具体的な構成の説明は、前述のとおりであるので省略される。

[0171] 各ダイオード構造100は、第2主面12の表層部に形成されたn型のカソード領域101を含む。カソード領域101は、コレクタ領域16のp型不純物濃度よりも高いn型不純物濃度を有し、コレクタ領域16の一部の導電型がp型からn型に置換された領域である。

[0172] カソード領域101は、半導体領域14（バッファ領域15）よりも高いn型不純物濃度を有していることが好ましい。カソード領域101は、第2主面12に沿って延びる層状に形成され、第2主面12から露出している。カソード領域101は、半導体領域14（バッファ領域15）に電氣的に接

続されるようにコレクタ領域 16 を貫通している。

[0173] 各ダイオード構造 100 は、第 1 主面 11 の表層部に形成された p 型のアノード領域 102 を含む。アノード領域 102 は、ベース領域 19 とほぼ等しい p 型不純物濃度を有していてもよい。むしろ、アノード領域 102 の p 型不純物濃度は、ベース領域 19 の p 型不純物濃度よりも高くてもよいし、ベース領域 19 の p 型不純物濃度よりも低くてもよい。

[0174] アノード領域 102 は、第 1 チップ 10 の厚さ方向にカソード領域 101 に対向するように第 1 主面 11 に沿って延びる層状に形成され、第 1 主面 11 から露出している。アノード領域 102 は、複数の第 1 トレンチ構造 20 よりも浅い。アノード領域 102 は、ベース領域 19 とほぼ等しい深さを有していてもよい。

[0175] むろん、アノード領域 102 は、ベース領域 19 よりも深く形成されていてもよい。アノード領域 102 は、半導体領域 14 と p n 接合を形成している。これにより、アノード領域 102 をアノードとし、カソード領域 101 をカソードとする p n 接合ダイオードが形成されている。

[0176] 各ダイオード構造 100 は、第 1 主面 11 に形成された複数の第 4 トレンチ構造 110 を含む。第 4 トレンチ構造 110 には、第 1 トレンチ構造 20 (ゲート電位 V_g) とは異なる電位 (この形態ではエミッタ電位 V_e) が付与される。第 4 トレンチ構造 110 は、「エミッタトレンチ構造」または「アノードトレンチ構造」と称されてもよい。

[0177] 複数の第 4 トレンチ構造 110 は、第 1 方向 X に間隔を空けて配列され、第 2 方向 Y に延びる帯状にそれぞれ形成されている。複数の第 4 トレンチ構造 110 は、アノード領域 102 を貫通し、半導体領域 14 に至るように第 1 主面 11 に形成されている。各第 4 トレンチ構造 110 は、各第 1 トレンチ構造 20 の深さとほぼ等しい深さを有していることが好ましい。

[0178] 各第 4 トレンチ構造 110 の深さは、 $0.5\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であってもよい。各第 4 トレンチ構造 110 の深さは、 $0.5\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以下、 $2.5\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下、 $5\ \mu\text{m}$ 以上 $7.5\ \mu\text{m}$ 以下、および、7

、 $5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下のいずれか1つの範囲に属する値を有していてもよい。各第4トレンチ構造110の深さは、 $4\mu\text{m}$ 以上 $8\mu\text{m}$ 以下であることが好ましい。

[0179] 各第4トレンチ構造110は、第4トレンチ111、第4絶縁膜112および第4埋設電極113を含む。第4トレンチ111は、第1主面11に形成され、第4トレンチ構造110の壁面を区画している。第4絶縁膜112は、第4トレンチ111の壁面を膜状に被覆している。第4絶縁膜112は、酸化シリコン膜を含んでいてもよい。第4埋設電極113は、第4絶縁膜112を挟んで第4トレンチ111に埋設されている。第4埋設電極113は、この形態では、導電性ポリシリコンを含む。

[0180] 前述の第1層間絶縁膜27は、各ダイオード構造100を露出させるダイオード開口114を含む。ダイオード開口114は、各ダイオード構造100においてアノード領域102および複数の第4トレンチ構造110を露出させている。ダイオード開口114は、全ての第4トレンチ構造110を露出させていることが好ましい。

[0181] 前述のエミッタ電極34は、第1層間絶縁膜27の上において複数のコンタクト電極31を介して複数のエミッタ領域24および複数の第1コンタクト領域26に電氣的に接続されている。エミッタ電極34は、第1層間絶縁膜27の上からダイオード開口114に入り込んでいる。

[0182] エミッタ電極34は、ダイオード開口114内においてアノード領域102および複数の第4トレンチ構造110に電氣的に接続されている。前述のコレクタ電極35は、第2主面12から露出するコレクタ領域16およびカソード領域101とオーミック接触を形成している。

[0183] 図17は、MISFET装置3の他の構成例を示す断面図である。図17を参照して、MISFET装置3は、第2トレンチ構造50とほぼ等しい深さを有する第3トレンチ構造60を有していてもよい。

[0184] 図18は、MISFET装置3の他の構成例を示す断面図である。図18を参照して、MISFET装置3は、第3トレンチ構造60を含んでいなく

てもよい。この場合、複数のソース領域 64 は、ボディ領域 49 の表層部において隣り合う 2 つの第 2 トレンチ構造 50 の間の領域に形成される。前述のウェル領域 65 は形成されない。

[0185] 前述の複数の第 2 コンタクト領域 66 は、ボディ領域 49 の表層部において隣り合う 2 つの第 2 トレンチ構造 50 の間の領域に形成される。前述のソース電極 74 は、第 2 層間絶縁膜 67 を貫通して複数のソース領域 64 および複数の第 2 コンタクト領域 66 に電氣的に接続される。

[0186] 図 19 は、M I S F E T 装置 3 の他の構成例を示す断面図である。図 19 を参照して、M I S F E T 装置 3 は、第 2 チップ 40 の内部において第 1 半導体領域 44 の厚さよりも小さい厚さを有する第 2 半導体領域 45 を含んでもよい。つまり、第 2 チップ 40 は、エピタキシャル層の厚さよりも小さい厚さを有する半導体基板を含んでもよい。

[0187] 図 20 は、M I S F E T 装置 3 の他の構成例を示す断面図である。図 20 を参照して、M I S F E T 装置 3 は、第 2 チップ 40 の内部において第 2 半導体領域 45 を有さず、第 1 半導体領域 44 のみを含んでもよい。この場合、第 1 半導体領域 44 は、第 2 チップ 40 の第 1 主面 41、第 2 主面 42 および第 1 ～第 4 側面 43 A ～43 D から露出している。つまり、第 2 チップ 40 は、この形態では、半導体基板を有さず、エピタキシャル層からなる単層構造を有している。

[0188] 前述の実施形態はさらに他の形態で実施できる。前述の実施形態では、第 1 チップ 10 が S i チップからなる例が示された。しかし、第 1 チップ 10 は、ワイドバンドギャップ半導体チップの単結晶製のワイドバンドギャップ半導体チップからなってもよい。たとえば、第 1 チップ 10 は、S i C 単結晶製の S i C チップからなってもよい。

[0189] 前述の実施形態では、第 2 チップ 40 がワイドバンドギャップ半導体チップからなる例が示された。しかし、第 2 チップ 40 は、S i 単結晶製の S i チップからなってもよい。

[0190] 前述の実施形態では、第 1 チップ 10 の内部においてチャンネルの反転およ

び非反転を制御するトレンチゲート型の IGBT 装置 2 が示された。しかし、第 1 チップ 10 の第 1 主面 11 の上からチャネルの反転および非反転を制御するプレーナゲート型の IGBT 装置 2 が採用されてもよい。

[0191] 前述の実施形態では、第 2 チップ 40 の内部においてチャネルの反転および非反転を制御するトレンチゲート型の MISFET 装置 3 が示された。しかし、第 2 チップ 40 の第 1 主面 41 の上からチャネルの反転および非反転を制御するプレーナゲート型の MISFET 装置 3 が採用されてもよい。

[0192] 前述の実施形態では、「第 1 導電型」が「n 型」であり、「第 2 導電型」が「p 型」である形態が示された。しかし、前述の実施形態において、「第 1 導電型」が「p 型」であり、「第 2 導電型」が「n 型」である形態が採用されてもよい。この場合の具体的な構成は、前述の説明および添付図面において、「n 型」を「p 型」に置き換えると同時に、「p 型」を「n 型」に置き換えることによって得られる。

[0193] 以下、この明細書および図面から抽出される特徴例が示される。以下、括弧内の英数字等は前述の実施形態における対応構成要素等を表すが、各項目 (Clause) の範囲を実施形態に限定する趣旨ではない。

[0194] [A 1] IGBT 装置 (2) と、前記 IGBT 装置 (2) と並列回路を構成する MISFET 装置 (3) と、を含み、前記 IGBT 装置 (2) のビルトイン電圧 (V_{bi}) 未満の電圧範囲において前記 MISFET 装置 (3) のドレイン電流 (I_{ds}) を生成し、前記ビルトイン電圧 (V_{bi}) 以上の電圧範囲において前記 IGBT 装置 (2) のコレクタ電流 (I_{ce}) および前記 MISFET 装置 (3) のドレイン電流 (I_{ds}) を生成する、半導体モジュール (1)。

[0195] [A 2] 前記 IGBT 装置 (2) は、第 1 ブレークダウン電圧 (V_{B1}) を有し、前記 MISFET 装置 (3) は、前記第 1 ブレークダウン電圧 (V_{B1}) 以上の第 2 ブレークダウン電圧 (V_{B2}) を有している、A 1 に記載の半導体モジュール (1)。

[0196] [A 3] 前記第 1 ブレークダウン電圧 (V_{B1}) は、500V 以上 150

0 V以下であり、前記第2ブレイクダウン電圧 (V_{B2}) は、500 V以上3000 V以下である、A2に記載の半導体モジュール (1)。

[0197] [A4] 前記IGBT装置 (2) は、Si製の第1チップ (10) を含み、前記MISFET装置 (3) は、ワイドバンドギャップ半導体製の第2チップ (40) を含む、A1～A3のいずれか一つに記載の半導体モジュール (1)。

[0198] [A5] 前記ワイドバンドギャップ半導体は、SiCである、A4に記載の半導体モジュール (1)。

[0199] [A6] 前記第1チップ (10) は、第1チップ面積 (S_1) を有し、前記第2チップ (40) は、前記第1チップ面積 (S_1) よりも小さい第2チップ面積 (S_2) を有している、A4またはA5に記載の半導体モジュール (1)。

[0200] [A7] 前記第2チップ面積 (S_2) は、前記第1チップ面積 (S_1) の0.1倍以上0.6倍以下である、A6に記載の半導体モジュール (1)。

[0201] [A8] 前記第2チップ (40) は、前記第1チップ (10) よりも薄い、A4～A7のいずれか一つに記載の半導体モジュール (1)。

[0202] [A9] 前記第2チップ (40) は、前記第1チップ (10) よりも厚い、A4～A7のいずれか一つに記載の半導体モジュール (1)。

[0203] [A10] 前記IGBT装置 (2) 単体の個別コレクタ電流 (I_{ce}) を示す第1特性 (C_1)、および、前記MISFET装置 (3) 単体の個別ドレイン電流 (I_{ds}) を示す第2特性 (C_2) に関して、前記第1特性 (C_1) および前記第2特性 (C_2) の交点 (P) における前記個別ドレイン電流 (I_{ds}) が第1電流値Aに設定され、前記ビルトイン電圧 (V_{bi}) 印加時の前記個別ドレイン電流 (I_{ds}) が第2電流値B ($B < A$) に設定された時、前記第2電流値Bに対する前記第1電流値Aの電流比 A/B が、1よりも大きく3以下 ($1 < A/B \leq 3$) である、A1～A9のいずれか一つに記載の半導体モジュール (1)。

[0204] [A11] 前記第1電流値Aおよび前記第2電流値Bを結ぶ直線の傾きは

、1よりも大きく30以下である、A10に記載の半導体モジュール(1)。

[0205] [A12] 前記第1電流値Aおよび前記第2電流値Bの差分値(A-B)は、0.5以上30以下である、A10またはA11に記載の半導体モジュール(1)。

[0206] [A13] 前記MISFET装置(3)は、トレンチゲート型からなり、前記IGBT装置(2)は、トレンチゲート型からなる、A1～A12のいずれか一つに記載の半導体モジュール(1)。

[0207] [A14] 前記IGBT装置(2)は、IGBTおよび還流ダイオードを一体的に含むRC-IGBT装置からなる、A1～A13のいずれか一つに記載の半導体モジュール(1)。

[0208] [A15] 支持電極(84)をさらに含み、前記IGBT装置(2)は、前記支持電極(84)の上に配置され、前記MISFET装置(3)は、前記支持電極(84)の上に配置され、前記支持電極(84)を介して前記IGBT装置(2)に電氣的に接続されている、A1～A14のいずれか一つに記載の半導体モジュール(1)。

[0209] [A16] 前記支持電極(84)から間隔を空けて設けられた配線電極(87)と、前記MISFET装置(3)および前記配線電極(87)に電氣的に接続された第1導電接続部材(90A)と、前記IGBT装置(2)および前記配線電極(87)に電氣的に接続された第2導電接続部材(90C)と、を含む、A15に記載の半導体モジュール(1)。

[0210] [A17] 前記第1導電接続部材(90A)は、前記MISFET装置(3)および前記配線電極(87)に機械的および電氣的に接続され、前記第2導電接続部材(90C)は、前記MISFET装置(3)および前記IGBT装置(2)に機械的および電氣的に接続され、前記第1導電接続部材(90A)を介して前記配線電極(87)に電氣的に接続されている、A16に記載の半導体モジュール(1)。

[0211] 以上、実施形態が詳細に説明されたが、これらは技術的内容を明示する具

体例に過ぎない。この明細書から抽出される種々の技術的思想は、明細書内の説明順序や実施形態の順序等に制限されずにそれらの間で適宜組み合わせ可能である。

符号の説明

[0212]	1	半導体モジュール
	2	I G B T 装置
	3	M I S F E T 装置
	1 0	第 1 チップ
	4 0	第 2 チップ
	8 0	パッケージ本体
	8 4	支持電極
	8 7	配線電極
	9 0 A	第 1 導電接続部材
	9 0 B	第 2 導電接続部材
	9 0 C	第 3 導電接続部材
	9 0 D	第 4 導電接続部材
	A	第 1 電流値
	B	第 2 電流値
	C 1	第 1 特性
	C 2	第 2 特性
	I c e	コレクタ電流
	I d s	ドレイン電流
	P	交点
	S 1	第 1 チップ面積
	S 2	第 2 チップ面積
	V B 1	第 1 ブレークダウン電圧
	V B 2	第 2 ブレークダウン電圧
	V b i	ビルトイン電圧

請求の範囲

- [請求項1] I G B T 装置と、
 前記 I G B T 装置と並列回路を構成する M I S F E T 装置と、を含
 み、
 前記 I G B T 装置のビルトイン電圧未満の電圧範囲において前記 M
 I S F E T 装置のドレイン電流を生成し、前記ビルトイン電圧以上の
 電圧範囲において前記 I G B T 装置のコレクタ電流および前記 M I S
 F E T 装置のドレイン電流を生成する、半導体モジュール。
- [請求項2] 前記 I G B T 装置は、第 1 ブレークダウン電圧を有し、
 前記 M I S F E T 装置は、前記第 1 ブレークダウン電圧以上の第 2
 ブレークダウン電圧を有している、請求項 1 に記載の半導体モジュール。
- [請求項3] 前記第 1 ブレークダウン電圧は、5 0 0 V 以上 1 5 0 0 V 以下であ
 り、
 前記第 2 ブレークダウン電圧は、5 0 0 V 以上 3 0 0 0 V 以下であ
 る、請求項 2 に記載の半導体モジュール。
- [請求項4] 前記 I G B T 装置は、S i 製の第 1 チップを含み、
 前記 M I S F E T 装置は、ワイドバンドギャップ半導体製の第 2 チ
 ップを含む、請求項 1 ～ 3 のいずれか一項に記載の半導体モジュール
 。
- [請求項5] 前記ワイドバンドギャップ半導体は、S i C である、請求項 4 に記
 載の半導体モジュール。
- [請求項6] 前記第 1 チップは、第 1 チップ面積を有し、
 前記第 2 チップは、前記第 1 チップ面積よりも小さい第 2 チップ面
 積を有している、請求項 4 または 5 に記載の半導体モジュール。
- [請求項7] 前記第 2 チップ面積は、前記第 1 チップ面積の 0 . 1 倍以上 0 . 6
 倍以下である、請求項 6 に記載の半導体モジュール。
- [請求項8] 前記第 2 チップは、前記第 1 チップよりも薄い、請求項 4 ～ 7 のい

ずれか一項に記載の半導体モジュール。

[請求項9] 前記第2チップは、前記第1チップよりも厚い、請求項4～7のいずれか一項に記載の半導体モジュール。

[請求項10] 前記IGBT装置単体の個別コレクタ電流を示す第1特性、および、前記MISFET装置単体の個別ドレイン電流を示す第2特性に関して、前記第1特性および前記第2特性の交点における前記個別ドレイン電流が第1電流値Aに設定され、前記ビルトイン電圧印加時の前記個別ドレイン電流が第2電流値B ($B < A$) に設定された時、

前記第2電流値Bに対する前記第1電流値Aの電流比 A/B が、1よりも大きく3以下 ($1 < A/B \leq 3$) である、請求項1～9のいずれか一項に記載の半導体モジュール。

[請求項11] 前記第1電流値Aおよび前記第2電流値Bを結ぶ直線の傾きは、1よりも大きく30以下である、請求項10に記載の半導体モジュール。

[請求項12] 前記第1電流値Aおよび前記第2電流値Bの差分値 ($A - B$) は、0.5以上30以下である、請求項10または11に記載の半導体モジュール。

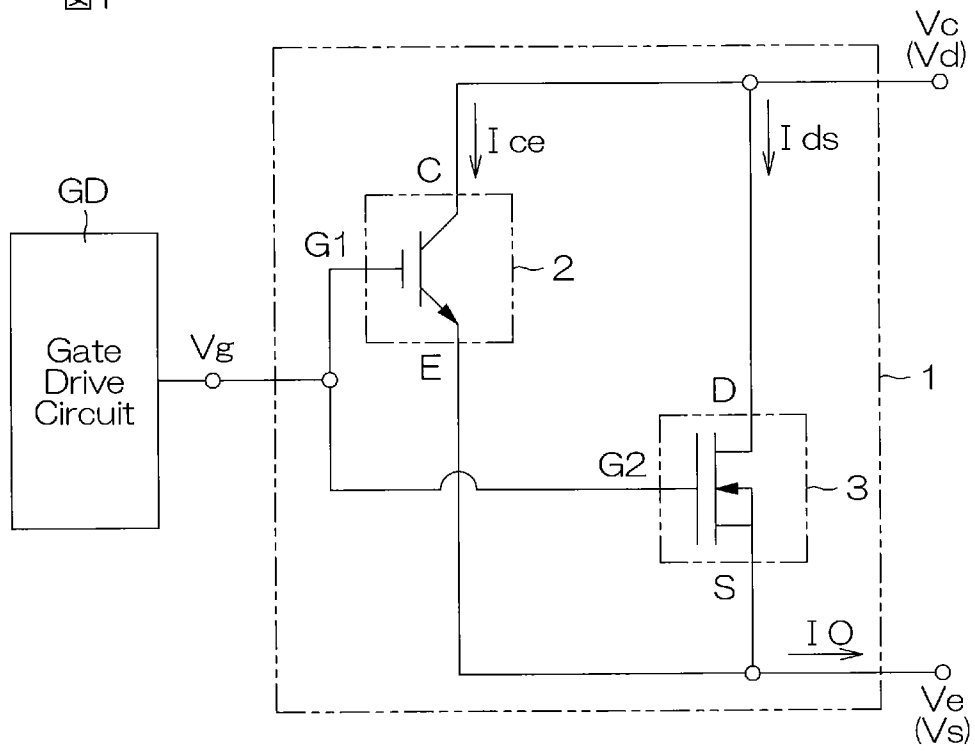
[請求項13] 前記MISFET装置は、トレンチゲート型からなり、
前記IGBT装置は、トレンチゲート型からなる、請求項1～12のいずれか一項に記載の半導体モジュール。

[請求項14] 前記IGBT装置は、IGBTおよび還流ダイオードを一体的に含むRC-IGBT装置からなる、請求項1～13のいずれか一項に記載の半導体モジュール。

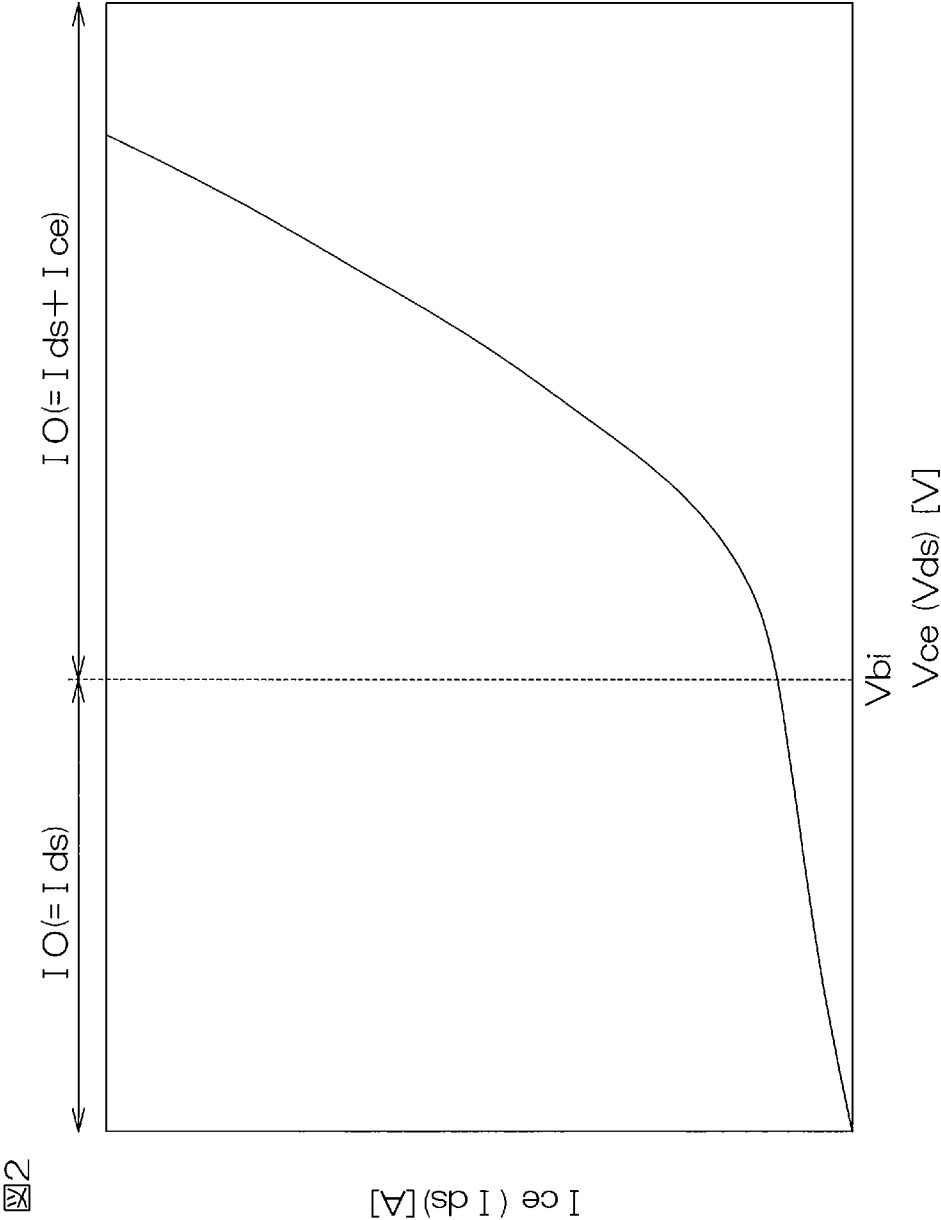
[請求項15] 支持電極をさらに含み、
前記IGBT装置は、前記支持電極の上に配置され、
前記MISFET装置は、前記支持電極の上に配置され、前記支持電極を介して前記IGBT装置に電氣的に接続されている、請求項1～14のいずれか一項に記載の半導体モジュール。

- [請求項16] 前記支持電極から間隔を空けて設けられた配線電極と、
前記M I S F E T装置および前記配線電極に電氣的に接続された第1導電接続部材と、
前記I G B T装置および前記配線電極に電氣的に接続された第2導電接続部材と、を含む、請求項15に記載の半導体モジュール。
- [請求項17] 前記第1導電接続部材は、前記M I S F E T装置および前記配線電極に機械的および電氣的に接続され、
前記第2導電接続部材は、前記M I S F E T装置および前記I G B T装置に機械的および電氣的に接続され、前記第1導電接続部材を介して前記配線電極に電氣的に接続されている、請求項16に記載の半導体モジュール。

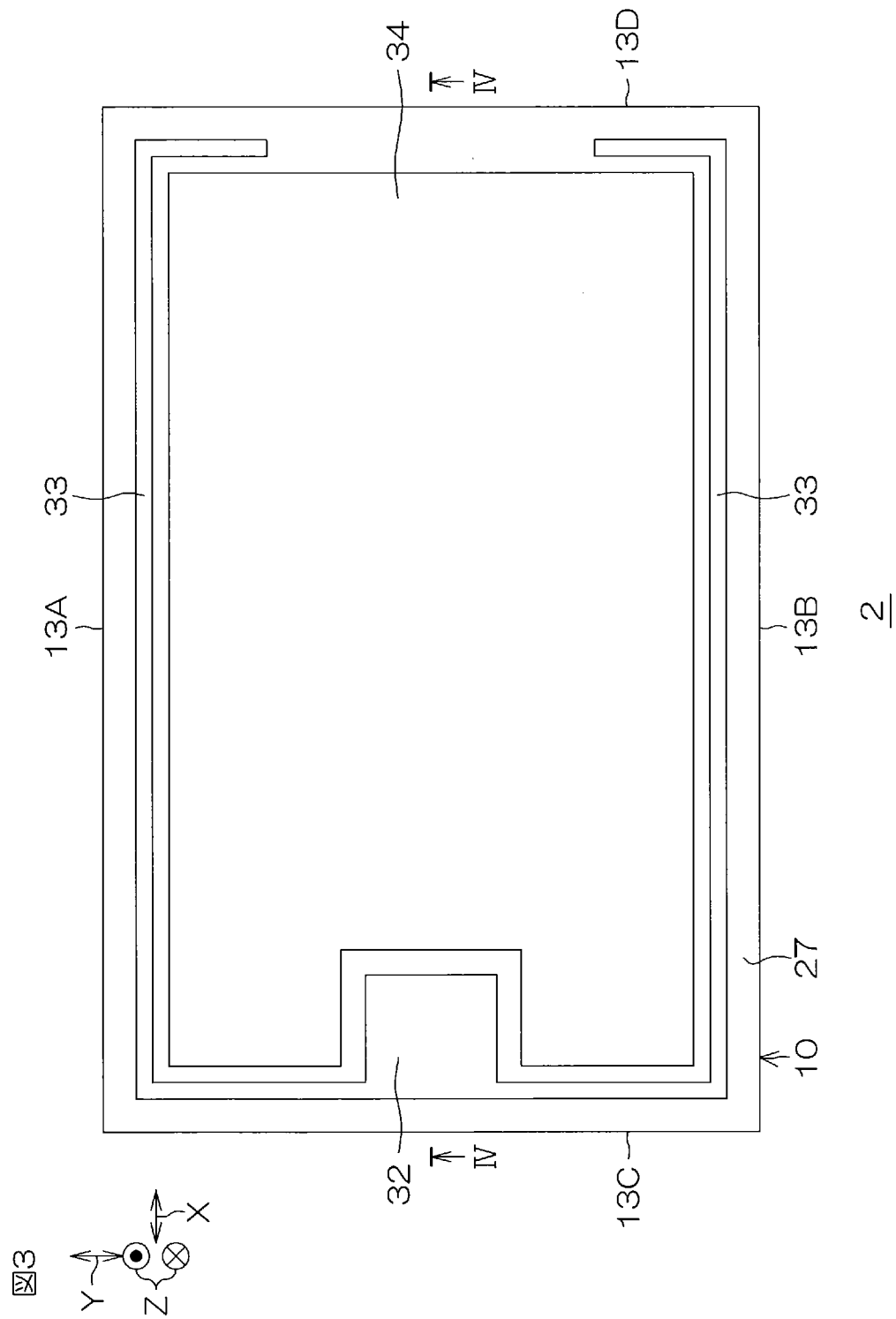
图 1



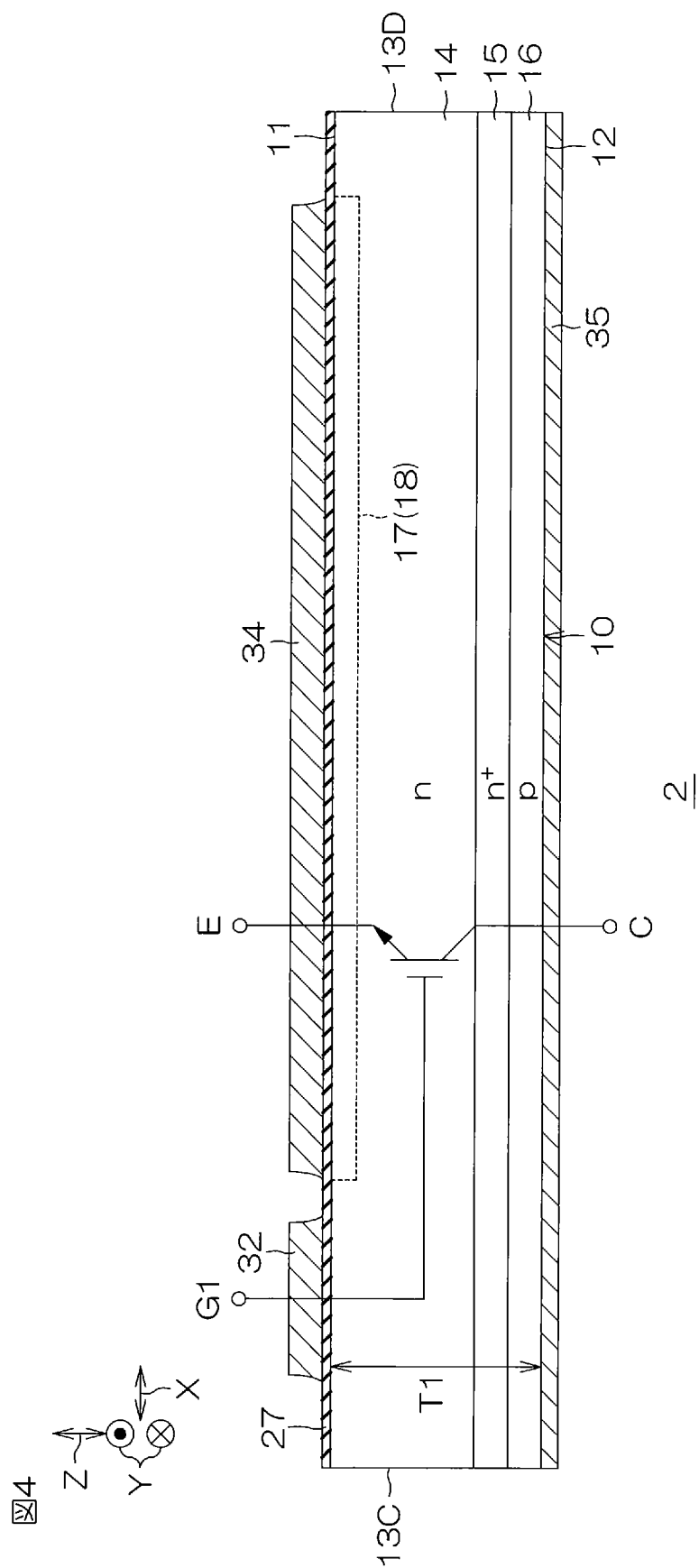
[図2]



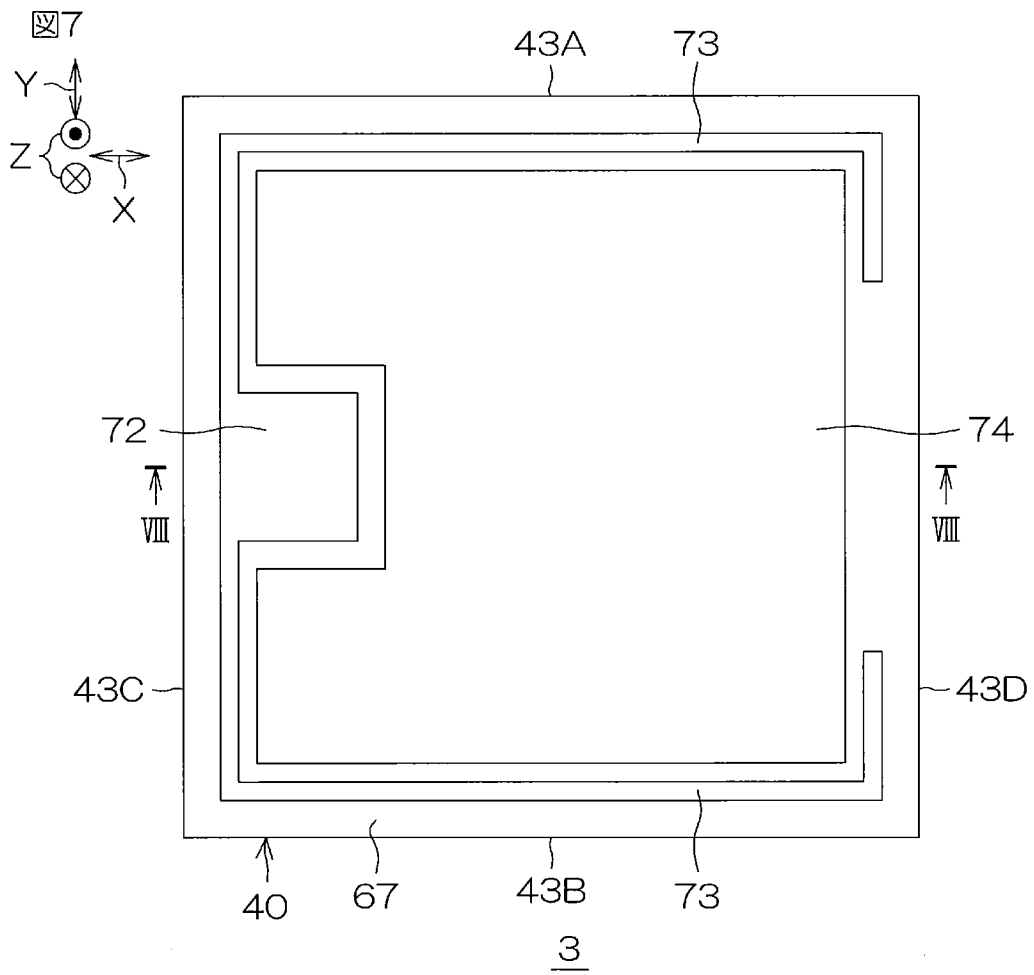
[図3]



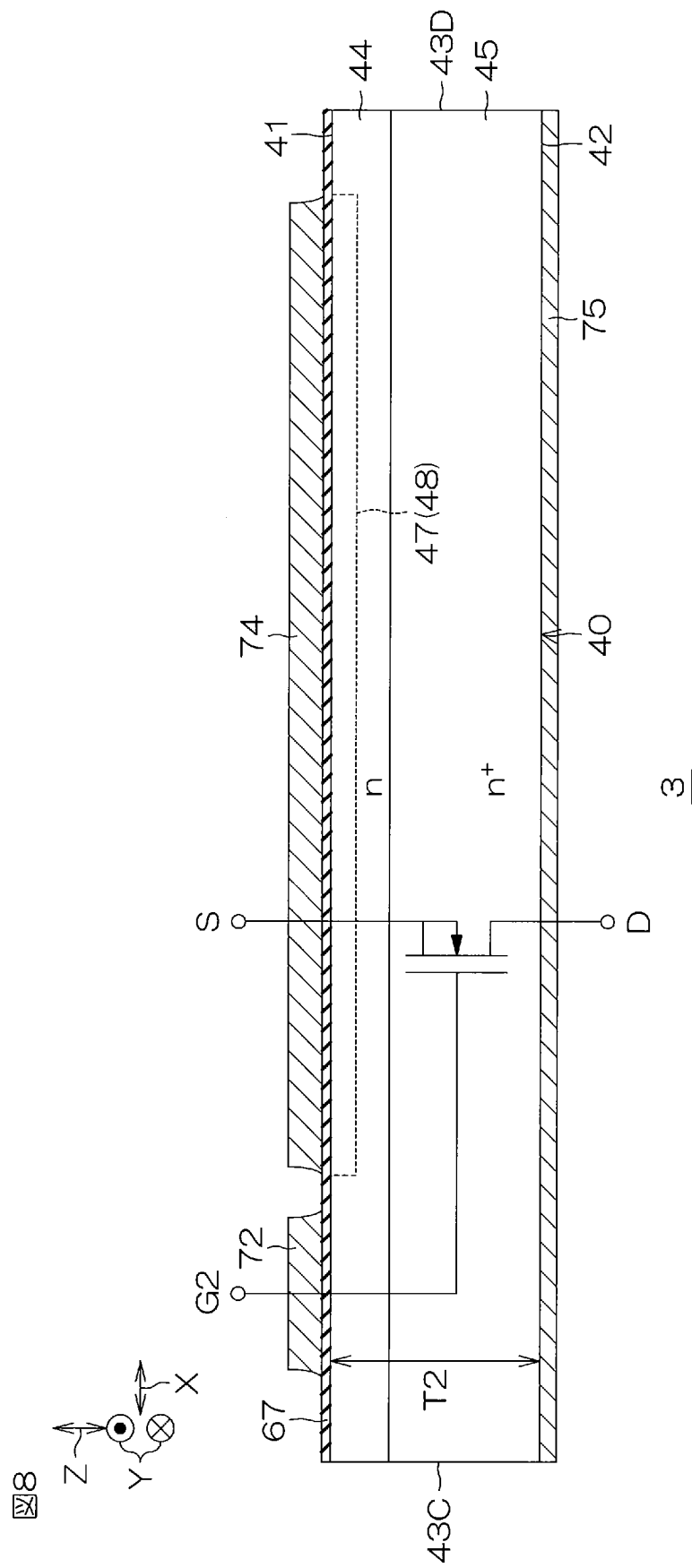
[図4]



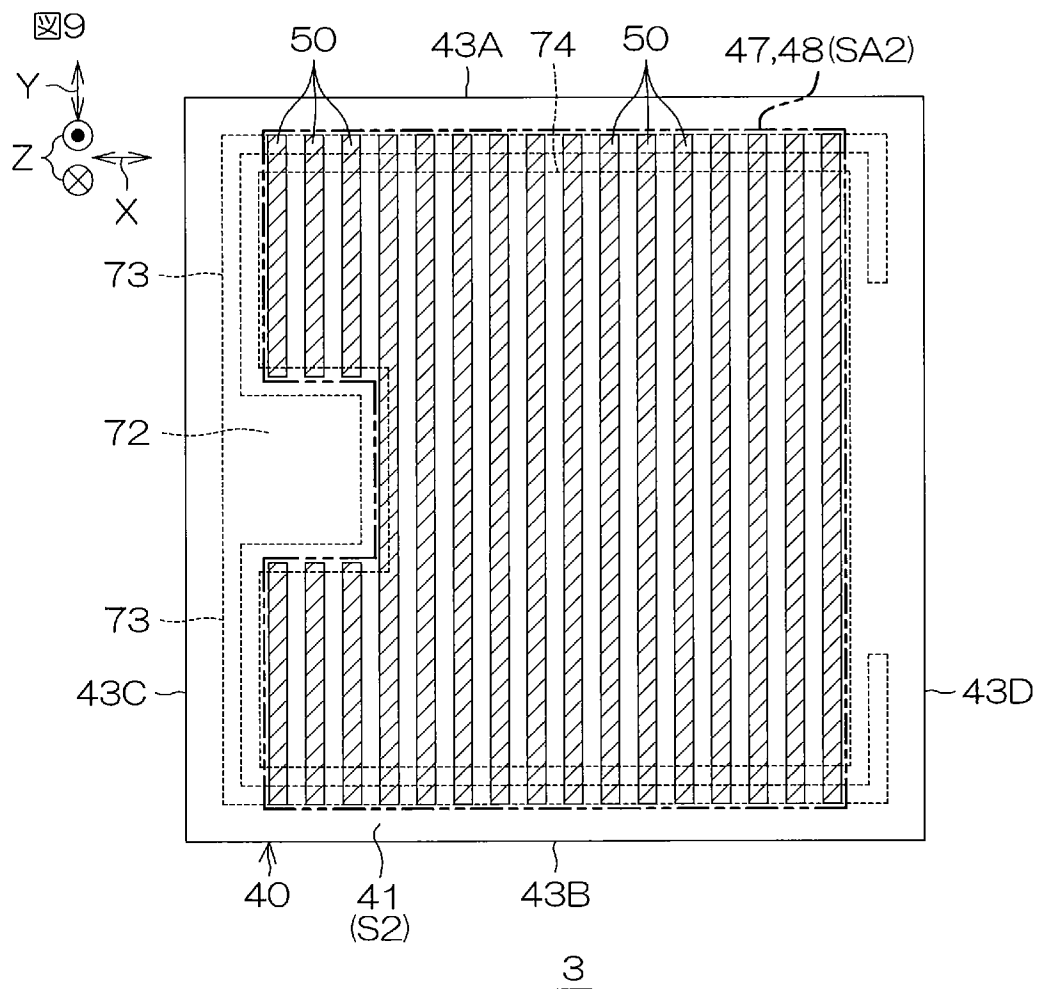
[図7]



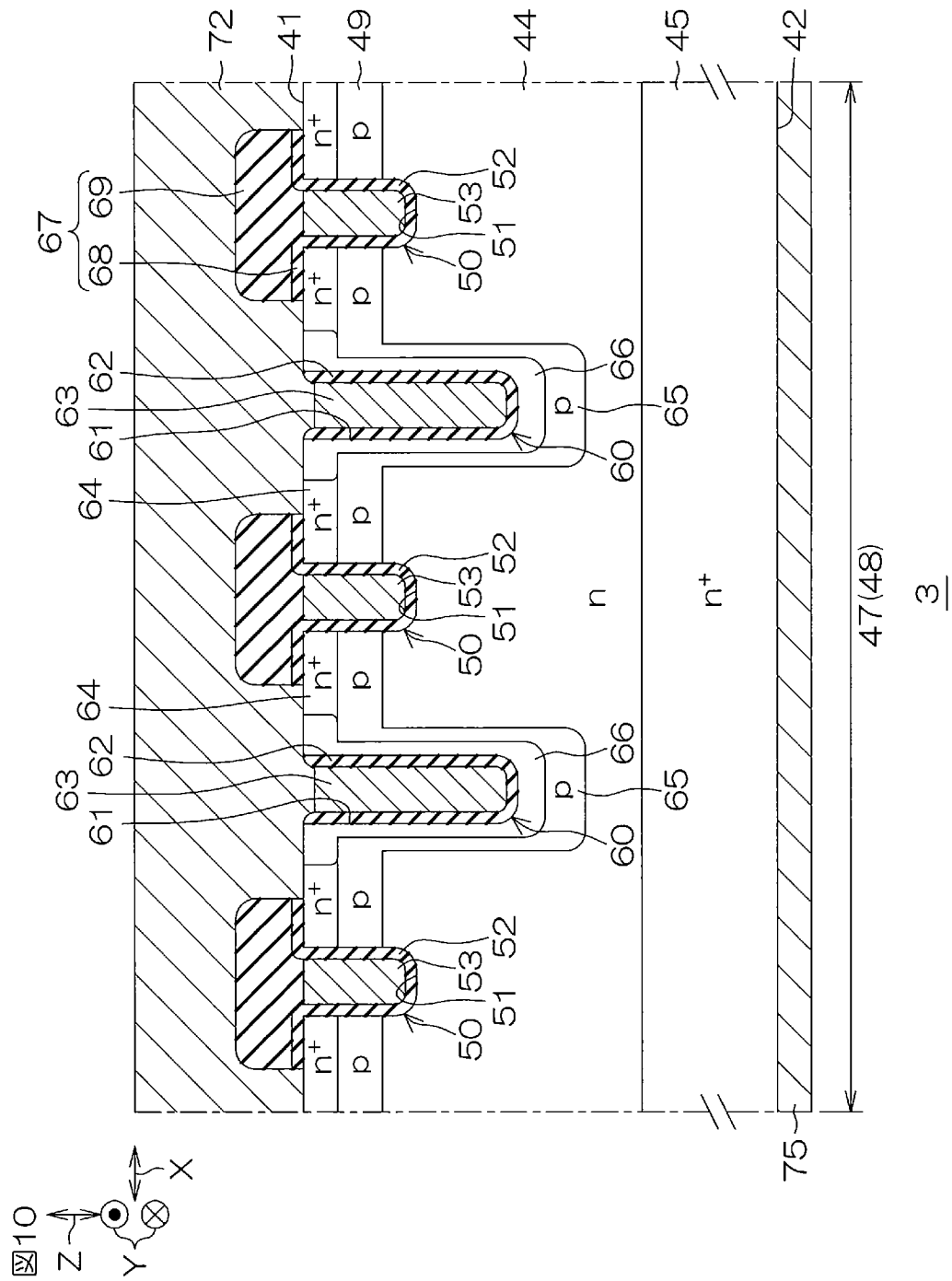
[図8]



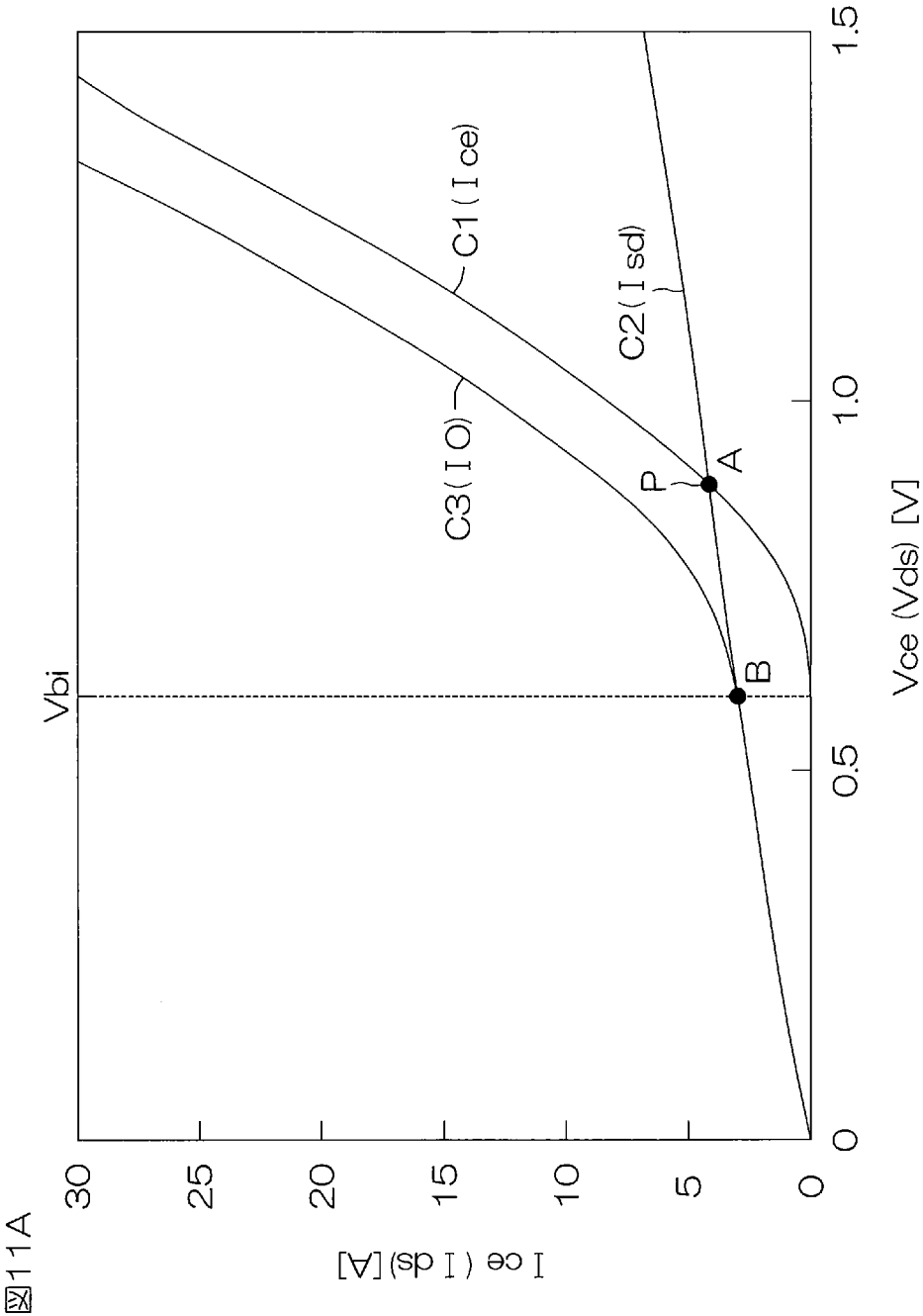
[図9]



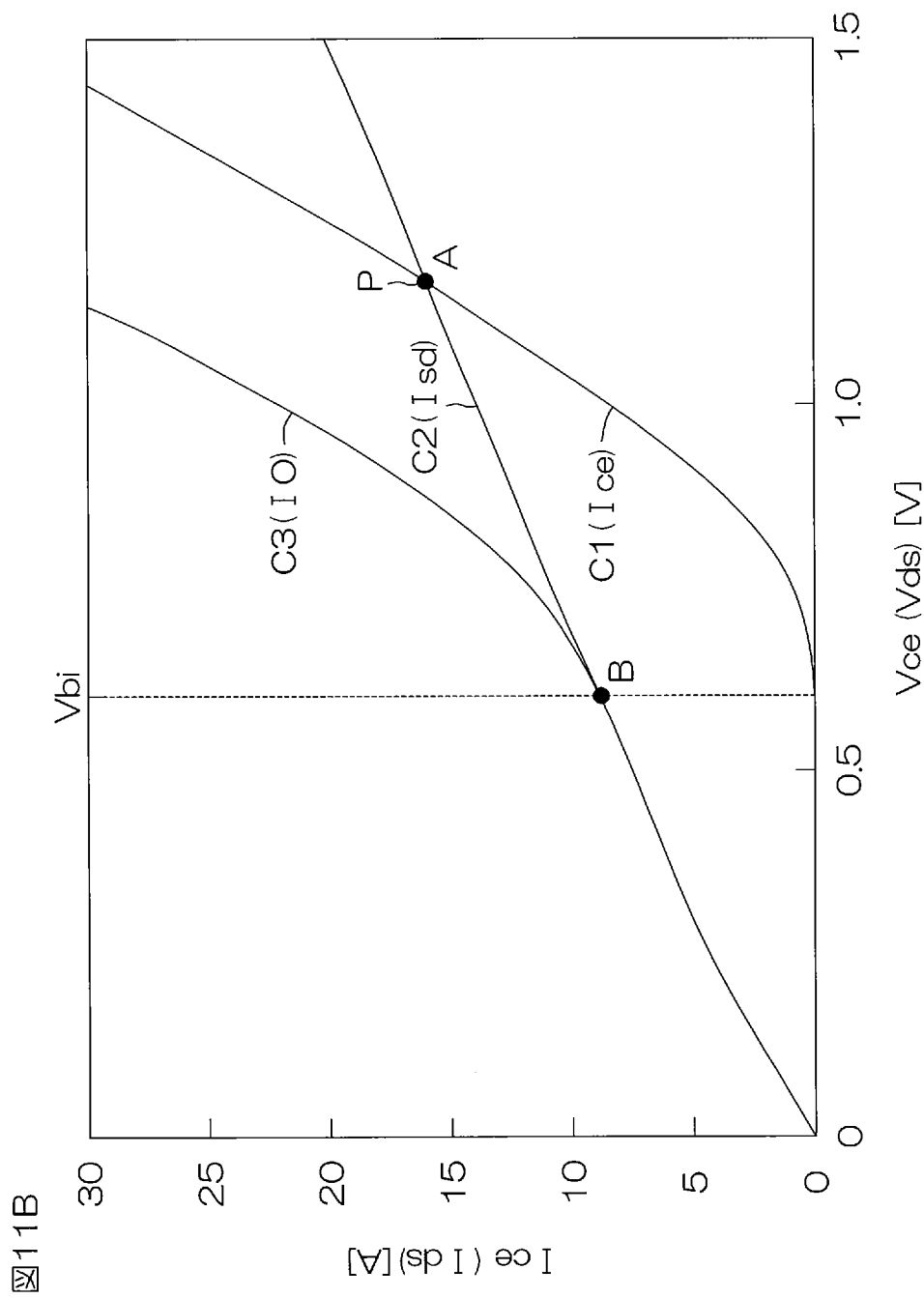
[図10]



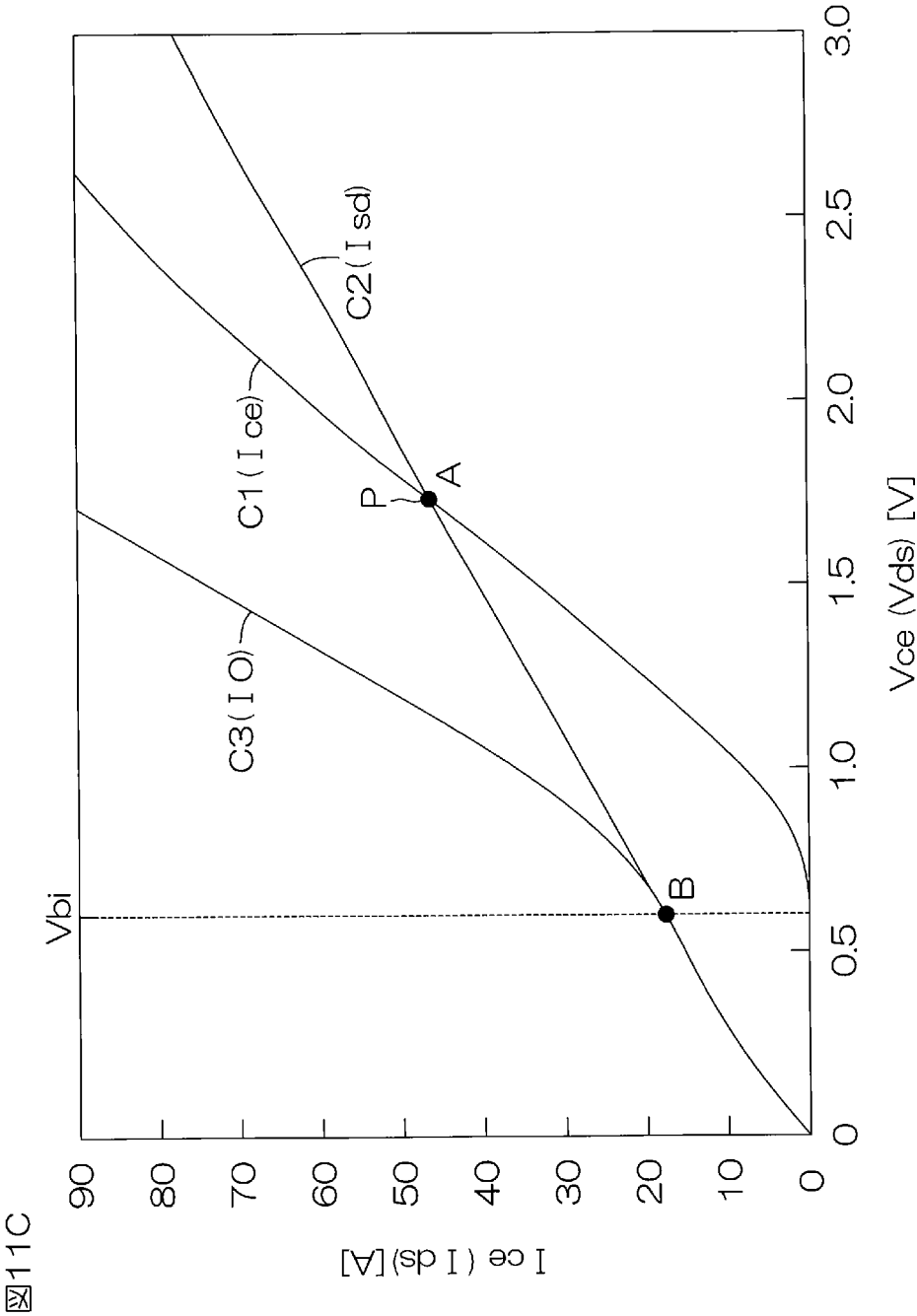
[図11A]



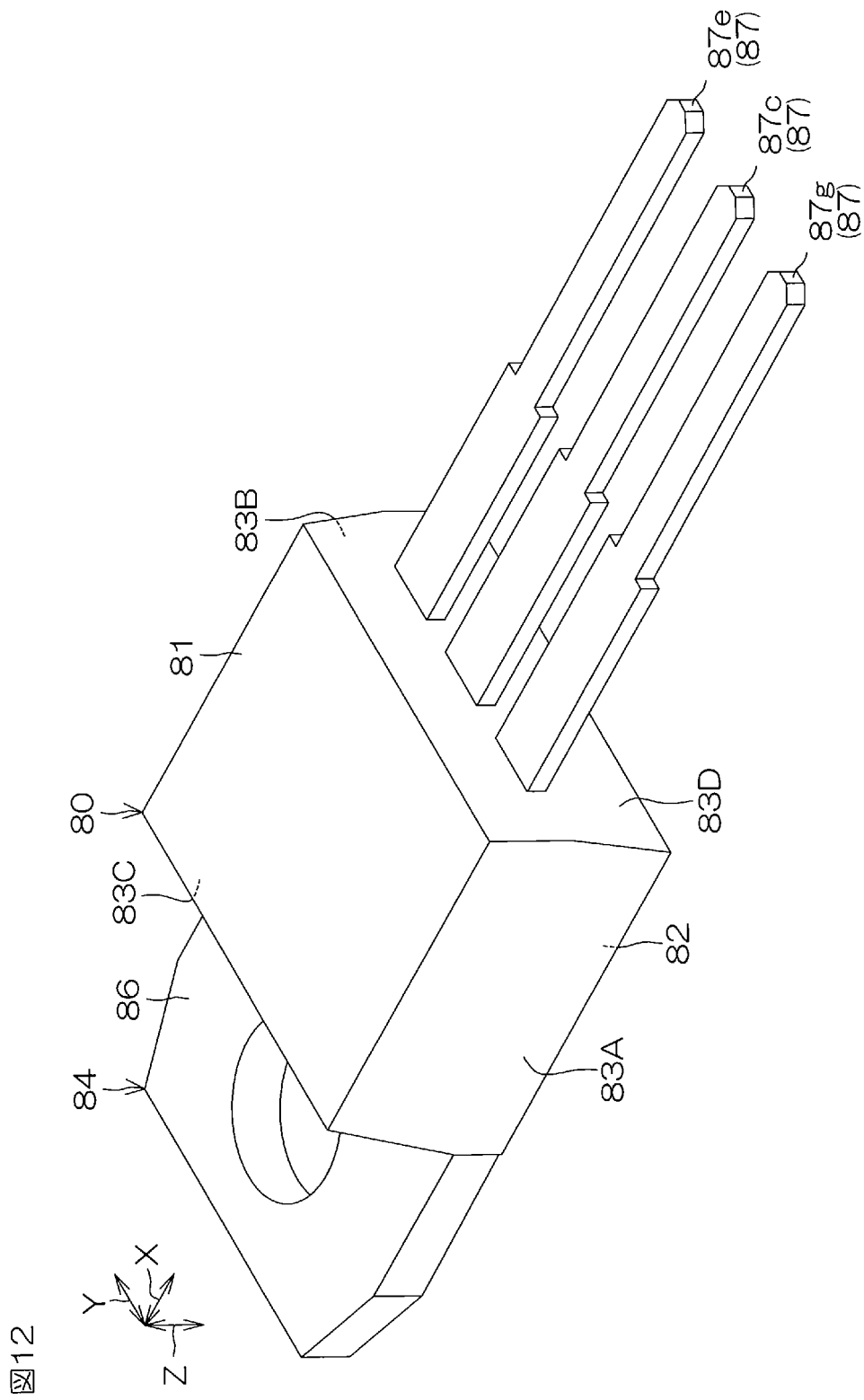
[図11B]



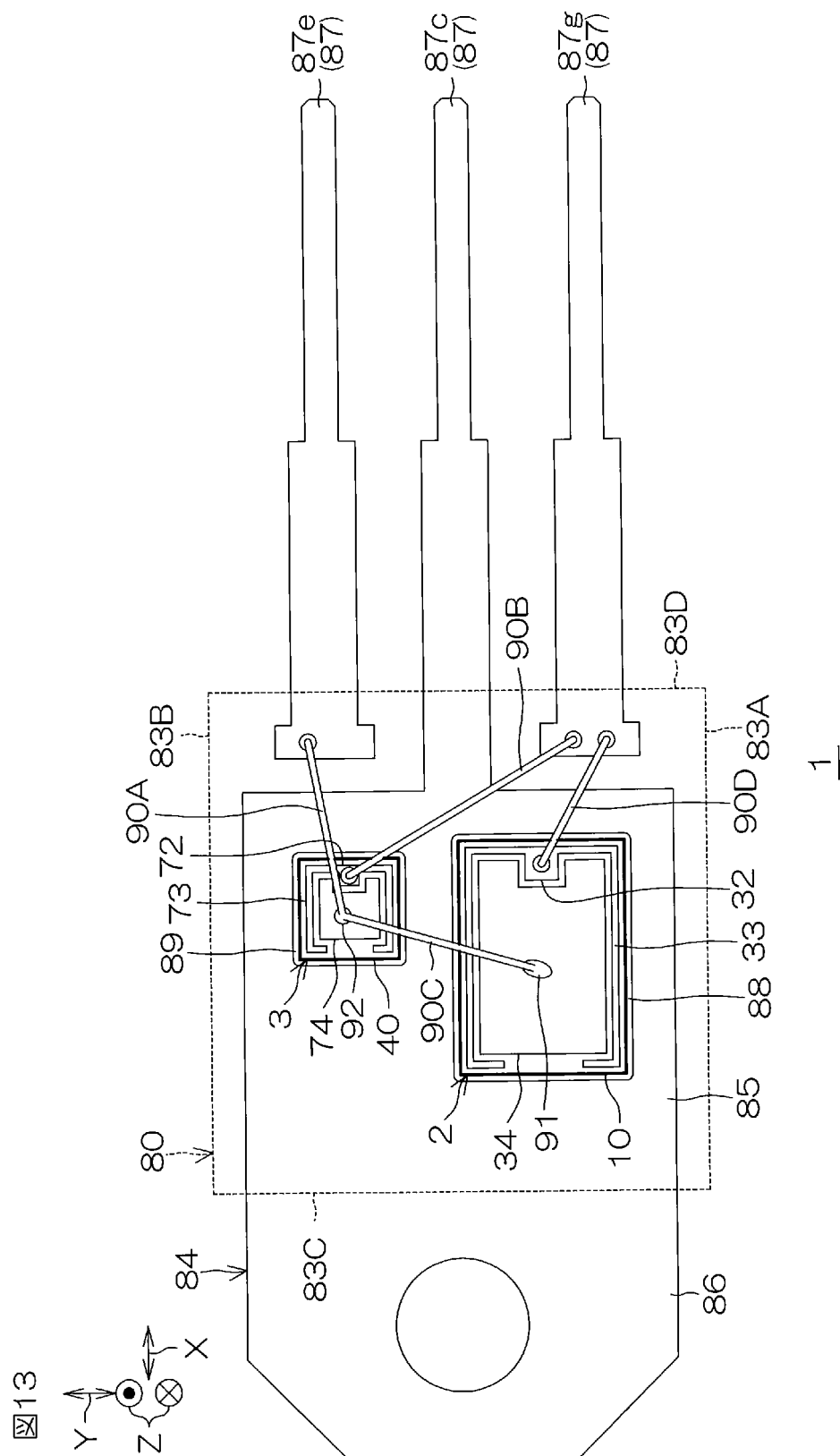
[図11C]



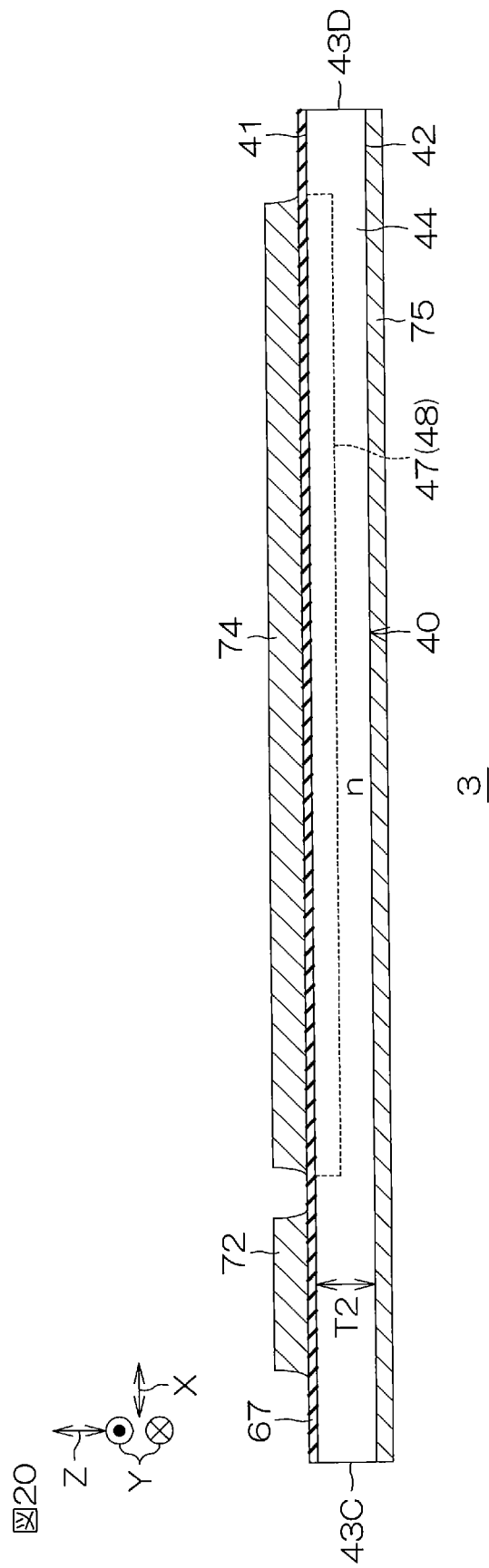
[図12]



[図13]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/006631

A. CLASSIFICATION OF SUBJECT MATTER

H03K 17/567(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 29/12**(2006.01)i; **H01L 29/739**(2006.01)i; **H01L 29/78**(2006.01)i; **H01L 29/861**(2006.01)i; **H01L 29/868**(2006.01)i; **H02M 7/48**(2007.01)i; **H03K 17/12**(2006.01)i
 FI: H03K17/567; H01L29/78 655G; H01L29/78 653A; H01L29/78 652D; H01L29/78 652T; H01L29/78 652M; H01L29/78 652C; H01L29/78 652S; H01L29/78 657D; H01L29/91 C; H01L27/06 102A; H03K17/12; H02M7/48 Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/567; H01L21/8234; H01L27/06; H01L29/12; H01L29/739; H01L29/78; H01L29/861; H01L29/868; H02M7/48; H03K17/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-195259 A (DENSO CORP) 26 October 2017 (2017-10-26) paragraphs [0001]-[0006], [0015]-[0035], fig. 1-3	1-17
Y	JP 2017-108097 A (SUGAWARA, Yoshitaka) 15 June 2017 (2017-06-15) paragraphs [0001]-[0003], [0041]-[0042], [0115]-[0117], [0137], fig. 7	1-17
Y	JP 6877660 B1 (MITSUBISHI ELECTRIC CORP) 26 May 2021 (2021-05-26) paragraphs [0055]-[0059], fig. 3A, 10	2-17
Y	JP 2013-125806 A (MITSUBISHI ELECTRIC CORP) 24 June 2013 (2013-06-24) paragraphs [0017]-[0056], fig. 1-3	15-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

19 April 2023

Date of mailing of the international search report

09 May 2023

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/006631

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2017-195259	A	26 October 2017	US 2017/0302182 A1 paragraphs [0002]-[0005], [0011], [0031]-[0059], fig. 1-3 DE 102017108157 A1 CN 107305889 A	
JP	2017-108097	A	15 June 2017	(Family: none)	
JP	6877660	B1	26 May 2021	WO 2022/054155 A1 paragraphs [0055]-[0059], fig. 3A, 10	
JP	2013-125806	A	24 June 2013	US 2013/0155745 A1 paragraphs [0031]-[0069], fig. 1-3 CN 103166615 A KR 10-2013-0069405 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 17/567(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 29/12(2006.01)i; H01L 29/739(2006.01)i; H01L 29/78(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i; H02M 7/48(2007.01)i; H03K 17/12(2006.01)i FI: H03K17/567; H01L29/78 655G; H01L29/78 653A; H01L29/78 652D; H01L29/78 652T; H01L29/78 652M; H01L29/78 652C; H01L29/78 652S; H01L29/78 657D; H01L29/91 C; H01L27/06 102A; H03K17/12; H02M7/48 Z																	
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03K17/567; H01L21/8234; H01L27/06; H01L29/12; H01L29/739; H01L29/78; H01L29/861; H01L29/868; H02M7/48; H03K17/12 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2023年																
日本国実用新案登録公報	1996 - 2023年																
日本国登録実用新案公報	1994 - 2023年																
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2017-195259 A (株式会社デンソー) 26.10.2017 (2017 - 10 - 26) 段落[0001]-[0006], [0015]-[0035], 図1-3</td> <td>1-17</td> </tr> <tr> <td>Y</td> <td>JP 2017-108097 A (菅原 良孝) 15.06.2017 (2017 - 06 - 15) 段落[0001]-[0003], [0041]-[0042], [0115]-[0117], [0137], 図7</td> <td>1-17</td> </tr> <tr> <td>Y</td> <td>JP 6877660 B1 (三菱電機株式会社) 26.05.2021 (2021 - 05 - 26) 段落[0055]-[0059], 図3A, 10</td> <td>2-17</td> </tr> <tr> <td>Y</td> <td>JP 2013-125806 A (三菱電機株式会社) 24.06.2013 (2013 - 06 - 24) 段落[0017]-[0056], 図1-3</td> <td>15-17</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2017-195259 A (株式会社デンソー) 26.10.2017 (2017 - 10 - 26) 段落[0001]-[0006], [0015]-[0035], 図1-3	1-17	Y	JP 2017-108097 A (菅原 良孝) 15.06.2017 (2017 - 06 - 15) 段落[0001]-[0003], [0041]-[0042], [0115]-[0117], [0137], 図7	1-17	Y	JP 6877660 B1 (三菱電機株式会社) 26.05.2021 (2021 - 05 - 26) 段落[0055]-[0059], 図3A, 10	2-17	Y	JP 2013-125806 A (三菱電機株式会社) 24.06.2013 (2013 - 06 - 24) 段落[0017]-[0056], 図1-3	15-17
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
Y	JP 2017-195259 A (株式会社デンソー) 26.10.2017 (2017 - 10 - 26) 段落[0001]-[0006], [0015]-[0035], 図1-3	1-17															
Y	JP 2017-108097 A (菅原 良孝) 15.06.2017 (2017 - 06 - 15) 段落[0001]-[0003], [0041]-[0042], [0115]-[0117], [0137], 図7	1-17															
Y	JP 6877660 B1 (三菱電機株式会社) 26.05.2021 (2021 - 05 - 26) 段落[0055]-[0059], 図3A, 10	2-17															
Y	JP 2013-125806 A (三菱電機株式会社) 24.06.2013 (2013 - 06 - 24) 段落[0017]-[0056], 図1-3	15-17															
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																	
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																	
国際調査を完了した日 19.04.2023		国際調査報告の発送日 09.05.2023															
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576															

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/006631

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-195259	A	26.10.2017	US 2017/0302182 A1 段落[0002]-[0005], [0011], [0031]-[0059], 図 1-3 DE 102017108157 A1 CN 107305889 A	
JP	2017-108097	A	15.06.2017	(ファミリーなし)	
JP	6877660	B1	26.05.2021	W0 2022/054155 A1 段落[0055]-[0059], 図3A, 10	
JP	2013-125806	A	24.06.2013	US 2013/0155745 A1 段落[0031]-[0069], 図1-3 CN 103166615 A KR 10-2013-0069405 A	