



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0023559
(43) 공개일자 2025년02월18일

- (51) 국제특허분류(Int. Cl.)
H01G 4/232 (2006.01) C23C 14/14 (2006.01)
H01B 1/22 (2006.01) H01G 4/012 (2006.01)
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
- (52) CPC특허분류
H01G 4/2325 (2013.01)
C23C 14/14 (2013.01)
- (21) 출원번호 10-2025-7001725
- (22) 출원일자(국제) 2023년07월19일
심사청구일자 2025년01월17일
- (85) 번역문제출일자 2025년01월17일
- (86) 국제출원번호 PCT/JP2023/026360
- (87) 국제공개번호 WO 2024/062753
국제공개일자 2024년03월28일
- (30) 우선권주장
JP-P-2022-150525 2022년09월21일 일본(JP)

- (71) 출원인
가부시키가이샤 무라타 세이사쿠쇼
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고
- (72) 발명자
미시마 야스히로
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고 가부시키가이샤 무라타 세이사쿠쇼 내
- (74) 대리인
윤앤리특허법인(유한)

전체 청구항 수 : 총 4 항

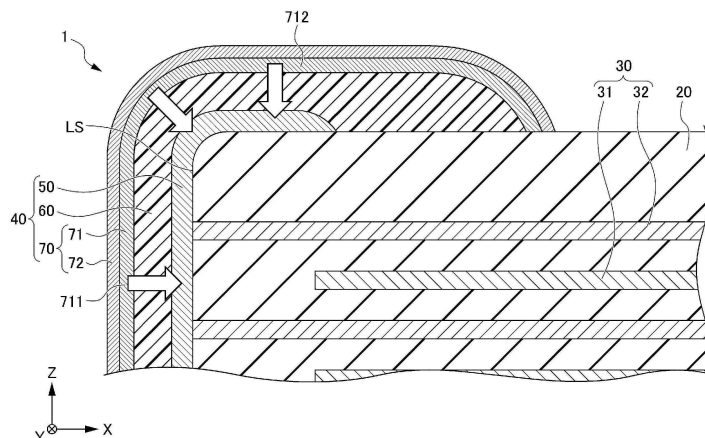
(54) 발명의 명칭 **적층 세라믹 전자부품**

(57) 요약

ESR을 저감 가능한 적층 세라믹 전자부품을 제공하는 것.

적층 세라믹 콘덴서(1)는 제1 외부전극(40A)과 제2 외부전극(40B)을 가지며, 제1 외부전극(40A)은 제1 하부전극층(50A)과, 제1 하부전극층(50A) 상에 배치되는 열경화성 수지 및 금속 성분을 포함하는 제1 도전성 수지층(60A)과, 제1 도전성 수지층(60A) 상에 배치되는 제1 Ni 도금층(71A)을 가지며, 제2 외부전극(40B)은 제2 하부전극층(50B)과, 제2 하부전극층(50B) 상에 배치되는 열경화성 수지 및 금속 성분을 포함하는 제2 도전성 수지층(60B)과, 제2 도전성 수지층(60B) 상에 배치되는 제2 Ni 도금층(71B)을 가지며, 제1 Ni 도금층(71A) 및 제2 Ni 도금층(71B)의 내부에는 내부응력으로서 인장응력이 잔류한다.

대표도



(52) CPC특허분류

H01B 1/22 (2013.01)
H01G 4/012 (2013.01)
H01G 4/1209 (2013.01)
H01G 4/30 (2013.01)
Y02E 60/13 (2020.08)

명세서

청구범위

청구항 1

적층된 복수개의 세라믹층을 포함하고, 높이방향으로 마주보는 제1 주면(主面) 및 제2 주면과, 높이방향에 직교하는 폭방향으로 마주보는 제1 측면 및 제2 측면과, 높이방향 및 폭방향에 직교하는 길이방향으로 마주보는 제1 단면(端面) 및 제2 단면을 가지는 적층체와,

상기 복수개의 세라믹층 상에 배치되고, 상기 제1 단면에 노출되는 제1 내부도체층과,

상기 복수개의 세라믹층 상에 배치되고, 상기 제2 단면에 노출되는 제2 내부도체층과,

상기 제1 단면 상에 배치된 제1 외부전극과,

상기 제2 단면 상에 배치된 제2 외부전극을 가지는 적층 세라믹 전자부품에 있어서,

상기 제1 외부전극은, 금속 성분을 포함하는 제1 하부전극층과, 상기 제1 하부전극층 상에 배치되는 열경화성 수지 및 금속 성분을 포함하는 제1 도전성 수지층과, 상기 제1 도전성 수지층 상에 배치되는 제1 Ni 도금층을 가지며,

상기 제2 외부전극은, 금속 성분을 포함하는 제2 하부전극층과, 상기 제2 하부전극층 상에 배치되는 열경화성 수지 및 금속 성분을 포함하는 제2 도전성 수지층과, 상기 제2 도전성 수지층 상에 배치되는 제2 Ni 도금층을 가지며,

상기 제1 Ni 도금층의 내부에는 내부응력으로서 인장응력이 잔류하고,

상기 제2 Ni 도금층의 내부에는 내부응력으로서 인장응력이 잔류하는, 적층 세라믹 전자부품.

청구항 2

제1항에 있어서,

상기 인장응력은 50MPa 이상인, 적층 세라믹 전자부품.

청구항 3

제1항 또는 제2항에 있어서,

상기 제1 Ni 도금층 상에는 제1 Sn 도금층이 배치되고,

상기 제2 Ni 도금층 상에는 제2 Sn 도금층이 배치되는, 적층 세라믹 전자부품.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제1 하부전극층은 유리 성분 혹은 세라믹 성분을 포함하고,

상기 제2 하부전극층은 유리 성분 혹은 세라믹 성분을 포함하는, 적층 세라믹 전자부품.

발명의 설명

기술분야

[0001] 본 발명은 적층 세라믹 전자부품에 관한 것이다.

배경기술

[0002] 최근, 적층 세라믹 콘텐서로 대표되는 적층 세라믹 전자부품은 열팽창에 의한 휨응력 등의 가혹한 환경하에서의 내구성이 요구되고, 그 대응으로서 적층 세라믹 전자부품의 외부전극에 열경화성 도전 수지 페이스트를 이용하

는 기술이 알려져 있다. 이 종류의 기술을 나타내는 것으로서 특허문헌 1을 들 수 있다. 특허문헌 1에서는 도전 페이스트를 디핑하여 도포하고, 그것을 베이킹한 전극층과, 도전성 에폭시계 열경화성 수지층과, 니켈 도금층과, 주석계 층이 순차 적층된 층 구성의 외부전극을 가지는 적층 세라믹 콘덴서가 기재되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 공개특허공보 특개평11-162771호

발명의 내용

해결하려는 과제

[0004] 그런데, 적층 세라믹 전자부품은 가혹한 환경하에 대한 내구성을 확보하면서, 요구되는 성능을 충족하기 위해 ESR의 저감 등의 다양한 대책이 이루어지고 있고, 한층 더한 성능의 향상이 요구되고 있다.

[0005] 본 발명은 ESR을 저감 가능한 적층 세라믹 전자부품을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 발명에 따른 적층 세라믹 전자부품은, 적층된 복수개의 세라믹층을 포함하고, 높이방향으로 마주보는 제1 주면(主面) 및 제2 주면과, 높이방향에 직교하는 폭방향으로 마주보는 제1 측면 및 제2 측면과, 높이방향 및 폭방향에 직교하는 길이방향으로 마주보는 제1 단면(端面) 및 제2 단면을 가지는 적층체와, 상기 복수개의 세라믹층 상에 배치되고, 상기 제1 단면에 노출되는 제1 내부도체층과, 상기 복수개의 세라믹층 상에 배치되고, 상기 제2 단면에 노출되는 제2 내부도체층과, 상기 제1 단면 상에 배치된 제1 외부전극과, 상기 제2 단면 상에 배치된 제2 외부전극을 가지는 적층 세라믹 전자부품에 있어서, 상기 제1 외부전극은, 금속 성분을 포함하는 제1 하부전극층과, 상기 제1 하부전극층 상에 배치되는 열경화성 수지 및 금속 성분을 포함하는 제1 도전성 수지층과, 상기 제1 도전성 수지층 상에 배치되는 제1 Ni 도금층을 가지며, 상기 제2 외부전극은, 금속 성분을 포함하는 제2 하부전극층과, 상기 제2 하부전극층 상에 배치되는 열경화성 수지 및 금속 성분을 포함하는 제2 도전성 수지층과, 상기 제2 도전성 수지층 상에 배치되는 제2 Ni 도금층을 가지며, 상기 제1 Ni 도금층의 내부에는 내부응력으로서 인장응력이 잔류하고, 상기 제2 Ni 도금층의 내부에는 내부응력으로서 인장응력이 잔류한다.

발명의 효과

[0007] 본 발명에 따르면, ESR을 저감 가능한 적층 세라믹 전자부품을 제공할 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 실시형태의 적층 세라믹 콘덴서의 외관 사시도이다.
- 도 2는 도 1에 나타내는 적층 세라믹 콘덴서의 II-II선을 따른 단면도이다.
- 도 3은 도 2에 나타내는 적층 세라믹 콘덴서의 III-III선을 따른 단면도이다.
- 도 4는 도 2에 나타내는 적층 세라믹 콘덴서의 IV-IV선을 따른 단면도이다.
- 도 5는 도 2에 나타내는 적층 세라믹 콘덴서의 V부의 확대도이고, 적층 세라믹 콘덴서의 단면 측에서 생기는 힘의 상태를 설명하기 위한 모식도이다.
- 도 6은 2연(連) 구조의 적층 세라믹 콘덴서의 구성의 일례를 나타내는 모식도이다.
- 도 7은 3연 구조의 적층 세라믹 콘덴서의 구성의 일례를 나타내는 모식도이다.
- 도 8은 4연 구조의 적층 세라믹 콘덴서의 구성의 일례를 나타내는 모식도이다.

발명을 실시하기 위한 구체적인 내용

[0009] <실시형태>

- [0010] 이하, 본 개시의 제1 실시형태에 따른 적층 세라믹 전자부품으로서의 적층 세라믹 콘덴서(1)에 대해 도 1~도 4를 이용하여 설명한다. 도 1은 본 실시형태의 적층 세라믹 콘덴서(1)의 외관 사시도이다. 도 2는 도 1의 적층 세라믹 콘덴서(1)의 II-II선을 따른 단면도이다. 도 3은 도 2의 적층 세라믹 콘덴서(1)의 III-III선을 따른 단면도이다. 도 4는 도 2의 적층 세라믹 콘덴서(1)의 IV-IV선을 따른 단면도이다.
- [0011] 적층 세라믹 콘덴서(1)는 적층체(10)와 외부전극(40)을 가진다.
- [0012] 도 1~도 4에는 XYZ 직교좌표계가 나타나있다. 적층 세라믹 콘덴서(1) 및 적층체(10)의 길이방향(L)은 X방향과 대응한다. 적층 세라믹 콘덴서(1) 및 적층체(10)의 폭방향(W)은 Y방향과 대응한다. 적층 세라믹 콘덴서(1) 및 적층체(10)의 높이방향으로서의 적층방향(T)은 Z방향과 대응한다. 여기서, 도 2에 나타내는 절단면은 LT절단면이라고도 칭해진다. 도 3에 나타내는 절단면은 WT절단면이라고도 칭해진다. 도 4에 나타내는 절단면은 LW절단면이라고도 칭해진다.
- [0013] 도 1~도 4에 나타내는 바와 같이, 적층체(10)는 적층방향(T)으로 마주보는 제1 주면(TS1) 및 제2 주면(TS2)과, 적층방향(T)에 직교하는 폭방향(W)으로 마주보는 제1 측면(WS1) 및 제2 측면(WS2)과, 적층방향(T) 및 폭방향(W)에 직교하는 길이방향(L)으로 마주보는 제1 단면(LS1) 및 제2 단면(LS2)을 포함한다.
- [0014] 도 1에 나타내는 바와 같이, 적층체(10)는 대략 직방체 형상을 가진다. 한편, 적층체(10)의 길이방향(L)의 치수는 폭방향(W)의 치수보다도 반드시 길다고는 할 수 없다. 적층체(10)의 모서리부 및 능선부는 라운드형으로 마련되는 것이 바람직하다. 모서리부는 적층체의 3면이 교차하는 부분이고, 능선부는 적층체의 2면이 교차하는 부분이다. 한편, 적층체(10)를 구성하는 표면의 일부 또는 전부에 요철 등이 형성되어도 된다.
- [0015] 적층체(10)의 치수는 특별히 한정되지 않지만, 적층체(10)의 길이방향(L)의 치수를 L 치수로 하면, L 치수는 0.2mm 이상 10mm 이하인 것이 바람직하다. 또한, 적층체(10)의 적층방향(T)의 치수를 T 치수로 하면, T 치수는 0.1mm 이상 10mm 이하인 것이 바람직하다. 또한, 적층체(10)의 폭방향(W)의 치수를 W 치수로 하면, W 치수는 0.1mm 이상 10mm 이하인 것이 바람직하다.
- [0016] 도 2 및 도 3에 나타내는 바와 같이, 적층체(10)는 내층부(11)와, 적층방향(T)에서 내층부(11)를 끼워 넣도록 배치된 제1 외층부로서의 제1 주면 측 외층부(12A) 및 제2 외층부로서의 제2 주면 측 외층부(12B)를 가진다.
- [0017] 내층부(11)는 복수개의 세라믹층으로서의 복수개의 유전체층(20)과, 복수개의 내부도체층으로서의 복수개의 내부전극층(30)을 포함한다. 내층부(11)는 적층방향(T)에서, 제1 주면(TS1)에 가장 가깝게 위치하는 내부전극층(30)부터 제2 주면(TS2)에 가장 가깝게 위치하는 내부전극층(30)까지를 포함한다. 내층부(11)에서는 복수개의 내부전극층(30)이 유전체층(20)을 사이에 두고 대향하여 배치된다. 내층부(11)는 정전용량을 발생시켜서 실질적으로 콘덴서로서 기능하는 부분이다.
- [0018] 복수개의 유전체층(20)은 유전체 재료에 의해 구성된다. 유전체 재료는 예를 들면, BaTiO₃, CaTiO₃, SrTiO₃, 또는 CaZrO₃ 등의 성분을 포함하는 유전체 세라믹이어도 된다. 또한, 유전체 재료는 이들 주성분에 Mn화합물, Fe 화합물, Cr 화합물, Co 화합물, Ni 화합물 등의 부성분을 첨가한 것이어도 된다.
- [0019] 유전체층(20)의 두께는 0.5 μ m 이상 15 μ m 이하인 것이 바람직하다. 적층되는 유전체층(20)의 매수는 10매 이상 700매 이하인 것이 바람직하다. 한편, 이 유전체층(20)의 매수는 내층부(11)의 유전체층의 매수와 제1 주면 측 외층부(12A) 및 제2 주면 측 외층부(12B)의 유전체층의 매수의 총수이다.
- [0020] 복수개의 내부전극층(30)은 복수개의 제1 내부도체층으로서의 제1 내부전극층(31) 및 복수개의 제2 내부도체층으로서의 제2 내부전극층(32)을 가진다. 복수개의 제1 내부전극층(31)은 복수개의 유전체층(20) 상에 배치된다. 복수개의 제2 내부전극층(32)은 복수개의 유전체층(20) 상에 배치된다. 복수개의 제1 내부전극층(31) 및 복수개의 제2 내부전극층(32)은 적층체(10)의 적층방향(T)으로 유전체층(20)을 사이에 두고 교대로 배치된다. 제1 내부전극층(31) 및 제2 내부전극층(32)은 유전체층(20)을 끼도록 하여 배치된다.
- [0021] 제1 내부전극층(31)은 제2 내부전극층(32)에 대향하는 제1 대향부(31A)와, 제1 대향부(31A)로부터 제1 단면(LS1)으로 인출되는 제1 인출부(31B)를 가진다. 제1 인출부(31B)는 제1 단면(LS1)에 노출된다.
- [0022] 제2 내부전극층(32)은 제1 내부전극층(31)에 대향하는 제2 대향부(32A)와, 제2 대향부(32A)로부터 제2 단면(LS2)으로 인출되는 제2 인출부(32B)를 가진다. 제2 인출부(32B)는 제2 단면(LS2)에 노출된다.
- [0023] 본 실시형태에서는 제1 대향부(31A)와 제2 대향부(32A)가 유전체층(20)을 사이에 두고 대향함으로써 용량이 형

성되고, 콘텐츠의 특성이 발현된다.

- [0024] 제1 대향부(31A) 및 제2 대향부(32A)의 형상은 특별히 한정되지 않지만, 직사각형상인 것이 바람직하다. 물론, 직사각형 형상의 코너부가 라운드형으로 마련되어도 되고, 직사각형 형상의 코너부가 비스듬하게 형성되어도 된다. 제1 인출부(31B) 및 제2 인출부(32B)의 형상은 특별히 한정되지 않지만, 직사각형상인 것이 바람직하다. 물론, 직사각형 형상의 코너부가 라운드형으로 마련되어도 되고, 직사각형 형상의 코너부가 비스듬하게 형성되어도 된다.
- [0025] 제1 대향부(31A)의 폭방향(W)의 치수와 제1 인출부(31B)의 폭방향(W)의 치수는 동일한 치수로 형성되어도 되고, 어느 한쪽의 치수가 작게 형성되어도 된다. 제2 대향부(32A)의 폭방향(W)의 치수와 제2 인출부(32B)의 폭방향(W)의 치수는 동일한 치수로 형성되어도 되고, 어느 한쪽의 치수가 좁게 형성되어도 된다.
- [0026] 제1 내부전극층(31) 및 제2 내부전극층(32)은 예를 들면, Ni, Cu, Ag, Pd, Au 등의 금속이나, 이들 금속 중 적어도 일종을 포함하는 합금 등의 적당한 도전 재료에 의해 구성된다. 합금을 이용하는 경우, 제1 내부전극층(31) 및 제2 내부전극층(32)은 예를 들면 Ag-Pd합금 등에 의해 구성되어도 된다.
- [0027] 제1 내부전극층(31) 및 제2 내부전극층(32) 각각의 두께는 예를 들면, 0.2 μ m 이상 2.0 μ m 이하 정도인 것이 바람직하다. 제1 내부전극층(31) 및 제2 내부전극층(32)의 매수는 합쳐서 10매 이상 700매 이하인 것이 바람직하다.
- [0028] 제1 주면 측 외층부(12A)는 적층체(10)의 제1 주면(TS1) 측에 위치한다. 제1 주면 측 외층부(12A)는 제1 주면(TS1)과 가장 제1 주면(TS1)에 가까운 내부전극층(30) 사이에 위치하는 복수개의 유전체층(20)의 집합체이다. 제1 주면 측 외층부(12A)에서 이용되는 유전체층(20)은 내층부(11)에서 이용되는 유전체층(20)과 동일한 것이어도 되고, 다른 재료에 의해 구성된 유전체층이어도 된다.
- [0029] 제2 주면 측 외층부(12B)는 적층체(10)의 제2 주면(TS2) 측에 위치한다. 제2 주면 측 외층부(12B)는 제2 주면(TS2)과 가장 제2 주면(TS2)에 가까운 내부전극층(30) 사이에 위치하는 복수개의 유전체층(20)의 집합체이다. 제2 주면 측 외층부(12B)에서 이용되는 유전체층(20)은 내층부(11)에서 이용되는 유전체층(20)과 동일한 것이어도 되고, 다른 재료에 의해 구성된 유전체층이어도 된다.
- [0030] 한편, 적층체(10)는 대향전극부(11E)를 가진다. 대향전극부(11E)는 제1 내부전극층(31)의 제1 대향부(31A)와 제2 내부전극층(32)의 제2 대향부(32A)가 대향하는 부분이다. 대향전극부(11E)는 내층부(11)의 일부로서 구성된다. 도 4에는 대향전극부(11E)의 폭방향(W) 및 길이방향(L)의 범위가 나타나있다. 한편, 대향전극부(11E)는 콘텐츠서 유효부라고도 한다.
- [0031] 한편, 적층체(10)는 측면 측 외층부를 가진다. 측면 측 외층부는 제1 측면 측 외층부(WG1)와 제2 측면 측 외층부(WG2)를 가진다. 제1 측면 측 외층부(WG1)는 대향전극부(11E)와 제1 측면(WS1) 사이에 위치하는 유전체층(20)을 포함하는 부분이다. 제2 측면 측 외층부(WG2)는 대향전극부(11E)와 제2 측면(WS2) 사이에 위치하는 유전체층(20)을 포함하는 부분이다. 도 3 및 도 4에는 제1 측면 측 외층부(WG1) 및 제2 측면 측 외층부(WG2)의 폭방향(W)의 범위가 나타나있다. 한편, 측면 측 외층부는 W갭 또는 사이드갭이라고도 한다.
- [0032] 한편, 적층체(10)는 단면 측 외층부를 가진다. 단면 측 외층부는 제1 단면 측 외층부(LG1)와 제2 단면 측 외층부(LG2)를 가진다. 제1 단면 측 외층부(LG1)는 대향전극부(11E)와 제1 단면(LS1) 사이에 위치하는 유전체층(20)을 포함하는 부분이다. 제2 단면 측 외층부(LG2)는 대향전극부(11E)와 제2 단면(LS2) 사이에 위치하는 유전체층(20)을 포함하는 부분이다. 도 2 및 도 4에는 제1 단면 측 외층부(LG1) 및 제2 단면 측 외층부(LG2)의 길이방향(L)의 범위가 나타나있다. 한편, 단면 측 외층부는 L갭 또는 엔드갭이라고도 한다.
- [0033] 외부전극(40)은 제1 단면(LS1) 측에 배치된 제1 외부전극(40A)과, 제2 단면(LS2) 측에 배치된 제2 외부전극(40B)을 가진다.
- [0034] 제1 외부전극(40A)은 제1 단면(LS1) 상에 배치된다. 제1 외부전극(40A)은 제1 내부전극층(31)에 접속된다. 제1 외부전극(40A)은 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부에도 배치되어도 된다. 본 실시형태에서는 제1 외부전극(40A)은 제1 단면(LS1) 상으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되어 형성된다.
- [0035] 제2 외부전극(40B)은 제2 단면(LS2) 상에 배치된다. 제2 외부전극(40B)은 제2 내부전극층(32)에 접속된다. 제2 외부전극(40B)은 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부에도 배치되어도 된다. 본 실시형태에서는 제2 외부전극(40B)은 제2 단면(LS2) 상으로부터 제1 주

면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되어서 형성된다.

- [0036] 전술한 바와 같이, 적층체(10) 안에서는 제1 내부전극층(31)의 제1 대향부(31A)와 제2 내부전극층(32)의 제2 대향부(32A)가 유전체층(20)을 사이에 두고 대향함으로써 용량이 형성된다. 그 때문에, 제1 내부전극층(31)이 접속된 제1 외부전극(40A)과 제2 내부전극층(32)이 접속된 제2 외부전극(40B) 사이에서 콘텐서의 특성이 발현된다.
- [0037] 제1 외부전극(40A)은 금속 성분을 포함하는 제1 하부전극층(50A)과, 제1 하부전극층(50A) 상에 배치되는 제1 도전성 수지층(60A)과, 제1 도전성 수지층(60A) 상에 배치되는 제1 도금층(70A)을 가진다. 제1 도금층(70A)은 하층 도금층으로서의 제1 Ni 도금층(71A) 및 상층 도금층으로서의 제1 Sn 도금층(72A)을 가진다.
- [0038] 제2 외부전극(40B)은 금속 성분을 포함하는 제2 하부전극층(50B)과, 제2 하부전극층(50B) 상에 배치되는 제2 도전성 수지층(60B)과, 제2 도전성 수지층(60B) 상에 배치되는 제2 도금층(70B)을 가진다. 제2 도금층(70B)은 하층 도금층으로서의 제2 Ni 도금층(71B) 및 상층 도금층으로서의 제2 Sn 도금층(72B)을 가진다.
- [0039] 제1 Ni 도금층(71A)은 도 2, 4에 나타내는 바와 같이 제1 단면 측 Ni 도금층(71A1)과, 제1 측면 측 Ni 도금층(71A2)을 가진다. 제1 Ni 도금층(71A)의 제1 단부는, 제1 Ni 도금층(71A) 중 길이방향(L)에서 제1 도전성 수지층(60A)보다도 제2 단면(LS2) 측에 있는 부분을 나타낸다.
- [0040] 제2 Ni 도금층(71B)은 도 2, 4에 나타내는 바와 같이 제2 단면 측 Ni 도금층(71B1)과, 제2 측면 측 Ni 도금층(71B2)을 가진다. 제2 Ni 도금층(71B)의 제2 단부는, 제2 Ni 도금층(71B) 중 길이방향(L)에서 제2 도전성 수지층(60B)보다도 제1 단면(LS1) 측에 있는 부분을 나타낸다.
- [0041] 여기서, 제1 외부전극(40A) 및 제2 외부전극(40B)을 구성하는 각 층의 기본적인 구성은 동일하다. 또한, 제1 외부전극(40A) 및 제2 외부전극(40B)은 적층 세라믹 콘텐서(1)의 길이방향(L)의 중앙의 LW절단면에 대하여 대체로 면대칭이다. 따라서, 제1 외부전극(40A)과 제2 외부전극(40B)을 특별히 구별하여 설명할 필요가 없는 경우는 제1 외부전극(40A) 및 제2 외부전극(40B)은 일괄하여 외부전극(40)이라고 불리는 경우가 있다. 또한, 제1 하부전극층(50A)과 제2 하부전극층(50B)을 특별히 구별하여 설명할 필요가 없는 경우는 제1 하부전극층(50A) 및 제2 하부전극층(50B)은 일괄하여 하부전극층(50)이라고 불리는 경우가 있다. 또한, 제1 도전성 수지층(60A)과 제2 도전성 수지층(60B)을 특별히 구별하여 설명할 필요가 없는 경우는 제1 도전성 수지층(60A) 및 제2 도전성 수지층(60B)은 일괄하여 도전성 수지층(60)이라고 불리는 경우가 있다. 또한, 제1 도금층(70A)과 제2 도금층(70B)을 특별히 구별하여 설명할 필요가 없는 경우는 제1 도금층(70A) 및 제2 도금층(70B)은 일괄하여 도금층(70)이라고 불리는 경우가 있다. 또한, 제1 Ni 도금층(71A)과 제2 Ni 도금층(71B)을 특별히 구별하여 설명할 필요가 없는 경우는 제1 Ni 도금층(71A) 및 제2 Ni 도금층(71B)은 일괄하여 Ni 도금층(71)이라고 불리는 경우가 있다. 또한, 제1 Sn 도금층(72A)과 제2 Sn 도금층(72B)을 특별히 구별하여 설명할 필요가 없는 경우는 제1 Sn 도금층(72A) 및 제2 Sn 도금층(72B)은 일괄하여 Sn 도금층(72)이라고 불리는 경우가 있다. 제1 단면 측 Ni 도금층(71A1)과 제2 단면 측 Ni 도금층(71B1)을 특별히 구별하여 설명할 필요가 없는 경우는 제1 단면 측 Ni 도금층(71A1) 및 제2 단면 측 Ni 도금층(71B1)은 일괄하여 단면 측 Ni 도금층(711)이라고 불리는 경우가 있다. 제1 측면 측 Ni 도금층(71A2)과 제2 측면 측 Ni 도금층(71B2)을 특별히 구별하여 설명할 필요가 없는 경우는 제1 측면 측 Ni 도금층(71A2) 및 제2 측면 측 Ni 도금층(71B2)은 일괄하여 측면 측 Ni 도금층(712)이라고 불리는 경우가 있다. 또한, 제1 단면(LS1)과 제2 단면(LS2)을 특별히 구별하여 설명할 필요가 없는 경우는 제1 단면(LS1) 및 제2 단면(LS2)은 일괄하여 단면(LS)이라고 불리는 경우가 있다.
- [0042] 하부전극층(50)은 제1 하부전극층(50A) 및 제2 하부전극층(50B)을 가진다.
- [0043] 제1 하부전극층(50A)은 제1 단면(LS1) 상에 배치된다. 제1 하부전극층(50A)은 제1 내부전극층(31)에 접속된다. 또한, 제1 하부전극층(50A)은 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부에도 배치되어도 된다. 본 실시형태에서는 제1 하부전극층(50A)은 제1 단면(LS1) 상으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되어 형성된다.
- [0044] 제2 하부전극층(50B)은 제2 단면(LS2) 상에 배치된다. 제2 하부전극층(50B)은 제2 내부전극층(32)에 접속된다. 또한, 제2 하부전극층(50B)은 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부에도 배치되어도 된다. 본 실시형태에서는 제2 하부전극층(50B)은 제2 단면(LS2) 상으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되

어 형성된다.

- [0045] 본 실시형태의 제1 하부전극층(50A) 및 제2 하부전극층(50B)은 베이킹층이다. 베이킹층은 금속 성분과, 유리 성분 혹은 세라믹 성분 중 어느 한쪽을 포함하거나, 그 양쪽을 포함하는 것이 바람직하다. 이로써, 적층체(10)와 하부전극층의 밀착성을 향상시킬 수 있다. 금속 성분은 예를 들면, Cu, Ni, Ag, Pd, Ag-Pd합금, Au등에서 선택되는 적어도 하나를 포함한다. 유리 성분은 예를 들면, B, Si, Ba, Mg, Al, Li 등에서 선택되는 적어도 하나를 포함한다. 유리 성분이 있는 경우, 하부전극층 중의 금속 성분의 소결을 도와, 소결을 진행시킬 수 있다. 세라믹 성분은 유전체층(20)과 동종의 세라믹 재료를 이용해도 되고, 다른 종류의 세라믹 재료를 이용해도 된다. 세라믹 성분은 예를 들면, BaTiO₃, CaTiO₃, (Ba,Ca)TiO₃, SrTiO₃, CaZrO₃ 등에서 선택되는 적어도 하나를 포함한다.
- [0046] 베이킹층은 예를 들면, 유리 및 금속을 포함하는 도전성 페이스트를 적층체에 도포하여 베이킹한 것이다. 베이킹층은 내부전극 및 유전체층을 가지는 적층 칩과 적층 칩에 도포한 도전성 페이스트를 동시 소성한 것이어도 되고, 내부전극 및 유전체층을 가지는 적층 칩을 소성하여 적층체를 얻은 후에 적층체에 도전성 페이스트를 도포하여 베이킹한 것이어도 된다. 한편, 내부전극 및 유전체층을 가지는 적층 칩과 적층 칩에 도포한 도전성 페이스트를 동시에 소성하는 경우에는, 베이킹층은 유리 성분 대신에 세라믹 재료를 첨가한 것을 베이킹하여 형성하는 것이 바람직하다. 이 경우, 첨가하는 세라믹 재료로서, 유전체층(20)과 동종의 세라믹 재료를 이용하는 것이 특히 바람직하다. 베이킹층은 복수층이어도 된다.
- [0047] 제1 단면(LS1)에 위치하는 제1 하부전극층(50A)의 길이방향의 두께는 제1 하부전극층(50A)의 적층방향(T) 및 폭방향(W)의 중앙부에서, 예를 들면 2 μ m 이상 220 μ m 이하 정도인 것이 바람직하다.
- [0048] 제2 단면(LS2)에 위치하는 제2 하부전극층(50B)의 길이방향의 두께는 제2 하부전극층(50B)의 적층방향(T) 및 폭방향(W)의 중앙부에서, 예를 들면 2 μ m 이상 220 μ m 이하 정도인 것이 바람직하다.
- [0049] 제1 주면(TS1) 또는 제2 주면(TS2) 중 적어도 한쪽 면의 일부에도 제1 하부전극층(50A)을 마련하는 경우에는 이 부분에 마련된 제1 하부전극층(50A)의 적층방향의 두께는 이 부분에 마련된 제1 하부전극층(50A)의 길이방향(L) 및 폭방향(W)의 중앙부에서, 예를 들면 4 μ m 이상 40 μ m 이하 정도인 것이 바람직하다.
- [0050] 제1 측면(WS1) 또는 제2 측면(WS2) 중 적어도 한쪽 면의 일부에도 제1 하부전극층(50A)을 마련하는 경우에는 이 부분에 마련된 제1 하부전극층(50A)의 폭방향의 두께는 이 부분에 마련된 제1 하부전극층(50A)의 길이방향(L) 및 적층방향(T)의 중앙부에서, 예를 들면 4 μ m 이상 40 μ m 이하 정도인 것이 바람직하다.
- [0051] 제1 주면(TS1) 또는 제2 주면(TS2) 중 적어도 한쪽 면의 일부에도 제2 하부전극층(50B)을 마련하는 경우에는 이 부분에 마련된 제2 하부전극층(50B)의 적층방향의 두께는 이 부분에 마련된 제2 하부전극층(50B)의 길이방향(L) 및 폭방향(W)의 중앙부에서, 예를 들면 4 μ m 이상 40 μ m 이하 정도인 것이 바람직하다.
- [0052] 제1 측면(WS1) 또는 제2 측면(WS2) 중 적어도 한쪽 면의 일부에도 제2 하부전극층(50B)을 마련하는 경우에는 이 부분에 마련된 제2 하부전극층(50B)의 폭방향의 두께는 이 부분에 마련된 제2 하부전극층(50B)의 길이방향(L) 및 적층방향(T)의 중앙부에서, 예를 들면 4 μ m 이상 40 μ m 이하 정도인 것이 바람직하다.
- [0053] 외부전극(40)은, 하부전극층(50) 상에 배치되는 수지 성분 및 금속 성분을 포함하는 도전성 수지층(60)을 가진다. 도전성 수지층(60)은 제1 도전성 수지층(60A)과 제2 도전성 수지층(60B)을 가진다.
- [0054] 제1 도전성 수지층(60A)은 제1 하부전극층(50A)을 덮도록 배치된다. 또한, 제1 도전성 수지층(60A)의 단부는 적층체(10)에 접촉하는 것이 바람직하다. 제1 도전성 수지층(60A)의 단부란, 제1 도전성 수지층(60A) 중 길이방향(L)에서 제1 하부전극층(50A)보다도 제2 단면(LS2) 측의 부분을 나타낸다. 제2 도전성 수지층(60B)은 제2 하부전극층(50B)을 덮도록 배치된다. 또한, 제2 도전성 수지층(60B)의 단부는 적층체(10)에 접촉하는 것이 바람직하다. 제2 도전성 수지층(60B)의 단부란, 제2 도전성 수지층(60B) 중 길이방향(L)에서 제2 하부전극층(50B)보다도 제1 단면(LS1) 측의 부분을 나타낸다.
- [0055] 제1 단면(LS1) 측에 위치하는 제1 도전성 수지층(60A)의 길이방향의 두께는 제1 도전성 수지층(60A)의 적층방향(T) 및 폭방향(W)의 중앙부에서, 예를 들면 10 μ m 이상 200 μ m 이하 정도인 것이 바람직하다.
- [0056] 제2 단면(LS2) 측에 위치하는 제2 도전성 수지층(60B)의 길이방향의 두께는 제2 도전성 수지층(60B)의 적층방향(T) 및 폭방향(W)의 중앙부에서, 예를 들면 10 μ m 이상 200 μ m 이하 정도인 것이 바람직하다.
- [0057] 제1 주면(TS1) 측의 일부 및 제2 주면(TS2) 측의 일부에도 제1 도전성 수지층(60A)을 마련하는 경우에는 이 부

분에 마련된 제1 도전성 수지층(60A)의 적층방향(T)의 두께는 이 부분에 마련된 제1 도전성 수지층(60A)의 길이 방향(L) 및 폭방향(W)의 중앙부에서, 예를 들면 10 μ m 이상 200 μ m 이하 정도인 것이 바람직하다.

- [0058] 제1 측면(WS1) 측의 일부 및 제2 측면(WS2) 측의 일부에도 제1 도전성 수지층(60A)을 마련하는 경우에는 이 부분에 마련된 제1 도전성 수지층(60A)의 폭방향(W)의 두께는 이 부분에 마련된 제1 도전성 수지층(60A)의 길이방향(L) 및 적층방향(T)의 중앙부에서, 예를 들면 10 μ m 이상 200 μ m 이하 정도인 것이 바람직하다.
- [0059] 제1 주면(TS1) 측의 일부 및 제2 주면(TS2) 측의 일부에도 제2 도전성 수지층(60B)을 마련하는 경우에는 이 부분에 마련된 제2 도전성 수지층(60B)의 적층방향(T)의 두께는 이 부분에 마련된 제2 도전성 수지층(60B)의 길이방향(L) 및 폭방향(W)의 중앙부에서, 예를 들면 10 μ m 이상 200 μ m 이하 정도인 것이 바람직하다.
- [0060] 제1 측면(WS1) 측의 일부 및 제2 측면(WS2) 측의 일부에도 제2 도전성 수지층(60B)을 마련하는 경우에는 이 부분에 마련된 제2 도전성 수지층(60B)의 폭방향(W)의 두께는 이 부분에 마련된 제2 도전성 수지층(60B)의 길이방향(L) 및 적층방향(T)의 중앙부에서, 예를 들면 10 μ m 이상 200 μ m 이하 정도인 것이 바람직하다.
- [0061] 도전성 수지층(60)은 하부전극층(50) 상에 배치된다. 그리고 도전성 수지층(60)을 덮도록, 도금층(70)이 배치된다. 도금층(70)은 Ni 도금층(71) 및 Sn 도금층(72)을 가진다.
- [0062] 도전성 수지층(60)은 수지부와, 수지부 내에 분산된 도전성 필러를 가진다.
- [0063] 도전성 수지층(60)의 수지부는 예를 들면, 에폭시 수지, 페녹시 수지, 페놀 수지, 우레탄 수지, 실리콘 수지, 폴리이미드 수지 등의 공지의 다양한 열경화성 수지에서 선택되는 적어도 하나를 포함해도 된다. 그 중에서도 내열성, 내습성, 밀착성 등이 뛰어난 에폭시 수지는 가장 적절한 수지 중 하나이다. 또한, 도전성 수지층(60)의 수지부는 열경화성 수지와 함께, 경화제를 포함하는 것이 바람직하다. 베이스 수지로서 에폭시 수지를 이용하는 경우, 에폭시 수지의 경화제는 페놀계, 아민계, 산무수물계, 이미다졸계, 활성 에스테르계, 아미드이미드계 등 공지의 다양한 화합물이어도 된다.
- [0064] 도전성 수지층(60)은 이와 같은 수지부를 포함하기 때문에, 예를 들면, 도금막이나 금속 성분과 유리 성분의 조성물로 이루어지는 하부전극층(50)보다도 유연성이 풍부하다. 이 때문에, 적층 세라믹 콘덴서(1)에 물리적인 충격이나 열사이클에 기인하는 충격이 가해진 경우이어도 도전성 수지층(60)은 완충층으로서 기능한다. 따라서, 도전성 수지층(60)은 적층 세라믹 콘덴서(1)의 크랙 발생을 억제한다.
- [0065] 도전성 필러는 수지부 내에 거의 똑같은 분포로 분산되어 존재한다. 도전성 필러는 주로 도전성 수지층(60)의 통전성(通電性)을 담당한다. 구체적으로는 복수개의 도전성 필러끼리가 접촉함으로써, 도전성 수지층(60) 내부에 통전경로가 형성되고, 하부전극층(50)과 도금층(70) 사이는 도통(導通)한다.
- [0066] 도전성 필러를 구성하는 금속은 Ag단체(單體)이어도 되고, Ag를 포함하는 합금이나 금속분의 표면에 Ag 코팅된 금속분을 사용할 수도 있다. Ag는 금속 중에서 가장 비저항이 낮기 때문에 전극재료에 적합하다. 또한, Ag는 귀금속이기 때문에 산화되기 어렵고, 대후성(對候性)이 높다. 따라서, Ag의 금속분은 도전성 필러로서 알맞다. 또한, 금속분의 표면에 Ag 코팅된 것을 사용할 때에는 금속분으로서 Cu, Ni, Sn, Bi 또는, 그들을 포함하는 합금분을 이용하는 것이 바람직하다.
- [0067] 또한, 도전성 필러는 Cu, Ni에 산화방지 처리를 한 것이어도 된다. 또한, 도전성 필러는 금속분의 표면에 Sn, Ni, Cu를 코팅한 금속분이어도 된다. 금속분의 표면에 Sn, Ni, Cu를 코팅된 것을 사용할 때에는 금속분은 Ag, Cu, Ni, Sn, Bi 또는 그들의 합금분인 것이 바람직하다.
- [0068] 도전성 필러의 형상은 특별히 한정되지 않는다. 도전성 필러는 구형상, 편평상 등의 것을 이용할 수 있는데, 구형상 금속분과 편평상 금속분을 혼합하여 이용하는 것이 바람직하다.
- [0069] 도전성 필러의 평균 입자경은 예를 들면, 0.3 μ m 이상 10 μ m 이하이어도 된다.
- [0070] 한편, 도전성 수지층(60)에 포함되는 도전성 필러의 평균 입경의 측정 방법은 도전성 필러의 형상에 따르지 않고, ISO 13320에 기초하여 레이저 회절 입도 측정법을 이용함으로써 산출한다.
- [0071] 도금층(70)은 제1 도금층(70A) 및 제2 도금층(70B)을 가진다.
- [0072] 제1 도금층(70A)은 제1 도전성 수지층(60A)을 덮도록 배치된다. 본 실시형태에서는 제1 도금층(70A)은 제1 단면(LS1) 상으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되도록 배치된다. 보다 구체적으로는 제1 도금층(70A)은 상술한 제1 단면 측 Ni 도금층

(71A1)이 제1 단면(LS1) 상에 배치되고, 상술한 제1 측면 측 Ni 도금층(71A2)이 제1 단면(LS1) 상으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되도록 배치된다.

[0073] 제2 도금층(70B)은 제2 도전성 수지층(60B)을 덮도록 배치된다. 본 실시형태에서는 제2 도금층(70B)은 제1 단면(LS1) 상으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되도록 배치된다. 보다 구체적으로는 제2 도금층(70B)은 상술한 제2 단면 측 Ni 도금층(71B1)이 제2 단면(LS2) 상에 배치되고, 상술한 제2 측면 측 Ni 도금층(71B2)이 제2 단면(LS2) 상으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되도록 배치된다.

[0074] 도금층(70)은 바람직하게는 Ni 도금층(71), Sn 도금층(72)의 2층 구조이다. 제1 Ni 도금층(71A) 상에는 제1 Sn 도금층(72A)이 배치되는 것이 바람직하고, 제2 Ni 도금층(71B) 상에는 제2 Sn 도금층(72B)이 배치되는 것이 바람직하다. Ni 도금층(71)은 하부전극층(50)이나 도전성 수지층(60)이 적층 세라믹 콘덴서(1)를 실장할 때의 솔더에 의해 침식되는 것을 방지한다. Sn 도금층(72)은 적층 세라믹 콘덴서(1)를 실장할 때의 솔더의 젖음성을 향상시킨다. 이로써, 적층 세라믹 콘덴서(1)의 실장을 용이하게 한다.

[0075] 제1 Ni 도금층(71A)과 제1 Sn 도금층(72A) 각각의 두께는 1 μ m 이상 15 μ m 이하인 것이 바람직하다.

[0076] 제2 Ni 도금층(71B)과 제2 Sn 도금층(72B) 각각의 두께는 1 μ m 이상 15 μ m 이하인 것이 바람직하다.

[0077] 도 5는 도 2에 나타내는 적층 세라믹 콘덴서(1)의 V부의 확대도이고, 적층 세라믹 콘덴서(1)의 단면(LS) 측에서 생기는 힘의 상태를 설명하기 위한 모식도이다. 전술한 바와 같이, 제1 Ni 도금(71A)과 제2 Ni 도금(71B)의 기본적인 구성은 동일하기 때문에, 도 5를 이용하여 이들을 일괄하여 Ni 도금(71)으로서 설명한다. 한편, 제1 외부전극(40A) 및 제2 외부전극(40B)을 구성하는 다른 층에 대해서도 마찬가지이다. 도 5에 나타내는 바와 같이, 도전성 수지층(60)은 하부전극층(50) 상에 배치된다. 그리고 도전성 수지층(60)을 덮도록, 후술의 도금층(70)이 배치된다. 도금층(70)은 Ni 도금층(71) 및 Sn 도금층(72)을 가진다. Ni 도금층(71)은 단면 측 Ni 도금층(711)과 측면 측 Ni 도금층(712)을 가진다.

[0078] Ni 도금층(71)은 도금층(70)의 두께방향과 교차하는 방향으로 전체적으로 균등하게 인장응력이 생기도록 성막(成膜)된다. 바꿔 말하면, Ni 도금층(71)의 내부에는 내부응력으로서 인장응력이 잔류한다. 단면 측 Ni 도금층(711)은 도금층(70)의 두께방향과 교차하는 방향으로 인장응력이 생기고, 단면 측 Ni 도금층(711)이 도금층(70)의 두께방향과 교차하는 방향으로 줄어들려고 한다. 도 5에 나타내는 바와 같이 단면 측 Ni 도금층(711)을 끼고 양단 측에 형성되는 측면 측 Ni 도금층(712)은 각각 단면 측 Ni 도금층(711)의 중앙 측을 향해 인장된다. 즉, 단면 측 Ni 도금층(711)을 낀 양측에 형성되는 측면 측 Ni 도금층(712)은 각각 도전성 수지층(60)을 하부전극층(50)에 짝 누르는 방향으로 힘을 받는다. 이로써, 도전성 수지층(60)은 도통성이 향상되고, ESR(등가직렬저항: Equivalent Series Resistance)이 저감되는 효과가 생긴다.

[0079] 또한, 측면 측 Ni 도금층(712)은 도금층(70)의 두께방향과 교차하는 방향으로 인장응력이 생김으로써, 측면 측 Ni 도금층(712)이 도금층(70)의 두께방향과 교차하는 방향으로 줄어들려고 한다. 이 때문에, 측면 측 Ni 도금층(712)은 측면 측 Ni 도금층(712)의 둘레방향에서 도전성 수지층(60)에 짝 조인 상태로, 길이방향(L)에서 단면 측 Ni 도금층(711)을 잡아당겨서 도전성 수지층(60)을 하부전극층(50)으로 짝 누르게 한다. 이로써, 도전성 수지층(60)의 도통성이 향상되고, ESR이 저감되는 효과가 생긴다.

[0080] 또한, 인장응력은 50MPa 이상인 것이 바람직하다. 이로써, ESR 저감 효과를 더 높일 수 있다.

[0081] 한편, Ni 도금층(71)의 응력이 206MPa보다도 커진 경우에는 제조상 적층 세라믹 콘덴서(1)를 제작하는 것이 어려워지기 때문에, 인장응력은 206MPa 이하인 것이 바람직하다. 이로써, ESR 저감 효과를 더 높이면서 적층 세라믹 콘덴서(1)를 용이하게 제작할 수 있다.

[0082] 한편, 적층체(10)와 외부전극(40)을 포함하는 적층 세라믹 콘덴서(1)의 길이방향의 치수를 L 치수로 하면, L 치수는 0.2mm 이상 10mm 이하인 것이 바람직하다. 또한, 적층 세라믹 콘덴서(1)의 적층방향의 치수를 T 치수로 하면, T 치수는 0.1mm 이상 10mm 이하인 것이 바람직하다. 또한, 적층 세라믹 콘덴서(1)의 폭방향의 치수를 W 치수로 한다. W 치수는 0.1mm 이상 10mm 이하인 것이 바람직하다.

[0083] 다음으로, 본 실시형태의 적층 세라믹 콘덴서(1)의 제조방법에 대해 설명한다.

[0084] 유전체층(20)용 유전체 시트 및 내부전극층(30)용 도전성 페이스트가 준비된다. 유전체 시트 및 내부전극용 도

전성 페이스트는 바인더 및 용제를 포함한다. 바인더 및 용제는 공지의 것이어도 된다.

- [0085] 유전체 시트 상에, 내부전극층(30)용 도전성 페이스트가, 예를 들면 스크린 인쇄나 그라비아 인쇄 등에 의해 소정 패턴으로 인쇄된다. 이로써, 제1 내부전극층(31)의 패턴이 형성된 유전체 시트 및, 제2 내부전극층(32)의 패턴이 형성된 유전체 시트가 준비된다.
- [0086] 내부전극층의 패턴이 인쇄되지 않은 유전체 시트가 소정 매수 적층됨으로써, 제1 주면(TS1) 측의 제1 주면 측 외층부(12A)가 되는 부분이 형성된다. 그 위에, 제1 내부전극층(31)의 패턴이 인쇄된 유전체 시트 및 제2 내부전극층(32)의 패턴이 인쇄된 유전체 시트가 순차 적층됨으로써, 내층부(11)가 되는 부분이 형성된다. 이 내층부(11)가 되는 부분 위에 내부전극층의 패턴이 인쇄되지 않은 유전체 시트가 소정 매수 적층됨으로써 제2 주면(TS2) 측의 제2 주면 측 외층부(12B)가 되는 부분이 형성된다. 이로써 적층 시트가 제작된다.
- [0087] 적층 시트가 정수압 프레스 등의 수단에 의해 적층방향으로 프레스됨으로써, 적층 블록이 제작된다.
- [0088] 적층 블록이 소정 사이즈로 커팅됨으로써 적층 칩이 잘려나간다. 이때, 배럴 연마 등에 의해 적층 칩의 모서리부 및 능선부가 라운드형으로 마련되어도 된다.
- [0089] 적층 칩이 소성됨으로써 적층체(10)가 제작된다. 소성 온도는 유전체층(20)이나 내부전극층(30)의 재료에 따라 다르지만, 900℃ 이상 1400℃ 이하인 것이 바람직하다.
- [0090] 적층체(10)의 양 단면에 하부전극층(50)이 될 도전성 페이스트가 도포된다. 본 실시형태에서는 하부전극층(50)은 베이킹층이다. 유리 성분과 금속을 포함하는 도전성 페이스트가, 예를 들면 딥핑 등의 방법에 의해 적층체(10)에 도포된다. 그 후, 베이킹 처리가 실시되고, 하부전극층(50)이 형성된다. 이때의 베이킹 처리의 온도는 700℃ 이상 950℃ 이하인 것이 바람직하다.
- [0091] 다음으로, 도전성 수지층(60)이 형성된다. 한편, 도전성 수지층(60)은 하부전극층(50)의 표면에 형성되어도 되고, 적층체(10) 상에 직접 형성되어도 된다. 본 실시형태에서는 도전성 수지층(60)은 하부전극층(50)의 표면에 형성된다.
- [0092] 우선, 수지부가 될 베이스 수지로서의 열경화성 수지 중에 도전성 필러를 분산시킨 도전성 수지 페이스트가 준비된다. 이 도전성 수지 페이스트는 열경화성 수지 및 도전성 필러가 교반혼합됨으로써 생성된다. 따라서, 도전성 필러는 도전성 수지 페이스트 내에서 똑같은 분포로 분산되어 존재한다. 여기서, 열경화성 수지는 예를 들면 에폭시 수지이다. 도전성 필러는 예를 들면 Ag의 금속분이다.
- [0093] 그 후, 도전성 수지 페이스트가 하부전극층(50) 상에 딥핑 공법을 이용하여 도포되고, 200℃ 이상 550℃ 이하의 온도의 열처리가 실시된다. 이로써, 수지부가 열경화되고, 도전성 수지층(60)이 형성된다. 이때의 열처리 시의 분위기는 N₂분위기인 것이 바람직하다. 또한, 수지의 비산을 방지하면서 각종 금속 성분의 산화를 방지하기 위해, 산소 농도는 100ppm 이하로 억제되는 것이 바람직하다.
- [0094] 그 후, 도전성 수지층(60)의 표면에 도금층(70)이 형성된다. 본 실시형태에서는 도전성 수지층(60) 상에 Ni 도금층(71) 및 Sn 도금층(72)이 형성된다. Ni 도금층(71) 및 Sn 도금층(72)은 전계도금법을 이용하여 순차 형성된다. 도금공법으로서, 예를 들면 배럴 도금을 이용하는 것이 바람직하다.
- [0095] 한편, 본 발명의 제1 Ni 도금층(71A) 및 제2 Ni 도금층(71B) 전체에 생기는 응력은 이하의 방법으로 컨트롤할 수 있다.
- [0096] 한편, 도금에 생기는 응력은 성막 시에 걸리는 전류밀도에 따라 변동되는 것을 알 수 있다. 적층 세라믹 콘덴서(1)에 걸리는 전류밀도는 랜덤이다. 제1 주면(TS1) 상 또는 제2 주면(TS2) 상 혹은 제1 측면(WS1) 상 또는 제2 측면(WS2) 상에 위치하는 Ni 도금층의 선단부에서는, Ni 도금의 성막 초기부터, 예를 들면 3 μ m의 두께가 될 때까지 각각의 선단부에 걸리는 평균의 전류밀도는 제1 주면(TS1) 상 또는 제2 주면(TS2) 상 혹은 제1 측면(WS1) 상 또는 제2 측면(WS2) 상에 위치하는 Ni 도금층의 선단부 중 어느 면에서도 동일하다. 이 때문에, 제1 주면(TS1) 상, 제2 주면(TS2) 상, 제1 측면(WS1) 상, 제2 측면(WS2) 상의 Ni 도금층(70)의 어느 면에서도 동일한 응력이 걸린다.
- [0097] 제1 Ni층(71A) 및 제2 Ni 도금층(71B)의 성막은, 예를 들면 황산Ni와 설파민산Ni의 투입량을 조정하여 제작된 도금액에 의한 도금욕을 실시할 수 있다. 상기 도금액의 황산Ni와 설파민산Ni의 비율을 조정함으로써 성막되는 Ni 도금층(71) 내부의 잔류 응력값을 조절할 수 있다.
- [0098] 본 실시형태에서는 Ni 도금층(71) 상에 추가로 Sn 도금층(72)을 형성하고, 제1 Ni 도금층(71A) 상에는 제1 Sn

도금층(72A), 제2 Ni 도금층(71B) 상에는 제2 Sn 도금층(72B)을 형성했다. Sn 도금층(72)을 형성하는 방법으로는 전해도금법을 이용한다. 도금공법으로는 배럴 도금을 이용하는 것이 바람직하다. 이로써, 적층 세라믹 콘덴서(1)를 실장할 때에, 실장에 이용되는 솔더의 젖음성을 향상시키고, 용이하게 실장할 수 있다. 이상의 제조방법에 의해, 적층 세라믹 콘덴서(1)가 제조된다.

- [0099] 본 실시형태의 적층 세라믹 콘덴서(1)에 따르면, 이하의 효과를 발휘한다.
- [0100] 최근, 적층 세라믹 콘덴서로 대표되는 세라믹 전자부품은 종래에 비해 보다 가혹한 환경하에서 사용되도록 되어 왔다. 예를 들면, 휴대전화, 휴대 음악플레이어 등의 모바일 기기에 이용되는 전자부품에 대해서는 낙하 시의 충격을 견디어내는 것이 요구되고 있다. 구체적으로는 낙하 충격을 받아도 실장기관으로부터 전자부품이 탈락하지 않거나 전자부품에 크랙이 생기지 않도록 할 필요가 있다.
- [0101] 또한, ECU(Electronic Control Unit) 등의 차량용 기기에 이용되는 전자부품에 대해서는 열사이클의 충격을 견디어내는 것이 요구되고 있다. 구체적으로는 열사이클을 받아서 실장기관이 열팽창수축함으로써 발생하는 휨응력을 받아도 전자부품에 크랙이 생기지 않도록 할 필요가 있다.
- [0102] 이에 대한 대응으로, 엄격한 환경하에서도 세라믹 전자부품 본체에 크랙이 생기지 않는 바와 같은 대책으로서, 세라믹 전자부품의 외부전극에 열경화성 도전 수지 페이스트를 이용하는 것이 제안되고 있다. 예를 들면, 종래의 전극층과 Ni 도금층 사이에 에폭시계 열경화성 수지층을 형성한다.
- [0103] 이와 같은 구성에서는 낙하 시의 충격에 의한 응력이나, 열사이클을 받아서 실장기관이 열팽창수축함으로써 발생하는 휨응력이 발생했을 때, 실장기관의 일그러짐에 의해 실장기관에 전해지는 응력을 에폭시계 열경화성 수지층이 높아져서 세라믹 전자부품 본체에 크랙이 생기는 것을 억제한다.
- [0104] 그러나 특허문헌 1과 같은 적층 세라믹 전자부품에서는 도전성 수지층 상에 배치된 Ni 도금층에서의 응력에 대해서는 규정되어 있지 않다.
- [0105] 본 발명에서는 Ni 도금층의 내부에 인장응력이 잔류함으로써 Ni 도금층이 도전성 수지층을 하부전극층 측으로 팽 늘려서 도전성 수지층이 압축되고, 도전성 수지층 중의 도전성 필러끼리의 접촉량이 증가하여, 도전성 수지층의 도통성을 향상시킬 수 있다. 그러므로, 적층 세라믹 전자부품의 ESR을 저감하고, 초기 특성을 개선한 적층 세라믹 전자부품을 제공할 수 있다.
- [0106] (1) 본 실시형태에 따른 적층 세라믹 콘덴서(1)(적층 세라믹 전자부품(1))는 적층된 복수개의 유전체층(20)(세라믹층(20))을 포함하고, 적층방향(T)으로 마주보는 제1 주면(TS1) 및 제2 주면(TS2)과, 적층방향(T)에 직교하는 폭방향(W)으로 마주보는 제1 측면(WS1) 및 제2 측면(WS2)과, 적층방향(T) 및 폭방향(W)에 직교하는 길이방향(L)으로 마주보는 제1 단면(LS1) 및 제2 단면(LS2)을 가지는 적층체(10)와, 복수개의 유전체층(20) 상에 배치되고, 제1 단면(LS1)에 노출되는 제1 내부전극층(31)(제1 내부도체층(31))과, 복수개의 유전체층(20) 상에 배치되고, 제2 단면(LS2)에 노출되는 제2 내부전극층(32)(제2 내부도체층(32))과, 제1 단면(LS1) 상에 배치된 제1 외부전극(40A)과, 제2 단면(LS2) 상에 배치된 제2 외부전극(40B)을 가지는 적층 세라믹 콘덴서(1)에 있어서, 제1 외부전극(40A)은 금속 성분을 포함하는 제1 하부전극층(50A)과, 제1 하부전극층(50A) 상에 배치되는 열경화성 수지 및 금속 성분을 포함하는 제1 도전성 수지층(60A)과, 제1 도전성 수지층(60A) 상에 배치되는 제1 Ni 도금층(71A)을 가지며, 제2 외부전극(40B)은 금속 성분을 포함하는 제2 하부전극층(50B)과, 제2 하부전극층(50B) 상에 배치되는 열경화성 수지 및 금속 성분을 포함하는 제2 도전성 수지층(60B)과, 제2 도전성 수지층(60B) 상에 배치되는 제2 Ni 도금층(71B)을 가지며, 제1 Ni 도금층(71A)의 내부에는 내부응력으로서 인장응력이 잔류하고, 제2 Ni 도금층(71B)의 내부에는 내부응력으로서 인장응력이 잔류한다.
- [0107] 이로써, ESR을 저감 가능한 적층 세라믹 전자부품을 제공할 수 있다.
- [0108] (2) 본 실시형태의 적층 세라믹 콘덴서(1)에서 제1 Ni 도금층(71A) 및 제2 Ni 도금층(71B)에 생기는 인장응력은 50MPa 이상이다.
- [0109] 이로써, ESR을 더 저감할 수 있다.
- [0110] (3) 본 실시형태의 적층 세라믹 콘덴서(1)는 제1 Ni 도금층(71A) 상에 배치된 제1 Sn 도금층(72A)과, 제2 Ni 도금층(71B) 상에 배치된 제2 Sn 도금층(72B)을 가진다.
- [0111] 이로써, 솔더 젖음성을 향상시키면서 ESR을 저감할 수 있다.
- [0112] (4) 본 실시형태의 적층 세라믹 콘덴서(1)는, 제1 하부전극층(50A)은 유리 성분 혹은 세라믹 성분을 포함하고,

제2 하부전극층(50B)은 유리 성분 혹은 세라믹 성분을 포함한다.

[0113] 이로써, 적층체와 하부전극층의 밀착성을 향상시키면서 ESR을 저감할 수 있다.

[0114] <실시예>

[0115] 상기 실시형태에 따른 제조방법을 이용하여, 도 1~도 4의 구조의 적층 세라믹 콘덴서를 실시예 및 비교예의 샘플로서 제작했다. 한편, 샘플에 관해서는 표 1에 기재된 응력이 되도록 상기의 제조방법에 기재된 방법으로 Ni 도금층의 응력을 컨트롤하여 샘플을 제작하고, 각각의 응력의 조건마다 22개씩 샘플을 제작했다. 적층 세라믹 콘덴서의 사양은 이하와 같다.

[0116] · 적층 세라믹 콘덴서의 치수: 3.2mm(길이방향(L))×2.5mm(폭방향(W))×2.5mm(적층방향(T))

[0117] · 세라믹 재료: BaTiO₃

[0118] · 정전용량: 0.01 μ F

[0119] · 정격전압: 50V

[0120] · 외부전극의 구조

[0121] (1) 하부전극층: 도전성 금속(Cu)과 유리 성분을 포함하는 전극

[0122] 제1 단면 및 제2 단면에 위치하는 하부전극층의 높이방향 중앙부에서의 하부전극층의 두께: 15 μ m

[0123] 제1 주면 및 제2 주면, 제1 측면 및 제2 측면 상에 위치하는 하부전극층의 길이방향의 중앙부에서의 하부전극층의 두께: 4 μ m

[0124] (2) 도전성 수지층

[0125] 도전성 수지층부: 도전성 필러: Ag

[0126] 수지: 에폭시계

[0127] 열경화 온도: 200 $^{\circ}$ C

[0128] 제1 단면 및 제2 단면에 위치하는 제1 도전성 수지층부의 높이방향 중앙부에서의 두께: 20 μ m

[0129] 제1 주면 및 제2 주면, 제1 측면 및 제2 측면 상에 위치하는 하부전극층의 길이방향의 중앙부에서의 하부전극층의 두께: 20 μ m

[0130] (3) Ni 도금층

[0131] Ni 도금층 두께: 제1 단면 및 제2 단면에 위치하는 Ni 도금층의 높이방향 중앙부에서의 Ni 도금층의 두께: 2 μ m

[0132] 제1 주면 및 제2 주면, 제1 측면 및 제2 측면 상에 위치하는 Ni 도금층의 길이방향의 중앙부에서의 Ni 도금층의 두께: 2.0 μ m

[0133] (4) Sn 도금층

[0134] Sn 도금층 두께: 제1 단면 및 제2 단면에 위치하는 Sn 도금층의 높이방향 중앙부에서의 Sn 도금층의 두께: 1.5 μ m

[0135] 제1 주면 및 제2 주면, 제1 측면 및 제2 측면 상에 위치하는 Sn 도금층의 길이방향의 중앙부에서의 Sn 도금층의 두께: 1.0 μ m

[0136] 다음으로, 실시예 및 비교예의 샘플에 대해 Ni 도금의 응력측정과 ESR측정을 실시했다. Ni 도금의 응력측정과 ESR측정은, 동일 로트로 제조한 적층 세라믹 콘덴서 중 다른 적층 세라믹 콘덴서를 이용하여 실시했다. Ni 도금층의 응력측정은 n=2의 데이터 평균값을 측정 결과로 했다. 실시예 및 비교예 각각의 ESR은 측정 주파수 1MHz에서의 n=20의 데이터 평균값을 측정 결과로 했다. 그리고 판정 기준으로서, ESR이 8m Ω 이하인 수치를 '○', 10m Ω 이하인 수치를 '△', 10m Ω 보다 큰 수치를 '×'로 판정했다.

표 1

	Ni 도금 응력 (Mpa)	칩의 ESR [mΩ]	판정
비교예 1	-9	12.7	×
실시에 1	10	10.0	△
실시에 2	35	9.8	△
실시에 3	50	7.1	○
실시에 4	66	6.6	○
실시에 5	113	6.2	○
실시에 6	113	5.2	○
실시에 7	120	4.0	○
실시에 8	160	4.8	○
실시에 9	173	5.1	○
실시에 10	206	5.0	○

[0137]

[0138]

<Ni 도금의 응력측정>

[0139]

이하, 본 실시예에서의 Ni 도금의 응력측정에 대해 설명한다. Ni 도금층의 응력은 이하의 방법으로 측정했다.

[0140]

우선, 금속박리제(벨스트립(등록상표) HN980M 벨텍스 가부시키가이샤 제품)액을 이용하고, 액 안으로 적층 세라믹 콘덴서(1)를 5분간 침지한 후, 수세하고 Sn 도금층을 박리했다. 적층 세라믹 콘덴서(1)의 제1 단면(LS1) 측 및 제2 단면(LS2) 측의 Ni 도금층 각각에 대해 제1 주면(TS1) 상 및 제2 주면(TS2) 상 및 제1 측면(WS1) 상 및 제2 측면(WS2) 상에 위치하는 Ni 도금층 각각의 표면의 대략 한가운데에서, 각각 $\phi 100\mu\text{m}$ 의 범위로 X선 회절법($\mu\text{-XRD}$ (X-ray Diffraction))을 이용하여 측정했다.

[0141]

보다 상세하게는 제1 주면(TS1) 상의 Ni 도금층의 응력은 제1 주면(TS1) 상의 제1 Ni 도금층(71A) 및 제2 Ni 도금층(71B) 각각의 길이방향(L)의 중앙이면서 폭방향(W)의 중앙의 위치를 대상으로 하여 측정했다. 또한, 제2 주면(TS2) 상의 Ni 도금층의 응력은 제2 주면(TS2) 상의 제1 Ni 도금층(71A) 및 제2 Ni 도금층(71B) 각각의 길이방향(L)의 중앙이면서 폭방향(W)의 중앙의 위치를 대상으로 하여 측정했다. 또한, 제1 측면(WS1) 상의 Ni 도금층의 응력은 제1 측면(WS1) 상의 제1 Ni 도금층(71A) 및 제2 Ni 도금층(71B) 각각의 길이방향(L)의 중앙이면서 적층방향(T)의 중앙의 위치를 대상으로 하여 측정했다. 또한, 제2 측면(WS2) 상의 Ni 도금층의 응력은 제2 측면(WS2) 상의 제1 Ni 도금층(71A) 및 제2 Ni 도금층(71B) 각각의 길이방향(L)의 중앙이면서 적층방향(T)의 중앙의 위치를 대상으로 하여 측정했다. 제작한 2개의 샘플을 측정하고, 상기의 8군데의 측정값의 평균값을 응력의 측정값으로 했다.

[0142]

<적층 세라믹 콘덴서의 ESR의 측정>

[0143]

이하, 본 실시예에서의 ESR의 측정에 대해 설명한다. 적층 세라믹 콘덴서(1)의 ESR의 측정은 측정 전에 적층 세라믹 콘덴서(1)를 공기분위기에서 150℃로 1시간의 열처리를 실시하고, 그 후, 측정용 기판에 실장하고, 열처리 완료 후 24±2시간 후에 측정 주파수를 1MHz로 하고, 네트워크 애널리저를 이용하여 측정했다. 제작한 20개의 샘플을 측정하고, 그 평균값을 상기 표 1의 값으로 했다.

[0144]

이상의 결과로부터, 본 발명에서는 도전성 수지층 상에 배치된 Ni 도금층의 응력을 인장응력으로 함으로써 Ni 도금이 도전성 수지층을 하부전극층 측으로 팽겨서 도전성 수지층이 압축되고, 도전성 수지층 중의 도전성 필러끼리의 접촉량이 증가하여, 도전성 수지층의 도통성을 향상시키는 효과가 있는 것이 나타났다.

[0145]

또한, Ni 도금층의 응력을 50MPa 이상으로 함으로써 본 발명의 효과를 보다 현저한 것으로 할 수 있고, 초기 특성이 개선된 적층 세라믹 콘덴서를 제공할 수 있었다.

[0146]

한편, 적층 세라믹 콘덴서(1)의 구성은 도 1~4에 나타내는 구성에 한정되지 않는다. 예를 들면, 적층 세라믹 콘덴서(1)는 도 6, 도 7, 도 8에 나타내는 바와 같은, 2연 구조, 3연 구조, 4연 구조의 적층 세라믹 콘덴서이더라도

된다.

- [0147] 도 6에 나타내는 적층 세라믹 콘덴서(1)는 2연 구조의 적층 세라믹 콘덴서(1)이고, 내부전극층(30)으로서, 제1 내부전극층(33) 및 제2 내부전극층(34)에 더하여, 제1 단면(LS1) 및 제2 단면(LS2)의 어느 쪽으로도 인출되지 않는 플로팅 내부전극층(35)을 포함한다. 도 7에 나타내는 적층 세라믹 콘덴서(1)는 플로팅 내부전극층(35)으로서, 제1 플로팅 내부전극층(35A) 및 제2 플로팅 내부전극층(35B)을 포함한, 3연 구조의 적층 세라믹 콘덴서(1)이다. 도 8에 나타내는 적층 세라믹 콘덴서(1)는 플로팅 내부전극층(35)으로서, 제1 플로팅 내부전극층(35A), 제2 플로팅 내부전극층(35B) 및 제3 플로팅 내부전극층(35C)을 포함한, 4연 구조의 적층 세라믹 콘덴서(1)이다. 이와 같이, 내부전극층(30)으로서, 플로팅 내부전극층(35)을 마련함으로써 적층 세라믹 콘덴서(1)는 대향 전극 부가 복수개로 분할된 구조가 된다. 이로써, 대향하는 내부전극층(30) 사이에서 복수개의 콘덴서 성분이 형성되고, 이들 콘덴서 성분이 직렬로 접속된 구성이 된다. 따라서, 각각의 콘덴서 성분에 인가되는 전압이 낮아져, 적층 세라믹 콘덴서(1)의 고내압화를 도모할 수 있다. 한편, 본 실시형태의 적층 세라믹 콘덴서(1)는 4연 이상의 다연 구조이어도 되는 것은 말할 필요도 없다.
- [0148] 한편, 적층 세라믹 콘덴서(1)는 2개의 외부전극을 포함하는 2단자형인 것이어도 되고, 다수의 외부전극을 포함하는 다단자형인 것이어도 된다.
- [0149] 한편, 상술한 실시형태에서는 적층 세라믹 전자부품으로서, 유전체 세라믹에 의해 구성되는 유전체층(20)이 세라믹층으로서 이용되는 적층 세라믹 콘덴서를 예시했다. 그러나 본 개시의 적층 세라믹 전자부품은 이에 한정되지 않는다. 예를 들면, 본 개시의 세라믹 전자부품은 세라믹층으로서 압전체 세라믹을 이용한 압전부품, 세라믹층으로서 반도체 세라믹을 이용한 서미스터, 및 세라믹층으로서 자성체 세라믹을 이용한 인덕터 등의 다양한 적층 세라믹 전자부품에도 적용이 가능하다. 압전체 세라믹으로는 PZT(티탄산지르콘산납)계 세라믹 등을 들 수 있고, 반도체 세라믹으로는 스피넬계 세라믹 등을 들 수 있으며, 자성체 세라믹으로는 페라이트 등 세라믹을 들 수 있다.
- [0150] 본 발명은 상기 실시형태의 구성에 한정되는 것은 아니며, 본 발명의 요지를 변경하지 않는 범위에서 적당히 변경하여 적용할 수 있다. 한편, 상기 실시형태에서 기재하는 각각의 바람직한 구성을 2개 이상 조합한 것도 또한 본 발명이다.
- [0151] <1>
- [0152] 적층된 복수개의 세라믹층을 포함하고, 높이방향으로 마주보는 제1 주면 및 제2 주면과, 높이방향에 직교하는 폭방향으로 마주보는 제1 측면 및 제2 측면과, 높이방향 및 폭방향에 직교하는 길이방향으로 마주보는 제1 단면 및 제2 단면을 가지는 적층체와,
- [0153] 상기 복수개의 세라믹층 상에 배치되고, 상기 제1 단면에 노출되는 제1 내부도체층과,
- [0154] 상기 복수개의 세라믹층 상에 배치되고, 상기 제2 단면에 노출되는 제2 내부도체층과,
- [0155] 상기 제1 단면 상에 배치된 제1 외부전극과,
- [0156] 상기 제2 단면 상에 배치된 제2 외부전극을 가지는 적층 세라믹 전자부품에 있어서,
- [0157] 상기 제1 외부전극은, 금속 성분을 포함하는 제1 하부전극층과, 상기 제1 하부전극층 상에 배치되는 열경화성 수지 및 금속 성분을 포함하는 제1 도전성 수지층과, 상기 제1 도전성 수지층 상에 배치되는 제1 Ni 도금층을 가지며,
- [0158] 상기 제2 외부전극은, 금속 성분을 포함하는 제2 하부전극층과, 상기 제2 하부전극층 상에 배치되는 열경화성 수지 및 금속 성분을 포함하는 제2 도전성 수지층과, 상기 제2 도전성 수지층 상에 배치되는 제2 Ni 도금층을 가지며,
- [0159] 상기 제1 Ni 도금층의 내부에는 내부응력으로서 인장응력이 잔류하고,
- [0160] 상기 제2 Ni 도금층의 내부에는 내부응력으로서 인장응력이 잔류하는, 적층 세라믹 전자부품.
- [0161] <2>
- [0162] <1>에 있어서,
- [0163] 상기 인장응력은 50MPa 이상인, 적층 세라믹 전자부품.

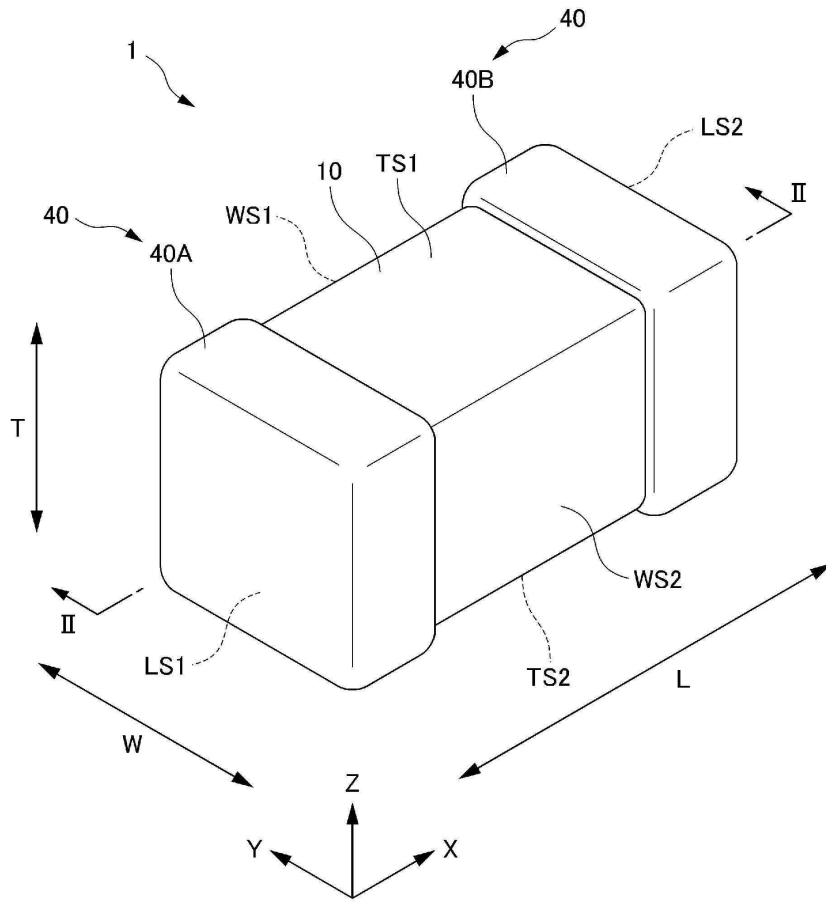
- [0164] <3>
- [0165] <1> 또는 <2>에 있어서,
- [0166] 상기 제1 Ni 도금층 상에는 제1 Sn 도금층이 배치되고,
- [0167] 상기 제2 Ni 도금층 상에는 제2 Sn 도금층이 배치되는, 적층 세라믹 전자부품.
- [0168] <4>
- [0169] <1> 내지 <3> 중 어느 하나에 있어서,
- [0170] 상기 제1 하부전극층은 유리 성분 혹은 세라믹 성분을 포함하고,
- [0171] 상기 제2 하부전극층은 유리 성분 혹은 세라믹 성분을 포함하는, 적층 세라믹 전자부품.

부호의 설명

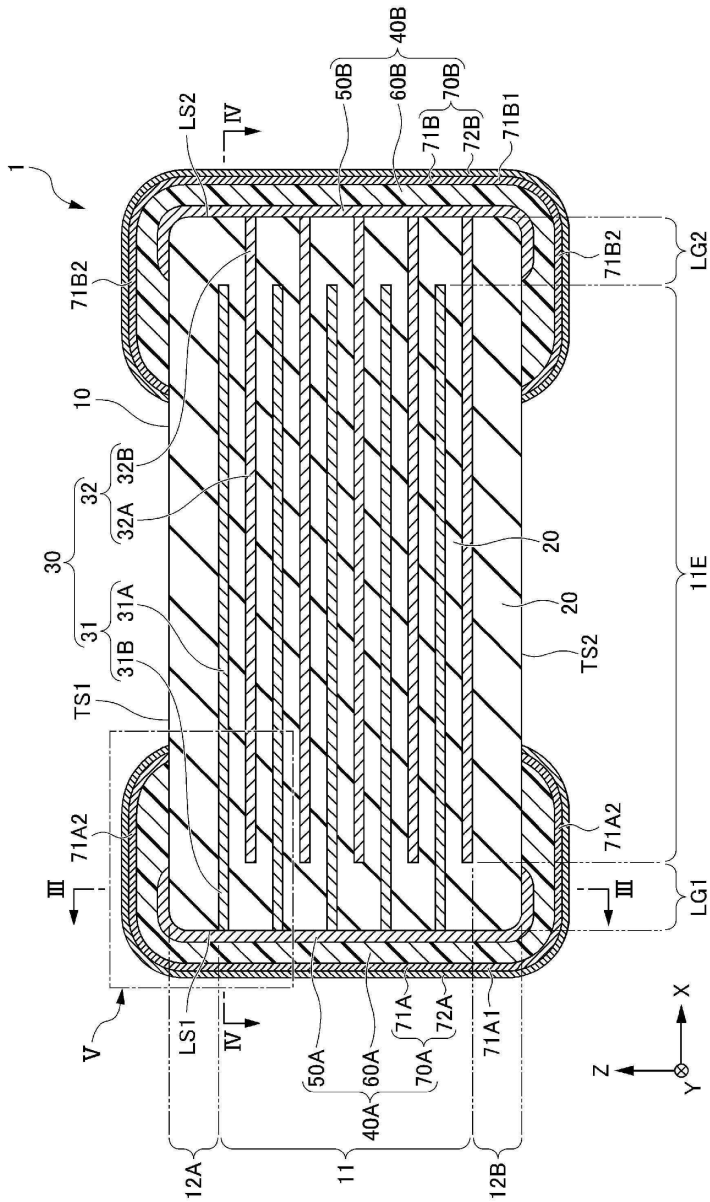
- [0172] 1: 적층 세라믹 콘덴서(적층 세라믹 전자부품)
- 10: 적층체
- 20: 유전체층(세라믹층)
- 31: 제1 내부전극층(제1 내부도체층)
- 32: 제2 내부전극층(제2 내부도체층)
- 40A: 제1 외부전극
- 40B: 제2 외부전극
- 50A: 제1 하부전극층
- 50B: 제2 하부전극층
- 60A: 제1 도전성 수지층
- 60B: 제2 도전성 수지층
- 71A: 제1 Ni 도금층
- 71B: 제2 Ni 도금층
- T: 높이방향
- TS1: 제1 주면
- TS2: 제2 주면
- W: 폭방향
- WS1: 제1 측면
- WS2: 제2 측면
- L: 길이방향
- LS1: 제1 단면
- LS2: 제2 단면

도면

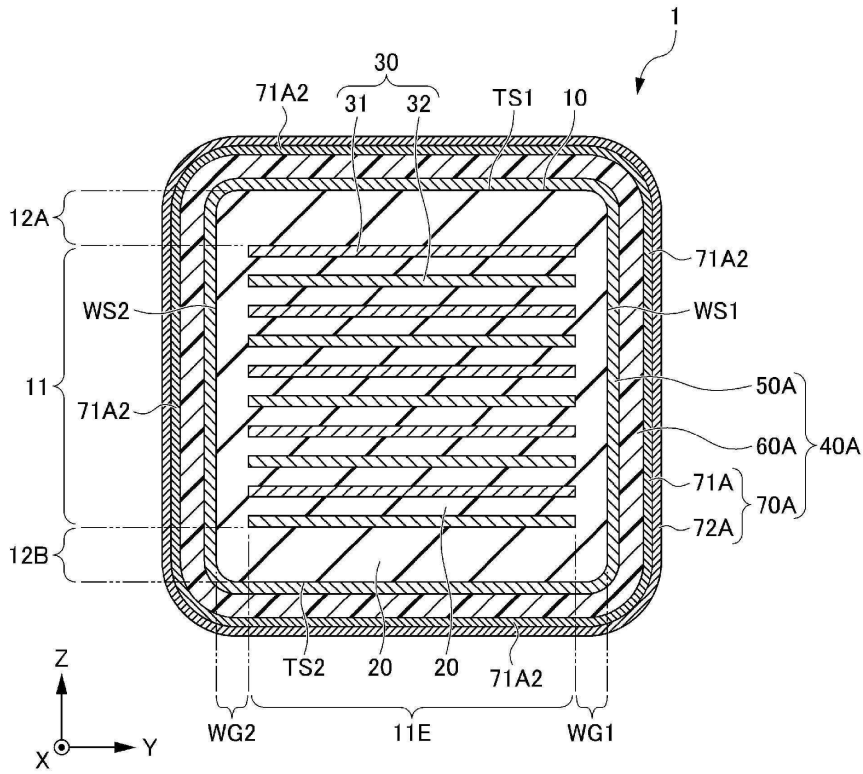
도면1



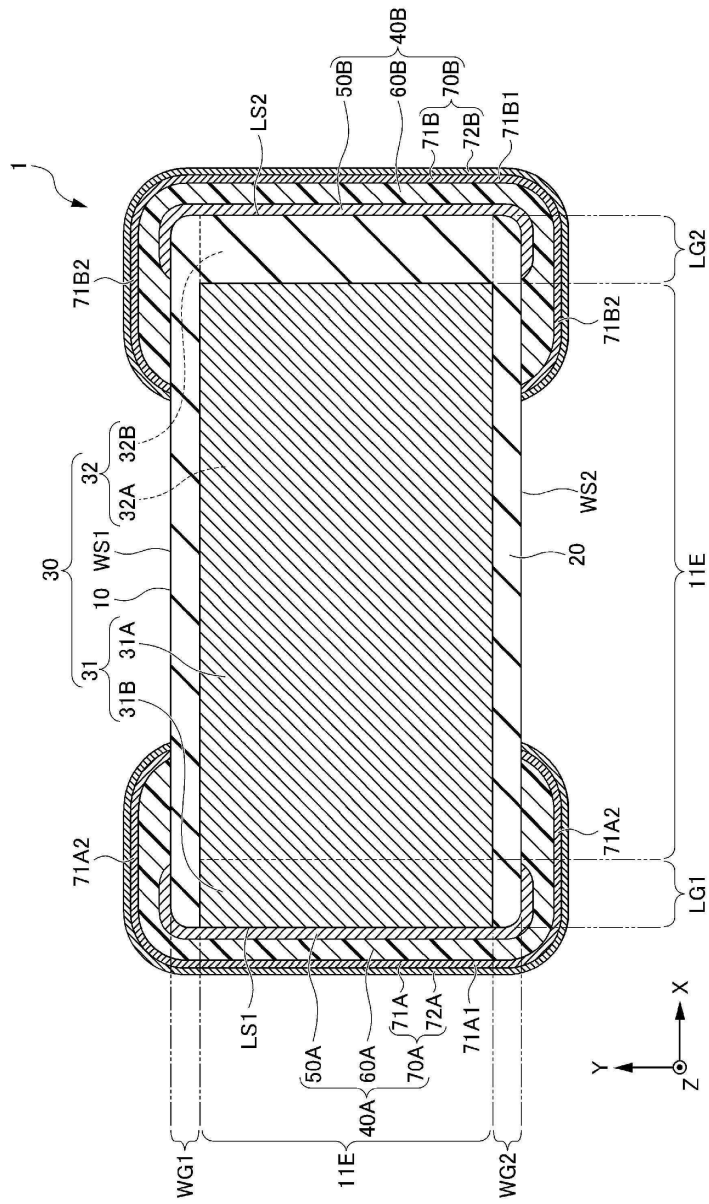
도면2



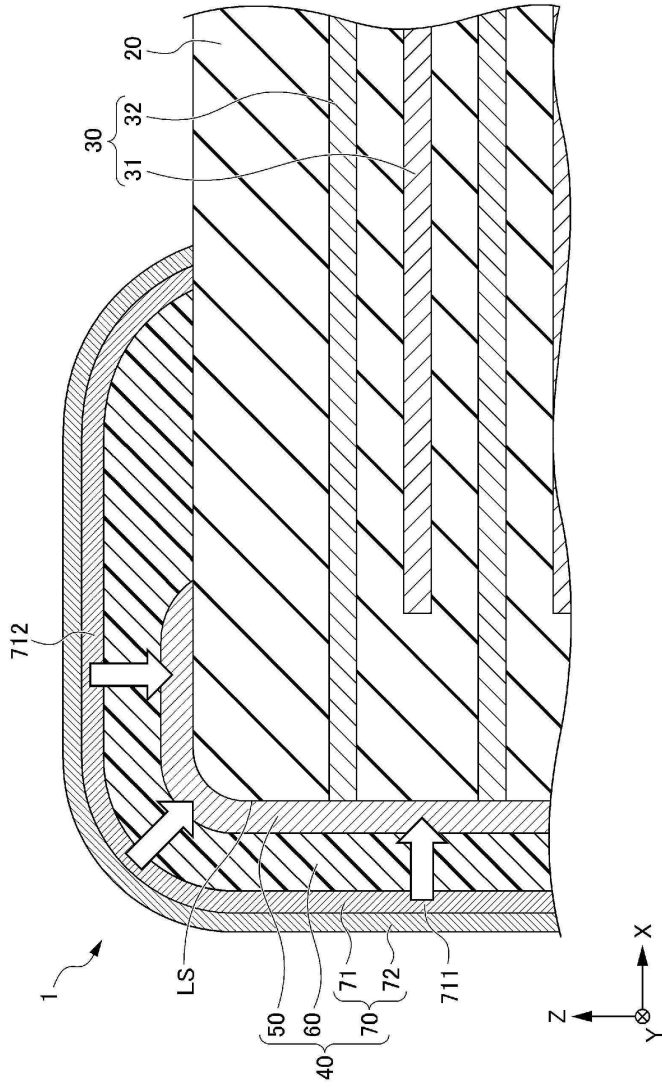
도면3



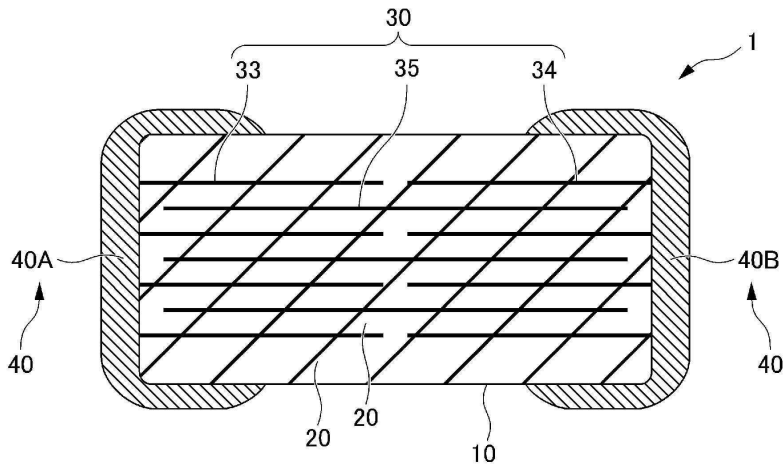
도면4



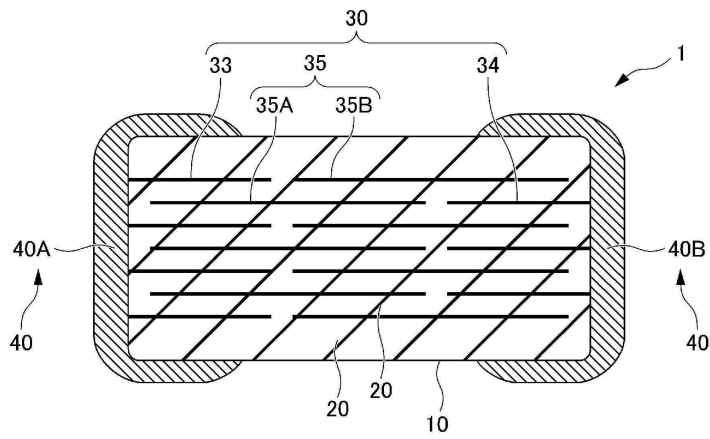
도면5



도면6



도면7



도면8

