

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年1月26日(2012.1.26)

【公表番号】特表2010-509770(P2010-509770A)

【公表日】平成22年3月25日(2010.3.25)

【年通号数】公開・登録公報2010-012

【出願番号】特願2009-536251(P2009-536251)

【国際特許分類】

H 01 L	21/338	(2006.01)
H 01 L	29/812	(2006.01)
H 01 L	29/778	(2006.01)
H 01 L	21/28	(2006.01)
H 01 L	29/47	(2006.01)
H 01 L	29/872	(2006.01)
H 01 L	29/417	(2006.01)
H 01 L	29/423	(2006.01)
H 01 L	21/205	(2006.01)
H 01 L	21/318	(2006.01)
H 01 L	21/316	(2006.01)
H 01 L	21/265	(2006.01)

【F I】

H 01 L	29/80	F
H 01 L	29/80	H
H 01 L	21/28	3 0 1 B
H 01 L	29/48	P
H 01 L	29/50	J
H 01 L	29/50	B
H 01 L	29/58	Z
H 01 L	29/50	Z
H 01 L	21/205	
H 01 L	21/318	B
H 01 L	21/316	X
H 01 L	29/48	D
H 01 L	21/265	H

【手続補正書】

【提出日】平成23年12月2日(2011.12.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体デバイスを製作する方法であって、

第1の伝導型の第1の半導体層を形成するステップと、

前記第1の半導体層の伝導度よりも低い伝導度を有する第2の半導体層を、前記第1の半導体層上に形成するステップと、

前記第2の半導体層上に保護層を形成するステップと、

前記第2の半導体層を貫通して延びて前記第1の半導体層に接触する前記第1の伝導型の打込み領域を形成するように、前記保護層を貫通して前記第2の半導体層中にイオンを打ち込むステップであって、前記打込み領域は前記第2の半導体層中にピークドーパント濃度を有する、打ち込むステップと、

前記第2の半導体層の前記打込み領域上に第1の電極を形成するステップと、

前記打込み領域から間隔をあけて配置された、前記第2の半導体層の非打込み領域上に第2の電極を形成するステップとを含むことを特徴とする方法。

【請求項2】

前記第2の半導体層へイオンを打ち込むステップは、

打ち込まれた領域が第2半導体層全体にわたり、かつ少なくとも部分的に第1半導体層中に形成されるように打ち込むステップを含むことを特徴とする請求項1に記載の方法。

【請求項3】

前記第1電極と第2電極を形成するステップは、

第2半導体層に打ち込まれた領域と非打込み領域の上に導電材を形成し、前記導電材をパターン化して、打込み領域の上に第1電極を、非打込み領域の上に第2電極を定めるステップを含み、ここで第2電極はオーミックコンタクトよりなることを特徴とする請求項2に記載の方法。

【請求項4】

前記第2の半導体層へイオンを打ち込むステップは、

打ち込まれた領域が、第2半導体層全体にわたり、かつ少なくとも部分的に保護層中に形成されるように打ち込むステップを含むことを特徴とする請求項3に記載の方法。

【請求項5】

前記イオンを打ち込むステップは、

打ち込まれたドーパントの分布が、第2の半導体層の全域に亘り、実質的に均一な濃度をもつように、イオンを第2の半導体層へ打ち込むステップを含むことを特徴とする請求項4に記載の方法。

【請求項6】

前記イオンを打ち込む前記ステップの後で、前記打込みイオンを活性化するように前記第1および第2の半導体層および前記保護層をアニールするステップとをさらに含むことを特徴とする請求項5に記載の方法。

【請求項7】

前記第1の電極を形成する前記ステップは、導電材を形成する前に、さらにアニールする前記ステップの後で、前記第2の半導体層の前記打込み領域を露出させるように前記保護層に開口を形成するステップを含み、

ここで、前記開口中の前記露出された打込み領域上に導電材を形成するステップとを含むことを特徴とする請求項6に記載の方法。

【請求項8】

前記第1の半導体層および前記第2の半導体層は、II族窒化物材料を含むことを特徴とする請求項7に記載の方法。

【請求項9】

前記保護層は、高純度窒化物(HPN)を含むことを特徴とする請求項8に記載の方法。

【請求項10】

前記第1および第2の半導体層は、窒化ガリウム(GaN)を含み、前記保護層を形成する前記ステップは、

アルミニウムを含んだII族窒化物を含む第1の保護層を前記第2の半導体層上に形成するステップと、

高純度窒化物(HPN)を含む第2の保護層を前記第1の保護層上に形成するステップとを含むことを特徴とする請求項9に記載の方法。

【請求項11】

実質的に一様な濃度を有する打込みドーパントの分布を実現するように前記イオンを前記第2の半導体層中に打ち込む前記ステップは、

第1のドーズ量および第1の打込みエネルギーで前記第1の伝導型のイオンを打ち込むステップと、

次いで、第2のドーズ量および第2の打込みエネルギーで前記第1の伝導型のイオンを打ち込むステップとを含むことを特徴とする請求項10に記載の方法。

【請求項12】

前記第1のドーズ量は、約 0.5×10^{15} から約 2.5×10^{15} イオン/ cm^2 を含み、前記第1の打込みエネルギーは約160keVを含み、前記第2のドーズ量は、約 0.8×10^{15} から約 5×10^{15} イオン/ cm^2 を含み、前記第2の打込みエネルギーは約260keVを含むことを特徴とする請求項11に記載の方法。

【請求項13】

実質的に一様な濃度を有する打込みドーパントの分布を実現するように前記イオンを前記第2の半導体層中に打ち込む前記ステップは、

前記第1の伝導型のイオンを第3のドーズ量および第3の打込みエネルギーで打ち込むステップをさらに含むことを特徴とする請求項12に記載の方法。

【請求項14】

前記第3のドーズ量は、約 0.5×10^{15} から約 3.7×10^{15} イオン/ cm^2 を含み、前記第3の打込みエネルギーは約360keVを含むことを特徴とする請求項13に記載の方法。

【請求項15】

前記保護層は、窒化珪素(SiN)、二酸化珪素(SiO₂)、および/または酸窒化珪素(SiON)を含むことを特徴とする請求項14に記載の方法。

【請求項16】

前記打込みイオンは、珪素(Si)、硫黄(S)、および/または酸素(O)を含むことを特徴とする請求項15に記載の方法。

【請求項17】

前記第1の半導体層および前記第2の半導体層は、同じ材料を含むことを特徴とする請求項16に記載の方法。

【請求項18】

前記第1の半導体層および/または前記第2の半導体層は、エピタキシャル層を含むことを特徴とする請求項17に記載の方法。

【請求項19】

前記第1の電極は、オームックコンタクトを含むことを特徴とする請求項18に記載の方法。

【請求項20】

前記第1の電極は、前記第2の半導体層の前記打込み領域上の陰極コンタクトを含み、前記第2の電極は、前記第2の半導体層の前記非打込み領域上の陽極コンタクトを含むことを特徴とする請求項19に記載の方法。

【請求項21】

前記第1の半導体層および/または前記第2の半導体層は、約100ナノメートル(nm)から約500nmの厚さを有することを特徴とする請求項20に記載の方法。

【請求項22】

前記第2の電極と前記打込み領域の間の横方向距離は、前記第2の電極と前記第1の電極の間の横方向距離よりも小さいことを特徴とする請求項2に記載の方法。

【請求項23】

前記第2の電極と前記打込み領域の間の前記横方向距離は、約1マイクロメートル(μm)未満であることを特徴とする請求項22に記載の方法。

【請求項24】

前記第1の電極は、前記第2の半導体層の前記打込み領域上のソース/ドレインコンタ

クトを含み、前記第2の電極は、前記第2の半導体層の前記非打込み領域上のゲートコンタクトを含むことを特徴とする請求項1に記載の方法。

【請求項25】

前記第2の半導体層のバンドギャップは、前記第1の半導体層のバンドギャップよりも大きいことを特徴とする請求項24に記載の方法。

【請求項26】

半導体デバイスであって、

第1のドーパント濃度を有する第1の伝導型の第1の半導体層と、

前記第1のドーパント濃度よりも低い第2のドーパント濃度を有する、前記第1の半導体層上の第2の半導体層と、

前記第2の半導体層を貫通して延びて前記第1の半導体層に接触する前記第1の伝導型の打込みドーパントの分布を含み、前記第2の半導体層中にピークドーパント濃度を有する、前記第2の半導体層中の打込み領域と、

前記第2の半導体層上の保護層と、

前記第2の半導体層の前記打込み領域上の第1の電極と、

前記打込み領域から間隔をあけて配置された、前記第2の半導体層の非打込み領域上の第2の電極とを備えることを特徴とする半導体デバイス。

【請求項27】

前記第1の半導体層および前記第2の半導体層は、IIII族窒化物材料を含むことを特徴とする請求項26に記載のデバイス。

【請求項28】

前記第2の半導体層上の前記保護層は、前記保護層を貫通して延びて前記第2の半導体層の前記打込み領域を露出させる開口を含み、前記第1の電極は、前記保護層の前記開口を通して前記第2の半導体層の前記打込み領域まで延びるオーミックコンタクトを備えることを特徴とする請求項26に記載のデバイス。

【請求項29】

前記保護層は、高純度窒化物(HPN)を含むことを特徴とする請求項28に記載のデバイス。

【請求項30】

前記第1および第2の半導体層は、窒化ガリウム(GaN)を含み、前記保護層は、

前記第2の半導体層上の、アルミニウムを含んだIIII族窒化物を含む第1の保護層と、

前記第1の保護層上の、高純度窒化物(HPN)を含む第2の保護層とを含むことを特徴とする請求項28に記載のデバイス。

【請求項31】

前記保護層は、窒化珪素(SiN)、二酸化珪素(SiO₂)、および/または酸窒化珪素(SiON)を含むことを特徴とする請求項28に記載のデバイス。

【請求項32】

前記オーミックコンタクトは、前記保護層に直接接觸していることを特徴とする請求項28に記載のデバイス。

【請求項33】

打込みドーパントの前記分布は、少なくとも部分的に前記保護層中に延びていることを特徴とする請求項28に記載のデバイス。

【請求項34】

打込みドーパントの前記分布は、前記第2の半導体層を貫通して延び、少なくとも部分的に前記第1の半導体層中に延びていることを特徴とする請求項26に記載のデバイス。

【請求項35】

前記第1および第2の電極は、同じ材料層から形成され、前記第2の電極はオーミックコンタクトを含むことを特徴とする請求項34に記載のデバイス。

【請求項36】

前記打込み領域は、約 5×10^{20} イオン / cm^3 のピークドーパント濃度を有することを特徴とする請求項 3 5 に記載のデバイス。

【請求項 3 7】

打込みドーパントの前記分布は、前記第 2 の半導体層の前記打込み領域全体にわたって実質的に一様な濃度を有することを特徴とする請求項 2 6 に記載のデバイス。

【請求項 3 8】

前記打込みドーパントは、珪素 (Si) 、硫黄 (S) 、および / または酸素 (O) を含むことを特徴とする請求項 2 6 に記載のデバイス。

【請求項 3 9】

前記第 1 の半導体層および前記第 2 の半導体層は、同じ材料を含むことを特徴とする請求項 2 6 に記載のデバイス。

【請求項 4 0】

前記第 1 の電極は、オームックコンタクトを含むことを特徴とする請求項 2 6 に記載のデバイス。

【請求項 4 1】

前記第 1 の電極は、前記第 2 の半導体層の前記打込み領域上の陰極コンタクトを含み、前記第 2 の電極は、前記第 2 の半導体層の前記非打込み領域上の陽極コンタクトを含むことを特徴とする請求項 2 6 に記載のデバイス。

【請求項 4 2】

前記第 1 の半導体層および / または前記第 2 の半導体層は、約 100 ナノメートル (nm) から約 500 nm の厚さを有することを特徴とする請求項 4 1 に記載のデバイス。

【請求項 4 3】

前記第 2 の電極と前記打込み領域の間の横方向距離は、前記第 2 の電極と前記第 1 の電極の間の横方向距離よりも小さいことを特徴とする請求項 2 6 に記載のデバイス。

【請求項 4 4】

前記第 2 の電極と前記打込み領域の間の前記横方向距離は、約 1 マイクロメートル (μm) 未満であることを特徴とする請求項 4 3 に記載のデバイス。

【請求項 4 5】

前記第 1 の電極は、前記第 2 の半導体層の前記打込み領域上のソース / ドレインコンタクトを含み、前記第 2 の電極は、前記第 2 の半導体の前記非打込み領域上のゲートコンタクトを含むことを特徴とする請求項 2 6 に記載のデバイス。

【請求項 4 6】

前記第 2 の半導体層のバンドギャップは、前記第 1 の半導体層のバンドギャップよりも大きいことを特徴とする請求項 4 5 に記載のデバイス。