(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6368397号
(P6368397)

(45)発行日　平成30年8月1日(2018.8.1)　(24)登録日　平成30年7月13日(2018.7.13)

(51)Int.Cl.		F I		
H01L 29/786	(2006.01)	H01L	29/78	613Z
H01L 21/8242	(2006.01)	H01L	27/108	321
H01L 27/108	(2006.01)	H01L	27/108	671Z
G11C 11/405	(2006.01)	H01L	29/78	618B
		H01L	29/78	613B

請求項の数 6　(全 27 頁)　最終頁に続く

(21)出願番号　特願2017-77927(P2017-77927)
(22)出願日　平成29年4月11日(2017.4.11)
(62)分割の表示　特願2016-9364(P2016-9364)の分割
原出願日　平成23年12月19日(2011.12.19)
(65)公開番号　特開2017-130690(P2017-130690A)
(43)公開日　平成29年7月27日(2017.7.27)
審査請求日　平成29年4月11日(2017.4.11)
(31)優先権主張番号　特願2010-287598(P2010-287598)
(32)優先日　平成22年12月24日(2010.12.24)
(33)優先権主張国　日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　遠藤　正己
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　大嶋　和晃
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
審査官　岩本　勉

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
第１のトランジスタと、第２のトランジスタと、容量素子と、を有し、
前記第１のトランジスタのゲートは、前記第１のトランジスタのソース又はドレインの一方と電気的に接続され、
前記第１のトランジスタのソース又はドレインの一方は、前記第２のトランジスタのバックゲートと直接接続され、
前記第１のトランジスタのソース又はドレインの一方は、前記容量素子と電気的に接続され、
前記第１のトランジスタは、チャネル形成領域にＩｎ、Ｇａ、Ｚｎ及びＯを有し、
前記第２のトランジスタは、チャネル形成領域にＩｎ、Ｇａ、Ｚｎ及びＯを有することを特徴とする半導体装置。
【請求項２】
第１のトランジスタと、第２のトランジスタと、容量素子と、を有し、
前記第１のトランジスタのゲートは、前記第１のトランジスタのソース又はドレインの一方と電気的に接続され、
前記第１のトランジスタのバックゲートは、前記第１のトランジスタのソース又はドレインの一方と電気的に接続され、
前記第１のトランジスタのソース又はドレインの一方は、前記第２のトランジスタのバックゲートと直接接続され、

前記第１のトランジスタのソース又はドレインの一方は、前記容量素子と電気的に接続され、
前記第１のトランジスタは、チャネル形成領域にＩｎ、Ｇａ、Ｚｎ及びＯを有し、
前記第２のトランジスタは、チャネル形成領域にＩｎ、Ｇａ、Ｚｎ及びＯを有することを特徴とする半導体装置。
【請求項３】
第１のトランジスタと、複数の第２のトランジスタと、容量素子と、を有し、
前記第１のトランジスタのゲートは、前記第１のトランジスタのソース又はドレインの一方と電気的に接続され、
前記第１のトランジスタのソース又はドレインの一方は、前記複数の第２のトランジスタのバックゲートと直接接続され、
前記第１のトランジスタのソース又はドレインの一方は、前記容量素子と電気的に接続され、
前記第１のトランジスタは、チャネル形成領域に酸化インジウムガリウム亜鉛系化合物を有し、
前記複数の第２のトランジスタは、チャネル形成領域に酸化インジウムガリウム亜鉛系化合物を有することを特徴とする半導体装置。
【請求項４】
第１のトランジスタと、複数の第２のトランジスタと、容量素子と、を有し、
前記第１のトランジスタのゲートは、前記第１のトランジスタのソース又はドレインの一方と電気的に接続され、
前記第１のトランジスタのバックゲートは、前記第１のトランジスタのソース又はドレインの一方と電気的に接続され、
前記第１のトランジスタのソース又はドレインの一方は、前記複数の第２のトランジスタのバックゲートと直接接続され、
前記第１のトランジスタのソース又はドレインの一方は、前記容量素子と電気的に接続され、
前記第１のトランジスタは、チャネル形成領域に酸化インジウムガリウム亜鉛系化合物を有し、
前記複数の第２のトランジスタは、チャネル形成領域に酸化インジウムガリウム亜鉛系化合物を有することを特徴とする半導体装置。
【請求項５】
請求項１又は請求項２において、
前記第１のトランジスタを介して前記第２のトランジスタのバックゲートに供給される電圧に応じて、前記第２のトランジスタのしきい値電圧を制御することが可能であることを特徴とする半導体装置。
【請求項６】
請求項３又は請求項４において、
前記第１のトランジスタを介して前記複数の第２のトランジスタのバックゲートに供給される電圧に応じて、前記複数の第２のトランジスタのしきい値電圧を制御することが可能であることを特徴とする半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体回路とその駆動方法に関する。本発明は記憶装置、表示装置、及び電子機器に関する。
【背景技術】
【０００２】
電界効果トランジスタ（ＦＥＴ、以下トランジスタとも呼ぶ。）は、ソース、ゲート、ドレインの３つの電極を有し、ゲートに電圧を印加することによってソース－ドレイン間を

流れる電子または正孔（ホール）の流れを制御する。活性層として用いられる半導体は、珪素やゲルマニウム等のＩＶ族元素やガリウムヒ素、インジウムリン、窒化ガリウム等のＩＩＩ－Ｖ族化合物、硫化亜鉛、カドミウムテルル等のＩＩ－ＶＩ族化合物等が挙げられる。

【０００３】

近年、酸化亜鉛や酸化インジウムガリウム亜鉛系化合物等の酸化物を半導体として用いたＦＥＴが報告された（特許文献１および特許文献２）。これらの酸化物半導体を用いたＦＥＴでは、比較的大きな移動度が得られると共に、それらの材料が３電子ボルト以上の大きなバンドギャップを有するが故に、酸化物半導体を用いたトランジスタをディスプレーやパワーデバイス等に応用することが議論されている。

【０００４】

ところで、トランジスタはそのしきい値電圧の違いによって、大きくエンハンスメント型（ノーマリーオフ型）と、デプレッション型（ノーマリーオン型）との２つに分類される。一般に、エンハンスメント型ではゲート‐ソース間の電位差が０Ｖのときにオフ状態であるのに対し、デプレッション型ではオン状態である点で異なる。

【先行技術文献】

【特許文献】

【０００５】

【特許文献１】米国特許公開２００５／０１９９８７９号公報
【特許文献２】米国特許公開２００７／０１９４３７９号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

トランジスタのしきい値電圧は、当該トランジスタの作製工程に応じて変動しやすく、厳密に制御することは困難である。また、回路動作や使用環境などによっては劣化によって変動する場合もある。したがってトランジスタのしきい値電圧を所望の値に制御、保持することが望まれている。

【０００７】

また、トランジスタのしきい値電圧を制御し、一つのトランジスタをあるときにはエンハンスメント型として、またあるときにはデプレッション型として使い分けることが望まれている。

【０００８】

例えば、トランジスタをスイッチング素子として用いる場合には、非動作時にはエンハンスメント型としてリーク電流を抑制し消費電力を抑える。一方、動作時には大きな電流を流すためにデプレッション型として用いる。このような使い分けは、トランジスタの消費電力を低減し、電力効率を向上させる上で非常に有効である。

【０００９】

特に、トランジスタと保持容量とを具備したメモリセルを有する記憶装置や、電子ペーパー、液晶表示装置などの表示装置においては、当該トランジスタをリーク電流の極めて低減されたエンハンスメント型のトランジスタとすることにより保持時間を長くすることが可能となる。

【００１０】

また、例えばＥＳＤ（ＥｌｅｃｔｒｏＳｔａｔｉｃ　Ｄｉｓｃｈａｒｇｅ）保護回路などに用いる場合は、サージ電流を効率よく逃すために、デプレッション型に保持しておくことが有効である。

【００１１】

トランジスタのしきい値電圧を制御する方法として、チャネルを挟んで対向して設けられた２つのゲート電極のうち、一方のゲート電極にバイアス電圧を印加することにより、トランジスタのしきい値電圧をシフトさせる方法が知られている。ここでバイアス電圧を印加する一方のゲート電極のことをバックゲートと呼ぶこともある。

【００１２】
しかしながら上記方法では、バックゲートに電圧が印加されていない間はトランジスタのしきい値電圧を所望の値に保持しておくことが出来ない。また、常にバックゲートに電圧を入力しておく必要があるため、消費電力の増大や、回路動作が煩雑になるなどの問題があった。
【００１３】
本発明の目的は、トランジスタのしきい値電圧を最適な値に保持可能な半導体回路を提供することを課題の一とする。またトランジスタのしきい値電圧を制御可能な半導体回路、及びその駆動方法を提供することを課題の一とする。また上記半導体回路を適用した記憶装置、表示装置、及び電子機器を提供することを課題の一とする。
【課題を解決するための手段】
【００１４】
上記目的を達成するために、本発明はトランジスタのバックゲートへ電圧を入力する半導体回路に着眼した。バックゲートに接続する半導体回路として、トランジスタのしきい値電圧が最適になるように所望の電圧を印加することが可能で、且つその電圧を保持することができる半導体回路を用いればよい。さらにバックゲートの電圧を一時的に変化させられる半導体回路を用いればよい。
【００１５】
すなわち、本発明の一態様は、一方の電極が第１のトランジスタのバックゲートと接続し、他方の電極に信号が入力されるダイオードと、一方の電極がダイオードの一方の電極と接続し、他方の電極が接地される第１の容量素子と、ダイオードと並列に接続される第２の容量素子と、を有し、上記第１のトランジスタのしきい値を制御可能な半導体回路である。
【００１６】
また、本発明の一態様は、ダイオードを介して入力部から第１の入力信号を入力し、第１の容量素子に第１の電圧を保持させると共に、トランジスタのバックゲートに当該第１の電圧を印加してトランジスタのしきい値電圧を第１のしきい値電圧とする第１のステップと、ダイオードに並列に接続された第２の容量素子を介して第２の入力信号を入力し、トランジスタのバックゲートに第２の電圧を印加してトランジスタのしきい値電圧を第２のしきい値電圧とする第２のステップと、を有する半導体回路の駆動方法である。
【００１７】
本発明の半導体回路の出力端子は、被制御トランジスタ（第１のトランジスタ）のバックゲートに接続され、当該半導体回路は上記バックゲートへの出力ノードにダイオード、及び他方の電極が接地された第１の容量素子が接続され、ダイオードと並列に第２の容量素子が接続される。後の詳細な説明で述べるが、ダイオードの向きは、トランジスタの極性や入力電圧の正負に応じて適宜選択する。
【００１８】
ダイオードの他方の電極から入力された電圧は上記第１の容量素子に保持されるため、被制御トランジスタのバックゲートに出力されるバイアス電圧（出力ノードの電圧）は当該電圧入力を止めても保持される。したがって、半導体回路に接続された被制御トランジスタのしきい値電圧は、電圧入力を止めた後でも適切な値に保持される。
【００１９】
また、半導体回路の入力部に上記電圧とは逆極性の電圧を入力した場合、ダイオードと並列に接続された第２の容量素子の容量結合により上記出力ノードの電圧は一時的に変化する。したがって、出力ノードに接続される被制御トランジスタのしきい値電圧を一時的に変化させることができる。
【００２０】
また、本発明の一態様は、上記の半導体回路を構成するダイオードが、チャネルを形成する半導体層に酸化物半導体を用いた第２のトランジスタから構成されている。
【００２１】

上記の半導体回路を構成するダイオードは、チャネルを形成する半導体層に酸化物半導体を用いたトランジスタを適用することができる。適切な作製工程を経て作製された酸化物半導体を用いたトランジスタは、オフ電流が極めて小さい特徴を有するため、上記の半導体回路内に保持される電圧の保持時間を極めて長くすることが可能となる。

【００２２】

また、本発明の一態様は、上記の半導体回路が接続される第１のトランジスタは、チャネルを形成する半導体層に酸化物半導体を用いる。

【００２３】

被制御トランジスタのチャネルを形成する半導体層に上記酸化物半導体を用い、これを記憶装置や表示装置に適用することにより、データや表示画像の保持時間を極めて長くすることが可能となる。

【００２４】

また、本発明の一態様の半導体回路は、レジスタ回路を含む記憶装置や表示装置のほか、様々な電子機器に適用することができる。

【００２５】

本発明の半導体装置をレジスタ回路等の記憶装置に適用することにより、電力供給を遮断してもデータ保持することが可能で、且つリフレッシュ（リセット）動作が可能な、消費電力の極めて低減された記憶装置とすることができる。このような記憶装置をＣＰＵなどの演算装置に適用することにより、これを具備するパーソナルコンピュータ、携帯電話をはじめとする電子機器は電力供給を一時的に遮断でき、低消費電力で且つ再起動動作の速い電子機器とすることが出来る。

【００２６】

また、電子ペーパー、液晶表示装置などの表示装置に適用することにより、電力供給を遮断しても表示画像を保持可能で、且つリフレッシュ動作が可能な、消費電力の極めて低減された表示装置とすることが出来る。

【発明の効果】

【００２７】

本発明によれば、トランジスタのしきい値電圧を最適な値に保持可能な半導体回路を提供できる。またトランジスタのしきい値電圧を制御可能な半導体回路、及びその駆動方法を提供できる。また上記半導体回路を適用した記憶装置、表示装置、及び電子機器を提供できる。

【図面の簡単な説明】

【００２８】

【図１】本発明の一態様の、半導体回路を説明する図。
【図２】本発明の一態様の、半導体回路を用いたときのトランジスタ特性。
【図３】本発明の一態様の、半導体回路を説明する図。
【図４】本発明の一態様の、レジスタ回路を説明する図。
【図５】本発明の一態様の、メモリ回路を説明する図。
【図６】本発明の一態様の、表示装置を説明する図。
【図７】本発明の一態様の、トランジスタの作製工程を説明する図。
【図８】本発明の一態様の、電子機器を説明する図。

【発明を実施するための形態】

【００２９】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【００３０】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【００３１】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、ＩＧＦＥＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）や薄膜トランジスタ（ＴＦＴ：Ｔｈｉｎ Ｆｉｌｍ Ｔｒａｎｓｉｓｔｏｒ）を含む。

【００３２】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【００３３】

また、本明細書等において、トランジスタのソース、又はドレインのどちらか一方のことを「第１電極」と呼び、ソース、又はドレインの他方を「第２電極」とも呼ぶことがある。なお、この際、ゲートについては「ゲート」又は「ゲート電極」とも呼ぶ。

【００３４】

また、本明細書等において、トランジスタがその半導体層を挟んで対向して設けられた２つのゲート電極を有する場合、これらを「第１のゲート電極」、「第２のゲート電極」と呼び、このどちらか一方を「バックゲート」と呼ぶことがある。

【００３５】

また、本明細書等において、ダイオードの有する２つの電極のうち、電流の流れる向きに対して入力側（アノード側）を「第１の電極」、出力側（カソード側）を「第２の電極」と呼ぶこととする。

【００３６】

また、本明細書等において、容量素子の有する２つの電極のうち一方を「第１の電極」、他方を「第２の電極」と表記する。明瞭化のため、回路図等を参照して説明する場合においては、２つの電極のうち紙面上側または左側に位置する電極を第１電極、紙面下側または右側に位置する電極を第２電極と呼ぶこととする。

【００３７】

また、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【００３８】

なお、本明細書等においてノードとは、回路を構成する素子の電気的な接続を可能とする素子（例えば、配線など）のことをいう。したがって、”Ａが接続されたノード”とは、Ａと電気的に接続され、且つＡと同電位と見なせる配線のことをいう。なお、配線の途中に電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が１個以上配置されていても、Ａと同電位であれば、その配線はＡが接続されたノードと見なせる。

【００３９】

また、本明細書等において、回路を構成する素子、または複数の素子からなる構成単位が複数存在し、且つこれらが共通する機能を有する場合において、当該素子、または構成単位に共通した構成、機能等の説明を行うときに、その符号に（ｎ）添えて表記する場合がある。また、これら共通する機能を有する素子、または構成単位のうちの一部、または

全部を指す場合には、その符号に（１～ｎ）を添えて表記する場合がある。
【００４０】
（実施の形態１）
本実施の形態では、本発明のトランジスタのしきい値電圧を制御可能な半導体回路の一例について、図１乃至図３を用いて説明する。
【００４１】
＜構成例＞
図１（Ａ）は、本実施の形態で例示する制御回路１００と、これに接続されるトランジスタ１１１とを説明する図である。
【００４２】
トランジスタ１１１はバックゲート（第２のゲート電極）を有し、当該バックゲートには制御回路１００からの出力電圧が入力される。本実施の形態ではトランジスタ１１１としてｎチャネル型のトランジスタを用いた場合について例示するが、ｐチャネル型のトランジスタを用いることもできる。
【００４３】
制御回路１００は、ダイオード１０１、容量素子１０３、及び容量素子１０５を有する。また制御回路１００には入力端子ＩＮが接続される。ダイオード１０１は第２電極が入力部に接続し、第１電極が容量素子１０３の第１電極に接続される。容量素子１０３の第２電極は接地されている。また、容量素子１０５はダイオード１０１と並列に接続されている。ここで、ダイオード１０１の第１電極、容量素子１０３の第１電極、及び容量素子１０５の第２電極が接続されるノードが制御回路１００の出力部に相当し、今後ｎｏｄｅ（Ａ）と表記する。
【００４４】
＜回路動作例＞
次に、制御回路１００を用いてトランジスタ１１１のしきい値電圧を制御する方法について図１に加えて図２を参照して説明する。図２（Ａ）及び図２（Ｂ）は、図１（Ａ）に示すトランジスタ１１１における、あるソース‐ドレイン間電圧（Ｖｄｓ）を加えた時のゲート‐ソース間電圧（Ｖｇｓ）に対するソース‐ドレイン間電流（Ｉｄｓ）を模式的に示した図である。
【００４５】
図２（Ａ）に示す曲線１５１は、トランジスタ１１１の初期状態におけるＶｇｓ－Ｉｄｓ特性である。本実施の形態では初期状態におけるトランジスタのしきい値電圧Ｖｔｈ（０）を０Ｖとして説明する。
【００４６】
まず、制御回路１００の入力端子ＩＮから、０Ｖよりも小さい振幅電圧（負の振幅電圧）を有する第１の入力信号を入力する。第１の入力信号によりダイオード１０１の第１電極から第２電極に向かって電流が流れ、これに伴いｎｏｄｅ（Ａ）の電圧が低下し、当該電圧が容量素子１０３によって保持される。
【００４７】
その後、第１の入力信号の入力を止める（第１の入力信号の電圧を０Ｖとする）。ここで、ｎｏｄｅ（Ａ）の電圧は０Ｖよりも低いため、ダイオード１０１には逆バイアスが印加された状態となるため、小さな漏洩（リーク）電流以外は流れず、ｎｏｄｅ（Ａ）の電圧は容量素子１０３によって保持される。
【００４８】
したがって、制御回路１００の出力部に接続されるトランジスタ１１１のバックゲートには当該ｎｏｄｅ（Ａ）に保持された負の電圧が常に印加された状態となる。その結果、トランジスタ１１１のＶｇｓ‐Ｉｄｓ特性は図２（Ａ）に示す曲線１５２のようにＶｇｓが正の向きにシフトする。この状態のトランジスタ１１１のしきい値電圧をＶｔｈ（１）とする。
【００４９】

第１の入力信号の振幅電圧を適宜調整することにより、トランジスタ１１１を、曲線１５２に示すような特性を有するエンハンスメント型のトランジスタとすることが出来る。

【００５０】

上述したように、ｎｏｄｅ（Ａ）の電圧は容量素子１０３によって保持されており、ここに保持された電荷はダイオード１０１の微小なリーク電流によってのみ減少するため、入力信号の入力が止まった後も、トランジスタ１１１のしきい値を最適な値に保持することができる。

【００５１】

次に、上記のようにしてエンハンスメント型の特性となったトランジスタ１１１を、一時的にデプレッション型とする方法、すなわち、しきい値電圧を一時的にマイナスシフトさせる方法について説明する。

【００５２】

入力端子ＩＮから、０Ｖよりも大きい振幅電圧（正の振幅電圧）を持ち、且つ正の電圧勾配を有する第２の入力信号を入力する。第２の入力信号が入力されると、容量素子１０５によって容量結合現象が生じ、ｎｏｄｅ（Ａ）の電圧が一時的に上昇する。

【００５３】

したがって、トランジスタ１１１のバックゲートには一時的に正の電圧が印加されるため、そのＶｇｓ‐Ｉｄｓ特性は図２（Ｂ）の曲線１５３に示すように、一時的にＶｇｓが負の向きにシフトする。その際のトランジスタ１１１のしきい値電圧をＶｔｈ（２）とする。

【００５４】

第２の入力信号の振幅電圧と正の電圧勾配を適宜調整することにより、トランジスタ１１１を、一時的に曲線１５３に示すような特性を有するデプレッション型のトランジスタとすることが出来る。

【００５５】

ここで、上述のように、ｎｏｄｅ（Ａ）の電圧を一時的に上昇させるために、容量素子１０５の容量結合現象を用いている。したがってｎｏｄｅ（Ａ）の電圧の変動の大きさは、容量素子１０５の大きさと、第２の入力信号の波形の電圧勾配の大きさとに比例する。そのため、第２の入力信号の波形は、トランジスタ１１１のしきい値電圧を所望の値にシフトするように適宜設定すればよい。また、トランジスタ１１１のしきい値電圧をすばやくシフトさせるためには、第２の入力信号の波形は、出来るだけ急峻な正の電圧勾配を有することが好ましい。また、第２の入力信号の波形には、矩形波、三角波、正弦波などの勾配を有する波形を用いることができる。

【００５６】

なお、上記では第１の入力信号によりトランジスタ１１１のＶｔｈをプラスシフトさせたまま保持し、第２の入力信号により一時的にＶｔｈをマイナスシフトさせる構成及び方法について説明してきたが、図１（Ｂ）に示すように、ダイオード１０１の第１電極と第２電極とを逆向きに接続することにより、Ｖｔｈをシフトさせる向きを逆にすることが可能となる。その際には、第１の制御信号は正の振幅電圧を有する信号とし、第２の制御信号は負の振幅電圧と負の電圧勾配を有する信号とする。

【００５７】

また、本実施の形態では被制御トランジスタとしてｎチャネル型のトランジスタを用いたが、これに限られずｐチャネル型のトランジスタにも適用可能である。例えば図１（Ａ）に示すトランジスタ１１１にｐチャネル型のトランジスタを適用した場合は、第１の入力信号によりしきい値電圧をプラスシフトさせてデプレッション型とし、また第２の制御信号により一時的にしきい値電圧をマイナスシフトさせてエンハンスメント型の特性を有するｐチャネル型のトランジスタとすることができる。また、この逆の特性を実現するためには、ダイオードの接続を逆にした図１（Ｂ）の構成とし、上述の方法を用いればよい。

【００５８】

＜変形例＞
ここで、制御回路１００を構成するダイオード１０１は、トランジスタを用いて構成することができる。図３（Ａ）及び図３（Ｂ）に、制御回路を構成するダイオードにトランジスタを適用した例を示す。
【００５９】
例えば図３（Ａ）に示す制御回路１００内のトランジスタ１０７のように、第１電極が入力端子ＩＮと接続し、第２電極及びゲート電極がｎｏｄｅ（Ａ）と接続した構成とすることにより、トランジスタ１０７をダイオードとして用いることができる。また、図３（Ｂ）に示すトランジスタ１０９のようにバックゲートを設け、２つのゲート電極をｎｏｄｅ（Ａ）と接続する構成としても良い。ゲート電極に加えてバックゲートをｎｏｄｅ（Ａ）と接続することにより、順バイアス印加時の電流値をより大きくすることができ、第１の入力信号の入力時間を短縮することができる。さらに逆バイアス印加時のリーク電流をより低く抑えることが可能となり、ｎｏｄｅ（Ａ）の電圧の保持時間を長くすることが出来る。
【００６０】
なお、ダイオードの特性を正反対にするには、ゲート電極（及びバックゲート）を入力端子ＩＮ側のノードに接続すればよい。
【００６１】
また、制御回路を構成するダイオードに、チャネルを形成する半導体層に酸化物半導体を用いたトランジスタを適用することができる。後の実施の形態で示すように、適切な作製工程を経て作製された酸化物半導体を用いたトランジスタは、オフ電流が極めて小さい特徴を有するため、制御回路内に保持される電圧の保持時間を極めて長くすることが可能となる。
【００６２】
特に、酸化物半導体の中でも、バンドギャップが３電子ボルト以上のものでは、ドナーあるいはアクセプタの濃度を$1\times10^{12}cm^{-3}$以下とすることにより、オフ時の抵抗を極めて高くできる。例えばこのようなトランジスタは、ゲート電圧を最適化することにより、ソースとドレイン間の抵抗を$1\times10^{24}\Omega$以上とすることができる。したがってダイオード接続したトランジスタであっても、例えばシリコンを半導体層に用いたトランジスタに比べてオフ時のリーク電流を極めて小さくすることができる。
【００６３】
このようなトランジスタを、制御回路を構成するダイオードに適用することにより、ｎｏｄｅ（Ａ）に電圧を保持した状態での、当該ダイオードによるリーク電流を極めて小さいものとすることが出来るため、被制御トランジスタのしきい値電圧を極めて長い間保持しておくことが出来る。また、リーク電流が極めて小さいため、ｎｏｄｅ（Ａ）の電圧を保持するための容量素子のサイズを小さくすることが可能となり、回路規模を縮小できることや、ｎｏｄｅ（Ａ）への充放電時間を短縮できるなどといった副次的な効果を奏する。
【００６４】
本実施の形態で例示した制御回路を用いることにより、トランジスタのしきい値電圧を最適な値に制御できると共に、電源電圧の供給を止めても当該トランジスタのしきい値電圧を保持することが出来る。また、一時的に当該しきい値電圧をシフトさせることにより、異なるトランジスタ特性を実現することができる。
【００６５】
本実施の形態は、本明細書に記載する他の実施の形態と適宜組み合わせて実施することが出来る。
【００６６】
（実施の形態２）
本実施の形態では、実施の形態１で例示したトランジスタのしきい値電圧を制御可能な半導体回路を記憶装置の一つであるレジスタ回路に適用した構成の一例について図４を用

いて説明する。
【００６７】
＜構成例＞
図４（Ａ）に、実施の形態１で例示した制御回路１００が接続された、１ビットのレジスタ回路の構成例を示す。レジスタ回路２００は、トランジスタ２０１、容量素子２０３、及びフリップフロップ回路２０５を有する。本実施の形態では、トランジスタ２０１としてｎチャネル型のトランジスタを用いる。
【００６８】
トランジスタ２０１は、実施の形態１で示したトランジスタ１１１と同様、バックゲート（第２のゲート電極）を有し、当該バックゲートには制御回路１００からの出力電圧が入力される。さらにトランジスタ２０１は、その第１のゲート電極に入力端子Ｓｉｇ１が、また第１電極に入力端子Ｓｉｇ２が接続され、これら２つの入力端子からの入力信号によって制御される。トランジスタ２０１の第２電極は、容量素子２０３の第１電極、及びフリップフロップ回路２０５に接続される。また容量素子２０３の第２電極は接地されている。ここで、トランジスタ２０１の第２電極と、容量素子２０３の第１電極とが接続されるノードをｎｏｄｅ（ｂ）と呼ぶこととする。
【００６９】
フリップフロップ回路２０５は、インバータ２０５ａ、及びインバータ２０５ｂを有する。インバータ２０５ａは、インバータ２０５ｂと並列且つ逆向きに接続され、インバータ２０５ａの出力側が接続されるノードが、レジスタ回路２００の出力端子ＯＵＴに相当する。
【００７０】
レジスタ回路２００は、入力端子Ｓｉｇ１及びＳｉｇ２からの入力信号により、データの格納、並びに出力を行う。例えばＳｉｇ１よりハイレベル電圧が、Ｓｉｇ２よりハイレベル電圧が入力されると、トランジスタ２０１がオン状態となりｎｏｄｅ（ｂ）にハイレベル電圧が入力される。その結果、レジスタ回路２００の出力端子からはインバータ２０５ａによって反転されたローレベル電圧が出力されると同時に、フリップフロップ回路２０５にはローレベル電圧のデータが格納される。一方、Ｓｉｇ２からローレベル電圧が入力されると、同様にしてレジスタ回路２００の出力端子からはハイレベル電圧が出力されるとともにハイレベル電圧のデータがフリップフロップ回路２０５に格納される。
【００７１】
容量素子２０３は、ｎｏｄｅ（ｂ）の電圧を保持する機能を有する。後に説明するように、制御回路１００によってトランジスタ２０１をリーク電流が極めて低いエンハンスメント型の状態に保持されたとき、容量素子２０３を設けることで、ｎｏｄｅ（ｂ）に入力された電圧は電源電圧の供給を停止しても保持することが可能となる。
【００７２】
なお、本実施の形態では、レジスタ回路２００が有するフリップフロップ回路の例として、２つのインバータ回路を用いた簡易な構成を示したが、これに限定されること無く、クロック動作の可能なクロックドインバータを用いる構成や、ＮＡＮＤ回路とインバータを組み合わせた構成を適宜用いることができる。例えば、ＲＳ型、ＪＫ型、Ｄ型、Ｔ型等、公知のフリップフロップ回路を適宜用いることができる。
【００７３】
＜回路動作例＞
次に、制御回路１００が接続されたレジスタ回路２００の回路動作について説明する。
【００７４】
まず、実施の形態１で示した方法により、制御回路１００の入力端子ＩＮから、０Ｖよりも小さい振幅電圧（負の振幅電圧）を有する第１の入力信号を入力し、トランジスタ２０１のしきい値電圧を変化させてトランジスタ２０１をエンハンスメント型のトランジスタとなるよう制御、保持する。
【００７５】

次に、レジスタ回路２００の入力端子Ｓｉｇ１及びＳｉｇ２より信号を入力し、信号のデータを格納、出力する。レジスタ回路にデータを書込む際、Ｓｉｇ１よりトランジスタ２０１のしきい値電圧よりも高い電圧を入力し、さらにＳｉｇ２よりハイレベル電圧又はローレベル電圧の信号を入力することにより、フリップフロップ回路２０５にデータを格納することが出来る。

【００７６】

また、Ｓｉｇ２に入力される信号を止めるより前に、Ｓｉｇ１の信号をトランジスタ２０１がオフする電圧（例えば０Ｖ、又は０Ｖより小さい電圧）とすることにより、Ｓｉｇ２からの入力信号を止めた後も、入力された電圧に近い電圧が容量素子２０３に保持される。

【００７７】

ここで、制御回路１００によってトランジスタ２０１はリーク電流が極めて小さいエンハンスメント型のトランジスタに保持されている。したがって、ｎｏｄｅ（ｂ）にハイレベル電圧が保持された状態であっても、トランジスタ２０１からのリークによるｎｏｄｅ（ｂ）の電圧降下を極めて小さくすることが出来る。

【００７８】

また、制御回路１００及びレジスタ回路２００への電源供給を止めた場合でも、トランジスタ２０１はリーク電流の極めて小さいエンハンスメント型のトランジスタに保持されているため、ｎｏｄｅ（ｂ）の電圧を保持しておくことが可能となる。電源供給を止めているあいだ、ｎｏｄｅ（ｂ）に電圧情報を保持しておくことにより、レジスタ回路２００に再度電源を投入したと同時にレジスタ回路２００に格納されるデータとして、電源供給を止める直前のデータと同じものが確定されるため、瞬時に当該データを格納、出力することが可能となる。

【００７９】

ここで、トランジスタ２０１に実施の形態１で示したような、チャネルを形成する半導体層に酸化物半導体を用いた、オフ電流の極めて小さいトランジスタを適用することが出来る。このようなオフ電流の極めて小さいトランジスタをトランジスタ２０１に適用することにより、極めて長い時間、ｎｏｄｅ（ｂ）の電圧を保持しておくことが可能となるため、レジスタ回路２００はいわゆる不揮発性を有するレジスタ回路として用いることができる。

【００８０】

次に、レジスタ回路２００に格納されたデータをリセットする動作について説明する。

【００８１】

実施の形態１と同様に、制御回路１００の入力端子から０Ｖよりも高い振幅電圧（正の振幅電圧）を有する第２の入力信号を入力することにより、一時的にトランジスタ２０１のしきい値電圧をマイナスシフトさせ、トランジスタ２０１を一時的にデプレッション型のトランジスタとする。

【００８２】

Ｓｉｇ１には、第２の入力信号が入力されるより前は、エンハンスメント型のトランジスタ２０１をオフする電圧が入力されているが、第２の入力信号が入力されることにより、一時的にトランジスタ２０１はオン状態に移行する。したがって、ｎｏｄｅ（ｂ）は一時的にＳｉｇ２から入力される電圧に近い電圧とすることができる。例えば第２の入力信号を入力する際にＳｉｇ２にハイレベル電圧が入力されていれば、ｎｏｄｅ（ｂ）にもハイレベル電圧が入力され、Ｓｉｇ２にローレベル電圧が入力されていれば、同様にｎｏｄｅ（ｂ）もローレベル電圧が入力されることにより、データのリセットがなされる。

【００８３】

その後、第２の入力信号の入力がとまると、トランジスタ２０１のしきい値電圧は第２の制御信号が入力される前の値に戻るため、リーク電流の極めて小さいエンハンスメント型のトランジスタとなる。したがって、第２の入力信号によってリセットされ、入力されたデータが再度保持されることとなる。

【００８４】
このような方法により、Ｓｉｇ１からの入力信号を用いずに、レジスタ回路２００に格納されるデータをリセットすることが可能となる。この方法は、後に説明するような複数のレジスタ回路を有する記憶装置において、一度の動作で複数のレジスタ回路に格納されたデータをリセットする場合に特に有効である。
【００８５】
＜適用例＞
次に、本発明の制御回路を上記で説明したレジスタ回路２００を複数有する記憶装置に適用した一例について説明する。
【００８６】
図４（Ｂ）に、図４（Ａ）に示したレジスタ回路２００が縦横にマトリクス状に複数配置された記憶装置２１０を示す。記憶装置２１０は、複数のレジスタ回路２００のほかに第１の駆動回路２１１、第２の駆動回路２１３、及び複数の制御回路１００を有する。本実施の形態では、複数のレジスタ回路２００はｍ行ｎ列（ｍ、ｎは１以上の整数）のマトリクス状に配置され、また制御回路１００は一行につき一個ずつ、合計ｍ個設ける構成とする。
【００８７】
第１の駆動回路２１１は、レジスタ回路２００内のトランジスタ２０１の第１のゲート電極に接続されるｍ本の制御線Ｓｉｇ１（１）～Ｓｉｇ１（ｍ）を有し、それぞれの制御線Ｓｉｇ１（１）～Ｓｉｇ１（ｍ）を用いて一行に並んだレジスタ回路内のトランジスタ２０１のオン、オフ動作を制御する。また、第１の駆動回路２１１は、１番目からｍ番目の制御回路にそれぞれ接続されるｍ本の制御線ＩＮ（１）～ＩＮ（ｍ）を有し、それぞれに接続された制御回路１００への入力信号を制御する。
【００８８】
第２の駆動回路２１３は、レジスタ回路２００内のトランジスタ２０１の第１電極に接続される、ｎ本の制御線Ｓｉｇ２（１）～Ｓｉｇ２（ｎ）を有し、それぞれの制御線Ｓｉｇ２（１）～Ｓｉｇ２（ｎ）を用いて一列に並んだレジスタ回路２００に入力するデータの信号を制御する。
【００８９】
それぞれのレジスタ回路２００には出力信号線が接続され、レジスタ回路２００の出力信号が当該出力信号線に出力される。本実施の形態では出力信号線は、ｍ×ｎ本用いる構成としたが、複数のレジスタ回路からの出力信号線を共通とし、選択的にデータを読み出す構成としてもよい。また、出力信号線の先にシリアル信号、または数ビットのパラレル信号に変換する変換回路など、各種機能を有する回路を設けても良い。
【００９０】
各行に一つずつ配置された制御回路１００には、制御線ＩＮ（１）～ＩＮ（ｍ）を通じて第１の駆動回路２１１から、実施の形態１で示したような第１の入力信号、及び第２の入力信号が入力される。第１の入力信号によって、それぞれの制御回路１００に接続されるｎ個のレジスタ回路内のトランジスタ２０１のしきい値電圧を最適な値に制御、保持することができる。さらに、第２の制御信号が入力されると、ｎ個のレジスタ回路内のトランジスタ２０１をエンハンスメント型からデプレッション型に一時的に変化させることにより、それぞれのレジスタ回路に格納されるデータを一つの信号で同時にリセットすることができる。
【００９１】
なお、本実施の形態では、各行に一つずつ制御回路を配置する構成としたが、これに限られず、一つ以上の制御回路を設けてもよい。例えば１つの制御回路で全てのレジスタ回路２００のしきい値を制御してもよいし、複数行に一つ設けても良く、各レジスタ回路２００に一つずつ制御回路１００を設ける構成としても良い。
【００９２】
以上のように本発明の制御回路を適用することにより、しきい値電圧が最適な値に保持

され、且つ容易にリセット動作が可能なレジスタ回路を複数有する記憶装置とすることができる。また、レジスタ回路でありながら電源の供給を止めてもデータの保持が可能な、いわゆる不揮発性を有するレジスタ回路を実現できる。

【００９３】

本実施の形態は、本明細書に記載する他の実施の形態と適宜組み合わせて実施することが出来る。

【００９４】

（実施の形態３）

本実施の形態では、実施の形態１で例示したトランジスタのしきい値電圧を制御可能な半導体回路を実施の形態２で例示したものとは異なる構成の記憶装置に適用した一例について図５を用いて説明する。

【００９５】

＜構成例＞

図５（Ａ）に、実施の形態１で例示した制御回路１００が接続された、１ビットのメモリセル２５０の構成例を示す。メモリセル２５０は、トランジスタ２５１、容量素子２５３、及びトランジスタ２５５を有する。本実施の形態では、トランジスタ２５１として実施の形態２で示したトランジスタ２０１と同様、ｎチャネル型のトランジスタを用いる。

【００９６】

トランジスタ２５１のバックゲートには、制御回路１００からの出力電圧が入力される。さらにトランジスタ２５１は、その第１のゲート電極に入力端子Ｓｉｇ３が、また第１電極には入力端子Ｓｉｇ４が接続され、これら２つの入力端子からの制御信号によって制御される。トランジスタ２５１の第２電極は、容量素子２５３の第１電極、及びトランジスタ２５５のゲート電極に接続されている。また容量素子２５３の第２電極には、入力端子Ｓｉｇ５が接続される。トランジスタ２５５の第２電極は接地され、第１電極が接続されるノードがメモリセルからのデータの出力部に相当する。ここで、トランジスタ２５１の第２電極と、容量素子２５３の第１電極とが接続されるノードをｎｏｄｅ（ｃ）と呼ぶこととする。

【００９７】

容量素子２５３は、実施の形態２で例示した容量素子２０３と同様、ｎｏｄｅ（ｃ）に入力された電圧を保持する機能を有する。また、入力端子Ｓｉｇ５から入力される電圧によって、ｎｏｄｅ（ｃ）の電圧を変化させることができる。

【００９８】

トランジスタ２５５は、メモリセルに保持されたデータ（電圧）を読み出すために設けられる。トランジスタ２５５の第１電極には、抵抗素子２５７を介して電源入力端子ＶＤＤが接続され、抵抗素子２５７とトランジスタ２５５の第１電極との間に、出力端子ＯＵＴが接続される。ここで、本実施の形態では、トランジスタ２５５としてｎチャネル型のトランジスタを用いる。例えば、ｎｏｄｅ（ｃ）がハイレベル電圧であるとき、トランジスタ２５５はオン状態となり、出力端子ＯＵＴには接地電圧が出力される。一方、ｎｏｄｅ（ｃ）がローレベル電圧であるとき、トランジスタ２５５は抵抗素子２５７に比べて十分高抵抗なオフ状態となり、出力端子ＯＵＴには電源端子に入力される電源電圧が出力される。このようにして、ｎｏｄｅ（ｃ）の電圧の値を読み出すことが出来る。

【００９９】

本実施の形態では、トランジスタ２５５にｎチャネル型のトランジスタを適用したが、ｐチャネル型のトランジスタを用いることもできる。この場合、トランジスタ２５５の第２電極に電源入力端子ＶＤＤを接続し、また抵抗素子２５７の第２電極を接地することにより、読み出し動作を行うことが出来る。

【０１００】

＜回路動作例＞

次に、制御回路１００が接続されたメモリセル２５０の回路動作について説明する。

【０１０１】

まず、実施の形態１及び２で説明したとおり、制御回路１００に第１の入力信号を入力してトランジスタ２５１のしきい値電圧を最適な値に調整し、エンハンスメント型のトランジスタに制御、保持する。

【０１０２】

メモリセル２５０へのデータの書込みに際しては、実施の形態２と同様、入力端子Ｓｉｇ３及び入力端子Ｓｉｇ４からの入力信号によって、ｎｏｄｅ（ｃ）に保持される電圧を入力することにより書き込みを行う。ここで、ｎｏｄｅ（ｃ）には、ハイレベル電圧、又はローレベル電圧が保持される。

【０１０３】

ここで、実施の形態２と同様に、トランジスタ２５１に実施の形態１で示したような、チャネルを形成する半導体層に酸化物半導体を用いた、オフ電流の極めて小さいトランジスタを適用することが出来る。このようなオフ電流の極めて小さいトランジスタをトランジスタ２５１に適用することにより、極めて長い時間、ｎｏｄｅ（ｃ）の電圧を保持しておくことが可能となるため、メモリセル２５０はいわゆる不揮発性を有する記憶装置として用いることができる。

【０１０４】

読み出し動作は、電源入力端子ＶＤＤから電源電圧を入力することにより行うことが出来る。上述のように、ｎｏｄｅ（ｃ）の電圧がハイレベル電圧である場合は、トランジスタ２５５がオン状態となり、抵抗素子２５７に比べて十分に低抵抗な状態となるため、出力端子ＯＵＴには接地電圧が出力される。一方、ｎｏｄｅ（ｃ）の電圧がローレベル電圧である場合は、トランジスタ２５５がオフ状態となり、抵抗素子２５７に比べて十分に高抵抗となるため、出力端子ＯＵＴには電源電圧が出力される。

【０１０５】

ここで、入力端子Ｓｉｇ５からハイレベル電圧を入力することよって、ｎｏｄｅ（ｃ）に保持される電圧情報によらず、トランジスタ２５５を強制的にオン状態とすることが可能となる。このような動作は後に説明するような、メモリセルを列方向に複数配置する際、トランジスタ２５５を直列に接続する場合において、任意のメモリセルのデータを読み出すために必要となる。例えば、ある一つのメモリセルを読み出す場合は、これに直列に接続された他のメモリセル内の容量素子２５３の第２電極にハイレベル電圧を入力し、トランジスタ２５５を強制的にオン状態とすることにより、当該メモリセルのｎｏｄｅ（ｃ）に保持された電圧情報を選択的に読み出すことが可能となる。また、トランジスタ２５５にｐチャネル型のトランジスタを用いた場合は、入力端子Ｓｉｇ５から入力される電圧として０Ｖより小さい電圧を入力することにより、トランジスタ２５５を強制的にオン状態とすることが出来る。

【０１０６】

次に、メモリセル２５０内に格納されたデータをリフレッシュする方法について説明する。

【０１０７】

実施の形態２と同様に、制御回路１００に０Ｖよりも高い振幅電圧を有する第２の入力信号を入力することにより、一時的にトランジスタ２５１のしきい値電圧をマイナスシフトさせ、トランジスタ２５１を一時的にデプレッション型のトランジスタとする。トランジスタ２５１が一時的にデプレッション型のトランジスタとなるため、Ｓｉｇ４に入力される電圧がｎｏｄｅ（ｃ）に入力されることにより、Ｓｉｇ３からの入力信号を用いずにメモリセル２５０内のデータをリフレッシュすることが可能となる。この動作は特に、後に説明するような複数のメモリセルを有する記憶装置において、一度の動作で複数のメモリセルに格納されたデータをリフレッシュする場合において有効である。

【０１０８】

＜適用例＞

次に、本発明の制御回路を上記で説明したメモリセル２５０を複数有する記憶装置に適用した一例について説明する。

【０１０９】
図５（Ｂ）に、図５（Ａ）に示したメモリセル２５０が縦横にマトリクス状に複数配置された記憶装置２６０を示す。記憶装置２６０は、複数のメモリセル２５０のほかに、第１の駆動回路２６１、第２の駆動回路２６３、及び複数の制御回路１００を有する。本実施の形態では、実施の形態２で例示した記憶装置２１０と同様、複数のメモリセル２５０はｍ行ｎ列（ｍ、ｎは１以上の整数）のマトリクス状に配置され、また制御回路１００は一行につき一個ずつ、合計ｍ個設ける構成とする。
【０１１０】
第１の駆動回路２６１は、メモリセル２５０内のトランジスタ２５１の第１のゲート電極に接続されるｍ本の制御線Ｓｉｇ３（１）～Ｓｉｇ３（ｍ）と、容量素子２５３に接続されるｍ本の制御線Ｓｉｇ５（１）～Ｓｉｇ５（ｍ）とを有し、それぞれの制御線Ｓｉｇ３（１）～Ｓｉｇ３（ｍ）及び制御線Ｓｉｇ５（１）～Ｓｉｇ５（ｍ）を用いて、一行に並んだメモリセル内のトランジスタのオン、オフ動作や、ｎｏｄｅ（ｃ）の電圧を制御する。また、第１の駆動回路２６１は、１番目からｍ番目の制御回路にそれぞれ接続されるｍ本の制御線ＩＮ（１）～ＩＮ（ｍ）を有し、それぞれに接続された制御回路１００への入力信号を制御する。
【０１１１】
第２の駆動回路２６３は、メモリセル２５０内のトランジスタ２５１の第１電極に接続される、ｎ本の制御線Ｓｉｇ４（１）～Ｓｉｇ４（ｎ）を有し、それぞれの制御線Ｓｉｇ４（１）～Ｓｉｇ４（ｎ）を用いて一列に並んだメモリセル２５０に入力するデータの信号を制御する。
【０１１２】
一列に並んだメモリセル内のトランジスタ２５５は、直列に接続され、一本の出力信号線に接続されている。図示しないが、当該出力信号線の先には、図５（Ａ）に示した抵抗素子２５７、及び電源入力端子等が設けられている。例えば一列に並んだ複数のメモリセルのうち、任意のメモリセルのデータを読み出す場合は、上述したように、Ｓｉｇ５（１）～Ｓｉｇ５（ｍ）からの入力信号を用いて、読み出しを行わない他のメモリセル内のトランジスタ２５５を全てオン状態とすることにより、任意のメモリセルに格納されたデータを読み出すことが出来る。ここで、読み出しのための抵抗素子２５７や電源入力端子等は、第２の駆動回路２６３に組み込んでも良い。
【０１１３】
制御回路１００は、実施の形態２に例示したように、制御線ＩＮ（ｍ）を通じて第１の駆動回路２６１から入力される入力信号にしたがって、制御回路１００に接続されるｎ個のメモリセル内のトランジスタ２５１のしきい値電圧を最適な値に制御、保持し、且つ一時的にしきい値電圧を変化させ、デプレッション型のトランジスタとすることが出来る。制御回路１００に接続されたｎ個のトランジスタ２５１を同時にデプレッション型に一時的に変化させることにより、それぞれのメモリセルに格納されるデータを一つの信号で同時にリフレッシュすることができる。
【０１１４】
なお制御回路１００は上述のように、記憶装置２６０内に一つ以上設ければよい。
【０１１５】
なお、本実施の形態では、出力信号線に接続するトランジスタ２５５を直列に接続する構成としたが、読み出し用のトランジスタ２５５に直列に選択トランジスタをメモリセル内に設け、このオン、オフ動作によって選択的にデータを読み出す構成としてもよい。
【０１１６】
以上のように、本発明の制御回路を記憶装置に適用することにより、しきい値電圧が最適な値に保持され、且つ容易にリフレッシュ動作が可能なメモリセルを複数有する記憶装置とすることが出来る。また、電源の供給を止めてもデータが保持可能な、不揮発性を有する記憶装置を実現できる。
【０１１７】

本実施の形態は、本明細書で例示する他の実施の形態と適宜組み合わせて実施することが出来る。

【０１１８】

（実施の形態４）

本実施の形態では、実施の形態１で例示したトランジスタのしきい値電圧を制御可能な半導体回路を表示装置に適用した構成の一例について図６を用いて説明する。

【０１１９】

＜構成例＞

図６（Ａ）に、実施の形態１で例示した制御回路１００が接続された、表示装置に適用可能な画素２７０の構成例を示す。画素２７０は、トランジスタ２７１、容量素子２７３、及び表示素子２７５を有する。本実施の形態では、トランジスタ２７１として、実施の形態２で示したトランジスタ２０１と同様、ｎチャネル型のトランジスタを用いる。

【０１２０】

トランジスタ２７１、及び容量素子２７３の構成及び機能は、実施の形態２と同様であるため、詳細な説明は省略する。ここで、トランジスタ２７１の第１のゲート電極と、第１電極にそれぞれ接続される端子を、入力端子Ｓｉｇ６、及び入力端子Ｓｉｇ７とする。また、トランジスタ２７１の第２電極と、容量素子２７３の第１電極とが接続されるノードをｎｏｄｅ（ｄ）と呼ぶこととする。

【０１２１】

表示素子２７５は、その一方の電極がｎｏｄｅ（ｄ）と接続され、他方が接地されている。表示素子２７５には、その両端の電極に電圧が印加されることにより、光学特性が変化する、誘電性の素子を用いることができる。例えば、液晶素子や、電子ペーパーなどに用いられる電気泳動素子、ツイストボール素子などを適用することができる。本実施の形態では、ｎｏｄｅ（ｄ）に電圧を保持可能な画素とすることが出来るため、当該ノードに電圧が保持されている間、光学特性を保持しておくことができる。

【０１２２】

＜回路動作例＞

次に、制御回路１００が接続された画素２７０の回路動作について説明する。

【０１２３】

まず、上記実施の形態で説明したのと同様に、制御回路１００に第１の入力信号を入力してトランジスタ２７１のしきい値電圧を最適な値に調整し、エンハンスメント型のトランジスタに制御、保持する。

【０１２４】

画素２７０への書き込みに際しては、上記実施の形態と同様、入力端子Ｓｉｇ６、及び入力端子Ｓｉｇ７からの入力信号によって、ｎｏｄｅ（ｄ）に保持される電圧を入力することにより書き込みを行う。ここで、ｎｏｄｅ（ｄ）にはハイレベル電圧、又はローレベル電圧が保持される。

【０１２５】

ここで、トランジスタ２７１に実施の形態１で説明したような、チャネルを形成する半導体層に酸化物半導体を用いた、オフ電流の極めて小さいトランジスタを適用することが出来る。このようなオフ電流の極めて小さいトランジスタをトランジスタ２７１に適用することにより、極めて長い時間、ｎｏｄｅ（ｄ）の電圧を保持しておくことが出来るため、電源電圧の供給を止めても表示素子２７５の光学特性を保持し続けることが可能となる。例えば、ＴＮ（Ｔｗｉｓｔｅｄ　Ｎｅｍａｔｉｃ）型液晶のようなメモリー性を有さない液晶素子を用いた場合であっても、当該素子には常に電圧が印加された状態を保持することが出来るため、書き換え動作を無くす、またはその頻度を極めて少なくすることが可能となる。

【０１２６】

次に、画素２７０内に書込まれた電圧をリフレッシュする方法について説明する。

【０１２７】

上記実施の形態と同様に、制御回路１００に０Ｖよりも高い振幅電圧（正の振幅電圧）を有する第２の入力信号を入力することにより、一時的にトランジスタ２７１のしきい値電圧をマイナスシフトさせ、デプレッション型のトランジスタとする。このとき、ｎｏｄｅ（ｄ）にはＳｉｇ７から電圧が入力されることにより、Ｓｉｇ６からの入力信号を用いることなく、画素２７０内の電圧、すなわち表示素子２７５の光学特性をリフレッシュすることが可能となる。このような動作は、後に説明するような複数の画素を有する表示装置において、一度の動作で複数の画素に保持されたデータのリフレッシュを行う場合において特に有効である。

【０１２８】

＜適用例＞

次に、本発明の制御回路を上記で説明した画素２７０を複数有する表示装置に適用した一例について説明する。

【０１２９】

図６（Ｂ）に、図６（Ａ）に示した画素２７０が縦横にマトリクス状に複数配置された表示装置２８０を示す。表示装置２８０は、複数の画素２７０のほかに、第１の駆動回路２８１、第２の駆動回路２８３、及び複数の制御回路１００を有する。本実施の形態では、実施の形態２で例示した記憶装置２１０と同様、複数の画素２７０はｍ行ｎ列（ｍ、ｎは１以上の整数）のマトリクス状に配置され、また制御回路１００は一行につきｍ個設ける構成とする。

【０１３０】

第１の駆動回路２８１は、実施の形態２で例示した第１の駆動回路２１１と同様の構成、機能を有する。したがって、それぞれの画素２７０内のトランジスタ２７１、及びそれぞれの制御回路１００は、当該第１の駆動回路２８１によって制御線Ｓｉｇ６（１）～Ｓｉｇ６（ｍ）、及び制御線ＩＮ（１）～ＩＮ（ｍ）を用いて制御される。

【０１３１】

また、第２の駆動回路２８３も同様に、実施の形態２で例示した第２の駆動回路２１３と同様の構成、機能を有する。したがって、それぞれの画素内にトランジスタ２７１を介して入力されるデータは当該第２の駆動回路２８３によって制御線Ｓｉｇ７（１）～Ｓｉｇ７（ｎ）を用いて制御される。

【０１３２】

画素２７０内の表示素子は、ｎｏｄｅ（ｄ）に入力される電圧によって光学特性が変化する。例えば、液晶表示素子を適用した場合は、バックライトからの光を透過、若しくは遮光するように光学特性が変化することにより、画像を表示する。また、電気泳動素子を適用した場合は、当該素子の（外）光に対する光学特性（反射率等）が変化することにより画像を表示する。さらに画素２７０はｎｏｄｅ（ｄ）に入力する電圧を変えることにより、多段階の階調表示を行うことも可能である。

【０１３３】

制御回路１００は、上記実施の形態で例示したように、第１の駆動回路２８１からの入力信号にしたがって、これに接続されるｎ個の画素２７０内のトランジスタ２７１のしきい値電圧を最適な値に制御、保持し、且つ一時的にしきい値電圧を変化させ、デプレッション型のトランジスタとすることが出来る。制御回路１００に接続されたｎ個のトランジスタを同時にデプレッション型に一時的に変化させることにより、それぞれの画素に格納される電圧（すなわち表示画像）を一つの信号で同時にリフレッシュすることができる。

【０１３４】

なお、上述のように、制御回路１００は表示装置２８０内に一つ以上設ければよい。

【０１３５】

以上のように、本発明の制御回路を表示装置に適用することにより、しきい値電圧が最適な値に保持され、且つ容易にリフレッシュ動作が可能な画素を複数有する表示装置とすることが出来る。また、電源の供給を止めても表示画像が保持可能な表示装置を実現できる。

【０１３６】
本実施の形態は、本明細書で例示する他の実施の形態と適宜組み合わせて実施することが出来る。
【０１３７】
（実施の形態５）
本実施の形態では、上記実施の形態に適用可能な、チャネルを形成する半導体層に酸化物半導体層を用いたトランジスタと、その周辺回路に適用可能なトランジスタ、及び容量素子の構成及び作製方法の一例について、図７を用いて説明する。
【０１３８】
＜構成例＞
図７（Ｄ）は、単結晶半導体の基板３０１上に、トランジスタ３２５、トランジスタ３２７、及び容量素子３２９が形成された断面概略図である。
【０１３９】
トランジスタ３２５は、チャネルを形成する半導体層に単結晶半導体を用いたトランジスタであり、上記実施の形態で例示した制御回路１００内のダイオード以外の回路を構成するトランジスタに適用することができる。本実施の形態では、トランジスタ３２５として単結晶半導体を用いる構成としたが、ガラスなどの絶縁基板上に設けられた薄膜トランジスタを用いることもできる。実施の形態４で例示した表示装置に適用する場合は、光透過性を有する絶縁基板上に形成することが好ましい。
【０１４０】
トランジスタ３２７は、チャネルを形成する半導体層に酸化物半導体を用いたトランジスタであり、半導体層を挟んで対向する２つのゲート電極を有する。このトランジスタは上記実施の形態で例示した制御回路１００内のダイオードに適用可能なトランジスタである。また、当該制御回路１００が接続されるトランジスタにも適用することができる。
【０１４１】
本実施の形態の半導体層に用いる酸化物半導体は、ｎ型不純物として働く水素が除去され、不純物を極力含まないように高純度化することによりＩ型（真性）の酸化物半導体、又はＩ型（真性）に限りなく近い酸化物半導体としたものである。
【０１４２】
なお、高純度化された酸化物半導体中ではキャリアが極めて少なく、キャリア濃度は１×１０^{14}／ｃｍ^{3}未満、好ましくは１×１０^{12}／ｃｍ^{3}未満、さらに好ましくは１×１０^{11}／ｃｍ^{3}未満となるように制御する。また、このようにキャリアが少ないことで、オフ状態における電流（オフ電流）は十分に小さくなる。
【０１４３】
具体的には、上述の酸化物半導体層を具備するトランジスタでは、オフ状態でのソースとドレイン間のチャネル幅１μｍあたりのリーク電流密度（オフ電流密度）は、ソースとドレイン間の電圧が３．５Ｖ、使用時の温度条件下（例えば、２５℃）において、１００ｚＡ／μｍ（１×１０$^{-19}$Ａ／μｍ）以下、もしくは１０ｚＡ／μｍ（１×１０$^{-20}$Ａ／μｍ）以下、さらには１ｚＡ／μｍ（１×１０$^{-21}$Ａ／μｍ）以下とすることができる。
【０１４４】
また、高純度化された酸化物半導体層を具備するトランジスタは、オン電流の温度依存性がほとんど見られず、高温状態においてもオフ電流は非常に小さいままである。
【０１４５】
容量素子３２９は、上記実施の形態で例示した制御回路１００、及びその他の回路内の容量素子に適用可能な容量素子である。本実施の形態では、トランジスタ３２７に用いる第１配線と、ゲート絶縁層と、第２配線とで構成する例を示すが、この構成に限定されることはなく、第２配線と、第２層間絶縁層と、第３配線、または単結晶半導体基板に形成された不純物領域と、第１層間絶縁層と、第１配線とから構成してもよい。
【０１４６】

本実施の形態では、トランジスタ３２７及び容量素子３２９は、制御回路１００内のダイオードに用いるトランジスタ、及び容量素子をそれぞれ想定しており、トランジスタ３２７のソース又はドレインに接続する第２配線と、容量素子３２９の上部電極とを接続した構成とした。なお、それ以外の各トランジスタ間、トランジスタと容量素子間の接続は、第１配線、第２配線または第３配線や、これらを隔てる層間絶縁層に形成されたコンタクトプラグを用いて、回路構成に応じて適宜接続することができる。

【０１４７】

＜作製工程例＞

次に、作製工程の一例について図７（Ａ）乃至（Ｄ）を用いて順に説明する。まず、公知の半導体加工技術を用いて、珪素、砒化ガリウムなどの単結晶半導体の基板３０１の一表面に、素子分離層３０３を形成し、さらに不純物領域３０７ａ及び不純物領域３０７ｂ、並びにトランジスタ３２５のゲート３０５を形成する。さらに、第１層間絶縁層３０９を形成し、第１コンタクトプラグ３１１を形成する（図７（Ａ）参照）。ここで、不純物領域３０７ａ及び不純物領域３０７ｂの表面には、シリサイド層などを設けて導電性を高めても良い。またコンタクトプラグ３１１の形成時に、不純物領域に到達するコンタクトプラグ（図示しない）を適宜形成する。

【０１４８】

次に、第１配線３１３ａ乃至３１３ｃを形成する。ここで第１配線３１３ｂは、後にトランジスタ３２７の第１ゲート電極として機能し、また第１配線３１３ｃは、容量素子３２９の下部電極として機能する。第１配線に用いる材料としては、後の熱処理に耐えうる、導電性の材料を用いることができる。例えば、Ｍｏ、Ｔｉ、Ｃｒ、Ｔａ、Ｗ、Ｎｄ、Ｓｃ等の金属またはこれらを主成分とする合金若しくは導電性酸化物を用いて、単層又は積層して形成することができる。なお、後の工程の熱処理に耐えうるのであれば、上記金属としてＡｌ、Ｃｕを用いることもできる。これらを用いる場合は耐熱性や腐食性の問題を回避するために、高融点材料と組み合わせて用いると良い。また第１配線にＣｕを用いる場合は、下地となる層にＣｕ－Ｍｇ－Ａｌ合金を設け、その上にＣｕを形成すると、酸化膜などの下地膜とＣｕとの密着性が高まるため好ましい。

【０１４９】

また、第１配線に、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を、適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【０１５０】

またトランジスタ３２７の第１のゲート電極となる部分においては、ゲート電極とゲート絶縁層との間に、ゲート絶縁層に接する材料層を設けても良い。当該ゲート絶縁層に接する材料層としては、窒素を含むＩｎ－Ｇａ－Ｚｎ－Ｏ膜や、窒素を含むＩｎ－Ｓｎ－Ｏ膜や、窒素を含むＩｎ－Ｇａ－Ｏ膜や、窒素を含むＩｎ－Ｚｎ－Ｏ膜や、窒素を含むＳｎ－Ｏ膜や、窒素を含むＩｎ－Ｏ膜や、金属窒化膜（ＩｎＮ、ＺｎＮなど）を用いることができる。これらの膜は５ｅＶ以上、好ましくは５．５ｅＶ以上の仕事関数を有し、このような仕事関数の高い材料を用いることにより、トランジスタ３２７のしきい値電圧を高めることが出来るため好ましい。例えば、窒素を含むＩｎ－Ｇａ－Ｚｎ－Ｏ膜を用いる場合、酸化物半導体層より高い窒素濃度、具体的には７原子％以上のＩｎ－Ｇａ－Ｚｎ－Ｏ膜を用いる。

【０１５１】

その後、第１配線３１３ａ乃至３１３ｃ及び第１層間絶縁層３０９を覆うゲート絶縁層３１５を形成する。ゲート絶縁層３１５としては、酸化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ガリウム、酸化ジルコニウムなどからなる単層、または積層を用いることができる。また、その厚さは６ｎｍ乃至２００ｎｍとすると良い。

【０１５２】
次に、酸化物半導体層３１７を形成する（図７（Ｂ）参照）。酸化物半導体としては、インジウムが金属元素に占める比率が２０原子％以上のものを用いると良い。形成時には水素が混入しないように注意することが必要で、酸化物半導体の成膜は雰囲気や、ターゲット中、並びにターゲット及び装置表面の水素や水を十分に低減したスパッタリング法で行うことが好ましい。また、酸化物半導体を成膜した後に水、水素が低減された雰囲気下で加熱処理を行い、膜中の水、水素を脱離させてもよい。
【０１５３】
また、酸化物半導体層を２回に分けて成膜し、２回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜表面に垂直にｃ軸配向した結晶領域を有する酸化物半導体層を形成してもよい。例えば、３ｎｍ以上１５ｎｍ以下の第１の酸化物半導体層を成膜し、窒素、酸素、希ガス、または乾燥空気の雰囲気下で４５０℃以上８５０℃以下、好ましくは５５０℃以上７５０℃以下の第１の加熱処理を行い、表面を含む領域に結晶領域（板状結晶を含む）を有する第１の酸化物半導体層を形成する。そして、第１の酸化物半導体層よりも厚い第２の酸化物半導体層を形成し、４５０℃以上８５０℃以下、好ましくは６００℃以上７００℃以下の第２の加熱処理を行い、第１の酸化物半導体層を結晶成長の種として、上方に結晶成長させ、第２の酸化物半導体層の全体を結晶化させ、結果として膜厚の厚い結晶領域を有する酸化物半導体層を形成してもよい。なおこの場合、コンタクトプラグや配線に用いる材料は、加熱処理の温度に耐えうる材料を用いる。
【０１５４】
また、酸化物半導体層を成膜する際に、酸化物半導体がｃ軸に配向する温度に基板を加熱しながら成膜を行うことにより、膜表面に垂直にｃ軸配向した結晶領域を有する酸化物半導体層を形成してもよい。このような成膜方法を用いることにより、プロセスを短縮することが出来る。基板を加熱する温度は、成膜装置によって他の成膜条件が異なるためこれに合わせて適宜設定すればよいが、例えば、スパッタリング装置で成膜する際の基板温度を２５０℃以上として成膜すればよい。
【０１５５】
本実施の形態で例示する酸化物半導体層は、非単結晶であり、且つ酸化物半導体層全体が非晶質状態（アモルファス状態）ではないことを特徴とする。酸化物半導体層全体が非晶質状態（アモルファス状態）ではないため、電気特性が不安定な非晶質の形成が抑制される。
【０１５６】
次に、第２配線３１９ａ及び第２配線３１９ｂを形成する（図７（Ｃ）参照）。第２配線は、例えば、Ａｌ、Ｃｒ、Ｃｕ、Ｔａ、Ｔｉ、Ｍｏ、Ｗから選ばれた元素を含む金属膜、または上述した元素を成分とする合金、または金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いて、単層、又は積層して形成することが出来る。また、Ａｌ、Ｃｕなどの金属膜は、耐熱性や腐食性の問題を回避するために、下側又は上側の一方または双方にＴｉ、Ｍｏ、Ｗ、Ｃｒ、Ｔａ、Ｎｄ、Ｓｃ、Ｙなどの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としても良い。また、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ混合酸化物、酸化インジウム酸化亜鉛混合酸化物または該金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。なお、第２配線３１９ａ及び第２配線３１９ｂの下部は酸化物半導体層３１７と直接接するため、その目的に好ましい材料を用いると良い。
【０１５７】
続いて、第２層間絶縁層３２１を形成する。第２層間絶縁層３２１は、酸化物半導体層３１７の上表面に接するため、これに用いる絶縁膜は水分や、水素などの不純物を極力含まないことが望ましく、単層または複数の絶縁膜の積層で構成されても良い。例えば、バ

リア性の高い絶縁膜である、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化アルミニウム膜、または酸化ガリウム膜などを用いることができる。

【０１５８】

最後に、第２層間絶縁層３２１上に第３配線３２３を形成する（図７（Ｄ）参照）。第３配線３２３には、第１配線、又は第２配線で例示したような材料から選択して適宜形成することができる。

【０１５９】

本実施の形態では、トランジスタ３２７としてバックゲートを有する構成としたが、これを制御回路１００のダイオードに適用する際、必要でない場合は設けなくても良い。

【０１６０】

以上のようにして、トランジスタ３２５、トランジスタ３２７、及び容量素子３２９が形成される。

【０１６１】

このようにして形成されたトランジスタ３２７は、オフ時のリーク電流が極めて低減されたトランジスタとすることが出来る。このようなトランジスタを上記実施の形態で例示した制御回路内のダイオードや、記憶装置、表示装置内のトランジスタに適用することにより、これらに接続されたノードの電圧を、極めて長い時間保持しておくことが可能となる。

【０１６２】

（実施の形態６）

本実施の形態では、上述の実施の形態で説明したトランジスタのしきい値電圧を制御可能な半導体回路を有する半導体装置を電子機器に適用する場合について、図８を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラなどのカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の半導体装置を適用する場合について説明する。

【０１６３】

図８（Ａ）は、ノート型のパーソナルコンピュータであり、筐体７０１、筐体７０２、表示部７０３、キーボード７０４などによって構成されている。筐体７０１内、筐体７０２内、及び表示部７０３の少なくとも一には、前述の実施の形態に示す半導体装置が設けられている。そのため、電源電圧の供給を止めても回路内のデータや表示画像を保持することにより消費電力が十分に低減され、且つ容易にリセット又はリフレッシュ動作が可能なノート型のパーソナルコンピュータが実現される。

【０１６４】

図８（Ｂ）は、携帯情報端末（ＰＤＡ）であり、本体７１１には、表示部７１３と、外部インターフェイス７１５と、操作ボタン７１４等が設けられている。また、携帯情報端末を操作するスタイラス７１２などを備えている。本体７１１内、及び表示部７１３の少なくとも一には、前述の実施の形態に示す半導体装置が設けられている。そのため、電源電圧の供給を止めても回路内のデータや表示画像を保持することにより消費電力が十分に低減され、且つ容易にリセット又はリフレッシュ動作が可能な携帯情報端末が実現される。

【０１６５】

図８（Ｃ）は、電子ペーパーを実装した電子書籍７２０であり、筐体７２１と筐体７２３の２つの筐体で構成されている。筐体７２１および筐体７２３には、それぞれ表示部７２５および表示部７２７が設けられている。筐体７２１と筐体７２３は、軸部７３７により接続されており、該軸部７３７を軸として開閉動作を行うことができる。また、筐体７２１は、電源７３１、操作キー７３３、スピーカー７３５などを備えている。筐体７２１、筐体７２３、表示部７２５、及び表示部７２７の少なくとも一には、前述の実施の形態

に示す半導体装置が設けられている。そのため、電源電圧の供給を止めても回路内のデータや表示画像を保持することにより消費電力が十分に低減され、且つ容易にリセット又はリフレッシュ動作が可能な電子書籍が実現される。

【０１６６】

図８（Ｄ）は、携帯電話機であり、筐体７４０と筐体７４１の２つの筐体で構成されている。さらに、筐体７４０と筐体７４１は、スライドし、図８（Ｄ）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体７４１は、表示パネル７４２、スピーカー７４３、マイクロフォン７４４、ポインティングデバイス７４６、カメラ用レンズ７４７、外部接続端子７４８などを備えている。また、筐体７４０は、携帯電話機の充電を行う太陽電池セル７４９、外部メモリスロット７５０などを備えている。また、アンテナは、筐体７４１に内蔵されている。筐体７４０と筐体７４１、及び表示パネル７４２の少なくとも一には、前述の実施の形態に示す半導体装置が設けられている。そのため、電源電圧の供給を止めても回路内のデータや表示画像を保持することにより消費電力が十分に低減され、且つ容易にリセット又はリフレッシュ動作が可能な携帯電話機が実現される。

【０１６７】

図８（Ｅ）は、デジタルカメラであり、本体７６１、表示部７６７、接眼部７６３、操作スイッチ７６４、表示部７６５、バッテリー７６６などによって構成されている。本体７６１内、表示部７６５、及び表示部７６７の少なくとも一には、前述の実施の形態に示す半導体装置が設けられている。そのため、電源電圧の供給を止めても回路内のデータや表示画像を保持することにより消費電力が十分に低減され、且つ容易にリセット又はリフレッシュ動作が可能なデジタルカメラが実現される。

【０１６８】

図８（Ｆ）は、テレビジョン装置７７０であり、筐体７７１、表示部７７３、スタンド７７５などで構成されている。テレビジョン装置７７０の操作は、筐体７７１が備えるスイッチや、リモコン操作機７８０により行うことができる。筐体７７１、リモコン操作機７８０、及び表示部７７３の少なくとも一には、前述の実施の形態に示す半導体装置が搭載されている。そのため、電源電圧の供給を止めても回路内のデータや表示画像を保持することにより消費電力が十分に低減され、且つ容易にリセット又はリフレッシュ動作が可能なテレビジョン装置が実現される。

【０１６９】

以上のように、本実施の形態に示す電子機器には、前述の実施の形態に係る半導体装置が搭載されている。このため、電源電圧の供給を止めても回路内のデータや表示画像を保持することにより消費電力が十分に低減され、且つ容易にリセット又はリフレッシュ動作が可能な電子機器が実現される。

【符号の説明】

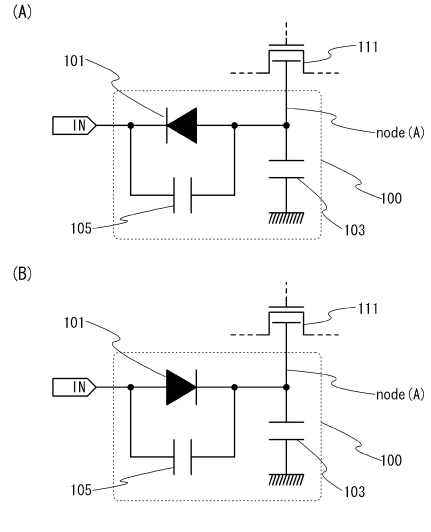
【０１７０】

１００　制御回路
１０１　ダイオード
１０３　容量素子
１０５　容量素子
１０７　トランジスタ
１０９　トランジスタ
１１１　トランジスタ
１５１　曲線
１５２　曲線
１５３　曲線
２００　レジスタ回路
２０１　トランジスタ
２０３　容量素子

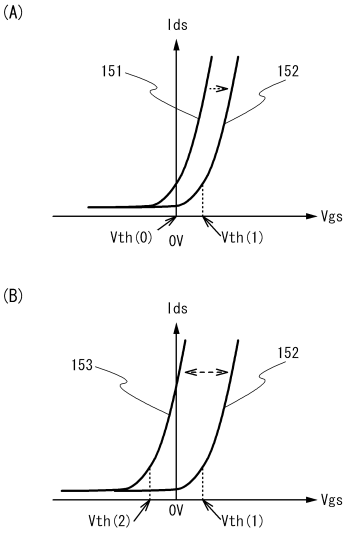
２０５　フリップフロップ回路
２０５ａ　インバータ
２０５ｂ　インバータ
２１０　記憶装置
２１１　第１の駆動回路
２１３　第２の駆動回路
２５０　メモリセル
２５１　トランジスタ
２５３　容量素子
２５５　トランジスタ
２５７　抵抗素子
２６０　記憶装置
２６１　第１の駆動回路
２６３　第２の駆動回路
２７０　画素
２７１　トランジスタ
２７３　容量素子
２７５　表示素子
２８０　表示装置
２８１　第１の駆動回路
２８３　第２の駆動回路
３０１　基板
３０３　素子分離層
３０５　ゲート
３０７ａ　不純物領域
３０７ｂ　不純物領域
３０９　第１層間絶縁層
３１１　コンタクトプラグ
３１３ａ　第１配線
３１３ｂ　第１配線
３１３ｃ　第１配線
３１５　ゲート絶縁層
３１７　酸化物半導体層
３１９ａ　第２配線
３１９ｂ　第２配線
３２１　第２層間絶縁層
３２３　第３配線
３２５　トランジスタ
３２７　トランジスタ
３２９　容量素子
７０１　筐体
７０２　筐体
７０３　表示部
７０４　キーボード
７１１　本体
７１２　スタイラス
７１３　表示部
７１４　操作ボタン
７１５　外部インターフェイス
７２０　電子書籍

７２１　筐体
７２３　筐体
７２５　表示部
７２７　表示部
７３１　電源
７３３　操作キー
７３５　スピーカー
７３７　軸部
７４０　筐体
７４１　筐体
７４２　表示パネル
７４３　スピーカー
７４４　マイクロフォン
７４６　ポインティングデバイス
７４７　カメラ用レンズ
７４８　外部接続端子
７４９　太陽電池セル
７５０　外部メモリスロット
７６１　本体
７６３　接眼部
７６４　操作スイッチ
７６５　表示部
７６６　バッテリー
７６７　表示部
７７０　テレビジョン装置
７７１　筐体
７７３　表示部
７７５　スタンド
７８０　リモコン操作機

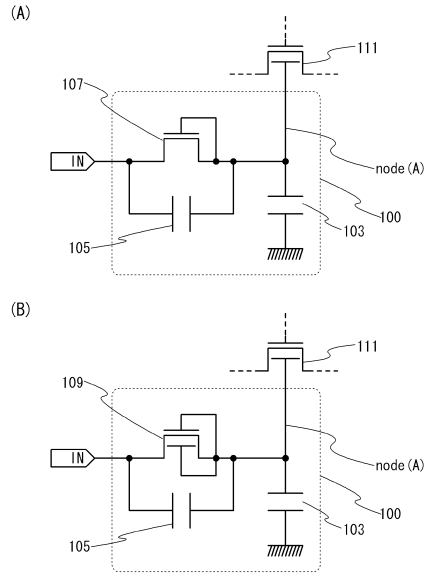
【図１】


(A)
101
111
IN
node(A)
100
105
103
(B)
101
111
IN
node(A)
100
105
103

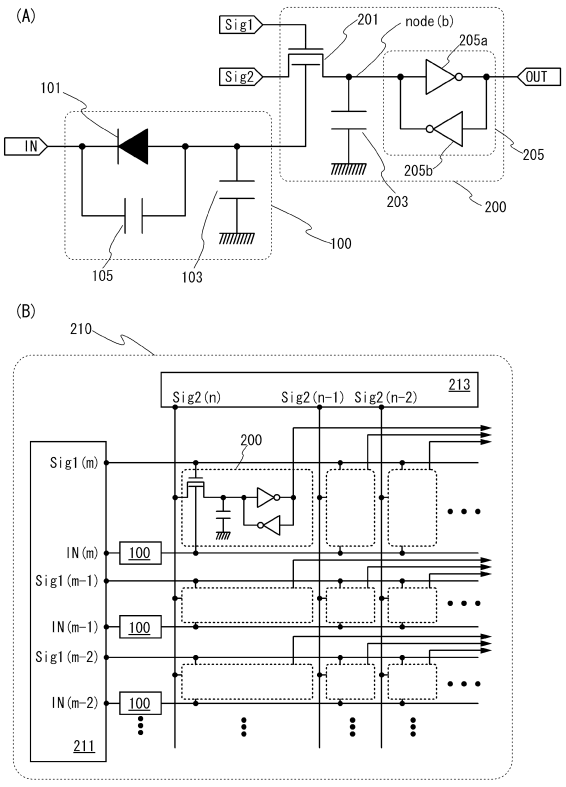
【図２】


(A)
Ids
151
152
Vgs
Vth(0)
0V
Vth(1)
(B)
Ids
153
152
Vgs
Vth(2)
0V
Vth(1)

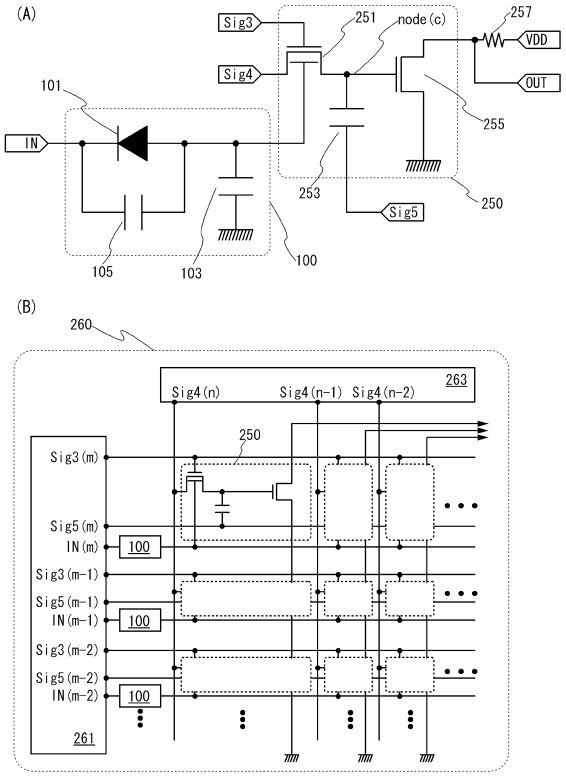
【図３】


(A)
107
111
IN
node(A)
100
105
103
(B)
109
111
IN
node(A)
100
105
103

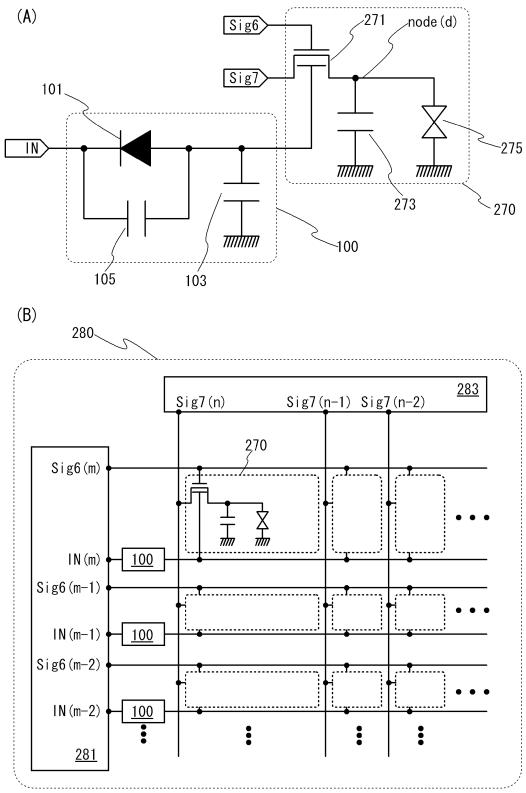
【図４】


(A)
Sig1
201
node(b)
205a
Sig2
OUT
101
IN
205
205b
203
200
100
105
103
(B)
210
213
Sig2(n)
Sig2(n-1)
Sig2(n-2)
200
Sig1(m)
IN(m)
100
Sig1(m-1)
IN(m-1)
100
Sig1(m-2)
IN(m-2)
100
211

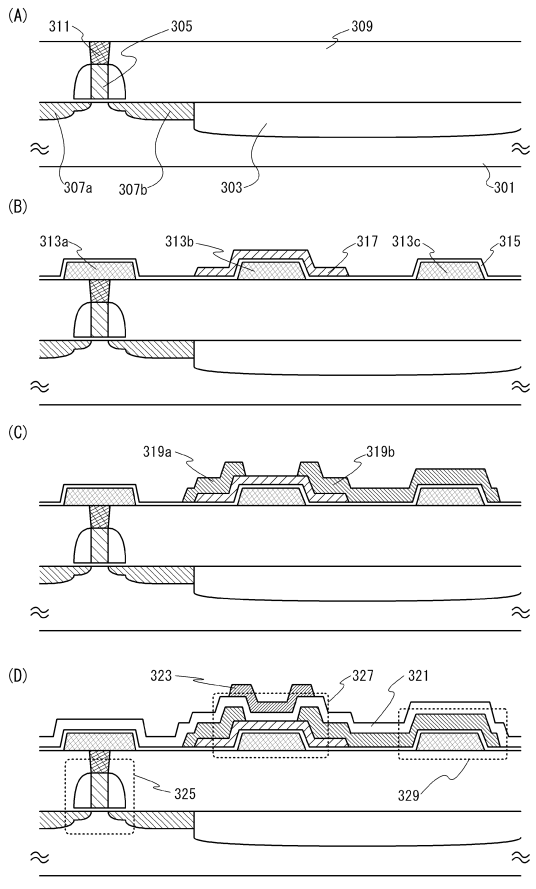
【図５】


(A)
Sig3
Sig4
IN
101
105
103
100
251
node(c)
257
VDD
OUT
255
253
250
Sig5
(B)
260
Sig4(n)
Sig4(n-1)
Sig4(n-2)
263
250
Sig3(m)
Sig5(m)
IN(m)
Sig3(m-1)
Sig5(m-1)
IN(m-1)
Sig3(m-2)
Sig5(m-2)
IN(m-2)
100
261

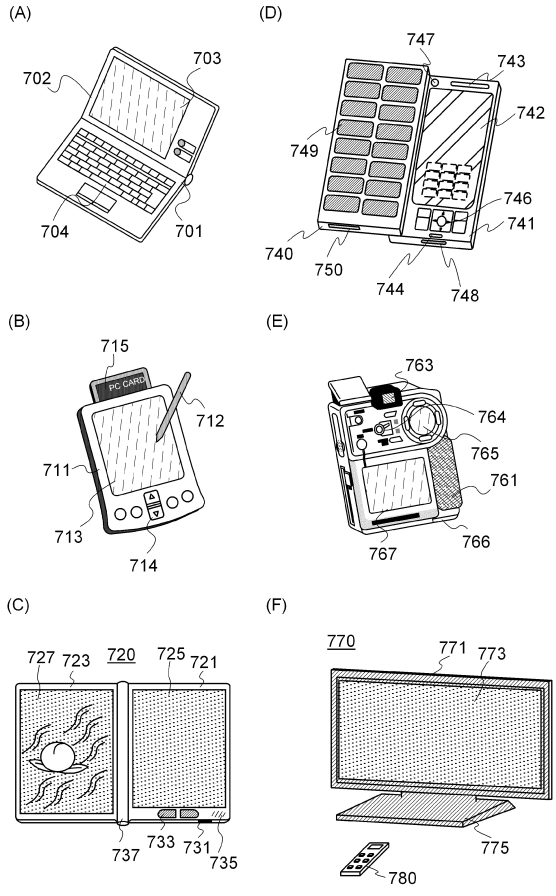
【図６】


(A)
Sig6
Sig7
IN
101
105
103
100
271
node(d)
275
273
270
(B)
280
Sig7(n)
Sig7(n-1)
Sig7(n-2)
283
270
Sig6(m)
IN(m)
Sig6(m-1)
IN(m-1)
Sig6(m-2)
IN(m-2)
100
281

【図７】


(A)
311
305
309
307a
307b
303
301
(B)
313a
313b
317
313c
315
(C)
319a
319b
(D)
323
327
321
325
329

【図８】


(A)
702
703
704
701
(B)
715
PC CARD
712
711
713
714
(C)
727
723
720
725
721
737
733
731
735
(D)
747
743
742
749
746
741
740
750
744
748
(E)
763
764
765
761
767
766
(F)
770
771
773
775
780

フロントページの続き

(51)Int.Cl. FI
G11C 11/405

(56)参考文献 特開平０９－１１３８７９（ＪＰ，Ａ）
特開２０１０－２８３３３８（ＪＰ，Ａ）
特開２００８－１８１６３４（ＪＰ，Ａ）
特開２０１０－２６６４９０（ＪＰ，Ａ）
特開２００６－３２３３７６（ＪＰ，Ａ）
特開２００３－１８６４２１（ＪＰ，Ａ）
特開２００９－２７８１１５（ＪＰ，Ａ）
米国特許出願公開第２０１０／０２７９４７４（ＵＳ，Ａ１）
米国特許出願公開第２００６／０２３８１３５（ＵＳ，Ａ１）
米国特許出願公開第２００３／００７５７３３（ＵＳ，Ａ１）
米国特許第０５９５６０１１（ＵＳ，Ａ）
欧州特許出願公開第０２１２０２６７（ＥＰ，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ ２９／７８６
Ｈ０１Ｌ ２１／８２４２
Ｈ０１Ｌ ２７／１０８