(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3565922号
(P3565922)
(45)発行日　平成16年9月15日(2004.9.15)　(24)登録日　平成16年6月18日(2004.6.18)

(51)Int.Cl.[7]　F I
H03K 19/0185　H03K 19/00　101D

請求項の数 7　(全 7 頁)

(21)出願番号　特願平6-278480
(22)出願日　平成6年10月18日(1994.10.18)
(65)公開番号　特開平7-183794
(43)公開日　平成7年7月21日(1995.7.21)
審査請求日　平成13年10月17日(2001.10.17)
(31)優先権主張番号　139,247
(32)優先日　平成5年10月18日(1993.10.18)
(33)優先権主張国　米国(US)

(73)特許権者　399117121
アジレント・テクノロジーズ・インク
AGILENT TECHNOLOGIES, INC.
アメリカ合衆国カリフォルニア州パロアルト　ページ・ミル・ロード　３９５
３９５ Page Mill Road Palo Alto, California U.S.A.
(74)代理人　100105913
弁理士　加藤　公久
(72)発明者　ロバート・ビー・マンレー
アメリカ合衆国コロラド州フォートコリンズ、イーストリッジクレストロード　９４５

最終頁に続く

(54)【発明の名称】レベル変換回路

(57)【特許請求の範囲】

【請求項１】

ＣＭＯＳ集積回路内で、ＣＭＯＳ電圧レベル入力信号をシフトされたＥＣＬ電圧レベル出力信号に変換するレベル変換回路であって、前記シフトされたＥＣＬ電圧レベル出力信号が前記ＣＭＯＳ集積回路の供給電圧を基準電圧としているレベル変換回路において、

供給電圧と前記出力信号との間に接続された第１ｐＦＥＴと；

前記出力信号と回路のアースとの間に接続されていて、前記入力信号がゲートに接続されたｎＦＥＴと；

前記ｎＦＥＴと並列に接続された第２ｐＦＥＴと；

前記第１ｐＦＥＴのゲートに接続され、更に前記第２ｐＦＥＴのゲートに接続されたバイアス電圧とを備え、

このバイアス電圧が、前記入力がＣＭＯＳ論理０電圧レベルにある場合は、シフトされたＥＣＬの論理１電圧レベルを保持するために前記出力にバイアスを加える構成であることを特徴とするレベル変換回路。

【請求項２】

前記第１ｐＦＥＴと前記第２ｐＦＥＴとを所定の物理的サイズ比を有するように製造したことを特徴とする、請求項１に記載のレベル変換回路。

【請求項３】

前記所定の物理的サイズ比が２対１であり、前記回路が７５オームの終端インピーダンスに接続されたことを特徴とする、請求項２に記載のレベル変換回路。

【請求項４】
前記第１と第２ｐＦＥＴを互いに物理的に隣接して製造したことを特徴とする、請求項２に記載のレベル変換回路。
【請求項５】
前記第１と第２ｐＦＥＴを互いに物理的に隣接して製造したことを特徴とする、請求項１に記載のレベル変換回路。
【請求項６】
前記バイアス電圧が前記供給電圧と前記回路アースとの間に直列接続された２つの等価の抵抗を備えた回路を使用して生成され、前記バイアス電圧が前記直列接続された抵抗の間に接続されたことを特徴とする、請求項１に記載のレベル変換回路。
【請求項７】
前記バイアス電圧が前記供給電圧と前記回路アースとの間に直列接続された２つのダイオード接続されたｐＦＥＴトランジスタを備えた回路を使用して生成され、前記バイアス電圧が前記直列接続されたｐＦＥＴの間に接続されたことを特徴とする、請求項１に記載のレベル変換回路。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は電子回路に関し、特に相補型金属－酸化物－半導体（ＣＭＯＳ）集積回路内の電子回路に関する。より詳細には、本発明は製造プロセスの変化を補償することを含めて、ＣＭＯＳ回路の電圧レベルと、シフトされたエミッタ結合論理回路の電圧レベルとを変換するための回路に関する。
【０００２】
【従来の技術】
ＣＭＯＳ集積回路は、極めて僅かな電力しか消費しないため、電子回路の設計に広範に利用される論理回路群である。エミッタ結合論理（ＥＣＬ）回路はより多くの電力を消費するが、ＥＬＣはＣＭＯＳよりも大幅に高速であり、ＣＭＯＳの速度では充分ではない回路用に使用される。ＥＣＬの電圧変動が少ないことによって、プリント回路基板を経て接続される信号の放射が少なくなる。更に、ＥＣＬはインピーダンスが低い伝送線を励振するように設計されているので、高周波数の集積回路間の信号特性が優れている。例えば、ＥＣＬはコンピュータ・ワークステーションで使用される解像度が極めて高い陰極線管用のビデオ信号を生成するための高周波信号を供給する場合に使用される。
【０００３】
ＣＭＯＳ集積回路は代表的には、動作用に５ボルトの供給電圧を使用し、論理レベルはこの電圧の範囲全体に亘って変化する。すなわち、０ボルトは論理０用の出力であり、５ボルトは論理１用の出力である。ＥＣＬは従前から－５．２ボルトの供給電圧を使用してきた。ＥＣＬ回路の論理レベルはアースを基準にしており、出力の範囲は大幅に狭くなり、最悪の場合は論理１用には－１．１、論理０用には－１．５の値となる。
【０００４】
ＥＣＬ回路は、ＥＣＬ用にＣＭＯＳの＋５ボルトの供給電圧をも使用し、その信号の基準をアースではなく＋５ボルトとすることによって、ＣＭＯＳ回路と組み合わせることができる。このようにすると、ＥＣＬの論理１は３．９ボルトとなり、ＥＣＬの論理０は３．５ボルトとなる。この方法によって、ＥＣＬが備えている速度上の利点が得られると共に、回路を単一の集積回路へと組み入れることができる。このように利用されるＥＣＬは場合によって“疑似”ＥＣＬ、ポジティブＥＣＬ又はシフトされたＥＣＬと呼ばれる。
【０００５】
論理１と論理０に関して最悪の場合の値の間の範囲が狭いので、ＣＭＯＳ製造プロセスでの変動によって、ＥＣＬ回路が適正に機能するかどうかに重大な影響が及ぼされることがある。プロセスの変動によってＣＭＯＳトランジスタが“高速”又は“緩速”になり、しかも依然としてＣＭＯＳ製造公差の範囲内にある場合は、ＣＭＯＳレベルとＥＣＬレベル

との間で変換する回路が、適正に機能する充分な裕度が得られないことがある。
【０００６】
そこで製造プロセスの変動の全範囲に亘って適正な出力の裕度が得られる構成の、ＣＭＯＳとＥＣＬの電圧レベルを変換する、ＣＭＯＳ集積回路内で製造される変換回路が必要となる。本発明は上記の、及びその他の必要性を満たすものである。
【０００７】
【発明の目的】
本発明の一側面は、ＣＭＯＳ論理電圧レベルをシフトされたＥＣＬ論理電圧レベルに変換するためのレベル変換回路を提供することにある。
【０００８】
本発明の別の側面は、ＣＭＯＳ製造プロセスの変動の全範囲に亘ってＥＣＬ論理レベルの裕度を保持することにある。
【０００９】
【発明の概要】
本発明の上記の、及びその他の側面は、ＣＭＯＳレベルとシフトされたＥＣＬレベルとの間で電圧レベルを変換するためのＣＭＯＳレベル変換回路において達成される。シフトされたＥＣＬレベルはＣＭＯＳ回路のＶＤＤ電圧を基準とし、ＣＭＯＳ　ＶＤＤ電圧とアースとの間に接続されたＥＣＬ回路に接続することが可能である。
【００１０】
レベル変換回路はＶＤＤ供給電圧と出力端子との間に接続されたｐＦＥＴと、出力端子と回路アースとの間に接続されたｎＦＥＴを含んでいる。入力信号はｎＦＥＴのゲート入力に接続されている。第２ｐＦＥＴは出力端子とアースとの間にｎＦＥＴと並列に接続されている。双方のｐＦＥＴのゲート入力にバイアス電圧を供給するために、分圧器がＶＤＤとアースとの間に接続されている。バイアス電圧によって、ｎＦＥＴへのゲートが低レベルにある場合、すなわちＣＭＯＳ論理レベルが０である場合に、出力端子はシフトされたＥＬＣ論理１の電圧を有するようにされ、回路は所望の特性インピーダンスに励振される。このバイアス電圧は代表的には、２つのダイオード接続ｐＦＥＴを直列にＶＤＤとアースとの間に接続し、且つこの分圧器の中心をｐＦＥＴのゲートに接続することによって発生される。
【００１１】
第１と第２のｐＦＥＴはＣＭＯＳ集積回路製造プロセスにおける変動を補償するため、互いに極めて近接して位置するように集積回路内に製造される。ｐＦＥＴは互いに近接しているので、一方のＦＥＴに影響するプロセスの変動は他方のＦＥＴにも影響を及ぼす。従って、第１ｐＦＥＴが所定の製造バッチ内で“急速”である場合は、第２のｐＦＥＴも急速であり、平衡する。双方のトランジスタが緩速である場合も同じ効果が生ずる。
【００１２】
【実施例】
以下の説明は、本発明を実施する上での現時点での最良の態様である。この説明は限定的なものではなく、本発明の基本原理を説明する目的であるに過ぎない。
【００１３】
本発明はＣＭＯＳレベルを、シフトされたＥＣＬ論理レベルに変換するために使用される論理レベル変換器である。シフトされたＥＣＬ論理はＣＭＯＳ　ＶＤＤ供給電圧とアースとの間に接続されたＥＣＬ論理である。シフトされたＥＣＬ論理１の電圧は３．９から４．２ボルトであり、シフトされたＥＣＬ論理０の電圧は３．０から３．５ボルトである。
【００１４】
図１は本発明の概略図である。ここで図１を参照すると、ＣＭＯＳ集積回路１０２は本発明の回路１０４を含んでいる。回路１０４内では、ｐＦＥＴ１０６がＶＤＤ１１６と出力１２２の間に接続されている。ｎＦＥＴ１０８は出力１２２と回路アース１１８との間に接続されている。回路への入力はｎＦＥＴ１０８のゲートに接続されたＣＭＯＳレベル電圧である。

【００１５】
第２ｐＦＥＴ１１０は出力１２２と回路アース１１８との間にｎＦＥＴ１０８と並列に接続されている。２つのｐＦＥＴ用のバイアス電圧は、ＶＤＤ１１６と回路アース１１８との間に直列に接続されたダイオード接続ｐＦＥＴ１１２と１１４を備えた分圧器によって生成される。ｐＦＥＴ１１２と１１４用の電圧値は、ｎＦＥＴ１０８のゲートが低レベルにある場合、すなわちＣＭＯＳレベル０であり、又、出力１２２が所望の特性インピーダンスを励振する場合に、出力１２２が、シフトされたＥＣＬ論理１の電圧出力を有するように設定される。好ましい実施例では、バイアス電圧は約ＶＤＤ／２に設定される。
【００１６】
本発明では、特性インピーダンスは７５オームであり、これは集積回路の外部で回路出力に接続された２つの抵抗１２４及び１２６によって設定される。このインピーダンスは、抵抗１２４用には１００オームの抵抗を使用し、抵抗１２６用には３００オームの抵抗を使用することによって設定される。それによって、出力電圧は定格で３．７ボルトとなり、これはシフトされたＥＣＬ論理１の電圧と、シフトされたＥＣＬ論理０の電圧との中間の電圧である。
【００１７】
動作時には、電流はｐＦＥＴ１０６を経て出力１２２に流れる。入力１２０が低レベルにある場合、すなわち、ＣＭＯＳ論理レベル０にある場合は、ｎＦＥＴ１０８は遮断され、電流は出力１２２から流出して、出力電圧を３．９ボルト以上の値に高め、この値はシフトされたＥＣＬ用の論理１の電圧値である。入力１２０が高レベルにある場合は、ｎＦＥＴ１０８はターンオンし、それによって電流を出力１２２から引込み、出力電圧を３．５ボルト以下に引き下げる。これはシフトされたＥＣＬ用の論理０の電圧値である。
【００１８】
ｐＦＥＴ１１０にはバイアス電圧がかかるので、電流のある部分は常にｐＦＥＴ１１０を導通する。ｐＦＥＴ１１０を導通する電流量は、バイアス電圧、ｐＦＥＴ１１０のサイズ、及び回路の温度によって決まる。ｐＦＥＴ１０６のサイズが所定サイズである場合は、ｐＦＥＴ１１０のサイズは、シフトされたＥＣＬ用の所望の高レベル及び低レベルに出力電圧１２２を保持するのに充分な電流を導通するように調整できる。
【００１９】
抵抗１２４及び１２６によって成端が７５オームに設定された場合は、ｐＦＥＴ１０６とｐＦＥＴ１１０とのサイズ比は２対１である。５０オームの成端の場合は、サイズ比は２．４５対１である。
【００２０】
バイアス電圧はＩＣ１０２上の部品によって生成されるので、温度やその他の要因によって変動することがある。しかし、ｐＦＥＴ１０６とｐＦＥＴ１１０は双方とも同じバイアス電圧に接続されているので、双方のトランジスタを流れる電流はバイアス電圧の変化と同様の影響を受ける。すなわち、バイアス電圧が変化して、ｐＦＥＴ１０６を流れる電流が増大すると、ＦＥＴ１１０を流れる電流も増大する。それによって、バイアス電圧が変化しても出力１２２の電圧は同じに保たれる。温度変化も同様の作用を及ぼすので、出力電圧は許容差の限度内に保たれる。
【００２１】
更に、バイアス電圧がＶＤＤに左右されるので、回路の出力信号はＶＤＤの任意のシフトと比例してシフトすることができる。
【００２２】
２つのｐＦＥＴを集積回路上で互いに隣接して、あるいは密接して配置することによって、回路はプロセスの変動により影響されることがない。製造プロセスによって、“急速”トランジスタを有するバッチが製造された場合は、ｐＦＥＴ１０６とｐＦＥＴ１１０は双方とも急速であり、出力１２２の電圧は安定状態に保たれる。同様に、プロセスによって“緩速”トランジスタが製造された場合は、ｐＦＥＴ１０６とｐＦＥＴ１１０は双方とも緩速であり、出力安定状態に保たれる。“急速”トランジスタを有するバッチでは、ｐＦ

ＥＴ１１０にはより多くの電流が流れるので、同じ出力電圧レベルを生成するために、同量の電流が抵抗１２６を導通する。

【００２３】

別の実施例では、ｐＦＥＴ１１２と１１４の代わりに、直列接続された２つの抵抗を用いることによって、バイアス電圧をｐＦＥＴ１０６及び１１０用に設定することもできよう。これらの抵抗は、所望のバイアス電圧を生成するため、例えば２５０ｋオームのような等しい抵抗値を有することになろう。

【００２４】

バイアス電圧を生成するには多くの他の方法があることが専門家には理解されよう。

【００２５】

上記のとおり、本発明の現時点が好ましい実施例を説明してきたが、本発明の側面は完全に達成され、本発明の趣旨と範囲から離れることなく、構造と回路に多くの変更が可能であり、本発明の大幅に異なる実施例と用例が自明であることが専門家には理解されよう。ここに記載した開示内容と説明は説明目的であり、本発明を限定するものでは決してない。

【００２６】

以上、本発明の実施例について詳述したが、以下、本発明の各実施例毎に列挙する。

【実施例１】

ＣＭＯＳ集積回路内で、ＣＭＯＳ電圧レベル入力信号（１２０）をシフトされたＥＣＬ電圧レベル出力信号（１２２）に変換するレベル変換回路（１０２）であって、前記シフトされたＥＣＬ電圧レベル出力信号が前記ＣＭＯＳ集積回路の供給電圧（１１６）を基準電圧としているレベル変換回路において、

供給電圧（１１６）と前記出力信号（１２２）との間に接続された第１ｐＦＥＴ（１０６）と；

前記出力信号（１２２）と回路のアース（１１８）との間に接続されていて、前記入力信号（１２０）がゲートに接続されたｎＦＥＴ（１０８）と；

前記ｎＦＥＴ（１０８）と並列に接続された第２ｐＦＥＴ（１１０）と；

前記第１ｐＦＥＴ（１０６）のゲートに接続され、更に前記第２ｐＦＥＴ（１１０）のゲートに接続されたバイアス電圧（１１３）とを備え、このバイアス電圧（１１３）が、前記入力（１２０）がＣＭＯＳ論理０電圧レベルにある場合は、シフトされたＥＣＬの論理１電圧レベルを保持するために前記出力（１２２）にバイアスを加える構成であることを特徴とするレベル変換回路。

【実施例２】

前記第１ｐＦＥＴ（１０６）と前記第２ｐＦＥＴ（１１０）とを所定の物理的サイズ比を有するように製造したことを特徴とする実施例１記載のレベル変換回路。

【実施例３】

前記所定の物理的サイズ比が２対１であり、前記回路が７５オームの終端インピーダンスに接続されたことを特徴とする実施例２記載のレベル変換回路。

【実施例４】

前記第１と第２ｐＦＥＴ（１０６，１１０）を互いに物理的に隣接して製造したことを特徴とする実施例２記載のレベル変換回路。

【実施例５】

前記第１と第２ｐＦＥＴ（１０６，１１０）を互いに物理的に隣接して製造したことを特徴とする実施例１記載のレベル変換回路。

【実施例６】

前記バイアス電圧（１１３）が前記供給電圧（１１６）と前記回路アース（１１８）との間に直列接続された２つの等価の抵抗を備えた回路を使用して生成され、前記バイアス電圧（１１３）が前記直列接続された抵抗の間に接続されたことを特徴とする実施例１記載のレベル変換回路。

【実施例７】

前記バイアス電圧（１１３）が前記供給電圧（１１６）と前記回路アース（１１８）との間に直列接続された２つのダイオード接続されたｐＦＥＴトランジスタ（１１２，１１４）を備えた回路を使用して生成され、前記バイアス電圧（１１３）が前記直列接続されたｐＦＥＴの間に接続されたことを特徴とする実施例１記載のレベル変換回路。

【００２７】

【発明の効果】

以上説明したように、本発明を用いることにより、ＣＭＯＳ製造プロセスの変動の全範囲に亘ってＥＣＬ論理レベルの裕度を保持しつつ、ＣＭＯＳ論理電圧レベルを、シフトされたＥＣＬ論理電圧レベルに変換することができる。

【図面の簡単な説明】

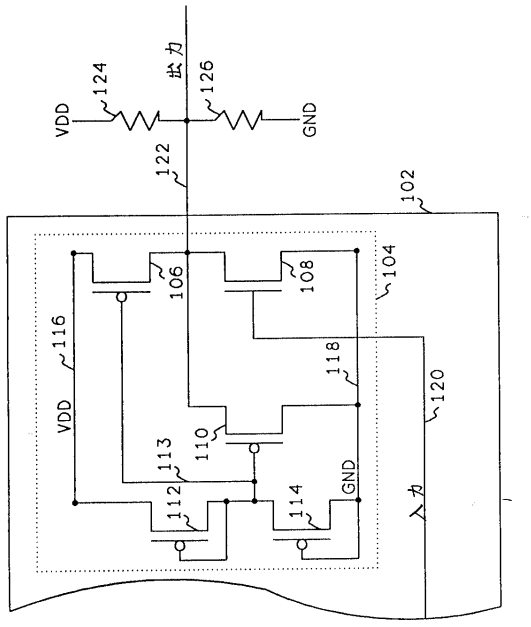
【図１】本発明のＣＭＯＳ電圧レベルをＥＣＬ電圧レベルに変換する回路の概略図である。

【符号の説明】

１０６、１１０、１１２、１１４：ｐＦＥＴ

１０８：ｎＦＥＴ

【図１】



フロントページの続き

審査官　彦田　克文

(56)参考文献　米国特許第4791322（ＵＳ，Ａ）
米国特許第4808852（ＵＳ，Ａ）
米国特許第4998028（ＵＳ，Ａ）
米国特許第5043605（ＵＳ，Ａ）
特開平０３－２７０４０８（ＪＰ，Ａ）
特開平０４－０２６２２８（ＪＰ，Ａ）
特開平０６－１１２８０８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03K 19/0185