

부분적으로 다공성 물질로 형성되는 절연층(108)을 갖는 반도체 디바이스 및 이러한 디바이스의 제조 방법이 제공된다. 인접하는 배선의 스트레이 캐패시턴스는, 물질의 양을 줄임으로써, 즉 금속화층의 절연층(108)에 다공성 물질을 이용함으로써 크게 감소된다. 일 실시예에서, 다공층(108)은 추가적인 기판 상에 개별적으로 제조된 다음, 이 추가적인 기판과 제품 웨이퍼를 서로 적절히 정렬시키면서 제품 웨이퍼에 전사된다. 이러한 방식으로, 감소된 유전율을 갖는 완전한 금속화층을 미리, 또는 MOS 구조를 보유하는 제품 웨이퍼와 동시에 제조하는 것이 가능해진다. 금속화층의 배선 라인의 캐패시턴스가 감소됨으로 인해, 집적 회로의 신호 성능 그리고/또는 소비 전력이 개선된다.

대표도

도 2e

특허청구의 범위

청구항 1.

최초 밀도를 갖는 시작 고체 실리콘 물질로부터 형성되는 다공성 실리콘층과, 여기서 상기 다공성 실리콘층은 상기 시작 고체 실리콘 물질의 상기 최초 밀도의 약 20-80%의 밀도를 가지며; 그리고

상기 다공성 실리콘층 내에 형성되는 복수의 도전성 배선을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 2.

제 1 항에 있어서,

상기 다공성 실리콘층은 약 0.4656-1.8625g/cm³ 범위의 밀도를 갖는 실리콘으로 이루어지는 것을 특징으로 하는 반도체 디바이스.

청구항 3.

제 1 항에 있어서,

상기 복수의 도전성 배선은 복수의 도전성 라인으로 이루어지는 것을 특징으로 하는 반도체 디바이스.

청구항 4.

제 1 항에 있어서,

상기 복수의 도전성 배선은 복수의 도전성 금속 플러그로 이루어지는 것을 특징으로 하는 반도체 디바이스.

청구항 5.

제 1 항에 있어서,

상기 복수의 도전성 배선은 복수의 도전성 라인 및 복수의 금속 플러그로 이루어지는 것을 특징으로 하는 반도체 디바이스.

청구항 6.

제 1 항에 있어서,

상기 다공성 실리콘층에 결합되는 실리콘 이산화물층을 더 포함하고, 상기 실리콘 이산화물층은 다른 구조 상의 다른 실리콘 이산화물층에 결합되는 것을 특징으로 하는 반도체 디바이스.

청구항 7.

제 1 항에 있어서,

상기 다공성 실리콘층의 윗쪽 및 아랫쪽에 형성되는 실리콘 이산화물층을 더 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 8.

약 $0.4656\text{--}1.8625\text{g/cm}^3$ 범위의 밀도를 갖는 시작 고체 실리콘 물질로부터 형성되는 다공성 실리콘층과;

상기 다공성 실리콘층 내에 형성되는 복수의 도전성 배선과;

상기 다공성 실리콘층 상에 형성되는 제 1 접착층과; 그리고

구조 상에 형성되는 제 2 접착층을 포함하고, 여기서 상기 구조 윗쪽에는 상기 다공성 실리콘층이 부착되게 되며, 상기 제 1, 2 접착층은 서로 결합되는 것을 특징으로 하는 반도체 디바이스.

청구항 9.

제 8 항에 있어서,

상기 복수의 도전성 배선은 복수의 도전성 라인으로 이루어지는 것을 특징으로 하는 반도체 디바이스.

청구항 10.

제 8 항에 있어서,

상기 복수의 도전성 배선은 복수의 도전성 금속 플러그로 이루어지는 것을 특징으로 하는 반도체 디바이스.

청구항 11.

제 8 항에 있어서,

상기 복수의 도전성 배선은 복수의 도전성 라인 및 복수의 금속 플러그로 이루어지는 것을 특징으로 하는 반도체 디바이스.

청구항 12.

제 8 항에 있어서,

상기 다공성 실리콘층의 윗쪽에 형성되는 실리콘 이산화물층을 더 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 13.

제 8 항에 있어서,

상기 제 1 접착층은 실리콘 이산화물, 실리콘 옥시나이트라이드 및 실리콘 나이트라이드로 이루어지는 것을 특징으로 하는 반도체 디바이스.

청구항 14.

제 8 항에 있어서,

상기 제 2 접착층은 실리콘 이산화물, 실리콘 옥시나이트라이드 및 실리콘 나이트라이드로 이루어지는 것을 특징으로 하는 반도체 디바이스.

청구항 15.

제 8 항에 있어서,

상기 제 1 접착층은 실리콘 이산화물로 이루어지고, 상기 제 2 접착층은 실리콘 이산화물로 이루어지는 것을 특징으로 하는 반도체 디바이스.

청구항 16.

제 8 항에 있어서,

상기 구조는 반도체 기판의 윗쪽에 형성되는 유전층으로 이루어지는 것을 특징으로 하는 반도체 디바이스.

청구항 17.

제 8 항에 있어서,

상기 구조는 집적 회로 디바이스 상에 형성되는 금속화층으로 이루어지는 것을 특징으로 하는 반도체 디바이스.

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

명세서

기술분야

본 발명은 집적 회로 디바이스의 제조에 관한 것으로서, 특히 신호 처리 시간을 줄일 수 있는 금속화층의 형성에 관한 것이다.

배경기술

반도체 제조 분야에서는, 집적 회로 내의 반도체 디바이스의 치수를 줄이고자 하는 경향이 있다. 동시에, CPU 등의 디지털 회로의 클럭 주파수는 하나의 설계 세대로부터 다음의 설계 세대로 정상적으로 증가하고 있다.

하지만, 클럭 주파수가 증가할수록, 집적 회로 내의 많은 금속층의 전기적인 특징이 끊임없이 중요해지고 있다. 반도체 디바이스를 연결하는 컨택 및 배선의 높은 저항률과, 이러한 컨택 및 배선으로부터 비롯되는 높은 캐패시턴스는, 집적 회로 내에서 전송되는 전기 신호의 하강 시간 및 상승 시간을 증가시킴으로써, 디바이스의 성능을 손상시킨다.

이러한 점에서, 인접하는 컨택 및 배선의 스트레이 캐패시턴스(stray capacitance)를 고려하는 것이 또한 중요하다. 인접하는 도체 간의 캐패시턴스의 증가는 바람직하지 않은데, 왜냐하면 인접하는 도체 간에 캐패시턴스가 증가하게 되면, 이러한 도체에 따른 신호 전파를 지연시키고, 이러한 캐패시턴스는 각 동작 주기 동안 충전되어야만 하기 때문에 집적 회로 디바이스에 의한 소비 전력을 증가시키기 때문이다. 2개의 도체의 캐패시턴스는 이러한 도체 간의 거리에 반비례하기 때문에, 디바이스의 치수를 줄이게 되면, 필연적으로 인접하는 도체의 스트레이 캐패시턴스가 증가하게 된다. 또한, 복수의 금속화층이 형성되는 초대규모 집적(VLSI) 회로에서는, 인접하는 층 간의 수직 방향의 거리를 임의로 확대하여 이러한 층 간의 캐패시턴스를 줄일 수 없는데, 이는 최대 수직 거리는 2개의 금속화층을 연결하는 비아홀의 애스펙트비(aspect ratio)에 의해 결정되기 때문이다. 하지만, 비아 간의 간격을 좁게 하여 회로 치수를 줄이고, 비아의 낮은 전기 저항률을 보장하기에 충분한 두께의 비아를 얻기 위해서는, 비아홀의 치수를 정확하게 제어할 필요가 있다.

본 발명은 상기 설명한 하나 또는 그 이상의 문제를 해결하거나, 또는 적어도 그 영향을 줄이는 것이다.

발명의 상세한 설명

본 발명은 신호 처리 시간을 줄이는 반도체 디바이스 및 그 제조 방법에 관한 것이다. 본 발명의 예시적인 일 실시예에서는, 다공성 물질이 만들어지는 밀도의 약 20-80% 범위의 밀도를 갖는 다공성 물질층과, 그리고 상기 다공성 물질층 내에 형성되는 복수의 도전성 배선으로 이루어지는 디바이스가 제공된다.

본 발명의 예시적인 일 실시예에서는, 최초 밀도(original density)를 갖는 물질층을 제공하는 단계와, 상기 물질층의 밀도를 시작 물질(starting material)의 최초 밀도의 약 20-80%로 감소시키는 단계와, 밀도가 감소한 층 내에 적어도 1개의 개구부를 형성하는 단계와; 그리고 상기 개구부 내에 도전성 배선을 형성하는 단계를 포함하는 방법이 제공된다.

본 발명은 첨부 도면을 참조하여 설명되는 하기의 상세한 설명으로부터 보다 명확하게 이해될 것이다. 도면에서, 동일한 참조 부호는 동일한 요소를 나타낸다.

실시예

이하, 본 발명의 예시적인 실시예에 대해 설명한다. 명확성을 위해, 본원에서는 실제 구현의 모든 특징을 설명하지는 않는다. 물론, 주목할 사항으로서, 이러한 모든 실제 실시예의 개발시, 예를 들어 시스템 관련 제약 및 사업 관련 제약을 따르는 것과 같이, 개발자의 특정한 목표를 달성하기 위해서는, 구현 마다 특정한 다양한 결정이 이루어져야 하는바, 이는 구현 마다 달라질 것이다. 또한, 주목할 사항으로서, 이러한 개발 노력은 복잡하고 시간 소모적이지만, 그럼에도 불구하고 본원의 개시의 이득을 갖는 당업자에게는 일상적인 작업이다.

이제, 도 2A 내지 2E를 참조하여 본 발명을 상세히 설명한다. 도면에서는, 반도체 디바이스의 다양한 영역 및 구조가 매우 정밀하고 선명한 구성 및 윤곽으로 도시되어 있지만, 당업자라면 이러한 영역 및 구조가 실제로는 도면에 나타난 것 처럼

정밀하지 않다는 것을 알 수 있을 것이다. 또한, 도면에 도시된 다양한 특징부의 상대적인 크기는 제조되는 디바이스에 있어서의 이러한 특징부의 크기와 비교하여 과장 또는 축소될 수 있다. 그럼에도 불구하고, 첨부 도면은 본 발명의 실시예를 묘사하고 설명하기 위해 포함되었다.

일반적으로, 본 발명은 신호 처리 시간이 감소된 반도체 디바이스 및 그 제조 방법을 제공한다. 당업자에게 있어서 본 발명을 완전하게 숙독하게 되면 명백해지는 바와 같이, 본 발명은, 예를 들어 NMOS, PMOS, COMS 등의 다양한 기술에 적용될 수 있고, 한정하는 것은 아니지만 논리 디바이스, 메모리 디바이스 등을 포함하는 다양한 디바이스에 용이하게 적용될 수 있다.

도 1은 전형적인 종래 기술의 공정을 이용하여 반도체 기판(11) 위에 제조되는 예시적인 반도체 디바이스, 예를 들어 MOS 트랜지스터의 개략적인 단면도이다. 배선 유전 물질층(1) 내에는, 국부적인 배선 금속 개구부(14)가 형성된 다음, 알루미늄, 코발트, 텅스텐 등의 금속으로 채워져, 국부적인 배선 금속 플러그(2)를 형성한다. 이러한 국부적인 배선 금속 플러그(2)는, 예를 들어 코발트 실리사이드 등의 금속 실리사이드로 이루어질 수 있는 전극(3)에 연결된다. 전극(3)은 MOS 구조의 소스 영역 및 드레인 영역을 나타내는 아래의 활성 접합(4)에 대해 전기적인 컨택을 제공한다. 또한, 통상적으로 실리콘 이산화물로 이루어지는 게이트 산화물(5) 및 통상적으로 폴리실리콘으로 이루어지는 게이트 전극(6)이 기판(11) 위에 형성된다.

유전층(7)이 유전 물질층(1)의 평탄화된 표면(17) 위에 형성된다. 예시적인 일 실시예에서는, 컨택 개구부(12) 및 배선 개구부(13)가 유전층(7) 내에 형성된 다음, 알루미늄, 텅스텐 또는 구리 등의 도전성 물질로 채워져, 도전성 컨택(8) 및 도전성 라인(9)을 형성한다. 컨택 개구부(12) 및 배선 개구부(13) 내의 도전성 물질과 유전층(7)은 장벽층(10)에 의해 분리되는바, 이 장벽층(10)은 티타늄층 및 티타늄 나이트라이드층으로 이루어질 수 있다.

예시적인 일 실시예에서, 개구부(12, 13)는 통상적인 이중 다마신 공정(dual-damascene process)을 이용하여 구리로 채워진다. 이 공정에서, 유전층(7)은, 예를 들어 CVD(화학 기상 증착) 공정을 이용하여, 아래에 있는 MOS 구조 전체 위에 형성된다. 이후, 유전층(7)은 알려진 포토리소그래피 및 식각 공정에 의해 패터닝되어, 컨택 개구부(12) 및 배선 개구부(13)를 형성한다. 컨택 개구부(12) 및 배선 개구부(13)의 횡방향 치수가 다르기 때문에, 패터닝 단계는 2회 행해진다(이중 다마신 공정). 다음으로, 2개의 서로 다른 층으로 이루어질 수 있는 장벽층(10)이 형성된다. 이후, 컨택 개구부(12) 및 배선 개구부(13)는 알루미늄, 구리, 텅스텐 등의 도전성 물질로 채워져, 도전성 컨택(8) 및 도전성 라인(9)을 형성한다. 최종 단계로, 여분의 금속 및 장벽 물질이 유전층(7)의 표면(15)까지 연마되어 제거된다.

동작시, 도 1에 나타낸 반도체 디바이스의 전기적인 특징은, MOS 트랜지스터 구조의 설계에 의해 결정될 뿐만 아니라, 도전성 컨택(8) 및 도전성 라인(9)으로 구성되어 유전층(7) 내에 형성되는 금속화층의 특징에 큰 영향을 받는다. 특히, 컨택(8) 및 라인(9)의 스트레이 캐패시턴스에 의해, 종래의 구조의 신호 성능이 악화되는데, 이는 캐패시턴스가 증가함에 따라, 신호의 하강 시간 및 상승 시간이 증가하여, 신호를 처리하는 동안 스트레이 캐패시턴스를 충전 및 방전시키는 데에 필요한 전력이 커지기 때문이다.

도 2A는 국부적인 배선 공정이 완료된 후, 본 발명에 따른 예시적인 일 실시예에 따른 웨이퍼 제품(130)의 일부의 단면도이다. 제 1 유전층(101) 내에서는, 국부적인 배선 개구부(120)가 형성된 다음, 국부적인 배선 금속 플러그(102)로 채워진다. 국부적인 배선 금속 플러그(102)는, 예를 들어 코발트 실리사이드와 같은 금속 실리사이드로 이루어질 수 있는 전극(103)과 접촉한다. 전극(103)은 MOS 트랜지스터의 드레인 영역 및 소스 영역을 형성하는 활성 접합(104)과 전기적으로 접촉한다. 게이트 전극(106)은 게이트 산화물층(105)에 의해 활성 접합(104)으로부터 전기적으로 분리된다.

이제, 도 2A에 나타낸 MOS 구조의 부분을 제조하기 위한 전형적인 공정에 대해 설명한다. 종래의 실리사이드 공정에 의해 코발트 실리사이드층이 형성된 후, 예시된 트랜지스터를 덮는 기판의 표면 위에 약 70nm의 실리콘 나이트라이드 식각 중지층(미도시)이 형성된다. 이후, 유전성 스택이 형성되는 바, 이 유전성 스택은 LPCVD 또는 PECVD 공정에 의해 테트라에톡시실레인(tetraethoxysilane)(TEOS)으로부터 형성되는 실리콘 이산화물로 이루어질 수 있고, 도핑되거나 또는 도핑되지 않으며, 그리고 약 700-800nm의 전형적인 두께를 갖는 반사 방지 코팅을 포함할 수도 있다. 유전성 스택을 증착하고, 유전층(101)의 표면(131) 상에서 화학 기계적인 연마 단계를 완료하면, 리소그래피 단계가 수행되는바, 여기에서는 특징부의 크기에 의존하여 광 근접 수정(optical proximity correction)이 이용될 수 있다. 다음으로, 유전층(101)을 식각함으로써 국부적인 배선 개구부(120)가 형성되는 바, 여기서 식각 공정은 식각 중지층(미도시) 상에서 중지된다. 이후의 단계에서는, 선택 식각에 의해, 개구부(120)에 의해 정의되는 표면으로부터 식각 중지층이 제거된다. 식각 중지층을 식각하고 제거한 후에는, 포토레지스트가 제거되고 웨이퍼는 세정된다. 전형적으로 티타늄/티타늄 나이트라이드로 이루어지는

장벽층(미도시)이, 예를 들어 CVD 공정에 의해 개구부(120) 내에 형성된다. 이후, 개구부(120)는, 예를 들어 화학 기상 증착 공정에 의해 텅스텐 등의 도전성 물질로 채워진다. 마지막 단계에서는, 유전층(101)의 상면(131)에 있는 여분의 텅스텐 및 장벽층이 화학 기계적인 연마 동작에 의해 제거된다.

도 2B는, 도 2A에 나타낸 국부적인 배선 공정 이후의, 본 발명의 예시적인 일 실시예의 원리에 따라 제조된 반도체 디바이스의 개략적인 단면도이다. 도 2B에서, 도 2A에 도시된 것과 동일한 부분에는 동일한 참조 부호를 부여하였으며, 참조 부호(101-106)로 나타낸 부분들에 대해서는 상기에서 설명했기 때문에, 이후의 모든 도면에서는 생략한다.

도 2B에 도시된 예시적인 구조에서는, 접착층(107)이 유전층(101)의 윗쪽에 형성된다. 접착층(107)은 한정하는 것은 아니지만 실리콘 이산화물, 실리콘 옥시나이트라이드, 실리콘 나이트라이드 등을 포함하는 다양한 물질로 이루어질 수 있고, 약 50-1000Å 범위의 두께를 가질 수 있다. 또한, 접착층(107)은, 예를 들어 증착과 같은 다양한 기술에 의해 유전층(101)의 윗쪽에 형성될 수 있다. 예시적인 일 실시예에서, 접착층(107)은 약 5-100nm(50-1000Å) 범위의 두께를 갖는 실리콘 이산화물의 증착층으로 이루어진다.

다음으로, 다공성 물질층(108) 및 접착층(109)이 제공된다. 최종적으로, 다공성 물질층(108)은 유전층(101)의 윗쪽에 부착된다. 본 발명의 예시적인 일 실시예에서, 이는 접착층(107)에 접착층(109)을 결합시킴으로써 이루어지지만, 반드시 이러한 접착층들을 이용하지 않아도 된다. 접착층(109)은, 한정하는 것은 아니지만, 실리콘 이산화물, 실리콘 옥시나이트라이드, 실리콘 나이트라이드 등을 포함하는 다양한 물질로 이루어지고, 약 5-100nm(약 50-1000Å) 범위의 두께를 갖는다. 또한, 접착층(109)은, 예를 들어 증착 등의 다양한 기술에 의해 다공성 물질층(108) 위에 형성될 수 있다. 예시적인 일 실시예에서, 접착층(109)은 약 5-100nm(50-1000Å) 범위의 두께를 갖는 실리콘 이산화물의 증착층으로 이루어질 수 있다.

다공성 물질층(108)은 실리콘, 유전 산화물, 유리, 석영, 구형 폴리머, 플루오르화된 TEOS, HSQ 등의 다양한 물질로 이루어지는바, 다른 반도체, 나이트라이드 등의 반도체의 유전 화합물이 또한 적절하다. 다공성 물질층(108)은 약 500-1500nm(5000-15000Å) 범위의 두께를 갖는다. 예시적인 일 실시예에서, 다공성 물질층(108)은 약 500-1500nm(5000-15000Å) 범위의 두께를 갖는 다공성 실리콘으로 이루어진다. 본 실시예에서, 다공성 물질층(108), 및 MOS 구조를 갖는 제품 웨이퍼(130)는 개별적으로 처리된다.

다공성 물질층(108)은, 예를 들어 양극 반응 공정(annodic reaction process) 등의 여러 가지 알려진 기술에 의해 다공성이 될 수 있다. 예를 들어, 다공성 물질층(108)은 최초의 시작 물질을 선택하고, 이 시작 물질의 밀도를 20-80%로 줄임으로써 형성될 수 있다. 다공성 물질층(108)이 실리콘으로 이루어지는 예에서, 도핑되지 않은 실리콘 웨이퍼는 불화수소산으로 습식 식각되어 다공성 물질층(108)을 형성한다. 습식 식각 공정을 제어하기 위해, 비활성 전극이 실리콘 웨이퍼의 한 표면에 부착되어, 웨이퍼가 산에 노출되는 동안 전류가 인가될 수 있다. 다공성 물질층(108)이 실리콘으로 이루어지는 실시예에서, 도핑되지 않은 실리콘 웨이퍼 전체가 얇게 됨과 동시에, 다공성으로 된다. 또한, 요구되는 두께의 다공층을 얻도록 실리콘 웨이퍼를 처리하는 것도 가능하며 또한, 깊은 수소(H₂) 주입 처리를 수행하여 다공층(108)을 제품 웨이퍼(130)에 이송할 때 다공층(108)을 용이하게 분리하도록 할 수도 있다.

당업자에게 공지되어 있는 바와 같이, 다공성 물질층(108)의 다공율은 인가 전류 및 처리 시간에 의해 제어될 수 있다. 이러한 다공율의 제어는 또한, 웨이퍼가 불화수소산에 의해 식각되는 동안 웨이퍼에 조사되는 자외선 광의 강도에 의해 제어될 수 있다. 하지만, 이러한 경우, 제어의 정도는 공급되는 전류의 변화에 의해 얻어지는 제어 효과 만큼 높지는 않다.

전형적으로, 다공성 물질층(108)은 이 다공성 물질층(108)을 형성하는 데에 이용되는 최초 물질의 밀도를 약 20-80%로 줄이도록 형성된다. 예를 들어, 약 2.328g/cm³의 밀도를 갖는 실리콘이 시작 물질로서 이용되는 예에서, 다공성 물질층(108)은 약 0.4656 내지 1.8625g/cm³의 밀도를 갖도록 형성된다. 실리콘으로 이루어지는 다공성 물질층(108)의 전기 저항율은 고체 실리콘 보다 실질적으로 높다. 즉, 접착층(109)은 다공성 물질층(108) 상에 블랭킷 증착(blanket-deposit)되어 이후의 저온 웨이퍼 접착 단계를 용이하게 하는 바, 이에 대해서는 하기에서 보다 상세하게 설명된다.

누설 전류와 관련하여 디바이스의 성능을 개선하기 위해, 다공성 물질층(108)을, 예를 들어 저온 산화 공정에 의해 패시베이션할 필요가 있다. 즉, 다공성 물질층(108)에 대해, 산소 환경에서 약 800 내지 1100°C 범위의 온도로 가열 공정을 행한다. 다공성 물질층(108)이 약 500-1500nm(5000-15000Å)의 실리콘으로 이루어지는 실시예에서는, 다공성 물질층(108)에 대해, 산소 환경에서 약 30 내지 180분 동안 약 800 내지 1100°C 범위의 온도로 가열 공정을 행한다. 이러한 공정을 통해, 실리콘으로 이루어지는 다공성 물질층(108)이, 전부는 아니지만, 부분적으로 실리콘 이산화물로 변환될 수 있다.

도 2C는 저온의 직접 웨이퍼 본딩에 의해 다공성 물질층(108)이 제품 웨이퍼(130)에 결합된 후의 반도체 디바이스를 나타내는바, 제품 웨이퍼(130) 상의 접착층(107, 109) 및 다공성 물질층(108)은 각각 서로 부착된다. 도 2C에 나타낸 바와 같이, 복수의 개구부(110)가 또한, 예를 들어 종래의 식각 공정에 의해 다공성 물질층(108) 내에 형성된다. 개구부(110)는 국부적인 배선 금속 플러그(102)와 정렬하도록, 알려진 어떠한 방법에 의해 형성될 수 있다. 예를 들어, 개구부(110, 111)는 종래의 이중 다마신 공정에 따른 이중 리소그래피 및 식각 공정에 의해 형성될 수 있다. 또한, 개구부(110, 111)를 형성하기 전에, 보호층(112)이 다공성 물질층(108) 위에 형성된다. 이 보호층(112)은 다공성 물질층(108)이 이후의 공정 동작에 반응할 수 있기 때문에 제공되는 것이다. 예시적인 일 실시예에서, 보호층(112)은 5-100nm(50-1000Å) 범위의 두께를 갖는 실리콘 이산화물로 이루어진다.

다공성 물질층(108)의 두께 및 그에 따른 제 1 금속층의 두께는 설계 및 처리 요건에 의해 결정된다. 다공성 물질층(108)의 두께는, 배선 라인의 원하는 최초 전기 저항을 보충하기 위해 충분한 도전 물질을 수용할 수 있는 충분한 체적을 갖는 배선을 형성할 수 있을 만큼 충분히 커야 한다. 한편, 콘택 개구부 및 배선 라인 개구부(110, 111)의 애스펙트비, 및 그에 따른 다공성 물질층(108)의 두께는 이중 다마신 공정 동안의 선택적인 식각 공정의 한계에 의해 제한된다. 따라서, 인접하는 금속화층의 수직 거리를 임의로 크게 하여 스트레이 캐패시턴스를 줄일 수 없다.

본원에서 설명되는 본 발명의 일 실시예에 따르면, 콘택 개구부(110) 및 배선 라인 개구부(111)를 형성하기 위한 이중 다마신 공정은, 다공성층(108)이 제품 웨이퍼(130)에 결합된 후에 행해진다. 하지만, 예를 들어 다공성 물질층(108), 개구부(110, 111) 그리고/또는 층(107, 109)으로 이루어지는 금속화층을 제품 웨이퍼(130)와 완전히 분리시켜 형성하고, 또한 다공성 물질층(108)의 형성을 완료한 후에 이 다공성 물질층(108)과 제품 웨이퍼(130)를 연결하는 것도 가능하다. 따라서, 제조 공정을 분리함으로써, 다공성 물질층(108) 및 제품 웨이퍼(130)를 동시에 제조할 수 있게 되어, 생산 시간을 절약할 수 있다.

도 2D는 본 발명의 예시적인 일 실시예에 따른 반도체 디바이스의 제조에 있어서의 다음 공정을 나타낸다. 도 2C에 나타낸 구조에 장벽층(113)이 증착될 수 있다. 따라서, 개구부(110)의 표면 및 개구부(111)의 표면이 장벽층(113)에 의해 덮이게 된다. 이 장벽층(113)은 금속, 화합물 또는 도전 세라믹(예를 들어, 티타늄 나이트라이드 또는 탄탈륨 나이트라이드)으로 이루어져, 개구부(110, 111)에 채워질 콘택 금속과 실리콘으로 된 다공성 물질층(108)의 어떠한 화학 반응도 일어나지 못하게 하는 높은 화학적인 안정성을 갖는다.

도 2E는 본 발명의 예시적인 일 실시예에 따른 예시적인 MOS 구조 및 다공성층(108)을 포함하는 반도체 디바이스의 단면도이다. 도 2E에서, 개구부(110, 111)는 금속(예를 들어 구리, 알루미늄, 또는 텅스텐) 등의 도전성 물질로 채워져, 도전성 콘택(131) 및 도전성 배선 라인(133)을 형성한다. 이러한 금속은 CVD 공정, 도금(plating), 스퍼터링과 이후의 금속 리플로우의 결합 등을 포함하는 다양한 방법에 의해 증착될 수 있다. 증착 공정 이후, 여분의 금속 및 장벽층(113)을 연마하여, 평탄한 표면(143)을 얻음으로써, 배선 라인(113)의 분리를 달성한다. 금속화층의 평탄한 표면(143)은 후속 금속화층의 기초를 형성한다.

상기에서 이미 설명한 바와 같이, 본 발명의 일 실시예에 따르면, 다공성 물질층들(108)은 개별적으로 그리고 가능하게는 미리 제조될 수 있기 때문에, 이들은 특정 설계 요건에 따라 적층 및 접속될 수 있다. 또한, 본 발명의 예시적인 일 실시예에 따르면, MOS 구조와 대응 콘택(131) 및 배선 라인(133), 즉 유전층(101) 및 다공성 물질층(108)을 분리하는 전체 유전 물질의 대부분이 낮은 유전율을 갖는 물질로 이루어진다. 본 실시예에서, 예를 들어 실리콘으로 구성되는 다공성 물질층(108)의 다공율은, 유전율이 공기의 유전율, 즉 1과 거의 같도록 조정됨으로써, 금속화층 내의 절연 물질의 유전율은 종래의 금속화층과 비교하여 약 50% 낮아진다. 배선 라인(133)의 소정의 간격 및 두께에 대해, 이 배선 라인(133)의 스트레이 캐패시턴스는 유전율에 비례하기 때문에, 이 캐패시턴스를 약 50% 만큼 감소시킬 수 있다. 스트레이 캐패시턴스를 감소시킴으로써, 스트레이 캐패시턴스를 충전 및 방전시키는 데에 필요한 전류가 감소되기 때문에, 집적 회로 전체의 전력 소모를 또한 줄일 수 있다. 또한, 본 발명에 따르면, 금속화층의 RC 시상수가 감소하기 때문에, 신호의 상승 시간 및 하강 시간이 보다 짧아지게 된다.

결과적으로, 본 발명은 금속화층의 절연 영역의 일부가 종래 디바이스의 금속화층 보다 낮은 유전율을 나타내는 반도체 디바이스를 제공한다. 이는, 유전율 및 공정 처리 특징에 대해 적합한 어떠한 타입의 반도체 물질, 유전체(유리, 반도체 산화물 등) 등의 물질로 이루어지는 다공성 물질층(108)을 제공함으로써 달성될 수 있다. 예를 들어, 다공성 물질층(108)의 다공율을 제어함으로써, 그 층의 유전율은 공기의 유전율에 가깝도록 조정될 수 있다. 따라서, 금속화층의 스트레이 캐패시턴스가 감소됨으로써, 디바이스의 전기적인 특성을 개선한다.

또한, 본 발명은 상기 설명한 특징을 갖는 반도체 디바이스의 제조 방법을 제공한다. 상기 설명된 방법의 예시적인 일 실시예에 따르면, 금속화층의 내에 다공성 물질층(108)을 형성하는 것은, 제 2 기판 상에 제품 웨이퍼(130)를 형성하는 것과 별개로 행해진다. 또한, 본 발명에 의하면, 금속화층, 즉 표준 처리 기술에 따른 컨택 및 배선에 대한 개구부는, 다공성 물질층(108)이 제품 웨이퍼(130)에 전사된 후 제품 웨이퍼(130) 상에 다공성 물질층(108)이 형성된 이후에 제품 웨이퍼(130) 상에 형성되거나, 또는 다공성 물질층(108) 내에 개별적으로 형성하고, 완성되면 제품 웨이퍼(130)에 전사시킬 수 있다.

상기 개시한 특정 실시예들은 단지 예시적인 것으로서, 본 발명은 본원의 개시의 이득을 갖는 당업자에게 명백한, 다르지만 등가의 방식의 변형 및 실행될 수 있다. 예를 들어, 상기 설명한 공정 단계는 다른 순서로 행해질 수 있다. 또한, 하기의 청구 범위에서 설명되는 것 이외에는, 본원에서 개시된 구조 또는 설계의 세부사항에 대해 어떠한 한정도 의도되지 않는다. 따라서, 상기 설명된 특정 실시예들은 변형될 수 있는바, 이러한 모든 변형은 본 발명의 범위 및 정신 내에 있는 것으로 고려되는 것이 명백하다. 따라서, 본 발명의 권리 보호 범위는 청구 범위의 기재대로이다.

도면의 간단한 설명

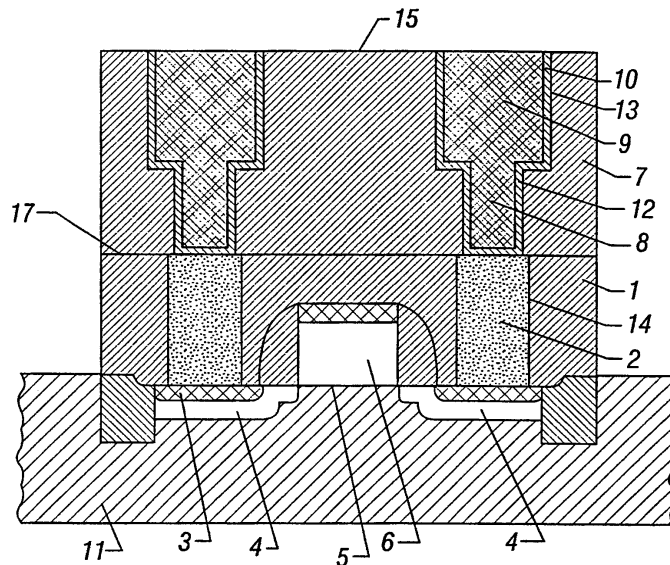
도 1은 종래 기술에 따른 반도체 디바이스의 개략적인 단면도이다.

도 2A 내지 2E는 본 발명의 예시적인 일 실시예에 따른 반도체 디바이스의 개략적인 단면도로서, 이러한 반도체 디바이스를 제조하기 하기 위한 연속적인 단계를 나타낸다.

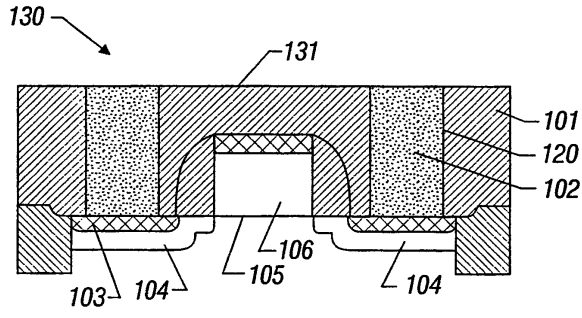
본 발명은 많은 변형 및 대안적인 형태를 가질 수 있지만, 도면에는 특정한 실시예가 도시되어 있으며, 본원에서는 이에 대해 상세히 설명한다. 하지만, 이러한 특정 실시예는 본 발명을 개시된 형태로 한정하지 않으며, 본 발명은 첨부된 청구항에 의해 규정되는 본 발명의 정신 및 범위 내에 있는 모든 변형, 등가 및 대안을 포함한다.

도면

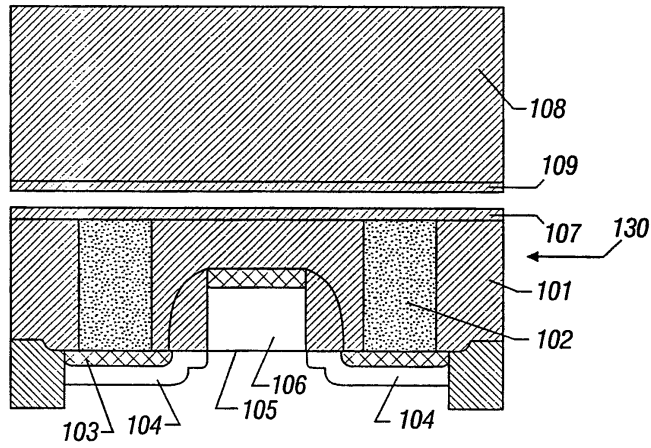
도면1



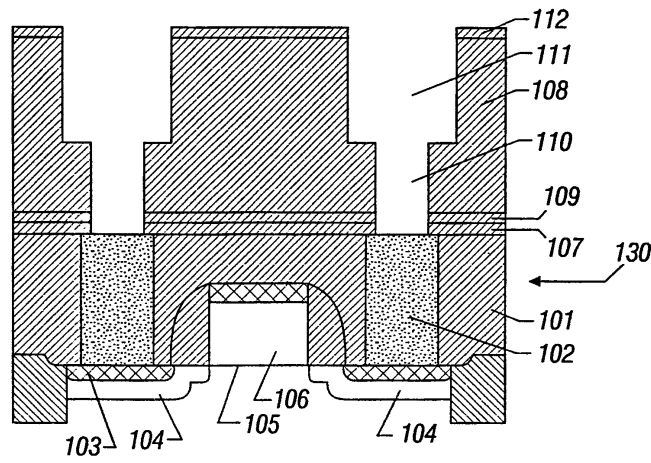
도면2a



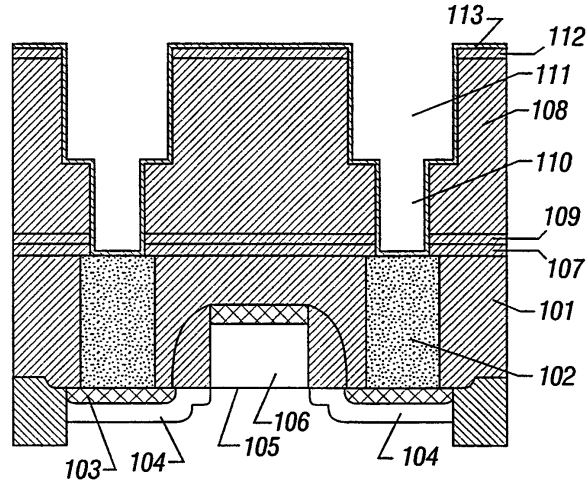
도면2b



도면2c



도면2d



도면2e

