

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4522271号
(P4522271)

(45) 発行日 平成22年8月11日(2010.8.11)

(24) 登録日 平成22年6月4日(2010.6.4)

(51) Int.Cl. F I
H O 1 L 23/36 (2006.01) H O 1 L 23/36 Z

請求項の数 5 (全 11 頁)

<p>(21) 出願番号 特願2005-12937(P2005-12937) (22) 出願日 平成17年1月20日(2005.1.20) (65) 公開番号 特開2006-202975(P2006-202975A) (43) 公開日 平成18年8月3日(2006.8.3) 審査請求日 平成19年12月11日(2007.12.11)</p>	<p>(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号 (74) 代理人 100070150 弁理士 伊東 忠彦 (72) 発明者 水谷 大輔 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 審査官 長谷部 智寿</p>
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54) 【発明の名称】 電子装置及びこれに用いられる放熱板アセンブリ

(57) 【特許請求の範囲】

【請求項 1】

実装された半導体素子の高さ方向に、スタック構造で積み重ねられた複数の両面実装回路基板ユニットと、

前記積み重ねられた複数の両面実装回路基板ユニットの少なくとも一辺側が開口するように配置され、かつ、前記両面実装回路基板ユニットの端部で、前記両面実装回路基板ユニット間の電気的な接続を行なうコネクタと、

前記スタック構造で互いに対向する半導体素子の間に設けられ、当該対向する半導体素子の各々に接する冷却構造とを備え、

前記冷却構造は、互いに平行に延びる複数の放熱板が一体的に組み合わされた放熱板アセンブリを含んでいることを特徴とする電子装置。

10

【請求項 2】

前記両面実装回路基板ユニットの少なくとも1つは、基板表面に形成されたグランド層を有し、

前記冷却構造は、前記互いに対向する半導体素子の間に延びる放熱板を含み、

前記グランド層と同じ面上に実装された半導体素子と接する放熱板は、前記グランド層に接触する突起部を有する

ことを特徴とする請求項 1 に記載の電子装置。

【請求項 3】

前記放熱板アセンブリは、前記開口から、前記半導体素子の間に一体的に組み込まれる

20

ことを特徴とする請求項 1 に記載の電子装置。

【請求項 4】

前記コネクタは、複数のピンで構成され、

前記両面実装回路基板ユニットの各々は、前記ピンに対応する位置に形成された複数の貫通穴を有し、各両面実装回路基板ユニットにおいて、前記貫通穴が選択的に導電処理されていることを特徴とする請求項 1 に記載の電子装置。

【請求項 5】

第 1 のフィン部を有する S 字型または逆 S 字型の第 1 の放熱板と、

第 2 のフィン部を有する L 字型の第 2 の放熱板と、

が前記第 1 のフィン部と第 2 のフィン部が平行に延びるように一体的に接合され、

前記第 1 のフィン部および第 2 のフィン部は、3 次元的に積み重ねられた両面実装回路基板ユニットに実装され互いに対向する半導体素子の間に挿入されたときに、前記両面実装回路基板ユニット上に形成されたグラウンド層と接触するように設けられた突起部を有することを特徴とする放熱板アセンブリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、両面実装回路基板ユニットにより半導体素子を高密度に電気接続した高密度実装電子装置のための冷却構造に関する。

【背景技術】

【0002】

ネットワーク機器の高速化、大容量化にともない、半導体素子間の配線距離を短縮し、実装密度を上げることが要求されている。一方、微細化がすすむ半導体素子では発熱量が増加するため、冷却構造が必須となってきた。

【0003】

従来から、電子機器における高密度実装冷却構造として、半導体素子面に形成したヒートシンクを向かい合わせに設置し、ヒートシンクの間を流れる空気流によって冷却する構造が知られている（たとえば、特許文献 1 参照）。この方法は、回路基板上の半導体チップが低電力チップである場合に採用されている。チップからヒートシンク側へ除去された熱を、対流する空気流に移すことで、チップの動作に伴う発熱を取り除くことができる。

【0004】

中電力のチップに対しては、冷媒として液体を内蔵したヒートパイプを用いた冷却構造が提案されている（たとえば、特許文献 2 参照）。しかし、冷却構造が大掛かりとなるために、複数の半導体素子を高密度に実装する三次元実装型の電子装置には不向きである。特に、ヒートパイプと片面実装の電子回路モジュールとを交互に積み重ねていく構造では、電子装置全体が大型化してしまう。

【0005】

一方、高密度に半導体素子を実装する形態として、半導体素子を実装したフレキシブルプリント配線板を折りたたむことで、半導体素子の積み重ね構造を実現する方法が提案されている（たとえば、特許文献 3 参照）。この方法は、熱量の小さい素子を高密度にフレキシブル実装することを目的としているが、放熱についてはなんら考慮されていない。

【特許文献 1】特開平 6 - 291228 号公報

【特許文献 2】特開平 6 - 21290 号公報

【特許文献 3】特開 2000 - 307055 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献 1 に開示される構成は、同一平面上に 1 以上の半導体素子を実装された複数の基板を効率よく冷却するための冷却構造である。各素子面上に、冷却のための三角形の放熱フィンを形成し、互いに対抗する放熱フィンの間の空間を利用して空気流を流し、熱を

10

20

30

40

50

除去している。この構成では、素子の表面に放熱フィンを設置するための空間と、さらに、対向する放熱フィンの中にダクトを通す空間が必要になる。

【0007】

このため、高密度化に限界があり、三次元のスタック構造で積み重ねられた複数の半導体素子間の配線距離を短縮することができない。

【0008】

そこで、本発明は、半導体素子の高密度実装を維持しつつ、効率よく放熱するための高密度実装冷却構造を提供することを課題とする。

【0009】

また、複数の半導体素子が3次的に高密度実装された電子装置に、容易に組み込むことができる簡単な構成の高密度実装冷却構造を提供することを課題とする。

【課題を解決するための手段】

【0010】

上記課題を解決するために、本発明は、両面実装の回路基板を積み重ねた電子装置に、一回の挿入で組み込むことのできる冷却構造を実現する。

【0011】

これを実現するために、半導体素子を両面に実装した回路基板を三次元的に積み重ねるときに、少なくとも1辺側が開口するように、回路基板上にコネクタを設ける。この開口側から、互いに対向する半導体素子面の双方に接するように、放熱板を一度に挿入し、半導体素子で発生する熱を、3次的に積み重ねた回路基板の外部へ導き出す。

【0012】

本発明の第1の側面では、冷却構造を有する電子装置を提供する。電子装置は、
(a) 実装された半導体素子の高さ方向に、スタック構造で積み重ねられた複数の両面実装回路基板ユニットと、
(b) 前記積み重ねられた複数の両面実装回路基板ユニットの少なくとも一辺側が開口するように配置され、かつ、前記両面実装回路基板ユニットの端部で、前記両面実装回路基板ユニット間の電気的な接続を行なうコネクタと、
(c) 前記スタック構造で互いに対向する半導体素子の間に設けられ、当該対向する半導体素子の各々に接する冷却構造とを備え、
(d) 前記冷却構造は、互いに平行に延びる複数の放熱板が一体的に組み合わせられた放熱板アセンブリを含んでいる。

【0013】

これにより、スタック構造で積み重ねられる両面実装回路基板ユニット間で、向かい合う半導体チップ間の余分な空間を排除し、チップで発生する熱をスタック構造の外部へ導くことができる。

【0014】

良好な構成例では、冷却構造は、互いに対向する半導体素子間に延びる放熱板を有し、スタックされた両面実装回路基板ユニットの少なくとも1つは、基板表面に形成されたグランド層を有し、このグランド層と同じ面上に実装された半導体素子と接する放熱板は、グランド層に接触する突起部を有する。

【0015】

これにより、放熱板をグランドとして機能させ、両面実装回路基板ユニット間の配線距離を実質的に短くすることができる。

【0016】

また別の良好な構成例では、コネクタは複数のピンで構成される。この場合、両面実装回路基板ユニットの各々は、前記ピンに対応する位置に形成された複数の貫通穴を有し、各両面実装回路基板ユニットにおいて、貫通穴が選択的に導電処理されている。

【0017】

この構成により、複数段の両面実装回路基板ユニットの任意のレイヤ間で配線接続することが可能になり、電子装置の設計の自由度が向上する。

10

20

30

40

50

【0018】

本発明の第2の側面では、3次元スタック構造の高密度実装回路基板を有する電子装置に用いられる放熱板アセンブリを提供する。放熱板アセンブリは、

第1のフィン部を有するS字型または逆S字型の第1の放熱板と、

第2のフィン部を有するL字型の第2の放熱板と、

が前記第1のフィン部と第2のフィン部が平行に延びるように一体的に接合され、

前記第1のフィン部および第2のフィン部は、3次元的に積み重ねられた両面実装回路基板ユニットに実装され互いに対向する半導体素子の間に挿入されたときに、前記両面実装回路基板ユニット上に形成されたグランド層と接触するように設けられた突起部を有する。

10

【0019】

これにより、簡単な構成で、一度の挿入で複数段の両面実装回路基板ユニットの対向する半導体素子間に組み込むことができる冷却機構を実現できる。

【発明の効果】

【0020】

両面実装基板の高密度スタック構造に、冷却構造を容易に組み込むことができる。

【0021】

この結果、高密度化と冷却効率を両立させることが可能になる。

【0022】

冷却機能を備えた高密度電子装置の製造コストを低減することができる。

20

【発明を実施するための最良の形態】

【0023】

以下、添付図面を参照して、本発明の良好な実施形態を説明する。

【0024】

図1は、本発明の一実施形態に係る電子装置で用いられる両面実装回路基板ユニット10の構成例である。LSIなどの半導体素子(チップ)11が、回路基板12の両面に実装されている。図1の例では、半導体素子11が上下対称の位置に実装されているが、必ずしも対称配置である必要はない。また、各半導体素子11の内部配線構造も、必ずしも対称である必要はない。

【0025】

このような両面実装回路基板ユニット10は、高さ方向に積み重ねられて、高密度の3次元実装電子装置を構成する。

30

【0026】

図2は、図1に示す両面実装回路基板ユニット10を用いた電子装置1の側面図である。両面実装回路基板ユニット10の両端には、電気的接続用の端子(不図示)が設けられており、コネクタ4によって両面実装回路基板ユニット10間の電気接続を行なう。コネクタ4は、マザーボード6に電気的に接続されており、半導体素子11とマザーボード上に実装される他の電子部品(不図示)との間の電気的な接続をとる。

【0027】

図2のスタック構造において、回路基板12の両面に実装された半導体素子11は、互いに向かい合う配置となる。この向かい合う半導体素子11の間に生じる空間に、放熱板5が挿入されている。図2の側面図では、複数の放熱板5の各々が、対向する半導体素子11の間の空間に挿入されているが、後述するように、これら複数の放熱板5は一体化されて、放熱板アセンブリを構成している。

40

【0028】

放熱板5の材質は、熱伝導率が高く、安価で機械加工が容易なものが望ましい。一例として、アルミニウム、またはアルミニウム合金を用いる。

【0029】

放熱板5の厚さは、電子装置1全体の小型化の観点から、本実施形態では1mm未満に設定する。放熱板5の表面と半導体素子11の表面との隙間を埋めるために、あらかじめ

50

素子 11 上または放熱板 5 の表面に、放熱用のグリースを塗っておいてもよい。

【 0030 】

図 3 は、図 2 の電子装置 1 の上面図である。上述したように、両面実装回路基板ユニット 10 の上下端には、図示しない電氣的接続用の端子が設けられており、コネクタ 4 によってスタックされた両面実装回路基板ユニット 10 が互いに電氣的に接続されている。

【 0031 】

放熱板 5 は、図 3 の左右方向に挿入され、互いに対向する半導体素子 11 (図 2 参照) 間の空間を貫通している。図 3 の例では、放熱板 5 の左右方向の長さ L1 を、両面実装回路基板ユニット 10 の対応する辺の長さ L2 よりも長くしてある。この構成により、対向する半導体素子 11 の間の空間へ、放熱板 5 が挿入し易くなる。

10

【 0032 】

矢印方向 (左右方向) への放熱板 5 の挿入を可能にするために、マザーボード 6 上のコネクタ 4 は、両面実装回路基板ユニット 10 の挿入方向に沿った 2 辺と接続されるように配置されている。すなわち、コネクタ 4 は、放熱板 5 が挿入できるように、スタックされた両面実装回路基板ユニット 10 の少なくとも 1 辺側が開口するように配置される。

【 0033 】

図 3 の例では、両面実装回路基板ユニット 10 の互いに向き合う 2 辺に沿ってコネクタ 4 が配置されているが、3 辺を囲むように配置してもよいし、両面実装回路基板ユニット 10 間の電氣的な接続さえ確保できれば、両面実装回路基板ユニットの 1 辺側だけにコネクタ 4 を配置してもよい。

20

【 0034 】

図 4 は、スタックされた両面実装回路基板ユニット 10 に放熱板アセンブリ 15 を組み付ける様子を示す斜視図である。

【 0035 】

放熱板アセンブリ 15 は、S 字型 (あるいは逆 S 字型) に屈曲された第 1 の放熱板 5 a と、L 字型に屈曲された第 2 の放熱板 5 b とを組み合わせて構成される。放熱板 5 a、5 b にアルミニウムまたはアルミニウム合金を用いた場合、加工が容易であり、それぞれ別個に加工された放熱板 5 a、5 b を張り合わせて一体化することで、放熱板アセンブリ 15 を低コストで作成することができる。

【 0036 】

この場合、S 字型放熱板 5 a をベースにして、L 字型放熱板 5 b を順次重ね合わせることで、S 字型放熱板 5 a のフィン部 5 f と、L 字型放熱板 5 b のフィン部 5 f が所定の間隔で互いに平行に延びるように組み付ける。

30

【 0037 】

図 4 の例では、矢印の方向に放熱板アセンブリ 15 が挿入され、平行なフィン部 5 f が、スタックされた両面実装回路基板ユニット 10 の対向する素子 11 間の空間に差し込まれることになる。上述したように、挿入に先立って、回路基板 12 の両面に実装された半導体素子 11 の表面に、放熱グリースを塗っておいてもよい。なお、図 4 には描かれていないが、スタックされた複数の両面実装回路基板ユニット 10 は、紙面の手前側および / または後ろ側でコネクタに電氣的に接続されているものとする。

40

【 0038 】

図 5 は、放熱板アセンブリ 15 が、対向する半導体素子 11 間に完全に挿入された状態を示す。この状態で、各半導体素子 11 (図 4 参照) の高速動作に伴った発熱が生じても、放熱板 5 a、5 b により熱が除去される。

【 0039 】

図示はしないが、放熱板アセンブリ 15 の基部 15 a に、別途放熱フィンを設けてもよい。あるいは、マザーボード 6 上で、放熱板アセンブリ 15 のテール部 15 b に、チラーなどの冷却機構を接続してもよい。この場合、両面実装回路基板ユニット 10 を三次元的にスタックした電子装置 1 の外部から、容易に冷却の度合いを制御することができ、調整の自由度が高くなる。

50

【 0 0 4 0 】

図 6 は、図 2 に示す電子装置の冷却構造の変形例を示す図である。図 6 の例では、両面実装回路基板ユニット 1 0 の基板 1 2 の表面に、グランド層 2 2 が形成されており、放熱板 5 を、突起 5 でグランド層 2 2 に接触させている。放熱板 5 にアルミニウムなどの導電性を有する材料を用いた場合、放熱板 5 と両面実装回路基板ユニット 1 0 のグランド層 2 2 を電氣的に接続することで、半導体素子 1 1 からみると、放熱板 5 もグランドとして機能し、実際の配線距離を短くすることができる。また、半導体素子 1 1 からグランド層 2 2 までの間に発生するインダクタンスを低減することができる。

【 0 0 4 1 】

放熱板 5 の突起部 5 d は、たとえばプレス加工により、容易に形成することができる。この場合も、あらかじめプレス加工により突起 5 d を形成した S 字型（または逆 S 字型）の放熱板 5 a と、あらかじめ突起 5 d を形成した L 字型の放熱板 5 b とを接合することによって、安価かつ容易に放熱板アセンブリ 1 5 を作成することができる。突起 5 d を設けた放熱板アセンブリ 1 5 も、コネクタを設置していない側（開口側）から、スタックされた両面実装回路基板ユニット 1 0 間の隙間に一度に差し込むことができる。

10

【 0 0 4 2 】

図 7 は、本発明の実施形態に係るコネクタ構造の一例を示す図である。マザーボード 6 上の向き合う 2 辺に沿って、複数のコネクタピン 2 4 が設けられている。

【 0 0 4 3 】

両面実装回路基板ユニット 1 0 の回路基板 1 2 の向かい合う 2 辺には、電氣的接続および位置合わせのための貫通孔 1 7 が形成されている。隣接する両面実装回路基板ユニット 1 0 の間には、スペーサ 2 5 が配置され、スペーサにも、両面実装回路基板ユニット 1 0 の貫通穴 1 7 と対応する位置に、貫通穴 2 5 h が設けられている。スペーサは、たとえばゴムなどの絶縁体であり、その厚さを調整することによって、両面実装回路基板ユニット 1 0 間の距離を調整することができる。両面実装回路基板ユニット 1 0 の貫通穴 1 7 と、スペーサ 2 5 の貫通穴 2 5 h に、導電性のコネクタピン 2 4 を差し込むことによって、両面実装回路基板ユニット 1 0 が位置決めされる。

20

【 0 0 4 4 】

コネクタピン 2 4 とスペーサ 2 5 によって位置決めされた両面実装回路基板ユニット 1 0 の間に、コネクタピン 2 4 が配置されていない開口側から、図 4 または図 6 に示す放熱板アセンブリ 1 5 が挿入される。

30

【 0 0 4 5 】

図 8 は、コネクタピン 2 4 の電氣的な接続方法を示す図である。両面実装回路基板ユニット 1 0 の回路基板 1 2 に形成された貫通穴 1 7 の内壁を、選択的に導電処理する。すなわち、両面実装回路基板ユニット 1 0 の各々は、その回路基板 1 2 に形成された配線 1 9 の位置に応じて、導電処理がされた貫通穴 1 7 a と、導電処理がされない貫通穴 1 7 b を有する。導電処理された貫通穴 1 7 a は、その内壁に、たとえばメッキなどによるメタル層 1 7 m を有し、配線 1 9 とコネクタピン 2 4 により、両面実装回路基板ユニット 1 0 間の電氣的な接続をとる。導電処理されていない貫通穴 1 7 b は、もっぱら位置合わせのために用いられる。

40

【 0 0 4 6 】

このように、両面実装回路基板ユニット 1 0 に形成された貫通穴 1 7 を選択的に導電処理することによって、3次元スタック構造の所望のレイヤ（回路基板）間の導通を実現することができる。これにより、設計の自由度が向上する。

【 0 0 4 7 】

最後に、以上の説明に関して、以下の付記を開示する。

（付記 1） 実装された半導体素子の高さ方向に、スタック構造で積み重ねられた複数の両面実装回路基板ユニットと、

前記積み重ねられた複数の両面実装回路基板ユニットの少なくとも一辺側が開口するように配置され、かつ、前記両面実装回路基板ユニットの端部で、前記両面実装回路基板ユ

50

ニット間の電気的な接続を行なうコネクタと、

前記スタック構造で互いに対向する半導体素子の間に設けられ、当該対向する半導体素子の各々に接する冷却構造と

を備えることを特徴とする電子装置。

(付記2) 前記両面実装回路基板ユニットの少なくとも1つは、基板表面に形成されたグランド層を有し、

前記冷却構造は、前記互いに対向する半導体素子の間に延びる放熱板を有し、

前記グランド層と同じ面上に実装された半導体素子と接する放熱板は、前記グランド層に接触する突起部を有する

ことを特徴とする付記1に記載の電子装置。

10

(付記3) 前記冷却構造は、互いに平行に延びる複数の放熱板が一体的に組み合わせられた放熱板アセンブリを含み、前記放熱板アセンブリは、前記開口から、前記半導体素子の間に一体的に組み込まれることを特徴とする付記1に記載の電子装置。

(付記4) 前記放熱板アセンブリは、

第1のフィン部を有するS字型または逆S字型の第1の放熱板と、

第2のフィン部を有するL字型の第2の放熱板と、

が前記第1のフィン部と第2のフィン部が平行に延びるように一体的に接合されていることを特徴とする付記3に記載の電子装置。

(付記5) 前記両面実装回路基板ユニットは基板表面に形成されたグランド層を有し、

前記第1のフィン部および第2のフィン部は、前記両面実装回路基板ユニット上のグランド層と接触する突起部を有することを特徴とする付記4に記載の電子装置。

20

(付記6) 前記コネクタは、複数のピンで構成され、

前記両面実装回路基板ユニットの各々は、前記ピンに対応する位置に形成された複数の貫通穴を有し、各両面実装回路基板ユニットにおいて、前記貫通穴が選択的に導電処理されていることを特徴とする付記1に記載の電子装置。

(付記7) 前記スタック構造の外部で、前記放熱板に接続されるチラーをさらに備えることを特徴とする付記1~6のいずれかに記載の電子装置。

(付記8) 第1のフィン部を有するS字型または逆S字型の第1の放熱板と、

第2のフィン部を有するL字型の第2の放熱板と、

が前記第1のフィン部と第2のフィン部が平行に延びるように一体的に接合され、

30

前記第1のフィン部および第2のフィン部は、3次元的に積み重ねられた両面実装回路基板ユニットに実装され互いに対向する半導体素子の間に挿入されたときに、前記両面実装回路基板ユニット上に形成されたグランド層と接触するように設けられた突起部を有することを特徴とする放熱板アセンブリ。

【図面の簡単な説明】

【0048】

【図1】本発明の一実施形態に係る電子装置で用いられ、3次元的にスタックされる両面実装回路基板ユニットの構成例を示す図である。

【図2】本発明の一実施形態に係る冷却構造を有する電子装置の側面図である。

【図3】図2の電子装置の上面図である。

40

【図4】図2の電子装置に冷却構造として組み込まれる放熱アセンブリの斜視図である。

【図5】放熱アセンブリの各放熱板が、両面実装回路基板ユニットの対向する半導体素子間に挿入された状態を示す斜視図である。

【図6】冷却構造の変形例を示す図である。

【図7】図2の電子装置で用いられるコネクタの一例を示す概略図である。

【図8】コネクタによる両面実装回路基板ユニット間の接続例を示す図である。

【符号の説明】

【0049】

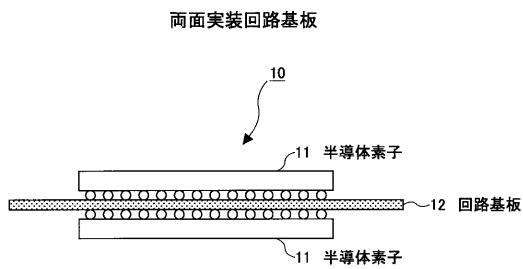
1 電子装置

4 コネクタ

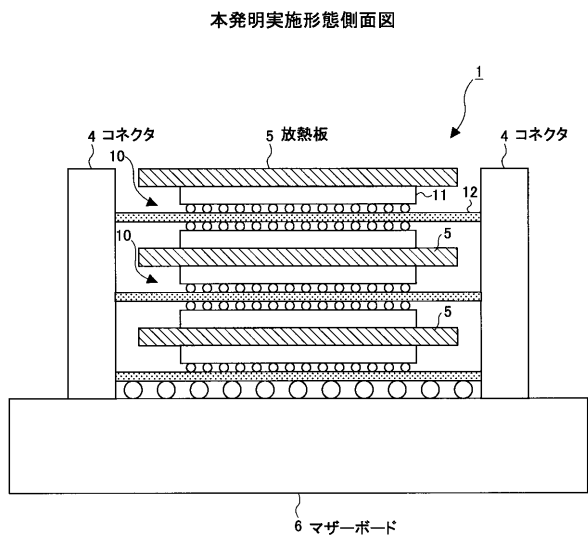
50

- 5 放熱板
- 5 a S字型（逆S字型）放熱板
- 5 b L字型放熱板
- 5 d 突起部
- 5 f フィン部
- 6 マザーボード
- 10 両面実装回路基板ユニット
- 11 半導体素子（チップ）
- 12 回路基板
- 15 放熱板アセンブリ
- 17 貫通穴
- 22 グランド層
- 24 コネクタピン
- 25 スペーサ

【図1】

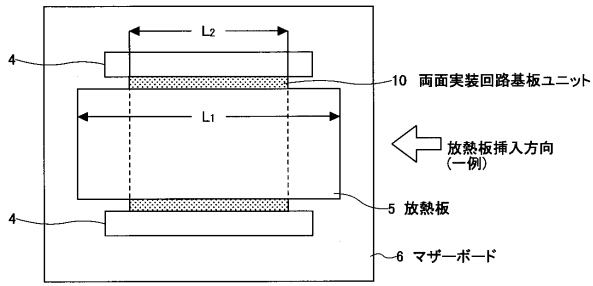


【図2】



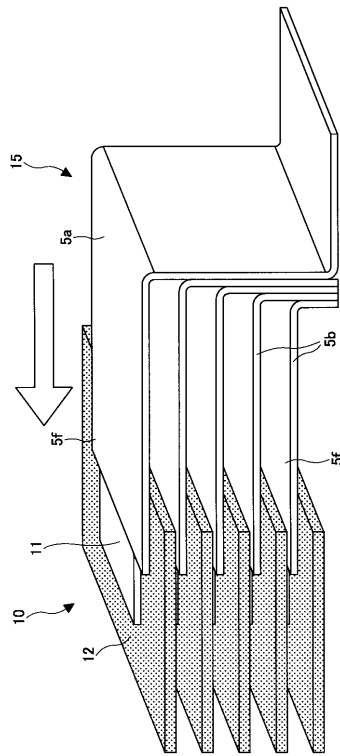
【図3】

本発明実施形態上面図



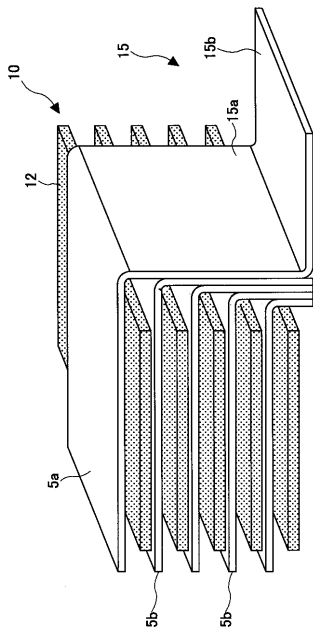
【図4】

放熱板の組み込み例

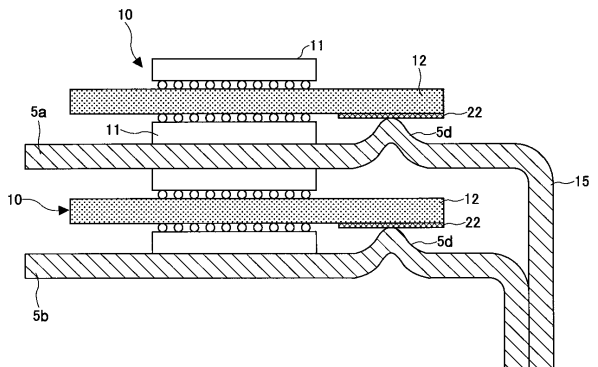


【図5】

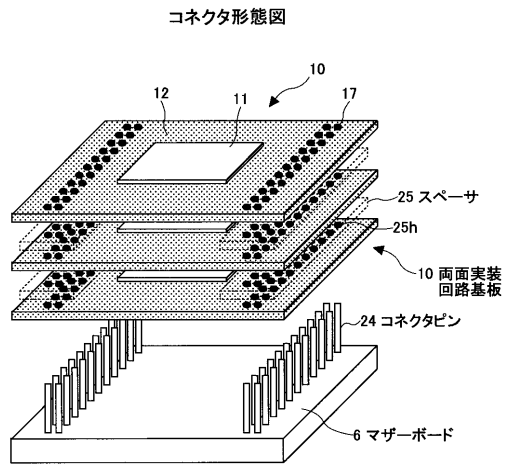
組み込み後の状態



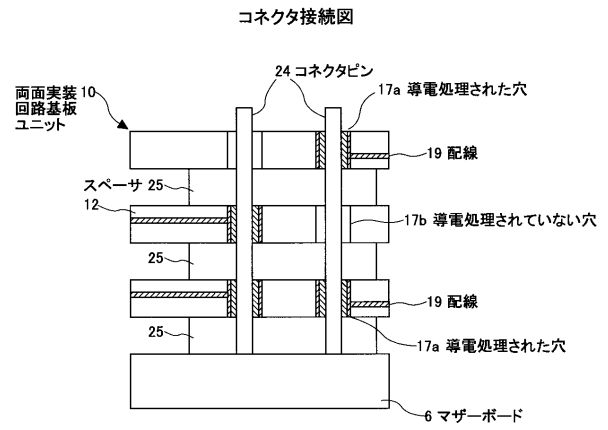
【図6】



【図7】



【図8】



フロントページの続き

- (56)参考文献 特開2003-332519(JP,A)
特開昭63-299258(JP,A)
特開平09-283697(JP,A)
特開2004-296663(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/02 - 23/10 23/34 - 23/473
H05K 7/20