



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0002708
(43) 공개일자 2010년01월07일

(51) Int. Cl.

H01L 29/78 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2008-0062702

(22) 출원일자 2008년06월30일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이창현

경기 수원시 영통구 망포동 동수원엘지빌리지1차
102동 1108호

최정달

서울특별시 강남구 대치동 대치아아파크 106동
1802호

(74) 대리인

권혁수, 송윤호, 오세준

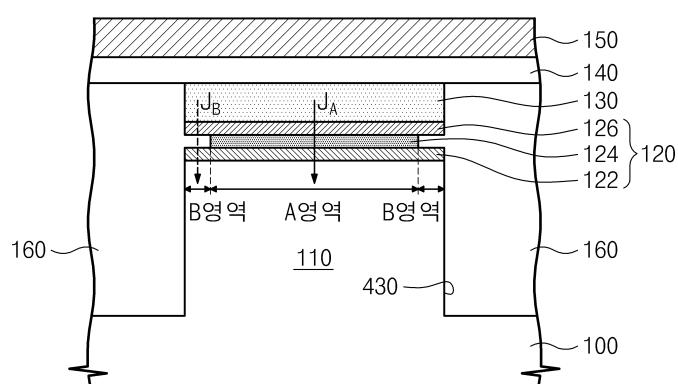
전체 청구항 수 : 총 18 항

(54) 반도체 소자 및 그 형성 방법

(57) 요 약

본 발명은 반도체 소자 및 그 형성 방법을 제공한다. 이 소자는 반도체 기판 상에 배치된 활성 영역, 활성 영역 상에 배치된 전하 저장 패턴, 전하 저장 패턴 상에 배치된 블로킹 절연 패턴, 블로킹 절연 패턴 상에 배치되고 활성 영역을 가로지르는 제어 게이트 전극, 및 활성 영역과 전하 저장 패턴 사이에 개재된 터널 절연 패턴을 포함하되, 터널 절연 패턴은 복층 구조를 가지고, 터널 절연 패턴의 적어도 하나의 층은 제어 게이트 전극이 상기 활성영역을 가로지르는 방향에서 활성 영역의 상부 층면보다 돌출되거나 합물된다.

대 표 도 - 도2a



특허청구의 범위

청구항 1

반도체 기판 상에 배치된 활성 영역;

상기 활성 영역 상에 배치된 전하 저장 패턴;

상기 전하 저장 패턴 상에 배치된 블로킹 절연 패턴;

상기 블로킹 절연 패턴 상에 배치되고 상기 활성 영역을 가로지르는 제어 게이트 전극; 및

상기 활성 영역과 상기 전하 저장 패턴 사이에 개재된 터널 절연 패턴을 포함하되,

상기 터널 절연 패턴은 복층 구조를 가지고, 상기 터널 절연 패턴의 적어도 하나의 패턴은 상기 제어 게이트 전극이 상기 활성영역을 가로지르는 방향에서 상기 활성 영역의 상부 측면보다 돌출되거나 함몰된 반도체 소자.

청구항 2

제 1 항에 있어서,

상기 터널 절연 패턴의 하나의 패턴은 상기 제어 게이트 전극이 상기 활성영역을 가로지르는 방향에서 상기 터널 절연 패턴의 다른 패턴보다 돌출된 것을 특징으로 하는 반도체 소자.

청구항 3

제 1 항에 있어서,

상기 터널 절연 패턴 중에서 상기 활성 영역과 직접 접촉하는 패턴의 밴드갭은 상기 터널 절연 패턴의 다른 패턴의 밴드갭보다 큰 것을 특징으로 하는 반도체 소자.

청구항 4

제 1 항에 있어서,

상기 터널 절연 패턴은 상기 활성 영역 상에 차례로 적층된 하부 터널 절연 패턴, 중간 터널 절연 패턴, 및 상부 터널 절연 패턴을 포함하고,

상기 중간 터널 절연 패턴의 밴드갭이 상기 하부 터널 절연 패턴 및 상기 상부 터널 절연 패턴의 밴드갭 보다 작은 것을 특징으로 하는 반도체 소자.

청구항 5

제 1 항에 있어서,

상기 제어 게이트 전극이 상기 활성영역을 가로지르는 방향에서, 상기 전하 저장 패턴은 상기 활성 영역의 측면보다 돌출되거나 함몰된 것을 특징으로 하는 반도체 소자.

청구항 6

제 1 항에 있어서,

상기 제어 게이트 전극이 상기 활성영역을 가로지르는 방향에서, 상기 터널 절연 패턴의 적어도 하나의 패턴의 측면은 상기 전하 저장 패턴의 측면보다 돌출되거나 함몰되는 것을 특징으로 하는 반도체 소자.

청구항 7

제 1 항에 있어서,

상기 터널 절연 패턴은 실리콘산화막, 실리콘질화막, 실리콘 산화질화막(SiON), 고유전물질막 중에서 적어도 하나를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 8

반도체 기판 상에 배치된 활성 영역;

상기 활성 영역 상에 배치되고 상기 활성 영역을 가로지르는 게이트 전극; 및

상기 활성영역과 상기 게이트 전극 사이에 배치된 게이트 절연 패턴을 포함하되,

상기 게이트 절연 패턴은 상기 활성영역과 상기 게이트 전극이 중첩된 영역에서 복층 구조를 포함하고,

상기 게이트 절연 패턴의 하나의 패턴은 상기 게이트 절연 패턴의 다른 패턴보다 돌출 또는 함몰된 반도체 소자.

청구항 9

제 8항에 있어서,

상기 활성 영역과 상기 게이트 전극은 축전기를 형성하고, 상기 축전기는 단위 면적당 정전용량이 다른 적어도 두 개의 축전기가 병렬 연결된 구조를 가지는 것을 특징으로 하는 반도체 소자.

청구항 10

제 8항에 있어서,

상기 게이트 절연 패턴은 차례로 적층된 하부 게이트 절연 패턴, 중간 게이트 절연 패턴, 상부 게이트 절연패턴을 포함하되,

상기 하부 중간 게이트 절연 패턴의 밴드갭은 상기 상부 게이트 절연 패턴 및 상기 하부 게이트 절연 패턴의 밴드갭보다 작은 것을 특징으로 하는 반도체 소자.

청구항 11

제 8항에 있어서,

상기 게이트 절연 패턴은 차례로 적층된 하부 게이트 절연 패턴, 중간 게이트 절연 패턴, 상부 게이트 절연패턴을 포함하되,

상기 하부 중간 게이트 절연 패턴의 유전율은 상기 상부 게이트 절연 패턴 및 상기 하부 게이트 절연 패턴의 유전율보다 작은 것을 특징으로 하는 반도체 소자.

청구항 12

제 8항에 있어서,

상기 터널 절연막의 적어도 하나의 패턴의 측면은 상기 활성 영역의 상부 측면보다 돌출 또는 함몰되는 것을 특징으로 하는 반도체 소자.

청구항 13

반도체 기판 상에 활성 영역, 차례로 적층된 터널 절연 패턴, 및 전하 저장 패턴을 형성하는 단계;

상기 전하 저장 패턴 상에 배치된 블로킹 절연 패턴을 형성하는 단계; 및

상기 블로킹 절연 패턴 상에 배치되고 상기 활성 영역을 가로지르는 제어 게이트 전극을 형성하는 단계를 포함하되,

상기 활성 영역과 상기 전하 저장 패턴 사이에 개재된 상기 터널 절연 패턴은 복층 구조를 가지고,

상기 터널 절연 패턴의 적어도 하나의 패턴은 상기 제어 게이트 전극이 상기 활성영역을 가로지르는 방향에서 상기 활성 영역의 상부 측면보다 돌출되거나 함몰된 반도체 소자의 형성 방법.

청구항 14

제 13항에 있어서,

상기 반도체 기판 상에 활성 영역, 차례로 적층된 터널 절연 패턴, 및 전하 저장 패턴을 형성하는 단계는:

상기 반도체 기판에 차례로 복층의 터널 절연막, 전하 저장막을 적층하는 단계;

상기 전하 저장막, 상기 터널 절연막, 및 상기 반도체 기판을 차례로 패터닝하여 상기 전하 저장패턴, 상기 터널 절연 패턴, 및 상기 활성 영역을 한정하는 트렌치를 형성하는 단계;

상기 터널 절연막의 적어도 하나의 패턴의 측면을 식각하는 단계; 및

상기 활성 영역과 이웃한 활성 영역 사이의 상기 트렌치를 채우는 소자분리막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 15

제 13항에 있어서,

상기 반도체 기판 상에 활성 영역, 차례로 적층된 터널 절연 패턴, 및 전하 저장 패턴을 형성하는 단계는:

상기 반도체 기판에 차례로 복층의 터널 절연막, 전하 저장막을 적층하는 단계;

상기 전하 저장막, 상기 터널 절연막, 상기 반도체 기판을 차례로 패터닝하여 상기 전하 저장패턴, 상기 터널 절연 패턴, 및 상기 활성 영역을 한정하는 트렌치를 형성하는 단계;

상기 활성 영역의 측면을 산화 및/또는 질화시키는 단계; 및

상기 활성 영역과 이웃한 활성 영역 사이의 상기 트렌치를 채우는 소자분리막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 16

제 13항에 있어서,

상기 반도체 기판 상에 활성 영역, 차례로 적층된 터널 절연 패턴, 및 전하 저장 패턴을 형성하는 단계는:

상기 반도체 기판에 차례로 복층의 터널 절연막, 전하 저장막을 적층하는 단계;

상기 전하 저장막, 상기 터널 절연막, 상기 반도체 기판을 차례로 패터닝하여 상기 전하 저장패턴, 상기 터널 절연 패턴, 및 상기 활성 영역을 한정하는 트렌치를 형성하는 단계;

상기 트렌치의 하면 및 측면, 및 상기 전하 저장 패턴의 측면 및 상부면을 산화 및/또는 질화시키는 단계; 및

상기 활성 영역과 이웃한 활성 영역 사이의 상기 트렌치를 채우는 소자분리막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 17

제 16항에 있어서,

상기 반도체 기판 상에 활성 영역, 차례로 적층된 터널 절연 패턴, 및 전하 저장 패턴을 형성하는 단계는:

상기 트렌치 측면 및 하면, 및 상기 터널 절연 패턴의 적어도 하나의 패턴의 측면 및/또는 상기 전하 저장 패턴의 측면 및 상부면을 식각하는 단계를 더 포함하는 것을 반도체 소자의 형성 방법.

청구항 18

제 13항에 있어서,

상기 블로킹 절연 패턴의 일부 또는 전부를 관통하여 상기 전하 저장 패턴과 상기 제어 게이트 전극을 연결하도록 버팅 콘택홀을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 반도체 소자에 관한 것으로서, 더 구체적으로는 게이트 절연막 또는 터널 정연막을 가지는 반도체 소자에 관한 것이다.

배경 기술

<2> 비휘발성 기억소자는 전원 공급이 중단된 상태에도 저장된 정보가 소멸하지 않고 유지되는 기억소자이다. 대표적인 비휘발성 기억소자로서 플래시 기억소자는 제어게이트와 기판 사이에 개재된 전하저장패턴에 전하가 충전되었는지 여부에 따라 정보를 저장할 수 있다.

발명의 내용

해결 하고자하는 과제

<3> 본 발명이 이루고자 하는 기술적 과제는 데이터 저장 특성이 향상된 반도체 소자를 제공하는 것이다.

<4> 본 발명이 이루고자 하는 다른 기술적 과제는 데이터 저장 특성이 향상된 반도체 소자의 형성 방법을 제공하는 것이다.

과제 해결수단

<5> 본 발명의 일 실시예에 따른 반도체 소자는 반도체 기판 상에 배치된 활성 영역, 상기 활성 영역 상에 배치된 전하 저장 패턴, 상기 전하 저장 패턴 상에 배치된 블로킹 절연 패턴, 상기 블로킹 절연 패턴 상에 배치되고 상기 활성 영역을 가로지르는 제어 게이트 전극, 및 상기 활성 영역과 상기 전하 저장 패턴 사이에 개재된 터널 절연 패턴을 포함하되, 상기 터널 절연 패턴은 복층 구조를 가지고, 상기 터널 절연 패턴의 적어도 하나의 패턴은 상기 제어 게이트 전극이 상기 활성영역을 가로지르는 방향에서 상기 활성 영역의 상부 측면보다 돌출된다.

<6> 본 발명의 일 실시예에 있어서, 상기 터널 절연 패턴의 하나의 패턴은 상기 제어 게이트 전극이 상기 활성영역을 가로지르는 방향에서 상기 터널 절연 패턴의 다른 패턴보다 돌출될 수 있다.

<7> 본 발명의 일 실시예에 있어서, 상기 터널 절연 패턴 중에서 상기 활성 영역과 직접 접촉하는 패턴의 밴드갭은 상기 터널 절연 패턴의 다른 패턴의 밴드갭보다 클 수 있다.

<8> 본 발명의 일 실시예에 있어서, 상기 터널 절연 패턴은 상기 활성 영역 상에 차례로 적층된 하부 터널 절연 패턴, 중간 터널 절연 패턴, 및 상부 터널 절연 패턴을 포함하고, 상기 중간 터널 절연 패턴의 밴드갭이 상기 하부 터널 절연 패턴 및 상기 상부 터널 절연 패턴의 밴드갭 보다 작을 수 있다.

<9> 본 발명의 일 실시예에 있어서, 상기 제어 게이트 전극이 상기 활성영역을 가로지르는 방향에서, 상기 전하 저장 패턴은 상기 활성 영역의 측면보다 돌출되거나 함몰될 수 있다.

<10> 본 발명의 일 실시예에 있어서, 상기 제어 게이트 전극이 상기 활성영역을 가로지르는 방향에서, 상기 터널 절연 패턴의 적어도 하나의 패턴의 측면은 상기 전하 저장 패턴의 측면보다 돌출되거나 함몰될 수 있다.

<11> 본 발명의 일 실시예에 있어서, 상기 터널 절연 패턴은 실리콘산화막, 실리콘질화막, 실리콘 산화질화막(SiON), 고유전물질막 중에서 적어도 하나를 포함할 수 있다.

<12> 본 발명의 일 실시예에 따른 반도체 소자는 반도체 기판 상에 배치된 활성 영역, 상기 활성 영역 상에 배치되고 상기 활성 영역을 가로지르는 게이트 전극, 및 상기 활성영역과 상기 게이트 전극 사이에 배치된 게이트 절연 패턴을 포함하되, 상기 게이트 절연 패턴은 상기 활성영역과 상기 게이트 전극이 중첩된 영역에서 복층 구조를 포함하고, 상기 게이트 절연 패턴의 하나의 패턴은 상기 게이트 절연 패턴의 다른 패턴보다 돌출 또는 함몰된다.

<13> 본 발명의 일 실시예에 있어서, 상기 활성 영역과 상기 게이트 전극은 축전기를 형성하고, 상기 축전기는 단위 면적당 정전용량이 다른 적어도 두 개의 축전기가 병렬 연결된 구조를 가질 수 있다.

<14> 본 발명의 일 실시예에 있어서, 상기 게이트 절연 패턴은 차례로 적층된 하부 게이트 절연 패턴, 중간 게이트 절연 패턴, 상부 게이트 절연 패턴을 포함하되, 상기 하부 중간 게이트 절연 패턴의 밴드갭은 상기 상부 게이트

절연 패턴 및 상기 하부 게이트 절연 패턴의 밴드캡보다 작을 수 있다.

- <15> 본 발명의 일 실시예에 있어서, 상기 게이트 절연 패턴은 차례로 적층된 하부 게이트 절연 패턴, 중간 게이트 절연 패턴, 상부 게이트 절연패턴을 포함하되, 상기 하부 중간 게이트 절연 패턴의 유전율은 상기 상부 게이트 절연 패턴 및 상기 하부 게이트 절연 패턴의 유전율보다 작을 수 있다.
- <16> 본 발명의 일 실시예에 있어서, 상기 터널 절연막의 적어도 하나의 패턴의 측면은 상기 활성 영역의 상부 측면보다 돌출 또는 함몰될 수 있다.
- <17> 본 발명의 일 실시예에 반도체 소자의 형성 방법은 반도체 기판 상에 활성 영역, 차례로 적층된 터널 절연 패턴, 및 전하 저장 패턴을 형성하는 단계, 상기 전하 저장 패턴 상에 배치된 블로킹 절연 패턴을 형성하는 단계, 및 상기 블로킹 절연 패턴 상에 배치되고 상기 활성 영역을 가로지르는 제어 게이트 전극을 형성하는 단계를 포함하되, 상기 활성 영역과 상기 전하 저장 패턴 사이에 개재된 상기 터널 절연 패턴은 복층 구조를 가지고, 상기 터널 절연 패턴의 적어도 하나의 패턴은 상기 제어 게이트 전극이 상기 활성영역을 가로지르는 방향에서 상기 활성 영역의 상부 측면보다 돌출되거나 함몰된다.
- <18> 본 발명의 일 실시예에 있어서, 상기 반도체 기판 상에 활성 영역, 차례로 적층된 터널 절연 패턴, 및 전하 저장 패턴을 형성하는 단계는 상기 반도체 기판에 차례로 복층의 터널 절연막, 전하 저장막을 적층하는 단계, 상기 전하 저장막, 상기 터널 절연막, 및 상기 반도체 기판을 차례로 폐터닝하여 상기 전하 저장패턴, 상기 터널 절연 패턴, 및 상기 활성 영역을 한정하는 트렌치를 형성하는 단계, 상기 터널 절연막의 적어도 하나의 패턴의 측면을 식각하는 단계, 및 상기 활성 영역과 이웃한 활성 영역 사이의 상기 트렌치를 채우는 소자분리막을 형성하는 단계를 포함할 수 있다.
- <19> 본 발명의 일 실시예에 있어서, 상기 반도체 기판 상에 활성 영역, 차례로 적층된 터널 절연 패턴, 및 전하 저장 패턴을 형성하는 단계는 상기 반도체 기판에 차례로 복층의 터널 절연막, 전하 저장막을 적층하는 단계, 상기 전하 저장막, 상기 터널 절연막, 상기 반도체 기판을 차례로 폐터닝하여 상기 전하 저장패턴, 상기 터널 절연 패턴, 및 상기 활성 영역을 한정하는 트렌치를 형성하는 단계, 상기 활성 영역의 측면을 산화 및/또는 질화시키는 단계, 및 상기 활성 영역과 이웃한 활성 영역 사이의 상기 트렌치를 채우는 소자분리막을 형성하는 단계를 포함할 수 있다.
- <20> 본 발명의 일 실시예에 있어서, 상기 반도체 기판 상에 활성 영역, 차례로 적층된 터널 절연 패턴, 및 전하 저장 패턴을 형성하는 단계는 상기 반도체 기판에 차례로 복층의 터널 절연막, 전하 저장막을 적층하는 단계, 상기 전하 저장막, 상기 터널 절연막, 상기 반도체 기판을 차례로 폐터닝하여 상기 전하 저장패턴, 상기 터널 절연 패턴, 및 상기 활성 영역을 한정하는 트렌치를 형성하는 단계, 상기 트렌치의 하면 및 측면, 및 상기 전하 저장 패턴의 측면 및 상부면을 산화 및/또는 질화시키는 단계, 및 상기 활성 영역과 이웃한 활성 영역 사이의 상기 트렌치를 채우는 소자분리막을 형성하는 단계를 포함할 수 있다.
- <21> 본 발명의 일 실시예에 있어서, 상기 반도체 기판 상에 활성 영역, 차례로 적층된 터널 절연 패턴, 및 전하 저장 패턴을 형성하는 단계는 상기 트렌치 측면 및 하면, 및 상기 터널 절연 패턴의 적어도 하나의 패턴의 측면 및/또는 상기 전하 저장 패턴의 측면 및 상부면을 식각하는 단계를 더 포함할 수 있다.
- <22> 본 발명의 일 실시예에 있어서, 상기 블로킹 절연 패턴의 일부 또는 전부를 관통하여 상기 전하 저장 패턴과 상기 제어 게이트 전극을 연결하도록 버팅 콘택홀을 형성하는 단계를 더 포함할 수 있다.

효과

- <23> 본 발명의 실시예에 따른 반도체 소자의 터널 절연 패턴의 누설 전류는 감소되고, 상기 반도체 소자의 신뢰성은 향상될 수 있다.

발명의 실시를 위한 구체적인 내용

- <24> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조

번호로 표시된 부분들은 동일한 구성요소들을 나타낸다. 명세서에서, 돌출 또는 함몰은 기판과 같은 평면의 방향에서 하나의 층 또는 패턴의 측면이 서로 정렬되지 않는 것을 의미한다.

- <25> 도 1a 내지 도 1d는 본 발명의 실시예들에 따른 반도체 소자를 포함하는 낸드 플래시 메모리를 설명하는 도면들이다. 도 2a는 상기 낸드(NAND) 비휘발성 기억 소자의 회로도이다. 도 1b는 상기 낸드(NAND) 비휘발성 기억 소자의 평면도이다. 도 1c는 도 1b의 I-I'선에 따른 단면도이고, 도 1d는 도 1b의 II-II'선에 따른 단면도이다.
- <26> 상기 메모리 셀 어레이(1)는 비트라인(BL)에 각각 대응하는 복수의 셀 스트링(2)을 포함한다. 각 셀 스트링(2)은 제1 선택 트랜지스터로서 스트링 선택 트랜지스터(SST), 제2 선택 트랜지스터로서 접지선택 트랜지스터(GST), 및 상기 선택 트랜지스터(SST,GST)들 사이에 직렬 연결된 복수의 셀 트랜지스터들(M1)를 포함한다. 상기 셀 트랜지스터들(M1)의 게이트들은 워드라인들(WL)에 연결된다. 상기 워드라인들(WL), 스트링 선택 라인(SSL), 및 접지 선택 라인(GSL)은 X-디코더에 연결된다.
- <27> 도 1b 내지 도 1d를 참조하면, 본 발명의 실시예들에 따른 반도체 소자를 포함하는 낸드(NAND) 비휘발성 기억 소자는 셀 영역을 구비하는 반도체 기판(100)을 포함한다. 소자 분리막(160)이 상기 반도체 기판(100)에 배치된다. 상기 소자 분리막(160)은 활성영역(110)을 정의한다. 상기 소자 분리막(160)은 상기 활성 영역(110)과 이웃한 활성 영역 사이의 트렌치(180)를 채울 수 있다. 상기 소자 분리막(160)의 상부면은 상기 활성영역(110)의 상부면보다 높을 수 있다. 상기 소자 분리막(160)은, 예를 들면, 실리콘 산화막일 수 있다. 상기 소자 분리막(160)의 상부면은 평탄화될 수 있다. 상기 활성영역(110)은 일 방향으로 연장될 수 있다. 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)이 상기 활성영역(110)을 가로지르고, 복수의 워드라인들(WL)이 상기 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL) 사이의 활성영역(110)을 가로지른다. 상기 스트링 선택 라인(SSL), 접지 선택 라인(GSL), 및 워드라인(WL)은 상기 일 방향에 교차하는 다른 방향을 따라 연장된다. 셀 스트링 군은 상기 스트링 선택 라인(SSL), 워드라인들(WL), 및 접지 선택 라인(GSL)을 포함할 수 있다. 상기 셀 스트링 군은 상기 일 방향을 따라 미러(mirror) 대칭으로 반복적으로 배치될 수 있다.
- <28> 상기 스트링 선택 라인(SSL), 복수의 상기 워드라인들(WL), 및 상기 접지 선택 라인(GSL)의 양측의 활성영역(110)에 소오스 및 드레이에 해당하는 불순물 영역들(107)이 배치될 수 있다. 상기 워드라인들(WL) 및 상기 워드라인들(WL) 양측의 불순물 영역은 셀 트랜지스터를 구성하고, 상기 접지 선택 라인(GSL) 및 상기 접지 선택 라인(GSL) 양측의 불순물 영역은 접지 선택 트랜지스터(GST)를 구성한다. 상기 스트링 선택 라인(SSL) 및 상기 스트링 선택 라인(SSL) 양측의 불순물 영역은 스트링 선택 트랜지스터(SST)를 구성한다.
- <29> 상기 워드라인들(WL) 각각은 블로킹 절연 패턴(140) 및 상기 제어 게이트 전극(150)을 포함할 수 있다. 상기 활성영역(100)과 상기 워드라인들(WL) 사이에 터널 절연 패턴(120)과 전하 저장 패턴(130)이 제공될 수 있다.
- <30> 상기 터널 절연 패턴(120)은 복층 구조를 가질 수 있다. 상기 터널 절연 패턴(120)은 차례로 적층된 하부 터널 절연 패턴(122), 중간 터널 절연 패턴(124), 및 상부 터널 절연 패턴(126)을 포함할 수 있다. 상기 터널 절연 패턴(120)의 적어도 하나는 상기 제어 게이트 전극(150)이 상기 활성영역(110)을 가로지르는 방향에서 상기 활성 영역(110)의 상부 측면보다 돌출되거나 함몰된 구조를 가질 수 있다.
- <31> 상기 터널 절연 패턴(120)은 하부 터널 절연 패턴(122), 중간 터널 절연 패턴(124), 및 상부 터널 절연 패턴(124)을 포함할 수 있다. 상기 하부 터널 절연 패턴(122), 및 상부 터널 절연 패턴(126)의 측면은 상기 중간 터널 절연 패턴(124)의 측면보다 함몰될 수 있다. 상기 하부 터널 절연 패턴(122)의 측면과 상기 활성 영역(110)의 상부 측면은 서로 정렬될 수 않을 수 있다. 구체적으로, 상기 하부 터널 절연 패턴(122) 및 상부 터널 절연 패턴(126)의 측면은 상기 활성 영역(110)의 상부 측면보다 함몰될 수 있다.
- <32> 상기 하부 터널 절연 패턴(122)은 열산화막으로 5 내지 100Å 두께일 수 있다. 상기 하부 터널 절연 패턴(122)은 ISSG(In-Situ Steam Generation)을 이용하여 형성할 수 있다. 챔버 내에 수소 및 산소를 주입하여 850 내지 900°C의 온도에서 5 내지 100 Torr 압력하에서 산화막을 형성할 수 있다. 상기 하부 터널 절연 패턴(122)은 실리콘 산화막에 한정되는 아니며, 실리콘 산화질화막 및 금속 산화막 중에서 적어도 하나를 포함할 수 있다.
- <33> 상기 중간 터널 절연 패턴(124)은 화학기상 증착법(chemical vapor deposition:CVD) 또는 원자층 증착법(atomic layer deposition: ALD)을 이용하여 형성할 수 있다. 상기 중간 터널 절연 패턴(124)은 실리콘 질화막, 실리콘 산화질화막, 및 고유전체 물질 중에서 적어도 하나를 포함할 수 있다. 상기 고유전체 물질은 알루미늄 산화막(Al2O3), 하프늄산화막(HfO2), 하프늄알루미늄산화막(HfAlO), 하프늄실리콘산화막(HfSiO), 지르코늄산화막(ZrO2) 또는 탄탈륨 산화막(Ta2O5) 중에서 적어도 하나를 포함할 수 있다. 상기 중간 터널 절연 패턴(124)의 밴드 캡은 상기 하부 터널 절연 패턴(122)의 밴드캡보다 작을 수 있다. 상기 중간 터널 절연 패턴(124)의 유전

율은 상기 하부 터널 절연 패턴(122)의 유전율보다 클 수 있다.

- <34> 상기 상부 터널 절연 패턴(126)은 화학기상 증착법(chemical vapor deposition:CVD) 또는 원자층 증착법(atomic layer deposition: ALD)을 이용하여 형성할 수 있다. 상기 상부 터널 절연 패턴(126)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 및 금속 산화막 중에서 적어도 하나를 포함할 수 있다.
- <35> 상기 터널 절연 패턴 상에 전하 저장 패턴(130)이 배치될 수 있다. 상기 전하 저장 패턴(130)은 전하를 저장할 수 있는 트랩들을 갖는 물질로 형성될 수 있다. 상기 전하 저장 패턴(130)은 유전체막을 포함할 수 있다. 상기 전하 저장 패턴(130)은 실리콘 질화막, 금속 퀀텀 드, 실리콘 퀀텀 드, 금속, 도핑된 실리콘, 도핑된 게르마늄 중에서 적어도 하나를 포함할 수 있다. 상기 금속은 순수한 금속 및 금속혼합물 중에서 적어도 하나를 포함할 수 있다. 상기 전하 저장 패턴(130)은 나노 결정 실리콘(nano crystalline silicon), 나노 결정 실리콘게르마늄(nano crystalline silicon germanium), 나노 결정 금속(nano crystalline metal), 게르마늄 퀀텀 드(Ge quantum dot), 금속 퀀텀 드(metal quantum dot), 실리콘 퀀텀 드(silicon quantum dot)을 구비하는 그룹에서 선택된 하나 또는 이들의 적층 구조를 포함할 수 있다. 상기 전하 저장 패턴(130)은 금속 도핑을 통하여 금속 트랩 사이트를 가질 수 있다. 또는 상기 전하 저장 패턴(130)은 전하 저장막(미도시) 형성 후 습식 산화 공정을 통하여 상기 전하 저장막의 에너지 밴드 내에 깊은 트랩 위치(deep trap site)를 형성할 수 있다. 상기 전하 저장 패턴(130)은 단층 구조에 한하지 않고 복층 구조를 가질 수 있다. 상기 상부 터널 절연 패턴(126)의 측면과 상기 전하 저장 패턴(130)의 측면은 서로 정렬될 수 있다. 상기 전하 저장 패턴(130)이 도전체인 경우, 상기 전하 저장 패턴(130)은 상기 활성 영역(110)이 연장되는 방향에서 서로 분리될 수 있다. 상기 전하 저장 패턴(130)이 유전체인 경우, 상기 전하 저장 패턴(130)은 상기 활성 영역이 연장되는 방향으로 서로 분리되지 않을 수 있다. 상기 전하 저장 패턴(130)의 측면은 상기 중간 터널 절연 패턴(124)과 정렬할 수 있다. 상기 전하 저장 패턴(130)의 측면은 상기 상부 터널 절연 패턴(126) 및 하부 터널 절연 패턴(122)의 측면보다 돌출될 수 있다. 상기 전하 저장 패턴(130)의 측면은 상기 활성영역의 상부 측면과 정렬될 수 있다.
- <36> 상기 블로킹 절연 패턴(140)은 고유전체막을 포함할 수 있다. 상기 고유전체막은 실리콘 산화막 보다 유전율이 큰 물질일 수 있다. 상기 고유전체막은 커플링비를 증가시킬 수 있다. 상기 블로킹 절연 패턴(140)은 복층 구조를 가질 수 있다. 상기 블로킹 절연 패턴(140)은 실리콘 산화막 보다 높은 유전율을 가지는 금속 산화막, 금속 질화막, 금속 산화질화막 중에서 적어도 하나를 포함할 수 있다. 상기 금속 산화막은 알루미늄 산화막, 하프늄 산화막, 지르코늄 산화막, 하푸늄 알루미늄 산화막 중에서 적어도 하나를 포함할 수 있다.
- <37> 상기 제어 게이트 전극(150)은 차례로 적층된 베리어 금속/고일함수 금속, 고일함수 금속/베리어 금속/금속, 도핑된 폴리실리콘/베리어 금속/금속, 금속/도핑된 폴리실리콘, 금속, 도핑된 폴리 실리콘 중에서 적어도 하나를 포함할 수 있다. 상기 베리어 금속은 금속 질화막, 및 금속 산화질화막 중에서 적어도 하나를 포함할 수 있다.
- <38> 상기 제어 게이트 전극(150) 상에는 하부 충간 절연막(172) 및 상부 충간 절연막(174)이 형성될 수 있다. 상기 상부 충간 절연막(174) 상에 비트라인(BL)이 상기 활성 영역(110)을 가로지르도록 형성될 수 있다. 상기 제어 게이트 전극(150)과 상기 블로킹 절연 패턴(140)은 서로 정렬될 수 있다. 상기 활성영역(110)이 연장되는 방향에서, 상기 전하 저장 패턴(130)은 상기 블로킹 절연 패턴(140)과 정렬될 수 있다. 상기 전하 저장 패턴(130)이 유전체인 경우, 상기 블로킹 절연 패턴(140)은 패터닝되지 않을 수 있다.
- <39> 상기 접지 선택 라인(GSL) 및 상기 스트링 선택 선택 라인(SSL)는 상기 워드라인들(WL)와 동일한 구조일 수 있다. 다만, 상기 스트링 선택 라인(SSL)과 상기 접지 선택 라인(GSL)의 선택은 상기 워드라인들(WL)의 선택과 다를 수 있다. 상기 스트링 선택 라인(SSL)과 상기 접지 선택 라인(GSL)의 선택은 상기 워드라인들(WL)에 비하여 를 수 있다. 상기 스트링 선택 라인(SSL) 및 상기 접지 선택 라인(GSL)에서 상기 블로킹 절연 패턴(140)의 일부 또는 전부가 제거되어 상기 전하 저장 패턴(140)과 상기 제어 게이트 전극(150)이 서로 접촉하도록 버팅 콘택(BUTTING CONTACT)이 형성될 수 있다.
- <40> 본 발명의 변형된 실시예에 따르면, 상기 터널 절연 패턴(120), 전하 저장 패턴(130), 상기 블로킹 절연 패턴(140)에 대응되는 상기 접지 및 스트링 선택 라인(GSL,SSL)내의 층들은 상기 접지 및 스트링 선택 트렌지스터들의 게이트 절연막으로 사용될 수 있다.
- <41> 상기 접지 선택 트랜지스터(GST)의 소오스에 공통 소오스 라인(CSL)이 배치되고, 상기 공통 소오스 라인(CSL)은 상기 다른 방향으로 연장될 수 있다. 상기 스트링 선택 트랜지스터(SST)의 드레인에 비트라인 콘택(BC)이 배치된다. 상기 비트라인 콘택(BC)을 채우는 비트라인 콘택 플러그는 상기 다른 방향으로 연장하는

비트라인(BL)과 연결된다.

- <42> 본 발명의 실시예들에 따른 반도체 소자의 구조 및 개념은 노아(NOR) 비휘발성 기억 소자에 적용될 수 있다.
- <43> 도 2a 및 도 2b는 각각 본 발명의 실시예들에 따른 반도체 소자의 셀 영역의 단면도 및 에너지 랜드 다이어그램이다.
- <44> 도 2a를 참조하면, 상기 반도체 소자는 반도체 기판(100) 상에 배치된 활성 영역(110), 상기 활성 영역(110) 상에 배치된 전하 저장 패턴(130), 상기 전하 저장 패턴(130) 상에 배치된 블로킹 절연 패턴(140), 상기 블로킹 절연 패턴(140) 상에 배치되고 상기 활성 영역(110)을 가로지르는 제어 게이트 전극(150), 및 상기 활성 영역(110)과 상기 전하 저장 패턴(120) 사이에 개재된 터널 절연 패턴(120)을 포함한다. 상기 터널 절연 패턴(120)은 복층 구조를 가질 수 있다. 상기 터널 절연 패턴(120)의 적어도 하나의 패턴의 측면은 상기 제어 게이트 전극(150)이 상기 활성 영역(110)을 가로지르는 방향에서 상기 활성 영역(110)의 상부 측면보다 돌출되거나 함몰될 수 있다.
- <45> 상기 터널 절연 패턴(120)은 차례로 적층된 하부 터널 절연 패턴(122), 중간 터널 절연 패턴(124), 및 상부 터널 절연 패턴(126)을 포함할 수 있다. 상기 하부 터널 절연 패턴(122) 및 상부 터널 절연 패턴(126)의 측면은 상기 중간 터널 절연 패턴(124) 보다 돌출될 수 있다. 상기 중간 터널 절연 패턴(124)의 랜드캡은 상기 하부 터널 절연 패턴(122) 및 상기 하부 터널 절연 패턴(126)의 랜드캡보다 작을 수 있다. 상기 중간 터널 절연 패턴(124)의 유전율은 상기 하부 터널 절연 패턴(122) 및 상기 상부 터널 절연 패턴(126)의 유전율보다 클 수 있다. 상기 하부 터널 절연 패턴(122) 및 상기 상부 터널 절연 패턴(126)은 각각 상기 활성 영역(110)의 상부 측면 및 상기 전하 저장 패턴(130)의 측면과 정렬될 수 있다.
- <46> 상기 전하 저장 패턴(130)이 유전체인 경우, 본 발명의 일 실시예들에 따른 전하 트랩형 비휘발성 기억 소자의 동작을 구체적으로 설명한다. 예를 들어, 상기 터널 절연 패턴(120)은 차례로 적층된 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화막일 수 있다. 상기 하부 터널 절연 패턴(122) 및 상기 상부 터널 절연 패턴(126)의 측면은 상기 중간 터널 절연 패턴(124)의 측면보다 돌출될 수 있다. 상기 전하 저장 패턴(130)에 전하가 축적되지 않는 상태에서, 상기 제어 게이트 전극(150)에 양의 전압이 인가면, 전계는 상기 제어 게이트 전극(150)에서 상기 활성 영역(110)의 방향으로 형성된다. 중심 영역(A 영역)에서 전자의 터널링 전류 밀도(J_A)는 가장 자리 영역(B 영역)에서 전자의 터널링 전류 밀도(J_B)보다 클 수 있다.
- <47> 도 2b를 참조하면, 실선은 상기 중심 영역(A 영역)의 에너지 랜드 다이어그램을 나타내고, 점선은 상기 가장 자리 영역(B 영역)의 에너지 랜드 다이어그램을 나타낸다. 상기 활성 영역(110)과 상기 전하 저장 패턴(130) 사이의 전압 강하는 상기 터널 절연 패턴(120)의 유전율에 의존할 수 있다. 구체적으로, 상기 중심 영역(A)의 유효 유전율이 상기 가장 자리 영역(B)의 유효 유전율 보다 큰 경우, 상기 중심 영역(A)의 상기 전압 강하는 상기 가장 자리 영역(B)의 상기 전압 강하보다 작을 수 있다. 상기 활성 영역(110)의 전자는 상기 터널 절연 패턴(120)을 터널링 하여 상기 전하 저장 패턴(130)에 축적될 수 있다. 상기 중심 영역(A)에서, 상기 터널 절연 패턴(120)의 터널링 전류 밀도는 상기 하부 터널 절연 패턴(122)의 문턱 장벽의 높이와 터널링 길이에 의존할 수 있다. 상기 중심 영역(B)에서 상기 중간 터널 절연 패턴(124)의 랜드캡은 상기 하부 터널 절연 패턴(122)의 랜드캡보다 작을 수 있어, 상기 중심 영역(A)의 터널링 길이는 상기 하부 터널 절연 패턴(122)의 두께(t_1)과 같을 수 있다. 한편, 상기 가장 자리 영역(B)에서 상기 중간 터널 절연 패턴(124)은 제거되고, 제거된 공간은 실리콘 산화막인 소자 분리막(160)으로 채워질 수 있다. 이에 따라, 상기 가장 자리 영역(B)에서 상기 터널 절연 패턴(120)은 실리콘 산화막만으로 채워질 수 있다. 상기 가장 자리 영역(B)의 터널링 길이(t_B)는 상기 하부 터널 절연 패턴의 두께(t_1)보다 클 수 있다. 상기 가장 자리 영역(B)의 터널링 길이(t_B)는 상기 중심 영역(A)의 터널링 길이 보다 증가할 수 있다. 결국, 상기 가장 자리 영역(B)의 터널 전류 밀도(J_B)는 상기 중심 영역(A)의 터널 전류 밀도(J_A) 보다 작을 수 있다. 유사한 동작 원리는 리텐션 상태에도 적용될 수 있어, 리텐션 상태의 특성은 향상될 수 있다.
- <48> 도 3는 본 발명의 일 실시예에 따른 반도체 소자를 설명하기 위한 단면도이다. 도 3는 도 1c의 일부일 수 있다.
- <49> 도 3를 참조하면, 반도체 기판(100)에 트렌치(180)를 형성하여 활성영역(110)을 한정할 수 있다. 소자 분리막(160)은 상기 트렌치(180)를 채울 수 있다. 상기 소자 분리막(160)은, 예를 들면, 실리콘 산화막일 수 있다. 상기 소자 분리막(160)의 상부면은 평탄화될 수 있다. 상기 소자 분리막(160)의 상부면은 상기 활성영역(110)의

상부면보다 높을 수 있다. 상기 활성영역(110) 상에 터널절연 패턴(120)이 배치될 수 있다. 상기 터널 절연 패턴(120)은 복층 구조를 가질 수 있다. 상기 터널 절연 패턴 상에 전하 저장 패턴(130)이 배치될 수 있다. 상기 트렌치(180)의 하면 및 측면은 선택적 산화 공정에 의하여 산화되어 선택 산화 영역(112)을 형성할 수 있다. 상기 선택 산화 영역(112)의 두께는 수 nm 정도일 수 있다. 따라서, 상기 터널 절연 패턴(120)의 측면은 상기 활성 영역(110)의 상부 측면보다 돌출될 수 있다. 상기 전하 저장 패턴(130) 상에 블로킹 절연 패턴(140) 및 제어 게이트 전극(150)이 배치될 수 있다. 상기 활성영역(110)을 가로지르는 방향에서 상기 터널 절연 패턴(120)의 폭은 상기 활성영역(110)의 상부의 폭보다 넓을 수 있다. 상기 소자 분리막(160)의 상부면은 상기 전하 저장 패턴(130)의 상부면보다 높을 수 있다.

<50> 상기 터널 절연 패턴(120)은 하부 터널 절연 패턴(122), 중간 터널 절연 패턴(124), 및 상부 터널 절연 패턴(124)을 포함할 수 있다. 상기 하부 터널 절연 패턴(122), 중간 터널 절연 패턴(124), 및 상부 터널 절연 패턴(126)의 측면은 서로 정렬될 수 있다. 상기 하부 터널 절연 패턴(122)과 상기 활성 영역(110)의 상부 측면은 서로 정렬될 수 않을 수 있다. 구체적으로, 상기 하부 터널 절연 패턴(122)은 상기 활성 영역(110)의 측면보다 돌출될 수 있다. 상기 전하 저장 패턴(130)의 측면은 상기 터널 절연 패턴(120)의 측면과 정렬될 수 있다. 상기 전하 저장 패턴(130) 상에 상기 블로킹 절연 패턴(140) 및 제어 게이트 전극(150)이 차례로 콘포멀하게 배치될 수 있다.

<51> 도 4는 본 발명의 다른 실시예에 따른 반도체 소자를 설명하기 위한 단면도이다.

<52> 도 4를 참조하면, 반도체 기판(100)에 트렌치(180)을 형성하여 활성영역(110)을 한정한다. 소자 분리막(160)은 상기 트렌치(180)를 채울 수 있다. 상기 소자 분리막(160)은 예를 들면, 실리콘 산화막일 수 있다. 상기 소자 분리막(160)의 상부면은 상기 활성영역(110)의 상부면보다 높을 수 있다. 상기 활성영역(110) 상에 터널절연 패턴(120)이 형성될 수 있다. 상기 터널 절연 패턴(120)은 복층 구조를 가질 수 있다.

<53> 상기 터널 절연 패턴(120)은 차례로 적층된 하부 터널 절연 패턴(122), 중간 터널 절연 패턴(124), 및 상부 터널 절연패턴(126)을 포함할 수 있다. 상기 중간 터널 절연 패턴(124)은 상기 하부 절연 패턴(122) 및 상기 상부 터널 절연 패턴(126)과 정렬되지 않을 수 있다. 상기 중간 터널 절연 패턴(124)의 측면은 상기 활성 영역(110)의 상부 측면보다 돌출될 수 있다. 또한, 상기 하부 터널 절연 패턴(122)은 상기 활성 영역(110)의 상부 측면 및 상기 상부 터널 절연 패턴(126)과 정렬될 수 있다. 상기 활성영역을 가로지르는 방향에서 상기 중간 터널 절연 패턴(124)의 폭은 상기 하부 절연 패턴(122) 및 상부 절연 패턴(126)의 폭보다 클 수 있다.

<54> 상기 터널 절연 패턴(120) 상에 전하 저장 패턴(130)이 형성될 수 있다. 상기 전하 저장 패턴의 상부면은 상기 소자 분리막(160)의 상부면보다 낮을 수 있다. 상기 전하 저장 패턴(130)의 측면은 상기 중간 터널 절연 패턴(124)과 정렬될 수 있다. 상기 전하 저장 패턴(130)의 측면은 상기 활성 영역(110)의 상부 측면보다 돌출될 수 있다. 상기 전하 저장 패턴(130) 상에 블로킹 절연 패턴(140) 및 제어 게이트 전극(150)이 차례로 콘포멀하게 배치될 수 있다.

<55> 도 5는 본 발명의 또 다른 실시예에 따른 반도체 소자를 설명하기 위한 단면도이다.

<56> 도 5를 참조하면, 반도체 기판(100)에 트렌치(180)을 형성하여 활성영역(110)을 한정한다. 소자 분리막(160)은 상기 트렌치(180)를 채울 수 있다. 상기 소자 분리막(160)의 상부면은 상기 활성영역(110)의 상부면보다 높을 수 있다. 상기 활성영역(110) 상에 터널절연 패턴(120)이 형성될 수 있다. 상기 터널 절연 패턴(120)은 복층 구조를 가질 수 있다.

<57> 상기 터널 절연 패턴(120)은 차례로 적층된 하부 터널 절연 패턴(122), 중간 터널 절연 패턴(124), 및 상부 터널 절연패턴(126)을 포함할 수 있다. 상기 중간 터널 절연 패턴(124)의 측면은 상기 하부 절연 패턴(122) 및 상기 상부 터널 절연 패턴(126)의 측면보다 돌출될 수 있다. 상기 하부 터널 절연 패턴(122) 및 상부 터널 절연 패턴(126)의 측면은 상기 활성 영역(110)의 상부 측면보다 함몰될 수 있다.

<58> 상기 터널 절연 패턴(120) 상에 전하 저장 패턴(130)이 형성될 수 있다. 상기 전하 저장 패턴(130)의 측면은 상기 상부 터널 절연 패턴(126) 및 하부 터널 절연 패턴(122)의 측면보다 돌출될 수 있다. 상기 전하 저장 패턴(130)의 측면은 상기 중간 터널 절연 패턴의 측면과 정렬될 수 있다. 상기 전하 저장 패턴(130)은 상기 활성 영역(110)의 상부 측면보다 돌출될 수 있다. 상기 전하 저장 패턴(130)의 상부면은 상기 소자 분리막(160)의 상부면보다 낮을 수 있다. 상기 전하 저장 패턴(130) 상에 블로킹 절연 패턴(140) 및 제어 게이트 전극(150)이 차례로 콘포멀하게 배치될 수 있다.

- <59> 도 6는 본 발명의 또 다른 실시예에 따른 반도체 소자를 설명하기 위한 단면도이다.
- <60> 도 6를 참조하면, 반도체 기판(100)에 트렌치(180)을 형성하여 활성영역(110)을 한정한다. 소자 분리막(160)은 상기 트렌치(180)를 채울 수 있다. 상기 소자 분리막(160)의 상부면은 상기 활성영역(110)의 상부면보다 높을 수 있다. 상기 활성영역(110) 상에 터널절연 패턴(120)이 형성될 수 있다. 상기 터널 절연 패턴(120)은 복층 구조를 가질 수 있다.
- <61> 상기 터널 절연 패턴(120)은 차례로 적층된 하부 터널 절연 패턴(122), 중간 터널 절연 패턴(124), 및 상부 터널 절연패턴(126)을 포함할 수 있다. 상기 중간 터널 절연 패턴(124)은 상기 하부 절연 패턴(122) 및 상기 상부 터널 절연 패턴(126)의 측면보다 돌출될 수 있다. 상기 하부 절연 패턴(122) 및 상기 상부 터널 절연 패턴(126)의 측면은 서로 정렬될 수 있다. 상기 하부 터널 절연 패턴(122)의 측면은 상기 활성 영역(110)의 상부 측면과 정렬될 수 있다.
- <62> 상기 터널 절연 패턴(120) 상에 전하 저장 패턴(130)이 형성될 수 있다. 상기 전하 저장 패턴(130)은 상기 상부 터널 절연 패턴(126)과 정렬될 수 있다. 상기 전하 저장 패턴(130)의 측면은 상기 중간 터널 절연 패턴(124)의 측면보다 함몰될 수 있다. 상기 전하 저장 패턴(130)은 도핑된 폴리실리콘일 수 있다. 상기 소자 분리막(160)의 상부면은 상기 전하 저장 패턴(130)의 상부면보다 낮을 수 있다. 상기 전하 저장 패턴(130) 상에 블로킹 절연 패턴(140) 및 제어 게이트 전극(150)이 콘퍼멀하게 배치될 수 있다.
- <63> 도 7 본 발명의 또 다른 실시예에 따른 반도체 소자를 설명하기 위한 단면도이다.
- <64> 도 7를 참조하면, 반도체 기판(100)에 트렌치(180)을 형성하여 활성영역(110)을 한정한다. 소자 분리막(160)은 상기 트렌치(180)를 채울 수 있다. 상기 소자 분리막(160)의 상부면은 상기 활성영역(110)의 상부면보다 높을 수 있다. 상기 활성영역(110) 상에 터널절연 패턴(120)이 형성될 수 있다. 상기 터널 절연 패턴(120)은 복층 구조를 가질 수 있다.
- <65> 상기 터널 절연 패턴(120)은 차례로 적층된 하부 터널 절연 패턴(122), 중간 터널 절연 패턴(124), 및 상부 터널 절연패턴(126)을 포함할 수 있다. 상기 중간 터널 절연 패턴(124)의 측면은 상기 하부 절연 패턴(122) 및 상부 터널 절연 패턴(126)의 측면보다 돌출될 수 있다. 상기 하부 터널 절연 패턴(126)의 측면은 상기 활성 영역(110)의 상부 측면보다 함몰될 수 있다. 상기 중간 터널 절연 패턴(124)의 측면은 상기 활성 영역(110)의 상부 측면과 정렬될 수 있다.
- <66> 상기 터널 절연 패턴(120) 상에 전하 저장 패턴(130)이 형성될 수 있다. 상기 전하 저장 패턴(130)의 측면은 상기 상부 터널 절연 패턴(126)의 측면보다 돌출될 수 있다. 상기 전하 저장 패턴(130)의 측면은 상기 중간 터널 절연 패턴(124)의 측면과 정렬될 수 있다. 상기 전하 저장 패턴(130)의 측면은 상기 활성 영역(110)의 상부 측면과 정렬될 수 있다. 상기 소자 분리막(160)의 상부면은 상기 전하 저장 패턴(130)의 상부면보다 낮을 수 있다. 상기 전하 저장 패턴(130)은 도핑된 폴리실리콘일 수 있다. 상기 전하 저장 패턴(130) 상에 블로킹 절연 패턴(140) 및 제어 게이트 전극(150)이 차례로 콘퍼멀하게 배치될 수 있다.
- <67> 도 8는 본 발명에 따른 또 다른 실시예에 따른 반도체 소자를 설명하기 위한 단면도이다.
- <68> 도 6 및 8를 참조하면, 상기 반도체 소자는 도 6에서 설명한 반도체 소자와 유사한 구조를 가진다. 상기 반도체 소자의 블로킹 절연 패턴(140)은 전하 저장 패턴(140) 상에 베팅 콘택(190)을 포함할 수 있다. 상기 제어 게이트 전극(150)은 상기 베팅 콘택(190)을 채울 수 있다. 상기 반도체 소자는 기억 소자로 동작하지 않고, 통상의 트랜지스터로 동작할 수 있다.
- <69> 도 9는 본 발명에 따른 또 다른 실시예에 따른 반도체 소자를 설명하기 위한 단면도이다.
- <70> 도 7 및 도 9를 참조하면, 상기 반도체 소자는 도 7에서 설명한 반도체 소자와 유사한 구조를 가진다. 상기 반도체 소자의 블로킹 절연 패턴(140)은 전하 저장 패턴(130) 상에 베팅 콘택(190)을 포함할 수 있다. 제어 게이트 전극(150)은 상기 베팅 콘택(190)을 채울 수 있다. 상기 반도체 소자는 기억 소자로 동작하지 않고, 통상의 트랜지스터로 동작할 수 있다.
- <71> 도 10a 내지 10c는 본 발명의 실시예들에 따른 반도체 소자의 주변 영역을 설명하기 위한 도면들이다. 도 10a는 본 발명의 실시예들에 따른 반도체 소자의 평면도이다. 도 10b는 도 10a의 III-III'방향으로 절단한 단면도이다. 도 10c는 도 10a의 IV-IV'방향으로 절단한 단면도이다.
- <72> 도 10a 내지 도 10c를 참조하면, 상기 반도체 소자는 반도체 기판(200) 상에 배치된 활성 영역(210), 상기 활

성 영역(210) 상에 배치되고 상기 활성 영역(210)을 가로지르는 게이트 전극(250), 및 상기 활성영역(210)과 상기 게이트 전극(250) 사이에 배치된 게이트 절연 패턴(220)을 포함한다. 상기 게이트 절연 패턴(220)은 상기 활성영역(210)과 상기 게이트 전극(250)의 중첩된 영역에서 복층 구조를 포함한다. 상기 게이트 절연 패턴(220)의 하나의 패턴은 상기 게이트 전극(250)이 연장되는 방향에서 상기 게이트 절연 패턴(220)의 다른 패턴보다 돌출 또는 힘줄될 수 있다. 상기 활성 영역(210)과 상기 게이트 전극(250)은 축전기를 형성할 수 있고, 상기 축전기는 단위 면적당 정전용량이 다른 적어도 두 개의 축전기가 병렬 연결된 구조를 가질 수 있다.

<73> 반도체 기판(200)에 트렌치(280)을 형성하여 활성영역(210)을 한정한다. 소자 분리막(260)은 상기 트렌치(280)를 채울 수 있다. 상기 소자 분리막(260)은, 예를 들면, 실리콘 산화막일 수 있다. 상기 소자 분리막(260)의 상부면은 평탄화될 수 있다. 상기 소자 분리막(260)의 상부면은 상기 활성영역(210)의 상부면보다 높을 수 있다. 상기 활성영역(210) 상에 게이트 절연 패턴(220)이 형성될 수 있다. 상기 게이트 절연 패턴(220)은 복층 구조를 가질 수 있다. 상기 게이트 절연 패턴(220) 상에 게이트 전극(250)이 형성될 수 있다. 상기 게이트 전극(250)은 하부 게이트 전극(252) 및 상부 게이트 전극(254)을 포함할 수 있다. 하드 마스크 패턴(256)은 상기 상부 게이트 전극(254) 상에 배치될 수 있다. 스페이서(258)는 상기 게이트 전극(250)의 측면에 배치될 수 있다.

<74> 상기 게이트 절연 패턴(220)은 셀 영역의 터널 절연 패턴(120)과 동일한 구조를 가질 수 있다. 상기 게이트 전극(250)은 셀 영역의 블로킹 절연 패턴(140)이 제거되고, 셀 영역의 제어 게이트 전극(150)과 전하 저장패턴(130)이 접촉된 구조를 가질 수 있다. 하부 게이트 전극(252)는 셀 영역의 전하 저장 패턴(130)과 동일한 구조를 가질 수 있다.

<75> 상기 하부 게이트 전극(252)은 도전체일 수 있다. 상기 하부 게이트 전극(252)은 복층 구조를 포함할 수 있다. 상기 하부 게이트 전극(252)은 도핑된 폴리실리콘, 금속, 금속 실리사이드, 도핑된 게르마늄, 도핑된 실리콘 게르마늄, 금속 화합물 중에서 적어도 하나를 포함할 수 있다. 상기 하부 게이트 전극(252)의 측면은 상기 중간 게이트 절연 패턴(224)의 측면과 정렬될 수 있다. 상기 하부 게이트 전극(252)의 측면은 상기 상부 게이트 절연 패턴(226)의 측면보다 돌출될 수 있다. 상기 하부 게이트 전극(252)의 측면은 상기 활성영역(210)의 상부 측면과 정렬될 수 있다.

<76> 상기 상부 게이트 전극(254)은 상기 활성영역(210)을 가로지르면서 연장될 수 있다. 상기 상부 게이트 전극(254)이 연장되는 방향과 수직한 방향에서 또는 상기 활성 영역(210)이 연장되는 방향에서 상기 하부 게이트 전극(252)의 측면은 상기 상부 게이트 전극의 측면과 정렬될 수 있다. 상기 상부 게이트 전극(254)은 도전체일 수 있다. 상기 상부 게이트 전극(254)은 금속, 및 금속 화합물 중에서 적어도 하나를 포함할 수 있다. 구체적으로, 상기 상부 게이트 전극은 텅스텐을 포함할 수 있다. 상기 하부 게이트 전극(252)과 상기 상부 게이트 전극(254) 사이에 도전성의 확산 방지용 베리어 층(미도시)을 포함할 수 있다.

<77> 도 11a 내지 11c은 본 발명에 따른 일 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다.

<78> 도 11a를 참조하면, 반도체 기판(100) 상에 차례로 터널 절연막(미도시), 전하 저장막(미도시), 및 하드 마스크 막(미도시)을 적층한다. 상기 터널 절연막은 하부 터널 절연막, 중간 터널 절연막, 상부 터널 절연막을 포함할 수 있다. 상기 하드 마스크막, 전하 저장막, 터널 절연막, 및 반도체 기판(200)을 연속적으로 패터닝하여 하드 마스크 패턴(132), 전하 저장 패턴(130), 및 터널 절연패턴(120), 및 활성 영역(110)을 한정하는 트렌치(180)을 형성할 수 있다. 상기 반도체 기판(100)의 상기 패터닝에 의하여 제거된 부분은 트랜치(180)를 형성한다. 상기 패터닝은 포토 리소그라피 및 건식 식각 공정을 이용하여 수행될 수 있다.

<79> 상기 하부 터널 절연막은 열산화막으로 5 내지 100 Å 두께일 수 있다. 예를 들어, 상기 하부 터널 절연막은 ISSG(In-Situ Steam Generation)을 이용하여 형성할 수 있다. 챔버 내에 수소 및 산소를 주입하여 850 내지 900°C의 온도에서 5 내지 100 Torr 압력하에서 산화막을 형성할 수 있다. 상기 하부 터널 절연막은 실리콘 산화막에 한정되는 아니며, 실리콘 산화질화막 및 금속 산화막 중에서 적어도 하나를 포함할 수 있다.

<80> 상기 중간 터널 절연막은 화학기상 증착법(chemical vapor deposition:CVD) 또는 원자층 증착법(atomic layer deposition: ALD)을 이용하여 형성할 수 있다. 상기 중간 터널 절연막은 실리콘 질화막, 실리콘 산화질화막, 및 고유전체 물질 중에서 적어도 하나를 포함할 수 있다. 상기 고유전체 물질은 알루미늄 산화막(Al2O3), 하프늄산화막(HfO₂), 하프늄알루미늄산화막(HfAlO), 하프늄실리콘산화막(HfSiO), 지르코늄산화막(ZrO₂) 또는 탄탈륨 산화막(Ta₂O₅) 중에서 적어도 하나를 포함할 수 있다. 상기 중간 터널 절연막의 밴드갭은 상기 하부 터널 절연막의 밴드갭보다 작을 수 있다. 상기 중간 터널 절연막의 유전율은 상기 하부 터널 절연막의 유전율보다 클 수 있

다. 상기 하부 터널 절연막의 두께는 각각 상기 중간 터널 절연막의 두께보다 얇을 수 있다.

<81> 상기 상부 터널 절연막은 화학기상 증착법(chemical vapor deposition:CVD) 또는 원자층 증착법(atomic layer deposition: ALD)을 이용하여 형성할 수 있다. 상기 상부 터널 절연막은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 및 금속 산화막 중에서 적어도 하나를 포함할 수 있다. 상기 상부 터널 절연막의 밴드갭은 상기 중간 터널 절연막의 밴드갭보다 클 수 있다. 상기 상부 터널 절연막의 유전율은 상기 중간 터널 절연막의 유전율보다 작을 수 있다. 상기 상부 터널 절연막의 두께는 상기 중간 터널 절연막의 두께보다 얇을 수 있다.

<82> 상기 전하 저장막은 전하를 저장할 수 있는 트랩들을 갖는 물질로 형성될 수 있다. 상기 전하 저장막은 유전체를 포함할 수 있다. 상기 전하 저장막은 실리콘 질화막, 금속 퀀텀 듯, 실리콘 퀀텀 듯, 금속, 도핑된 실리콘, 도핑된 게르마늄 중에서 적어도 하나를 포함할 수 있다. 상기 금속은 순수한 금속 및 금속혼합물 중에서 적어도 하나를 포함할 수 있다. 상기 전하 저장막은 나노 결정 실리콘(nano crystalline silicon), 나노 결정 실리콘게르마늄(nano crystalline silicon germanium), 나노 결정 금속(nano crystalline metal), 게르마늄 퀀텀 듯(Ge quantum dot), 금속 퀀텀 듯(metal quantum dot), 실리콘 퀀텀 듯(silicon quantum dot)을 구비하는 그룹에서 선택된 하나 또는 이들의 적층 구조를 포함할 수 있다. 상기 전하 저장막은 금속 도핑을 통하여 금속 트랩 사이트를 가질 수 있다. 또는 상기 전하 저장막은 전하 저장막 형성 후 습식 산화 공정을 통하여 상기 전하 저장막의 에너지 밴드 내에 깊은 트랩 위치(deep trap site)를 형성할 수 있다. 상기 전하 저장막은 단층 구조에 한하지 않고 복층 구조를 가질 수 있다.

<83> 상기 하드 마스크막은 상기 전하 저장막과 식각 선택비를 가지는 물질일 수 있다. 상기 하드 마스크막은 실리콘 질화막, 실리콘 산화질화막 중에서 하나일 수 있다.

<84> 도 11b를 참조하면, 상기 터널 절연 패턴(120)의 적어도 하나의 패턴을 선택적으로 식각하거나 또는 선택적으로 산화시킬 수 있다. 예를 들어, 상기 하부 터널 절연 패턴(122), 상기 중간 터널 절연 패턴(124), 및 상기 상부 절연 패턴(126)이 각각 실리콘 산화막, 고유전체 물질, 및 실리콘 산화막인 경우, 상기 중간 터널 절연 패턴(124)의 측면은 선택적 등방성 식각에 의하여 리세스될 수 있다. 상기 중간 터널 절연 패턴의 측면은 상기 상부 및 하부 터널 절연 패턴의 측면보다 험물될 수 있다.

<85> 도 11c를 참조하면, 상기 소자 분리막(160)은 상기 트렌치(180)를 채울 수 있다. 상기 소자 분리막(180)은 상기 하드 마스크 패턴(132)의 상부면을 덮을 수 있다. 이어서, 상기 반도체 기판(100)은 평탄화될 수 있다. 상기 평탄화는 화학기계적 연마 공정 또는 에치백 공정에 의하여 수행될 수 있다. 구체적으로, 상기 화학 기계적 연마 공정은 상기 하드 마스크 패턴(132)이 노출될 때까지 수행될 수 있다. 이어서, 상기 하드 마스크 패턴(132)은 선택적 식각 공정을 이용하여 제거될 수 있다.

<86> 다시 도 2a를 참조하면, 상기 소자 분리막(160)은 추가적으로 리세스되어, 상기 소자 분리막(160)의 상부면은 상기 전하 저장 패턴(130)의 상부면과 같은 높이일 수 있다. 블로킹 절연막(미도시) 및 제어 게이트 전극막(미도시)이 상기 전하 저장 패턴(130) 상에 차례로 콘포멀하게 적층될 수 있다. 상기 제어 게이트 전극막 및 상기 블로킹 절연막을 연속적으로 패터닝하여, 제어 게이트 전극(150) 및 블로킹 절연 패턴(140)이 형성될 수 있다.

<87> 본 발명의 변형된 실시예에 따르면, 상기 제어 게이트 전극막을 패터닝하여 상기 제어 게이트 전극(150)을 형성하고, 상기 블로킹 절연막은 패터닝하지 않을 수 있다.

<88> 도 12a 내지 12c는 본 발명에 따른 다른 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다.

<89> 도 12a 내지 12c를 참조하면, 반도체 기판(100) 상에 차례로 터널 절연막, 전하 저장막, 및 하드 마스크막을 적층한다. 상기 터널 절연막은 하부 터널 절연막, 중간 터널 절연막, 상부 터널 절연막을 포함할 수 있다. 상기 하드 마스크막, 전하 저장막, 터널 절연막, 상기 반도체 기판을 연속적으로 패터닝하여, 하드 마스크 패턴(132), 상기 전하 저장 패턴(130), 및 상기 터널 절연패턴(120), 및 활성 영역(110)을 한정하는 트렌치(180)를 형성할 수 있다. 상기 패터닝에 의하여 상기 반도체 기판(100)의 제거된 부분은 트렌치(180)를 형성한다.

<90> 상기 반도체 기판(200)의 상기 트렌치(180)의 측면 및 하부면을 선택적으로 산화시키어 선택 산화 영역(112)을 형성할 수 있다. 이에 따라, 상기 터널 절연패턴(120)은 상기 활성영역(110)의 상부 측면보다 돌출될 수 있다. 소자 분리막(160)은 상기 트렌치(180)을 채우고 상기 하드 마스크 패턴(132)을 덮도록 형성한다. 이어서, 상기 소자 분리막(160)의 상부면은 상기 하드 마스크 패턴(132)이 노출될 때까지 평탄화될 수 있다. 이어서, 상기 하드 마스크 패턴(132)은 선택적 식각 공정에 의하여 제거될 수 있다.

- <91> 다시 도 3를 참조하면, 상기 전하 저장 패턴(130) 상에 블로킹 절연막 및 제어 게이트 전극막을 콘퍼밀하게 형성하고 연속적으로 패터닝하여, 제어 게이트 전극(140) 및 블로킹 절연 패턴(150)을 형성할 수 있다.
- <92> 도 13a 내지 13c는 본 발명의 또 다른 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다.
- <93> 도 13a 내지 13c를 참조하면, 반도체 기판(100) 상에 차례로 터널 절연막, 전하 저장막, 및 하드 마스크막을 적층한다. 상기 터널 절연막은 하부 터널 절연막, 중간 터널 절연막, 상부 터널 절연막을 포함할 수 있다. 상기 하드 마스크막, 전하 저장막, 터널 절연막, 상기 반도체 기판을 연속적으로 패터닝하여, 하드 마스크 패턴(132), 상기 전하 저장 패턴(130), 및 상기 터널 절연패턴(120), 및 활성 영역(110)을 한정하는 트렌치(180)를 형성할 수 있다. 상기 패터닝에 의하여 상기 반도체 기판(100)의 제거된 부분은 트렌치(180)를 형성한다.
- <94> 상기 트렌치(180)의 측면 및 하부면을 선택적으로 산화시키어 선택 산화 영역(112)을 형성할 수 있다. 상기 선택 산화 영역(112)은 선택적 등방성 식각에 의하여 제거될 수 있다. 상기 터널 절연패턴(120)은 하부 터널 절연 패턴(122), 중간 터널 절연패턴(124), 및 상부 터널 절연 패턴(126)을 포함할 수 있다. 상기 하부 터널 절연 패턴(122) 및/또는 상기 상부 터널 절연 패턴(126)의 측면은 선택적 등방성 식각에 의하여 제거될 수 있다. 상기 선택적 산화 영역(112), 상기 하부 터널 절연 패턴(122) 및 상부 터널 절연 패턴(124)이 모두 실리콘 산화막인 경우, 상기 선택적 산화 영역(112), 상기 하부 터널 절연 패턴(122) 및 상부 터널 절연 패턴(126)의 측면의 일부는 동시에 선택적 등방성 식각에 의하여 제거될 수 있다. 이에 따라, 상기 중간 터널 절연 패턴(124)의 측면은 상기 하부 터널 절연 패턴(122) 및 상부 터널 절연 패턴(126)의 측면보다 돌출될 수 있다. 상기 하부 터널 절연 패턴(122)의 측면은 상기 활성 영역(110)의 측면과 정렬될 수 있다.
- <95> 소자 분리막(160)은 상기 트렌치(180)을 채우고 상기 하드 마스크 패턴(132)을 덮도록 형성할 수 있다. 이어서, 상기 소자 분리막의 상부면은 상기 하드 마스크 패턴(132)이 노출될 때까지 평탄화될 수 있다. 이어서, 상기 하드 마스크 패턴(132)은 선택적으로 제거될 수 있다.
- <96> 다시 도 4를 참조하면, 상기 전하 저장 패턴(130) 상에 블로킹 절연막(미도시) 및 제어 게이트 전극막(미도시)을 차례로 콘퍼밀하게 형성한다. 이어서, 상기 제어 게이트 전극막 및 상기 블로킹 절연막을 연속적으로 패터닝하여, 제어 게이트 전극(150) 및 블로킹 절연 패턴(140)을 형성할 수 있다.
- <97> 다시 도 14a 내지 14c, 및 도 5 를 참조하여, 본 발명의 변형된 실시예에 따른 반도체 소자의 형성 방법을 설명한다. 상기 선택 산화 영역(112)은 선택적 등방성 식각에 의하여 제거될 수 있다. 상기 하부 터널 절연 패턴(122)의 측면 및/또는 상기 상부 터널 절연 패턴(126)의 측면은 선택적 등방성 식각에 의하여 제거될 수 있다. 상기 선택적 등방성 식각에 의하여, 상기 하부 터널 절연 패턴(122) 및/또는 상기 상부 터널 절연 패턴(126)의 측면은 상기 활성 영역(110)의 상부 측면보다 함몰될 수 있다.
- <98> 도 14a 내지 14e은 본 발명에 따른 또 다른 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다.
- <99> 도 14a 내지 14e를 참조하면, 반도체 기판(100) 상에 차례로 터널 절연막(미도시), 전하 저장막(미도시)을 적층한다. 상기 터널 절연막은 하부 터널 절연막, 중간 터널 절연막, 상부 터널 절연막을 포함할 수 있다. 상기 전하 저장막은 폴리실리콘일 수 있다. 상기 전하 저장막, 터널 절연막, 상기 반도체 기판을 연속적으로 패터닝하여, 전하 저장 패턴(130), 및 터널 절연패턴(120), 및 활성 영역(110)을 형성할 수 있다. 상기 패터닝에 의하여 상기 반도체 기판(100)의 제거된 부분은 트렌치(180)를 형성한다.
- <100> 상기 트렌치(180)의 측면 및 하부면, 및 상기 전하 저장 패턴(130)의 측면 및 상부면을 선택적으로 산화시키어 각각 선택 산화 영역(112) 및 전하 저장 산화 영역(131)을 형성할 수 있다. 상기 선택 산화 영역(112) 및 전하 저장 산화 영역(131)은 선택적 등방성 식각에 의하여 제거될 수 있다. 또한, 상기 하부 터널 절연 패턴(122) 및 상기 상부 터널 절연 패턴(126)의 측면은 선택적 등방성 식각에 의하여 제거될 수 있다. 상기 중간 터널 절연 패턴(124)의 측면은 상기 하부 터널 절연 패턴(122) 및 상기 활성영역(110)의 상부 측면보다 돌출될 수 있다. 소자 분리막(160)은 상기 트렌치(180)을 채우고 상기 전하 저장 패턴(130)을 덮도록 형성할 수 있다. 이어서, 상기 소자 분리막(160)의 상부면은 상기 전하 저장 패턴(130)이 노출될 때까지 평탄화될 수 있다.
- <101> 다시 도 6를 참조하면, 상기 소자분리막(160)은 선택적으로 리세스될 수 있다. 상기 전하 저장 패턴(130) 상에 블로킹 절연막 및 제어 게이트 전극막을 형성하고, 연속적으로 패터닝하여, 제어 게이트 전극(150) 및 블로킹 절연 패턴(140)을 형성할 수 있다.
- <102> 본 발명의 변형된 실시예에 따르면, 상기 선택 산화 영역(112) 및 전하 저장 산화 영역(131)은 선택적 등방성

식각에 의하여 제거되지 않을 수 있다. 상기 터널 절연 패턴(120)의 측면은 상기 활성 영역(110)의 상부 측면 및 상기 전하 저장 패턴(130)의 측면보다 돌출될 수 있다. 이어서, 상기 트렌치(180) 및 상기 전하 저장 산화 영역(131)을 덮도록 소자분리막(160)이 형성될 수 있다. 이어서, 상기 소자 분리막(160)은 상기 전하 저장 패턴(130)이 노출되도록 평탄화될 수 있다. 이어서, 상기 전하 저장 패턴(130) 상에 블로킹 절연막 및 제어 게이트 전극막을 형성하고 연속적으로 패터닝하여, 제어 게이트 전극(150) 및 블로킹 절연 패턴(140)을 형성할 수 있다.

<103> 도 15a 내지 15d은 본 발명의 또 다른 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다.

<104> 도 15a 내지 15d를 참조하면, 반도체 기판(100) 상에 차례로 터널 절연막(미도시) 및 전하 저장막(미도시)을 적층한다. 상기 터널 절연막은 하부 터널 절연막, 중간 터널 절연막, 상부 터널 절연막을 포함할 수 있다. 상기 전하 저장막은 폴리실리콘일 수 있다. 상기 전하 저장막, 터널 절연막, 상기 반도체 기판(100)을 연속적으로 패터닝하여, 전하 저장 패턴(130), 터널 절연패턴(120), 및 활성 영역(110)을 한정하는 트렌치(180)을 형성할 수 있다. 상기 터널 절연 패턴(120)은 하부 터널 절연패턴(122), 중간 터널 절연 패턴(124), 및 상부 터널 절연 패턴(126)을 포함할 수 있다.

<105> 상기 하부 터널 절연 패턴(122) 및 상부 터널 절연 패턴(126)의 측면은 선택적 등방성 식각에 의하여 제거될 수 있다. 상기 중간 터널 절연 패턴(124)은 상기 하부 터널 절연 패턴(122) 및 상기 상부 터널 절연 패턴(126)보다 돌출될 수 있다. 상기 하부 터널 절연 패턴(122)은 상기 활성 영역(110)의 상부 측면보다 함몰될 수 있다.

<106> 다시 도 7를 참조하면, 소자 분리막(160)은 상기 트렌치(180)을 채우고 상기 전하 저장 패턴(130)을 덮도록 형성할 수 있다. 이어서, 상기 소자 분리막(160)의 상부면은 상기 전하 저장 패턴(130)이 노출되도록 평탄화될 수 있다. 이어서, 상기 소자분리막(160)은 선택적으로 리세스될 수 있다.

<107> 상기 전하 저장 패턴(130) 상에 블로킹 절연막 및 제어 게이트 전극막을 형성하고 연속적으로 패터닝하여, 제어 게이트 전극(150) 및 블로킹 절연 패턴(140)을 형성할 수 있다.

<108> 도 16a 내지 16b은 본 발명의 또 다른 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다.

<109> 도 16a 및 도 16b를 참조하면, 도 15a 내지 도 15c에서 설명된 공정을 통하여 형성된 결과물 상에 소자 분리막()을 트렌치(180)를 채우도록 형성한다. 상기 소자 분리막(160)은 전하 저장 패턴(130)을 덮도록 형성할 수 있다. 이어서, 상기 소자 분리막(160)의 상부면은 상기 전하 저장 패턴(130)이 노출되도록 평탄화될 수 있다. 이어서, 상기 소자분리막(160)은 선택적으로 리세스될 수 있다. 상기 상기 전하 저장 패턴(130) 상에 블로킹 절연막(141)을 콘퍼멀하게 형성한다. 상기 블로킹 절연막(141)을 패터닝하여 상기 전하 저장 패턴(130) 상에 버팅 콘택(190)을 형성한다.

<110> 다시 도 8를 참조하면, 상기 버팅 콘택(190)을 채우도록 제어 게이트 전극막을 형성한다. 상기 제어 게이트 전극막 및 상기 블로킹 절연막(141)을 패터닝하여 제어 게이트 전극(150) 및 블로킹 절연 패턴(140)을 형성할 수 있다.

<111> 도 17a 내지 17b은 본 발명의 또 다른 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다.

<112> 도 17a 및 도 17b를 참조하면, 도 15a 내지 도 15d에서 설명된 공정을 통하여 형성된 결과물 상에, 블로킹 절연막(141)을 콘퍼멀하게 형성한다. 상기 블로킹 절연막(141)을 패터닝하여 상기 전하 저장 패턴(130) 상에 버팅 콘택(190)을 형성한다.

<113> 다시 도 9를 참조하면, 상기 버팅 콘택(190)을 채우도록 제어 게이트 전극막을 형성한다. 상기 제어 게이트 전극막 및 상기 블로킹 절연막(141)을 패터닝하여 제어 게이트 전극(150) 및 블로킹 절연 패턴(140)을 형성한다.

<114> 한편, 본 발명의 실시예들에 따르면, 상술한 실시예들에 개시된 반도체 소자반도체 소자를 포함하는 기억장치는 전자 시스템에 포함될 수 있다. 상기 전자 시스템을 도면을 참조하여 구체적으로 설명한다.

<115> 도 18은 본 발명의 실시예들에 따른 반도체 소자를 포함하는 기억장치를 갖는 전자 시스템을 나타내는 블럭도이다.

<116> 도 18을 참조하면, 전자 시스템(1300)은 제어기(1310), 입출력 장치(1320) 및 기억 장치(1330)를 포함할 수 있다. 상기 제어기(1310), 입출력 장치(1320) 및 기억 장치(1330)는 버스(1350, bus)를 통하여 서로 결합 되어 있다. 상기 버스(1350)는 데이터들이 이동하는 통로에 해당한다. 상기 제어기(1310)는 적어도 하나의 마이크로 프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중

에서 적어도 하나를 포함할 수 있다. 상기 입출력 장치(1320)는 키패드, 키보드 및 표시 장치(display device)등에서 선택된 적어도 하나를 포함할 수 있다. 상기 기억 장치(1330)는 데이터를 저장하는 장치이다. 상기 기억 장치(1330)는 데이터 및/또는 상기 제어기(1310)에 의해 실행되는 명령어 등을 저장할 수 있다. 상기 기억 장치(1330)는 상기 기억 장치(1330)는 상술한 실시예들에 개시된 비휘발성 기억 소자들 중에서 선택된 적어도 하나를 포함할 수 있다. 상기 전자 시스템(3100)은 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하기 위한 인터페이스(1340)를 더 포함할 수 있다. 상기 인터페이스(1340)는 유선 또는 무선 형태일 수 있다. 예컨대, 상기 인터페이스(1340)는 안테나 또는 유무선 트랜시버등을 포함할 수 있다.

<117> 상기 전자 시스템(1300)은 모바일 시스템, 개인용 컴퓨터, 산업용 컴퓨터 또는 다양한 기능을 수행하는 시스템 등으로 구현될 수 있다. 예컨대, 상기 모바일 시스템은 개인 휴대용 정보 단말기(PDA; Personal Digital Assistant), 휴대용 컴퓨터, 웹 태블릿(web tablet), 모바일폰(mobile phone), 무선폰(wireless phone), 랩톱(laptop) 컴퓨터, 메모리 카드, 디지털 뮤직 시스템(digital music system) 또는 정보 전송/수신 시스템 등일 수 있다. 상기 전자 시스템(1300)이 무선 통신을 수행할 수 있는 장비인 경우에, 상기 전자 시스템(1300)은 CDMA, GSM, NADC, E-TDMA, WCDAM, CDMA2000 같은 3세대 통신 시스템 같은 통신 인터페이스 프로토콜에서 사용될 수 있다.

<118> 다음으로, 본 발명의 실시예들에 따른 메모리 카드를 도면을 참조하여 구체적으로 설명한다.

<119> 도 19는 본 발명의 실시예들에 따른 반도체 소자를 갖는 메모리 카드를 나타내는 블럭도이다.

<120> 도 19를 참조하면, 메모리 카드(1400)는 비휘발성 기억 장치(1410) 및 메모리 제어기(1420)를 포함한다. 상기 비휘발성 기억 장치(1410)는 데이터를 저장하거나 저장된 데이터를 판독할 수 있다. 상기 비휘발성 기억 장치(1410)는 실시예들에 개시된 반도체 소자들 중에서 적어도 하나를 포함한다. 상기 메모리 제어기(1420)는 호스트(host)의 판독/쓰기 요청에 응답하여 저장된 데이터를 독출하거나, 데이터를 저장하도록 상기 비휘발성 장치(1410)를 제어한다.

도면의 간단한 설명

<121> 도 1a 내지 도 1d는 본 발명의 실시예들에 따른 반도체 소자를 포함하는 낸드 플래시 메모리를 설명하는 도면들이다.

<122> 도 2a 및 도 2b는 각각 본 발명의 실시예들에 따른 반도체 소자의 셀 영역의 단면도 및 에너지 밴드 다이어그램이다.

<123> 도 3는 본 발명의 일 실시예에 따른 반도체 소자를 설명하기 위한 단면도이다.

<124> 도 4는 본 발명의 다른 실시예에 따른 반도체 소자를 설명하기 위한 단면도이다.

<125> 도 5 내지 9는 본 발명의 또 다른 실시예에 따른 반도체 소자를 설명하기 위한 단면도이다.

<126> 도 10a 내지 10c는 본 발명의 실시예들에 따른 반도체 소자의 주변 영역을 설명하기 위한 도면들이다.

<127> 도 11a 내지 11c은 본 발명에 따른 일 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다.

<128> 도 12a 내지 12c는 본 발명에 따른 다른 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다.

<129> 도 13a 내지 13c는 본 발명의 또 다른 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다.

<130> 도 14a 내지 14e은 본 발명에 따른 또 다른 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다.

<131> 도 15a 내지 15d은 본 발명의 또 다른 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다.

<132> 도 16a 내지 16b은 본 발명의 또 다른 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다.

<133> 도 17a 내지 17b은 본 발명의 또 다른 실시예에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다.

<134> 도 18은 본 발명의 실시예들에 따른 반도체 소자를 포함하는 기억장치를 갖는 전자 시스템을 나타내는 블럭도

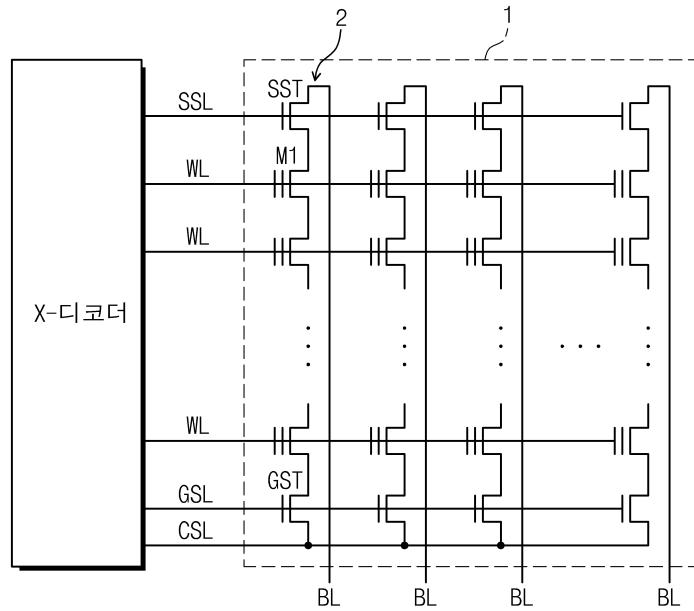
이다.

<135>

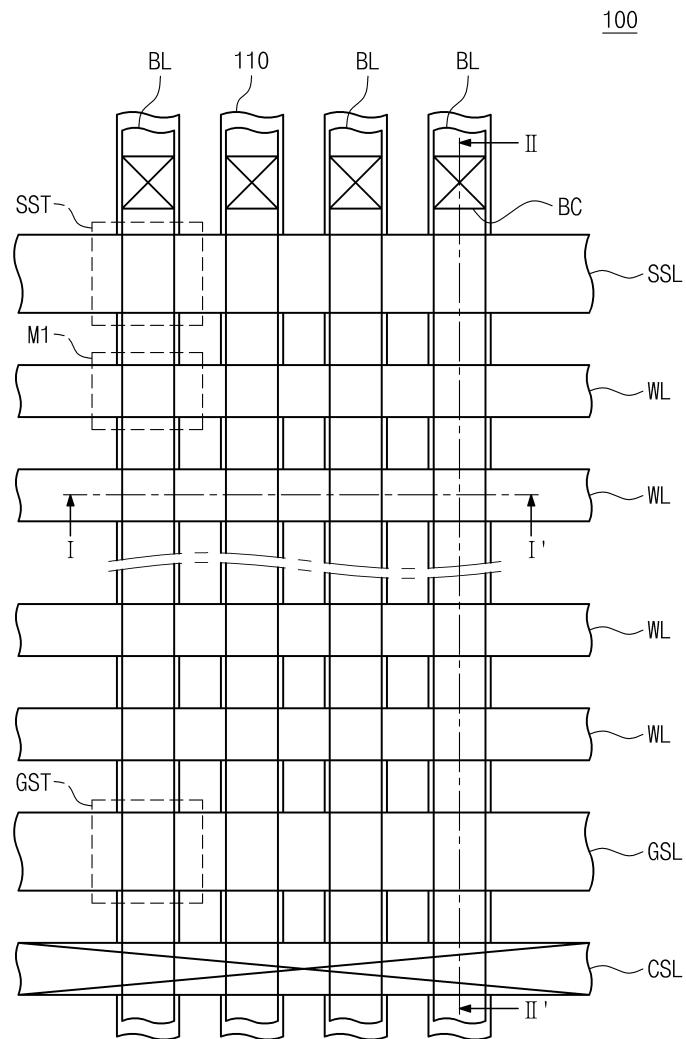
도 19은 본 발명의 실시예들에 따른 반도체 소자를 갖는 메모리 카드를 나타내는 블럭도이다.

도면

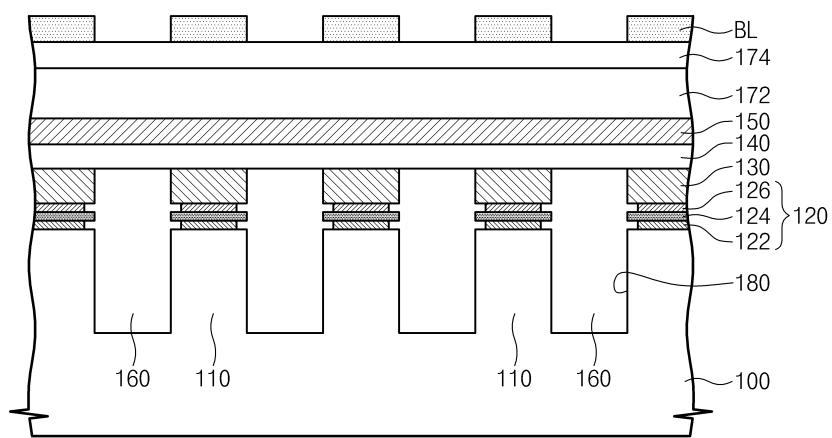
도면1a



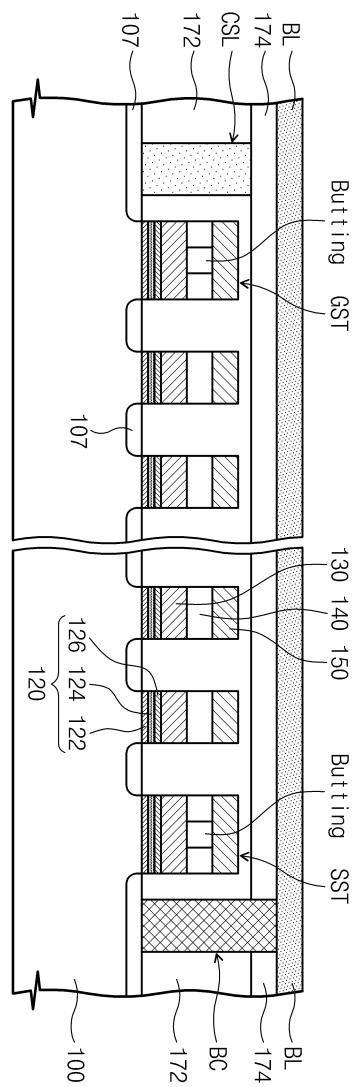
도면1b



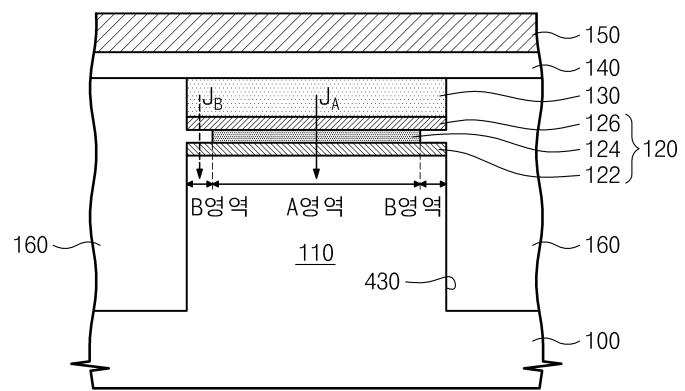
도면1c



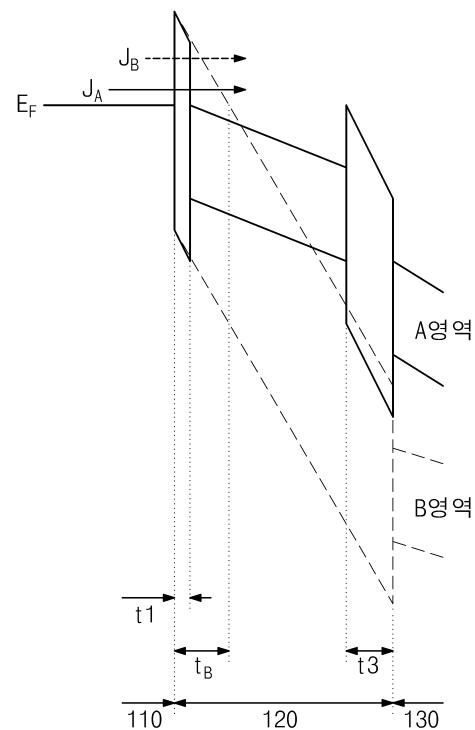
도면 1d



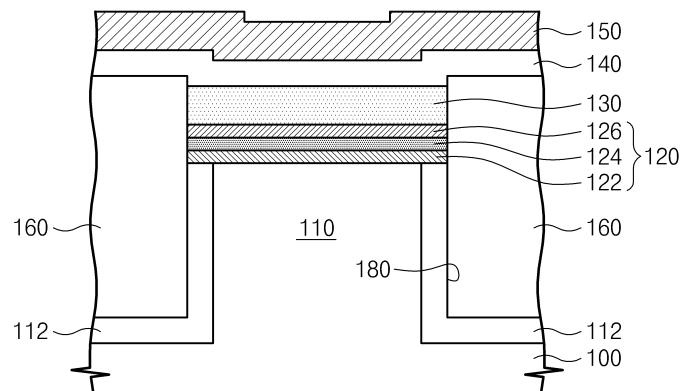
도면2a



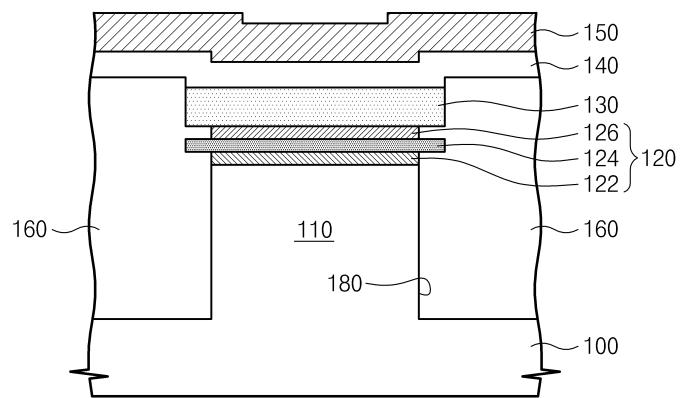
도면2b



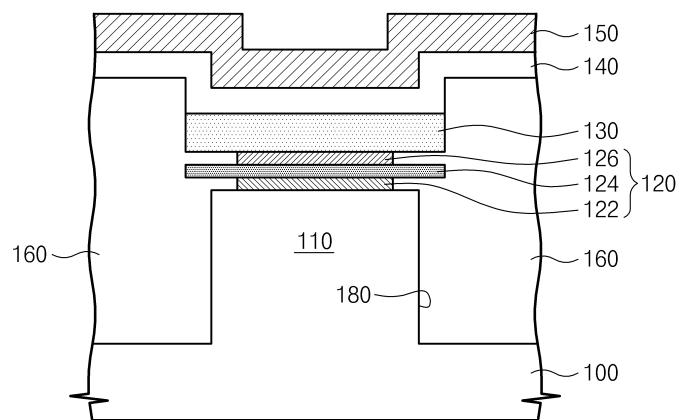
도면3



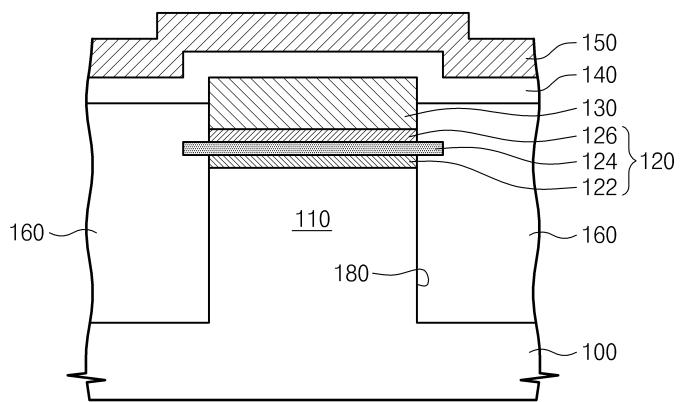
도면4



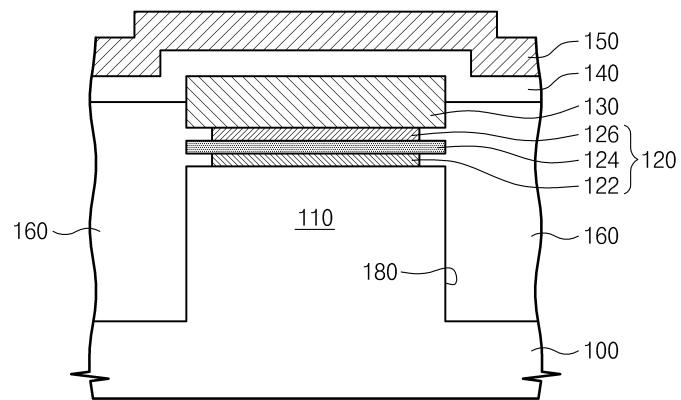
도면5



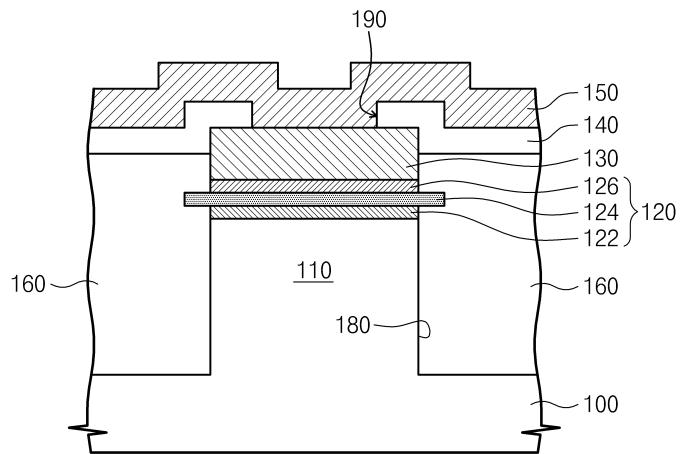
도면6



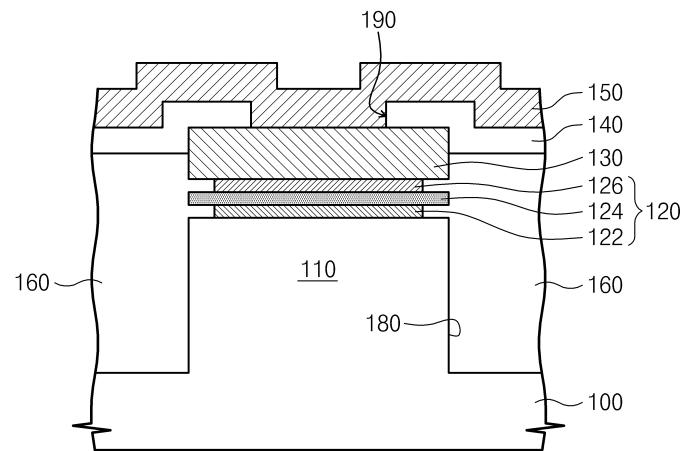
도면7



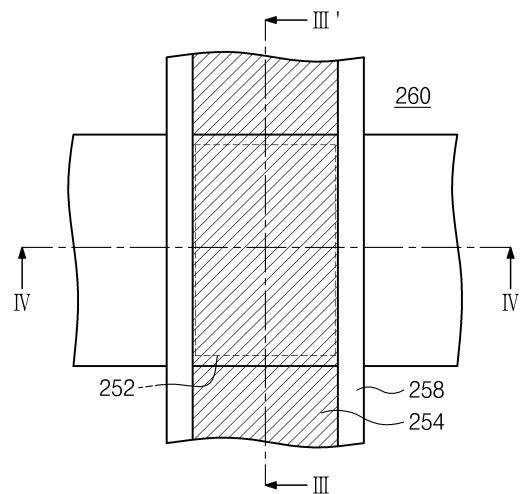
도면8



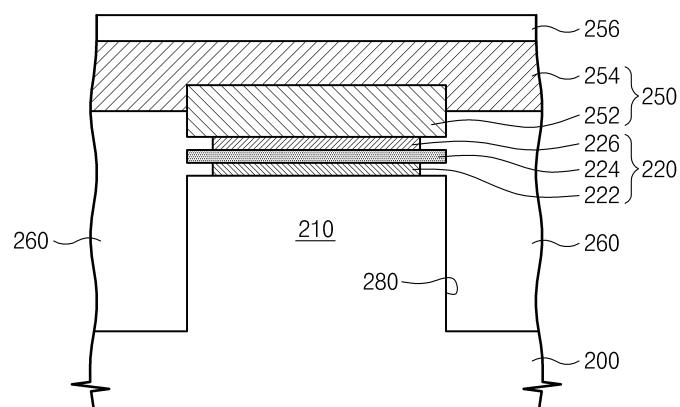
도면9



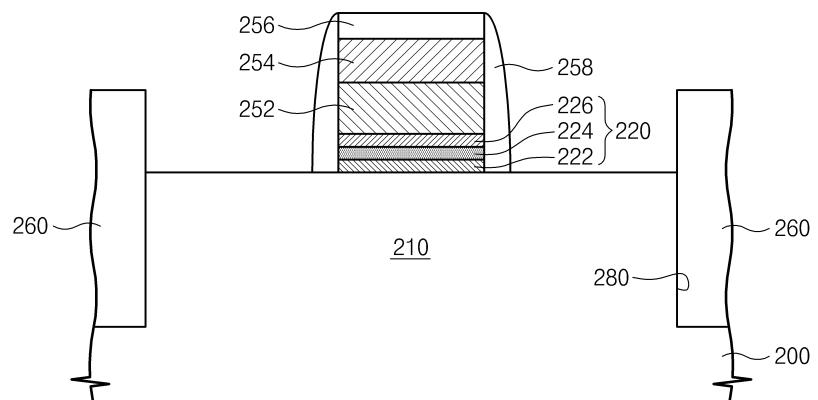
도면10a



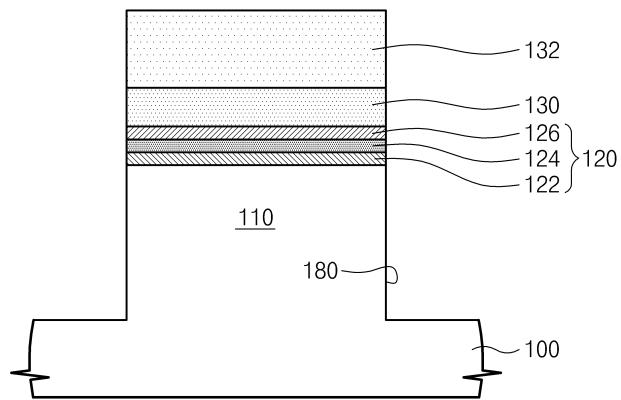
도면10b



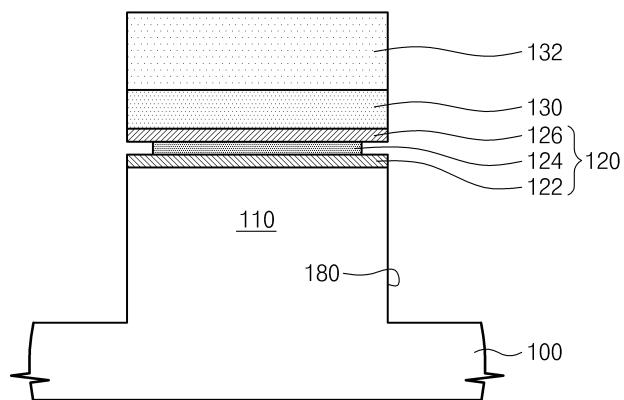
도면10c



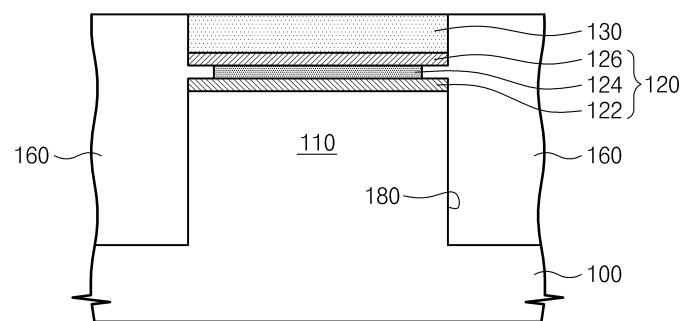
도면11a



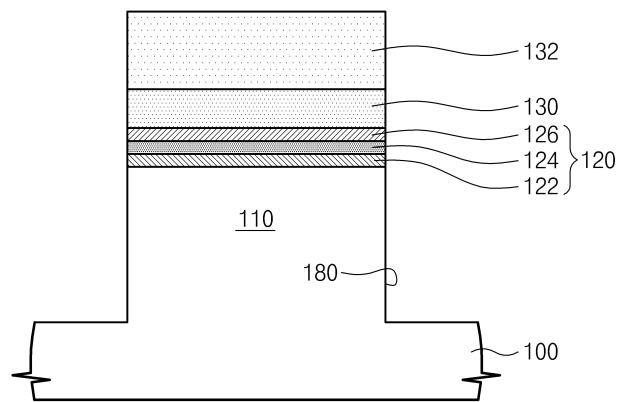
도면11b



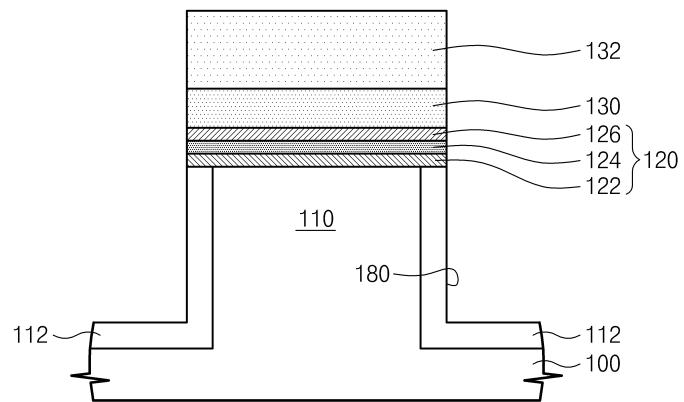
도면11c



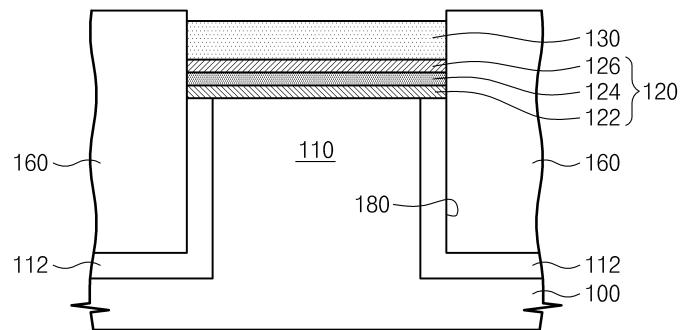
도면12a



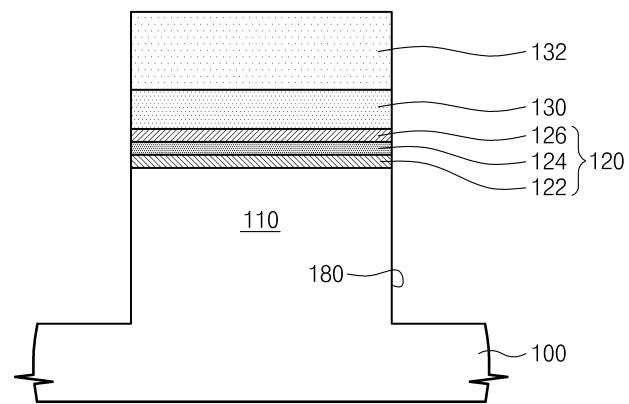
도면12b



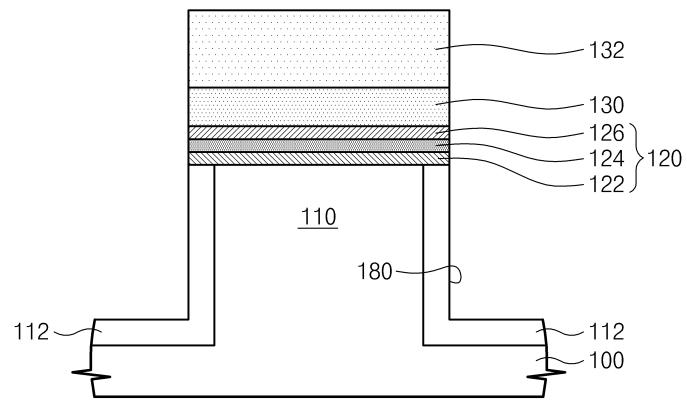
도면12c



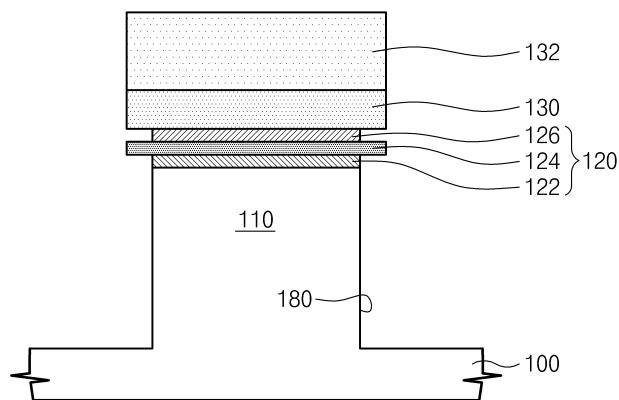
도면13a



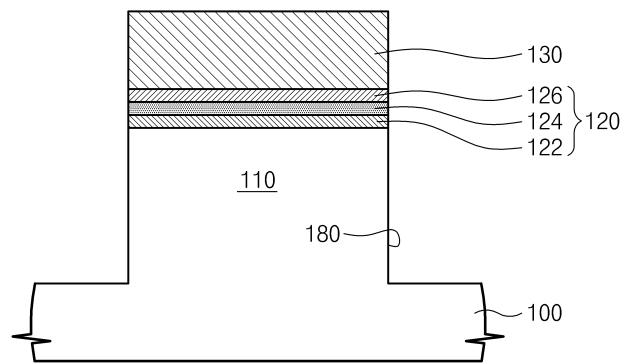
도면13b



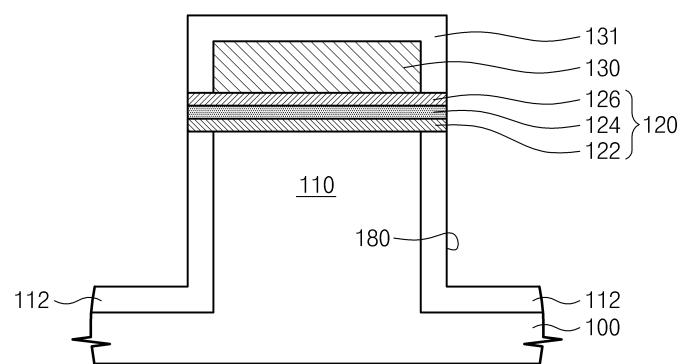
도면13c



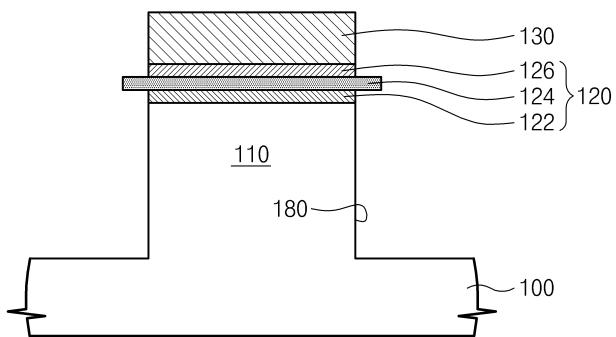
도면14a



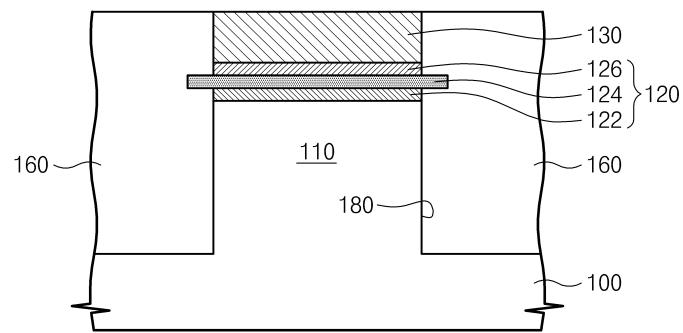
도면14b



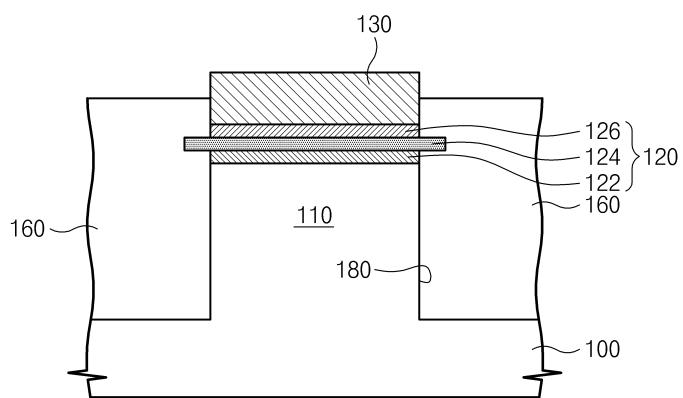
도면14c



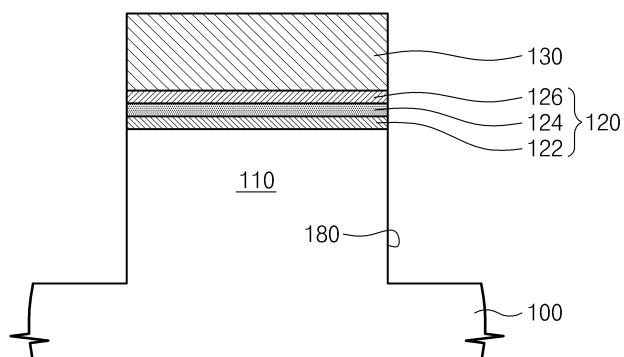
도면14d



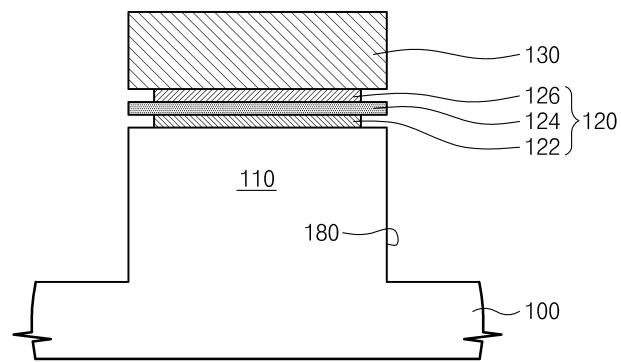
도면14e



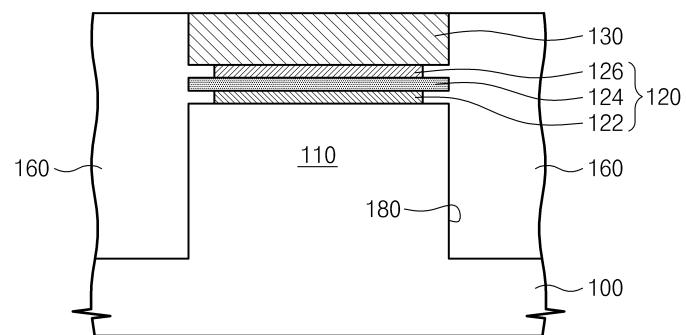
도면15a



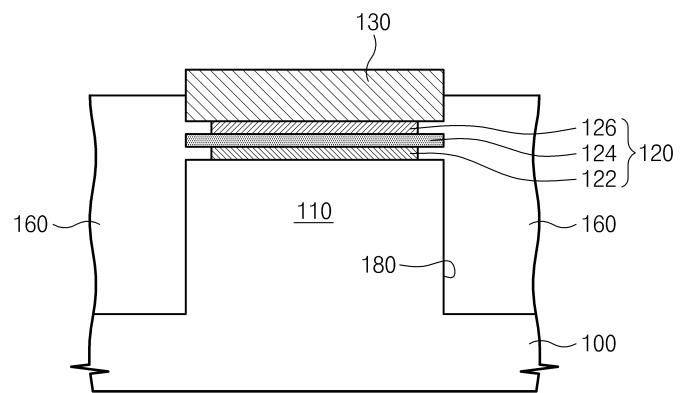
도면15b



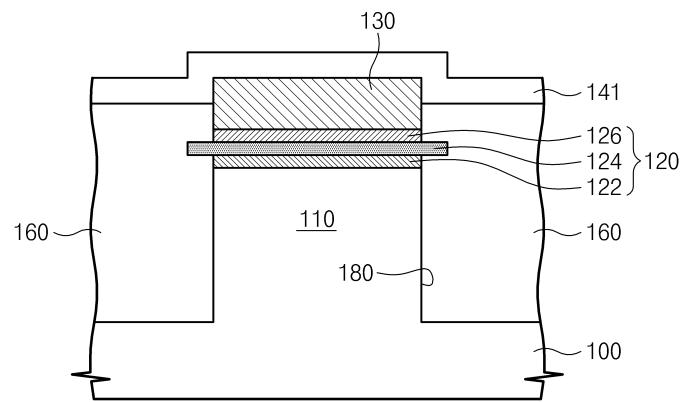
도면15c



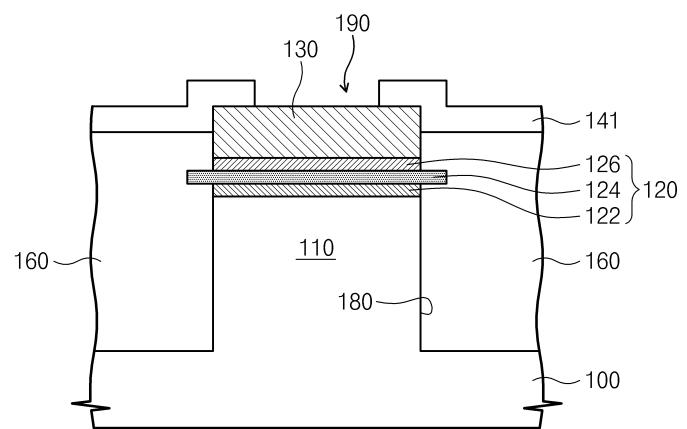
도면15d



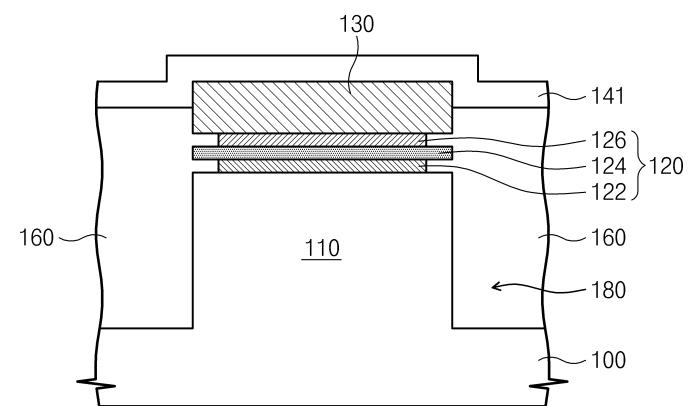
도면16a



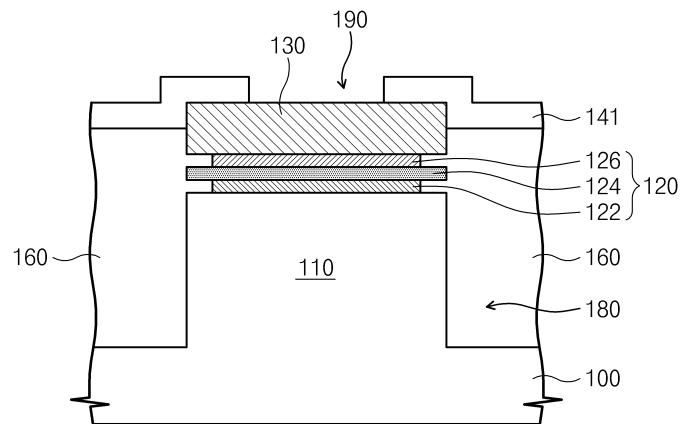
도면16b



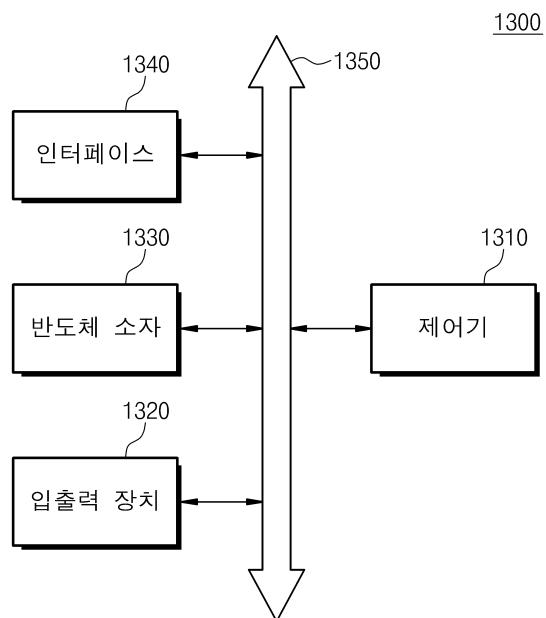
도면17a



도면17b



도면18



도면19

