



(12) 发明专利

(10) 授权公告号 CN 102136837 B

(45) 授权公告日 2012. 11. 21

(21) 申请号 201010599909. 5

(22) 申请日 2010. 12. 22

(73) 专利权人 成都华微电子科技有限公司

地址 610041 四川省成都市高新区高朋大道
11 号高新区科技工业园 D 座

(72) 发明人 蔡化 岑远军 朱志勇 张克林

(74) 专利代理机构 成都惠迪专利事务所 51215
代理人 刘勋

(51) Int. Cl.

H03K 19/0175(2006. 01)

(56) 对比文件

JP 特开 2000-101367 A, 2000. 04. 07, 全文.

WO 2005/104374 A1, 2005. 11. 03, 全文.

CN 101656476 A, 2010. 02. 24, 全文.

审查员 吴卿

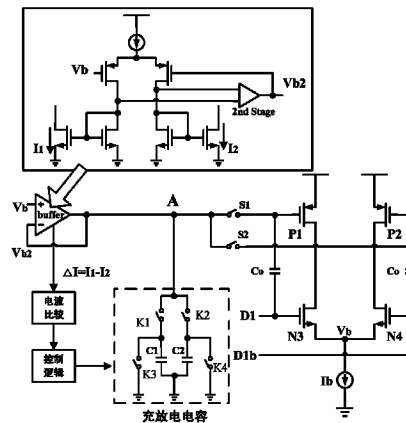
权利要求书 1 页 说明书 2 页 附图 3 页

(54) 发明名称

LVDS 驱动器

(57) 摘要

LVDS 驱动器, 涉及电子技术。本发明包括输入缓存单元和驱动单元, 其特征在于, 还包括充放电控制单元, 所述充放电控制单元包括电压差 / 电流差转换单元、电流比较单元、控制逻辑单元和充放电单元; 电流比较单元通过电压差 / 电流差转换单元和输入缓存单元连接; 控制逻辑单元和电流比较单元连接, 并与充放电单元的控制端连接; 充放电单元的输出端和输入缓存单元的输出端连接。本发明的有益效果是, 降低了驱动电路的栅压偏差, 实现了动态稳定。



1. LVDS 驱动器,包括输入缓存单元和驱动单元,其特征在于,还包括充放电控制单元,所述充放电控制单元包括电压差 / 电流差转换单元、电流比较单元、控制逻辑单元和充放电单元;电流比较单元通过电压差 / 电流差转换单元和输入缓存单元连接;控制逻辑单元和电流比较单元连接,并与充放电单元的控制端连接;充放电单元的输出端和输入缓存单元的输出端连接,所述充放电单元包括并联于充放电单元输出端和地电平之间的第一电容支路和第二电容支路,第一电容支路包括相连接的第一开关 (K1)、第一电容 (C1),第一电容 (C1) 一端接地,第一开关 (K1) 和第一电容 (C1) 的连接点通过第三开关 (K3) 接地;第二电容支路包括相连接的第二开关 (K2)、第二电容 (C2),第二电容 (C2) 一端接地,第二开关 (K2) 和第二电容 (C2) 的连接点通过第四开关 (K4) 接地;第一开关 (K1)、第二开关 (K2)、第三开关 (K3)、第四开关 (K4) 的控制端与控制逻辑单元连接。

LVDS 驱动器

技术领域

[0001] 本发明涉及电子技术,特别涉及集成电路技术。

背景技术

[0002] 现有技术如图 1 所示,当 D1 为“低”,D1b 为“高”时,N3 关断,N4 导通;开关 S2 断开,S1 闭合使 Buffer 输出 Vb2 接到 P1 的栅上,使 P1 处于正常工作状态,其栅压 $V_{b2} = V_b$ 。而由于 Co 的作用,P2 上栅压为 VC 使 P2 关断。这样 3.5mA 电流将流过终端电阻 Rt 产生标准的 LVDS 信号,输出共模电压由共模反馈电路来调整 Ns 的栅压 VCM 达到稳定,其值约为 1.2V。当 D1 为“高”,D1b 为“低”时,和上述情况相反,N3 和 P2 管导通使流过 Rt 的电流反向。

[0003] 但是在高频情况下,当开关 P2 由关断转换为导通时,S1 断开,S2 闭合使 P2 处于正常偏置状态,该瞬间 P2 栅压将由 VC 立即转变为 Vb2。由于 Buffer 具有一定的建立响应时间,不可能对该瞬时转换进行及时响应;另外,开关 S1/S2 上沟道内多余的电荷将注入 Buffer 输出端使其输出发生改变。工作频率越高,上述效应的影响越明显,D2/D2b 上电压将不断上升,由于 P1/P2 栅压与其漏极电流的平方根成正比,则由栅压的改变会产生较大的尖峰电流,该电流通过终端电阻 Rt 将使输出产生明显形变。

发明内容

[0004] 本发明所要解决的技术问题是,提供一种能够降低栅压偏差的 LVDS 驱动器。

[0005] 本发明解决所述技术问题采用的技术方案是, LVDS 驱动器,包括输入缓存单元和驱动单元,其特征在于,还包括充放电控制单元,所述充放电控制单元包括电压差/电流差转换单元、电流比较单元、控制逻辑单元和充放电单元;电流比较单元通过电压差/电流差转换单元和输入缓存单元连接;控制逻辑单元和电流比较单元连接,并与充放电单元的控制端连接;充放电单元的输出端和输入缓存单元的输出端连接。

[0006] 所述充放电单元包括并联于充放电单元输出端和地电平之间的第一电容支路和第二电容支路,第一电容支路包括相连接的第一开关、第一电容,第一电容一端接地,第一开关和第一电容的连接点通过第三开关接地;第二电容支路包括相连接的第二开关、第二电容,第二电容一端接地,第二开关和第二电容的连接点通过第四开关接地;第一开关、第二开关、第三开关、第四开关的控制端与控制逻辑单元连接。

[0007] 本发明的有益效果是,降低了驱动电路的栅压偏差,实现了动态稳定。

[0008] 以下结合附图和具体实施方式对本发明作进一步的说明。

附图说明

[0009] 图 1 是现有技术的电路示意图。

[0010] 图 2 是本发明的电路示意图。

[0011] 图 3 是本发明的控制逻辑单元电路图。

[0012] 图 4 是本发明的电流比较逻辑电路图。

[0013] 图 5 是实施例中 V_{b2} 随控制信号 $\Phi 3$ 和 $\Phi 3b$ 状态改变的曲线图。

具体实施方式

[0014] 参见图 2。

[0015] 本发明的 LVDS 驱动器包括输入缓存单元和驱动单元,还包括充放电控制单元,所述充放电控制单元包括电压差/电流差转换单元、电流比较单元、控制逻辑单元和充放电单元;电流比较单元通过电压差/电流差转换单元和输入缓存单元连接;控制逻辑单元和电流比较单元连接,并与充放电单元的控制端连接;充放电单元的输出端和输入缓存单元的输出端连接。所述充放电单元包括并联于充放电单元输出端和地电平之间的第一电容支路和第二电容支路,第一电容支路包括相连接的第一开关 $K1$ 、第一电容 $C1$,第一电容 $C1$ 一端接地,第一开关 $K1$ 和第一电容 $C1$ 的连接点通过第三开关 $K3$ 接地;第二电容支路包括相连接的第二开关 $K2$ 、第二电容 $C2$,第二电容 $C2$ 一端接地,第二开关 $K2$ 和第二电容 $C2$ 的连接点通过第四开关 $K4$ 接地;第一开关 $K1$ 、第二开关 $K2$ 、第三开关 $K3$ 、第四开关 $K4$ 的控制端与控制逻辑单元连接。

[0016] 第一开关 $K1$ 和第四开关 $K4$ 受控于信号 $\Phi 3$,第二开关 $K2$ 和第三开关 $K3$ 受控于信号 $\Phi 3b$, $\Phi 3$ 和 $\Phi 3b$ 是控制逻辑单元的两个输出信号。

[0017] 同时参见图 5。当 $D1$ 由“高”变“低”时, $D1b$ 由“低”变“高”,这时 $P1$ 将由关断转换为正常工作状态,其瞬时栅压 V_C 大于 V_{b2} ,同时 $S1$ 沟道中多余的电荷将注入 buffer,这样都会使 V_{b2} 升高。因为 buffer 本身有限的开环增益和建立时间使得 V_{b2} 不可能在每个开关切换周期被拉低。为此加入了一个额外的控制环路来保证偏置点 A 动态稳定。由于 V_{b2} 大于基准电压 V_b , V_b 和 V_{b2} 的电压差通过尾电流镜像管转换为电流差值,比较逻辑将对该差值进行采样,并产生触发信号,该信号经过控制逻辑处理产生一对互补的控制时钟 $\Phi 3$ 和 $\Phi 3b$, (控制逻辑如图 3 所示,主要由反向器、与非门、触发器组成) 使得的电容 $C1$ 或 $C2$ 被接入 A 点和 A 点所有等效电容进行电荷重分布。由于电容 $C1/C2$ 初始电荷为 0,在接入瞬间将会把 A 点电位拉低。因为 A 点电压 V_{b2} 高于 V_b ,则根据比较结果,如图 4 所示,控制逻辑会使 $\Phi 3$ 和 $\Phi 3b$ 持续翻转 ($T2$ 时间段),这样 V_{b2} 会被逐渐拉低 (U 点至 G 点);而如果 A 点电压 V_{b2} 低于 V_b 时,控制逻辑会使 $\Phi 3$ 和 $\Phi 3b$ 停止翻转 ($T1$ 时间段),对 $C1$ 或 $C2$ 进行持续充电将 A 点电压 V_{b2} 抬升 (K 点至 U 点)。可见由于该控制环路存在一定的延迟, V_{b2} 的电压会存在一定的稳定范围,环路延迟越小 V_{b2} 偏差也就越小。图 4 表明,工作频率 1.1GHz 情况下, V_{b2} 偏差最大仅为 0.1V。达到了动态稳定的目的。

[0018] 图 4 为图 3 中的电流比较逻辑电路图。说明书已经对本发明的原理及必要细节作出充分说明,普通技术人员完全能够实施。具体实施方式不可理解为对本发明的权利范围的限制,基于本发明原理的任何变形皆属本发明的权利范围之内。

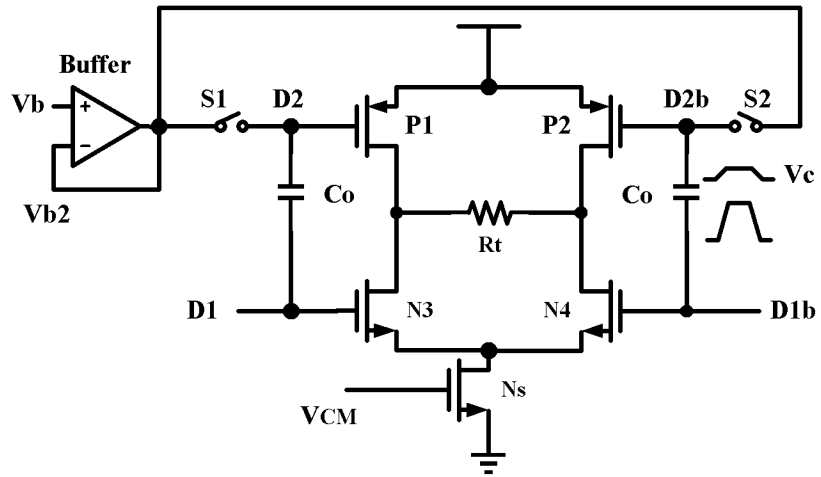


图 1

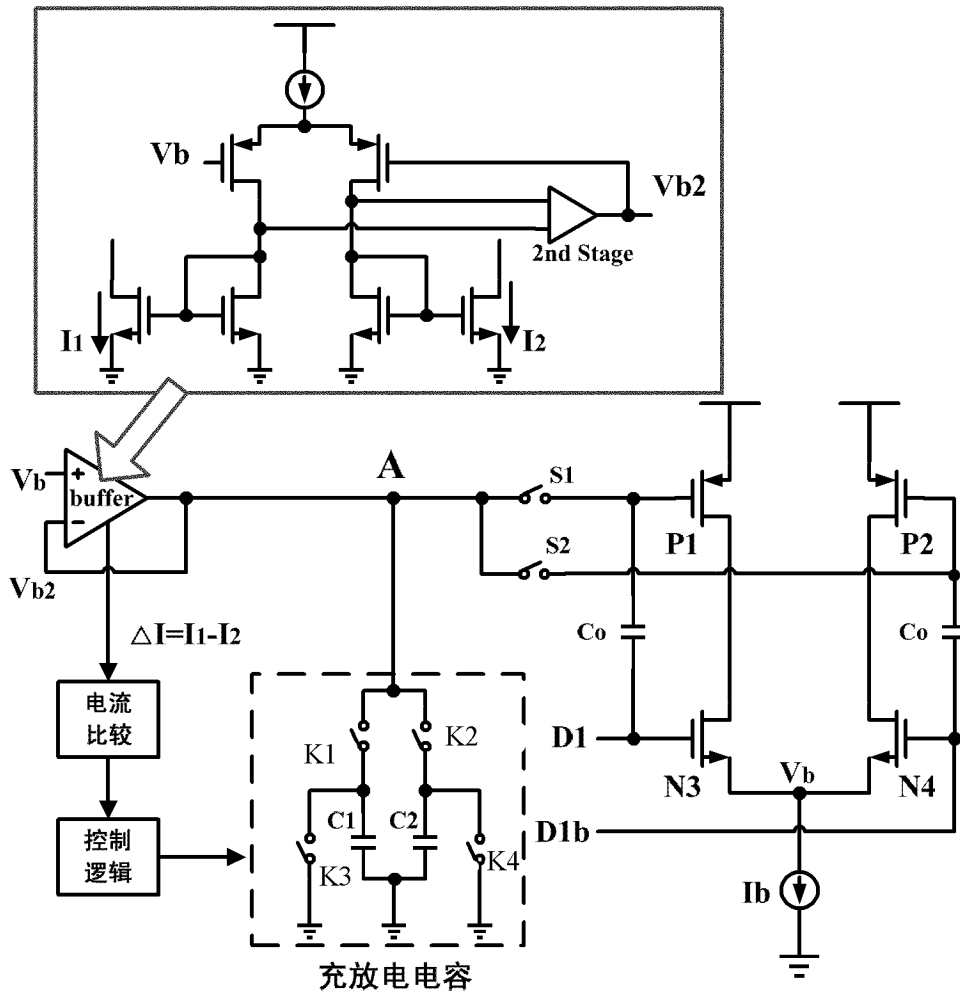


图 2

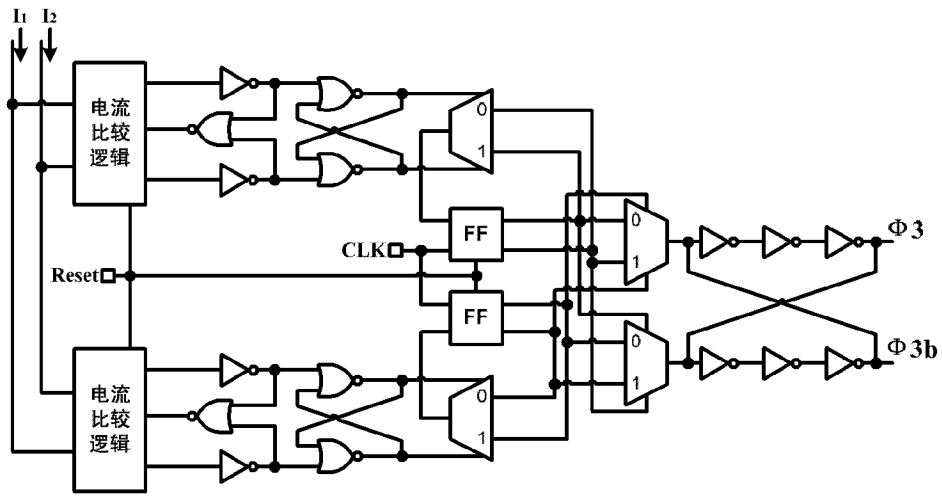


图 3

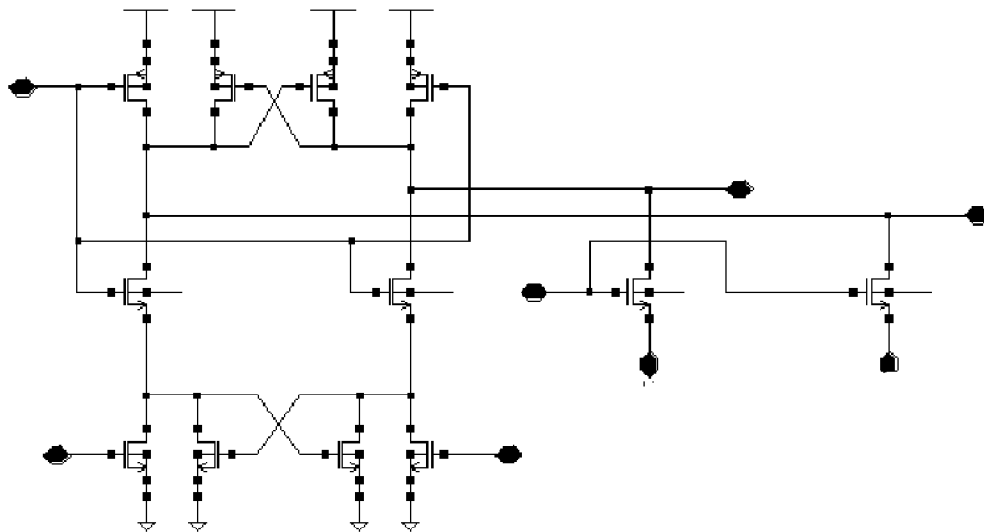


图 4

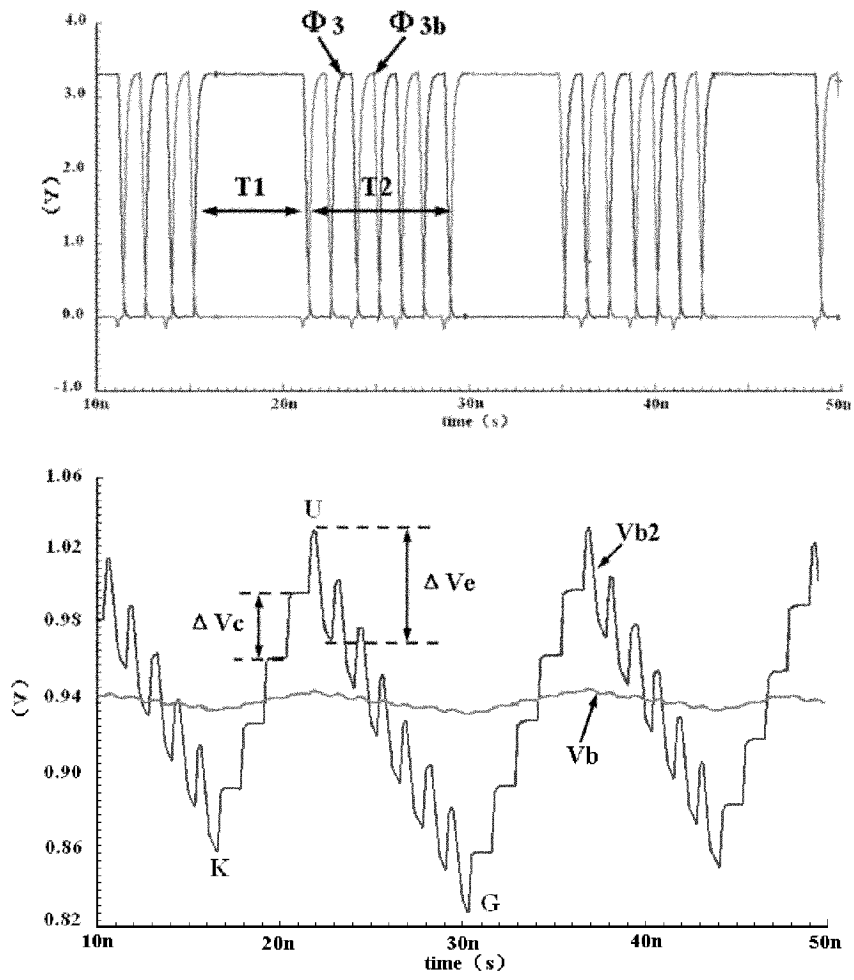


图 5