



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0157953  
(43) 공개일자 2023년11월17일

- |  |   |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)<br/>H01L 33/08 (2010.01) H01L 33/02 (2010.01)<br/>H01L 33/04 (2010.01) H01L 33/32 (2010.01)<br/>H01L 33/38 (2010.01)</p> <p>(52) CPC특허분류<br/>H01L 33/08 (2013.01)<br/>H01L 33/025 (2013.01)</p> <p>(21) 출원번호 10-2023-7029378</p> <p>(22) 출원일자(국제) 2022년03월03일<br/>심사청구일자 없음</p> <p>(85) 번역문제출일자 2022년08월29일</p> <p>(86) 국제출원번호 PCT/JP2022/009141</p> <p>(87) 국제공개번호 WO 2022/196374<br/>국제공개일자 2022년09월22일</p> <p>(30) 우선권주장<br/>JP-P-2021-045210 2021년03월18일 일본(JP)</p> | <p>(71) 출원인<br/>니치아 카가쿠 고교 가부시키키가이샤<br/>일본 도쿠시마켄 아난시 가미나카쵸 오카 491번지 100</p> <p>(72) 발명자<br/>후나코시 료타<br/>일본 도쿠시마켄 아난시 가미나카쵸 오카 491-100<br/>니치아 카가쿠 고교 가부시키키가이샤 내<br/>키시노 토시히코<br/>일본 도쿠시마켄 아난시 가미나카쵸 오카 491-100<br/>니치아 카가쿠 고교 가부시키키가이샤 내</p> <p>(74) 대리인<br/>이광직, 윤승환</p> |
|--|---|

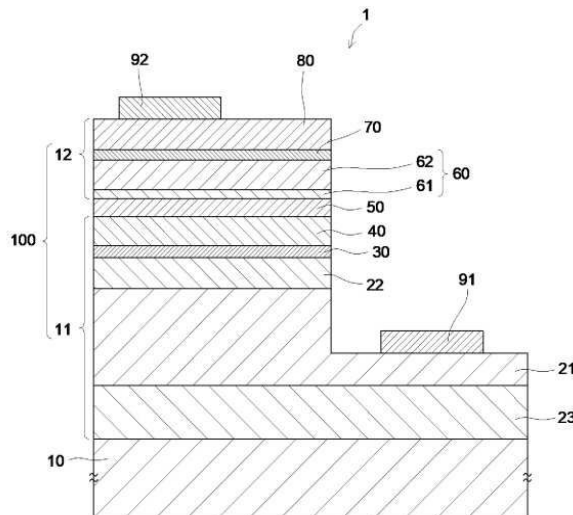
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 발광 소자

(57) 요약

제1 n층 반도체층과, 제1 p층 반도체층과, 제1 활성층을 포함하는 질화물 반도체 로 이루어지는 제1 발광부와, 제1 발광부 상에 위치하고, 제2 n층 반도체층과, 제2 p층 반도체층과, 제2 활성층을 포함하는 질화물 반도체로 이루어지는 제2 발광부와, 상기 제1 p층 반도체층과 상기 제2 n층 반도체층의 사이에 설치된 터널 접합층을 가지는 반도체 적층체를 가지고, 상기 제1 n층 반도체층은, 제1층과, 제2층이 교대로 적층된 다층 구조를 가지는 제1 n형 불순물 농도의 제1 적층부를 포함하고, 상기 제2 n층 반도체층은, 제3층과, 상기 제3층과는 다른 격자상수인 제4층이 교대로 적층된 다층 구조를 가지는 제2 n형 불순물 농도의 제2 적층부를 포함하고, 상기 제2 n형 불순물 농도는, 상기 제1 n형 불순물 농도보다 높은 발광 소자이다.

대표도 - 도1



(52) CPC특허분류

*H01L 33/04* (2013.01)

*H01L 33/32* (2013.01)

*H01L 33/38* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제1 n층 반도체층과, 제1 p층 반도체층과, 상기 제1 n층 반도체층과 상기 제1 p층 반도체층의 사이에 설치된 제1 활성층을 포함하는 질화물 반도체로 이루어지는 제1 발광부와, 제1 발광부 상에 위치하고, 제2 n층 반도체층과, 제2 p층 반도체층과, 상기 제2 n층 반도체층과 상기 제2 p층 반도체층의 사이에 설치된 제2 활성층을 포함하는 질화물 반도체로 이루어지는 제2 발광부와, 상기 제1 p층 반도체층과 상기 제2 n층 반도체층의 사이에 설치된 터널 접합층을 가지는 반도체 적층체와,

상기 제1 n층 반도체층에 전기적으로 접속된 n층 전극과,

상기 제2 p층 반도체층에 전기적으로 접속된 p층 전극을 갖고,

상기 제1 n층 반도체층은, 제1층과, 상기 제1층과는 격자상수가 다른 제2층이 교대로 적층된 다층 구조를 가지는 제1 n형 불순물 농도의 제1 적층부를 포함하고,

상기 제2 n층 반도체층은, 제3층과, 상기 제3층과는 격자상수가 다른 제4층이 교대로 적층된 다층 구조를 가지는 제2 n형 불순물 농도의 제2 적층부를 포함하고,

상기 제2 n형 불순물 농도는, 상기 제1 n형 불순물 농도보다 높은 발광 소자.

#### 청구항 2

제1항에 있어서,

상기 제2 적층부의 두께는, 상기 제1 적층부의 두께보다 얇은 발광 소자.

#### 청구항 3

제1항 또는 제2항에 있어서,

상기 제1층 및 상기 제2층은, 인도핑 층인 발광 소자.

#### 청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제3층 및 상기 제4층은, n형 불순물이 도핑된 층인 발광 소자.

#### 청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 터널 접합층은, 상기 제2 n형 불순물 농도보다 높은 제3 n형 불순물 농도의 반도체층을 포함하는 발광 소자.

#### 청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 제2 n형 불순물 농도는, 상기 제2 적층부의 p형 불순물 농도보다 높은 발광 소자.

#### 청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 제2 적층부의 p형 불순물 농도는, 상기 제1 적층부의 p형 불순물 농도보다 높은 발광 소자.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시 형태는, 발광 소자에 관한 것이다.

**배경 기술**

[0002] 특허문헌 1에는, 예를 들면, 터널 접합층을 갖는 질화물 반도체층을 포함하는 발광 소자가 개시되어 있다.

**선행기술문헌**

**특허문헌**

[0003] (특허문헌 0001) 특허문헌 1: 일본특허공개 특개2017-157667호 공보

**발명의 내용**

**해결하려는 과제**

[0004] 이러한 발광 소자에 있어서, 순방향 전압을 저감시키는 것이 요망된다. 본 발명의 실시 형태는, 순방향 전압을 저감할 수 있는 발광 소자를 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

[0005] 본 발명의 일 실시형태에 관한 발광 소자는, 제1 n층 반도체층과, 제1 p층 반도체층과, 상기 제1 n층 반도체층과 상기 제1 p층 반도체층의 사이에 설치된 제1 활성층을 포함하는 질화물 반도체로 이루어지는 제1 발광부와, 제1 발광부 상에 위치하고, 제2 n층 반도체층과, 제2 p층 반도체층과, 상기 제2 n층 반도체층과 상기 제2 p층 반도체층의 사이에 설치된 제2 활성층을 포함하는 질화물 반도체 로 이루어지는 제2 발광부와, 상기 제1 p층 반도체층과 상기 제2 n층 반도체층의 사이에 설치된 터널 접합층을 가지는 반도체 적층체와, 상기 제1 n층 반도체층에 전기적으로 접속된 n층 전극과, 상기 제2 p층 반도체층에 전기적으로 접속된 p층 전극을 가지고, 상기 제1 n층 반도체층은, 제1층과, 상기 제1층과는 다른 격자상수인 제2층이 교대로 적층된 다층 구조를 가지는 제1 n형 불순물 농도의 제1 적층부를 포함하고, 상기 제2 n층 반도체층은, 제3층과, 상기 제3층과는 다른 격자상수인 제4층이 교대로 적층된 다층 구조를 가지는 제2 n형 불순물 농도의 제2 적층부를 포함하고, 상기 제2 n형 불순물 농도는, 상기 제1 n형 불순물 농도보다 높다.

**발명의 효과**

[0006] 본 발명의 일 실시형태에 관한 발광 소자에 의하면, 순방향 전압을 저감할 수 있는 발광 소자를 제공할 수 있다.

**도면의 간단한 설명**

[0007] [도 1]도 1은, 본 발명의 일 실시형태에 관한 발광 소자의 구성을 나타내는 모식 단면도이다.  
 [도 2]도 2는, 본 발명의 일 실시형태에 관한 발광 소자의 제조방법의 흐름을 나타내는 플로우차트이다.  
 [도 3a]도 3a는, 본 발명의 일 실시형태에 관한 발광 소자의 제조방법을 나타내는 모식도이다.  
 [도 3b]도 3b는, 본 발명의 일 실시형태에 관한 발광 소자의 제조방법을 나타내는 모식도이다.  
 [도 3c]도 3c는, 본 발명의 일 실시형태에 관한 발광 소자의 제조방법을 나타내는 모식도이다.

**발명을 실시하기 위한 구체적인 내용**

[0008] 이하, 본 발명에 관한 발광 소자의 실시 형태에 대해서 설명한다. 한편, 이하의 설명에 있어서 참조하는 도면은, 본 발명을 개략적으로 나타낸 것이므로, 각 부재의 스케일이나 간격, 위치 관계 등이 과장되거나 또는 부재의 일부 도시가 생략되어 있는 경우가 있다. 또한, 상면도, 단면도 간에, 각 부재의 스케일이나 간격이 일

치하지 않을 경우도 있다. 또한, 이하의 설명에서는, 동일한 명칭 및 부호에 대해서는 원칙적으로 동일 또는 동질의 부재를 나타내고 있고, 상세한 설명을 적절히 생략하는 것으로 한다.

- [0009] 도 1은, 본 발명의 일 실시형태의 발광 소자(1)의 모식 단면도이다. 본 실시형태의 발광 소자(1)는, 제1 n층 반도체층(20)과, 제1 p층 반도체층(40)과, 제1 n층 반도체층(20)과 제1 p층 반도체층(40)의 사이에 설치된 제1 활성층(30)을 포함하는 질화물 반도체로 이루어지는 제1 발광부(11)과, 제1 발광부(11) 상에 위치하고, 제2 n층 반도체층(60)과, 제2 p층 반도체층(80)과, 제2 n층 반도체층(60)과 제2 p층 반도체층(80)의 사이에 설치된 제2 활성층(70)을 포함하는 질화물 반도체로 이루어지는 제2 발광부(12)와, 제1 p층 반도체층(40)과 상기 제2 n층 반도체층(60)의 사이에 설치된 터널 접합층(50)을 가지는 반도체 적층체(100)를 가진다. 발광 소자(1)는, 제1 n층 반도체층(20)에 전기적으로 접속된 n층 전극(91)과, 제2 p층 반도체층(80)에 전기적으로 접속된 p층 전극(92)을 가진다.
- [0010] 기판(10)의 재료는, 예를 들면, 사파이어, 실리콘, SiC, GaN 등이다. 기판(10)과 제1 발광부(11)의 사이에 버퍼층을 설치해도 된다. 버퍼층으로서, 예를 들면, AlGaN이나 AlN으로 이루어지는 층을 사용할 수 있다.
- [0011] 반도체 적층체(100)는, 질화물 반도체로 이루어지는 복수의 반도체층이 적층된 적층체이다. 질화물 반도체는,  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$ )로 이루어지는 화학식에 있어서 조성비  $x$  및  $y$ 를 각각의 범위 내에서 변화시킨 모든 조성의 반도체를 포함할 수 있다. 반도체 적층체(100)에 있어서, 기판(10)측에서부터 순서대로, 제1 발광부(11)와, 터널 접합층(50)과, 제2 발광부(12)가 배치되고 있다.
- [0012] 제1 발광부(11)는, 제1 n층 반도체층(20)과, 제1 p층 반도체층(40)과, 제1 n층 반도체층(20)과 제1 p층 반도체층(40)의 사이에 설치된 제1 활성층(30)을 포함한다. 제1 발광부(11)는, 질화물 반도체로 이루어진다.
- [0013] 제1 n층 반도체층(20)은, n컨택트층(21)과, 제1 적층부(22)과, 하지층(23)을 포함한다. 제1 n층 반도체층(20)은, 1이상의 n형 반도체층을 포함한다. n형 반도체층으로서, 실리콘(Si)이나 게르마늄(Ge) 등의 n형 불순물을 함유하는 반도체층을 들 수 있다. n형 반도체층은, 예를 들면, GaN이며, 인듐(In), 알루미늄(Al)을 포함하고 있어도 된다. 예를 들면, Si을 n형 불순물로서 포함하는 n형 반도체층의 n형 불순물 농도는,  $1 \times 10^{18}/\text{cm}^3$  이상  $2 \times 10^{19}/\text{cm}^3$  이하이다. 제1 n층 반도체층(20)은, 언도핑의 층을 포함하고 있어도 된다. 언도핑 층은, n형 불순물이나 p형 불순물을 의도적으로 도핑하고 있지 않은 층이다. 언도핑 층의 n형 불순물이나 p형 불순물의 농도는, 예를 들면, 2차 이온 질량분석법(SIMS) 등의 분석 결과에서 검출 한계를 넘지 않는 농도이다. 언도핑 층이 n형 불순물 및/또는 p형 불순물을 의도적으로 도핑한 층과 인접하고 있을 경우는, 그 인접한 층으로부터의 확산 등에 의해, 언도핑 층에 n형 불순물 및/또는 p형 불순물이 포함될 경우가 있다.
- [0014] n컨택트층(21)은, 하지층(23)과 제1 적층부(22)의 사이에 설치되어 있다. n컨택트층(21)은, n형 불순물을 포함하는 반도체층이다. n컨택트층(21)의 n형 불순물 농도는,  $1 \times 10^{18}/\text{cm}^3$  이상  $1 \times 10^{19}/\text{cm}^3$  이하로 할 수 있다. n컨택트층(21)의 두께는,  $0.5 \mu\text{m}$  이상  $3 \mu\text{m}$  이하로 할 수 있다. n컨택트층(21)은, 다른 반도체층이 설치되고 있지 않은 상면을 가진다. 다른 반도체층이 설치되고 있지 않은 n컨택트층(21)의 표면에 후술하는 n층 전극(91)이 설치된다.
- [0015] 제1 적층부(22)는, n컨택트층(21)과 제1 활성층(30)의 사이에 설치되고 있다. 제1 적층부(22)는, 제1층과, 제1층과는 격자상수가 다른 제2층이 교대로 적층된 다층 구조를 가진다. 제1 적층부(22)는, 복수의 제1층과, 복수의 제2층을 포함하는 초격자층이다. 제1층 및 제2층은, 예를 들면, 언도핑 층이다. 제1층은, 예를 들면, 언도핑의 GaN층이다. 제2층은, 예를 들면, 언도핑의 InGaN층이다. 제1 적층부(22)는, 제1층과 제2층의 조합을, 예를 들면 15조 이상 25조 이하 포함한다. 제1층의 두께는,  $0.5\text{nm}$  이상  $3\text{nm}$  이하로 할 수 있다. 제2층의 두께는,  $0.5\text{nm}$  이상  $3\text{nm}$  이하로 할 수 있다. 제1 적층부(22)의 두께는, 예를 들면,  $30\text{nm}$  이상  $150\text{nm}$  이하로 할 수 있다.
- [0016] 제1 적층부(22)의 제1 n형 불순물 농도는, 예를 들면,  $1 \times 10^{17}/\text{cm}^3$  이상  $1 \times 10^{19}/\text{cm}^3$  이하로 할 수 있다. 제1 적층부(22)의 p형 불순물 농도는, 예를 들면,  $1 \times 10^{17}/\text{cm}^3$  이상  $1 \times 10^{18}/\text{cm}^3$  이하로 할 수 있다. 한편, 제1 적층부(22)의 제1 n형 불순물 농도란, 제1 적층부(22)에 있어서의 n형 불순물 농도 중, 가장 높은 n형 불순물 농도이다. 제1 적층부(22)의 p형 불순물 농도란, 제1 적층부(22)에 있어서의 p형 불순물 농도 중, 가장 높은 p형 불순물 농도이다. 한편, 제1 적층부(22)에 포함되는 n형 불순물 및 p형 불순물은, 인접한 층으로부터 확산됨으로써 포함되는 경우, 제1층 및/또는 제2층에 n형 불순물 또는 p형 불순물을 도핑함으로써 포함되는 경우를 포함한다.
- [0017] 하지층(23)은, 기판(10)과 n컨택트층(21)의 사이에 설치되고 있다. 하지층(23)은, 예를 들면, 언도핑의 GaN층이

다. 하지층(23)의 두께는, 예를 들면, 5 $\mu$ m이상 10 $\mu$ m이하로 할 수 있다.

[0018] 제1 활성층(30)은, 제1 n측 반도체층(20)과 제1 p측 반도체층(40)의 사이에 설치되고 있다. 제1 활성층(30)은, 예를 들면, 복수의 우물층과 복수의 장벽층을 포함하는 다중양자우물구조를 가진다. 복수의 우물층에는, 예를 들면, InGaN을 사용한다. 복수의 장벽층에는, 예를 들면, GaN을 사용한다. 제1 활성층(30)에 포함되는 우물층 및 장벽층은, 예를 들면, 인도핑 층이다. 제1 활성층(30)에 포함되는 우물층 및 장벽층의 적어도 일부에 n형 불순물 및/또는 p형 불순물을 함유해도 된다. 제1 활성층(30)이 발하는 광은, 예를 들면, 자외광 또는 가시광이다. 제1 활성층(30)은, 예를 들면, 청색광이나 녹색광을 발할 수 있다. 청색광의 발광 피크 파장은, 430nm이상 490nm이하이다. 녹색광의 발광 피크 파장은, 500nm이상 540nm이하이다.

[0019] 제1 p측 반도체층(40)은, 제1 활성층(30)과 터널 접합층(50)의 사이에 설치된다. 제1 p측 반도체층(40)은, 1이상의 p형 반도체층을 포함한다. p형 반도체층으로서는, 마그네슘(Mg) 등의 p형 불순물을 함유하는 반도체층을 들 수 있다. p형 반도체층은, 예를 들면 GaN이며, In 및/또는 Al을 포함하고 있어도 된다. 예를 들면, Mg을 p형 불순물로서 포함하는 p형 반도체층의 p형 불순물 농도는,  $1 \times 10^{19}/\text{cm}^3$  이상  $5 \times 10^{20}/\text{cm}^3$  이하이다. 제1 p측 반도체층(40)은, 인도핑 층을 포함하고 있어도 된다. 제1 p측 반도체층(40)의 두께는, 30nm이상 200nm이하로 할 수 있다.

[0020] 터널 접합층(50)은, 제1 p측 반도체층(40)과 제2 n측 반도체층(60)의 사이에 설치된다. 터널 접합층(50)은, n형 불순물 및/또는 p형 불순물을 포함한다. 터널 접합층(50)은, 제1 p측 반도체층(40)보다 높은 p형 불순물 농도를 가지는 p형 반도체층과, 제2 n측 반도체층(60)보다 높은 n형 불순물 농도를 가지는 n형 반도체층 중 적어도 하나의 반도체층을 포함한다. 터널 접합층(50)은, 예를 들면, 제2 n측 반도체층(60)의 제2 n형 불순물 농도보다 높은 제3 n형 불순물 농도의 반도체층을 포함한다. 이에 의해, 후술하는 pn접합에 의해 형성되는 공핍층의 폭을 보다 좁게 할 수 있다. 터널 접합층(50)은, 예를 들면, p형 불순물로서 Mg을 포함하는 p형 GaN층이나 n형 불순물로서 Si을 포함하는 n형 GaN층을 사용할 수 있다. 예를 들면, Mg을 p형 불순물로서 포함하는 p형 반도체층의 p형 불순물 농도는,  $1 \times 10^{20}/\text{cm}^3$  이상  $5 \times 10^{21}/\text{cm}^3$  이하이다. 예를 들면, Si을 n형 불순물로서 포함하는 n형 반도체층의 n형 불순물 농도는,  $2 \times 10^{20}/\text{cm}^3$  이상  $1 \times 10^{21}/\text{cm}^3$  이하이다. 터널 접합층(50)을 구성하는 질화물 반도체로서는, 예를 들면, GaN, InGaN, 또는 AlGaIn을 들 수 있다. 터널 접합층(50)의 불순물 농도 및 두께는, 적절히 변경할 수 있다. 터널 접합층(50)의 두께는, 예를 들면, 1nm이상 6 $\mu$ m이하로 할 수 있다.

[0021] 제2 n측 반도체층(60)은, 중간층(61)과, 제2 적층부(62)를 포함한다. 제2 n측 반도체층(60)은, 1이상의 n형 반도체층을 포함한다. n형 반도체층으로서는, 실리콘(Si)이나 게르마늄(Ge) 등의 n형 불순물을 함유하는 반도체층을 들 수 있다. n형 반도체층은, 예를 들면, GaN이며, 인듐(In), 알루미늄(Al)을 포함하고 있어도 된다. 예를 들면, Si을 n형 불순물로서 포함하는 n형 반도체층의 n형 불순물 농도는,  $1 \times 10^{18}/\text{cm}^3$  이상  $2 \times 10^{19}/\text{cm}^3$  이하이다. 제2 n측 반도체층(60)은, 인도핑 층을 포함하고 있어도 된다.

[0022] 중간층(61)은, 터널 접합층(50)과 제2 적층부(62)의 사이에 설치된다. 중간층(61)은, n형 불순물을 함유하는 n형 반도체층을 포함한다. 예를 들면, 중간층(61)은, 터널 접합층(50)측에서부터 순서대로, 제1 n형 반도체층과, 제1 n형 반도체층보다 n형 불순물 농도가 낮은 제2 n형 반도체층이 적층된 다층 구조로 할 수 있다. 중간층(61)에 포함되는 n형 반도체층의 n형 불순물 농도는, 터널 접합층(50)에 포함되는 n형 반도체층보다 낮게 할 수 있다. 중간층(61)을 설치함으로써, 제2 적층부(62)를 형성하는 반도체층의 표면 상태를, 터널 접합층(50)의 표면 상태보다 개선할 수 있기 때문에, 제2 적층부(62)를 보다 결정성 좋게 형성할 수 있다. 중간층(61)의 두께는, 예를 들면, 100nm이상 200 $\mu$ m이하로 할 수 있다. 중간층(61)이 다층 구조일 경우, 예를 들면, 제1 n형 반도체층의 두께를, 15nm이상 60nm이하로 하고, 제2 n형 반도체층의 두께를, 40nm이상 180nm이하로 할 수 있다.

[0023] 제2 적층부(62)는, 중간층(61)과 제2 활성층(70)의 사이에 설치된다. 제2 적층부(62)는, 제3층과, 제4층과는 격자상수가 다른 제4층이 교대로 적층된 다층 구조를 가진다. 제2 적층부(62)는, 복수의 제3층과, 복수의 제4층을 포함하는 초격자층이다. 제3층 및 제4층은, 예를 들면, n형 불순물이 도핑된 층이다. 제3층은, 예를 들면, n형 불순물을 함유하는 n형의 GaN층이다. 제4층은, 예를 들면, n형 불순물을 함유하는 n형의 InGaN층이다. 제2 적층부(62)는, 제3층과 제4층의 조합을, 예를 들면 15조 이상 25조 이하 포함한다. 한편, n형 불순물은, 제3층 및 제4층 중 어느 것에 함유되어 있으면 된다. 예를 들면, 제3층을 n형 불순물이 도핑된 층으로 하고, 제4층을 인도핑 층으로 할 수 있다.

[0024] 제2 적층부(62)의 두께는, 제1 적층부(22)의 두께보다 얇게 할 수 있다. 이에 의해, 제2 적층부(62)의 상면에

형성되는 V피트가 퍼지는 것을 제1 적층부(22)보다 억제하여, 제2 적층부(62) 상에 형성되는 제2 활성층(70)의 결정성을 개선할 수 있다. 제3층의 두께는, 0.5nm이상 3nm이하로 할 수 있다. 제4층의 두께는, 0.5nm이상 3nm이하로 할 수 있다. 제2 적층부(62)의 두께는, 예를 들면, 30nm이상 150nm이하로 할 수 있다. 제2 적층부(62)의 두께를 제1 적층부(22)보다 얇게 할 경우, 예를 들면, 제1 적층부(22)의 두께를 50nm이상 70nm이하로 하고, 제2 적층부(62)의 두께를 30nm이상 50nm이하로 한다.

[0025] 제2 적층부(62)는, n형 불순물이 도핑된 반도체층을 포함한다. 제2 적층부(62)의 제2 n형 불순물 농도는, 제1 적층부(22)의 제1 n형 불순물 농도보다 높다. 이에 의해, 제1 p층 반도체층(40) 및 터널 접합층(50)으로부터의 p형 불순물이 제2 적층부(62) 상에 형성하는 반도체층으로 확산되는 것을 억제할 수 있다. 예를 들면, 제2 n층 반도체층(60)에 p형 불순물이 포함됨으로써 p형화가 촉진되기 쉬워질 우려가 있다. 본 실시형태에 의하면, 이러한 p형 불순물의 확산에 의해 반도체층이 p형화하는 것을 저감하고, 터널 접합층(50)에 캐리어를 효율적으로 공급할 수 있기 때문에 순방향 전압(Vf)을 저감할 수 있다. 제2 적층부(62)의 제2 n형 불순물 농도는, 예를 들면,  $3 \times 10^{17}/\text{cm}^3$  이상  $1 \times 10^{20}/\text{cm}^3$  이하로 하는 것이 바람직하고,  $1 \times 10^{18}/\text{cm}^3$  이상  $1 \times 10^{20}/\text{cm}^3$  이하로 하는 것이 보다 바람직하다. 제2 적층부(62)의 p형 불순물 농도는, 제1 적층부(22)의 p형 불순물 농도보다 높다. 제2 적층부(62)의 p형 불순물 농도는, 예를 들면,  $3 \times 10^{17}/\text{cm}^3$  이상  $5 \times 10^{18}/\text{cm}^3$  이하로 할 수 있다. 한편, 제2 적층부(62)의 제2 n형 불순물 농도란, 제2 적층부(62)에 있어서의 n형 불순물 농도 중, 가장 높은 n형 불순물 농도이다. 제2 적층부(62)의 p형 불순물 농도란, 제2 적층부(62)에 있어서의 p형 불순물 농도 중, 가장 높은 p형 불순물 농도이다.

[0026] 제2 적층부(62)의 제2 n형 불순물 농도는, 제2 적층부(62)의 p형 불순물 농도보다 높다. 이에 의해, 제2 적층부(62)에 있어서의 p형화를 억제할 수 있다. 예를 들면, 제2 적층부(62)의 p형 불순물 농도가 제1 적층부(22)의 p형 불순물 농도보다 높은 경우라도, 제2 적층부(62)에 있어서의 p형화를 억제할 수 있다.

[0027] 제2 활성층(70)은, 제2 적층부(62)와 제2 p층 반도체층(80)의 사이에 설치되고 있다. 제2 활성층(70)은, 예를 들면, 복수의 우물층과, 복수의 장벽층을 포함하는 다중양자우물구조를 가진다. 복수의 우물층에는, 예를 들면, InGaIn을 사용한다. 복수의 장벽층에는, 예를 들면, GaIn을 사용한다. 제2 활성층(70)에 포함되는 우물층 및 장벽층은, 예를 들면, 언도핑 층이다. 제2 활성층(70)에 포함되는 우물층 및 장벽층의 적어도 일부에 n형 불순물 및 /또는 p형 불순물을 함유해도 된다.

[0028] 제2 활성층(70)이 발하는 광은, 예를 들면, 자외광 또는 가시광이다. 제1 활성층(30) 및 제2 활성층(70)이 발하는 광은, 예를 들면, 청색광으로 할 수 있다. 제1 활성층(30)의 발광 피크 파장과 제2 활성층(70)의 발광 피크 파장은 달라도 된다. 예를 들면, 제1 활성층(30)이 발하는 광을 청색광으로 하고, 제2 활성층(70)이 발하는 광을 녹색광으로 할 수 있다.

[0029] 제2 p층 반도체층(80)은, 제2 활성층(70) 상에 설치된다. 제2 p층 반도체층(80)은, 1이상의 p형 반도체층을 포함한다. p형 반도체층으로서, 마그네슘(Mg) 등의 p형 불순물을 함유하는 반도체층을 들 수 있다. p형 반도체층은, 예를 들면 GaIn이며, In 및/또는 Al을 포함하고 있어도 된다. 예를 들면, Mg를 p형 불순물로서 포함하는 p형 반도체층의 p형 불순물 농도는,  $1 \times 10^{19}/\text{cm}^3$  이상  $5 \times 10^{20}/\text{cm}^3$  이하이다. 제2 p층 반도체층(80)은, 언도핑 층을 포함하고 있어도 된다. 제2 p층 반도체층(80)의 두께는, 30nm이상 200nm이하로 할 수 있다.

[0030] n층 전극(91)은, 제1 n층 반도체층(20) 상에 설치되고, 제1 n층 반도체층과 전기적으로 접속된다. n층 전극(91)은, n컨택트층(21)의 상면에 설치된다. p층 전극(92)은, 제2 p층 반도체층(80) 상에 설치되고, 제2 p층 반도체층(80)에 전기적으로 접속된다.

[0031] n층 전극(91)과 p층 전극(92)의 사이에, 순방향의 전압을 인가한다. 이 때, 제2 p층 반도체층(80)과 n컨택트층(21)의 사이에는 순방향의 전압이 인가되고, 제1 활성층(30) 및 제2 활성층(70)에 홀 및 전자가 공급됨으로써 제1 활성층(30) 및 제2 활성층(70)이 발광한다.

[0032] p층 전극(92)에 정(正) 전위가, n층 전극(91)에 p층 전극(92)보다 낮은 전위가 인가되었을 때, 제2 n층 반도체층(60)과, 제1 p층 반도체층(40)의 사이에는 역방향 전압이 인가되게 된다. 그 때문에, 제2 n층 반도체층(60)과, 제1 p층 반도체층(40)의 사이에 전류를 흘리기 위해, 터널 접합층(50)에 의한 터널 효과를 이용한다. 즉, 제1 p층 반도체층(40)의 가전자대에 존재하는 전자들, 제2 n층 반도체층(60)의 전도대에 터널링시킴으로써 전류를 흘린다.

[0033] 이러한 터널 효과를 얻기 위해, 터널 접합층(50)을 제1 p층 반도체층(40)보다 높은 p형 불순물 농도를 갖는 p형 반도체층과, 제2 n층 반도체층(60)보다 높은 n형 불순물 농도를 갖는 n형 반도체층 중 적어도 하나의 반도체층

에 의해 형성한다. 이러한 터널 접합층(50)에 의해 pn접합을 형성한다. 예를 들면, 제1 p측 반도체층(40)과, 고농도로 n형 불순물이 도핑된 n형 반도체층을 사용한 터널 접합층(50)에 의한 pn접합을 형성한다. 예를 들면, 고농도로 p형 불순물이 도핑된 p형 반도체층을 사용한 터널 접합층(50)과, 제2 n측 반도체층(60)에 의한 pn접합을 형성한다. 예를 들면, 터널 접합층(50)을, 고농도로 n형 불순물이 도핑된 n형 반도체층과, 고농도로 p형 불순물이 도핑된 p형 반도체층을 포함하는 적층 구조로 함으로써 pn접합을 형성한다. 제1 p측 반도체층(40), 터널 접합층(50), 및 제2 n측 반도체층(60)에 포함되는 각 도전형 불순물의 농도가 높을수록, 상기 pn접합에 의해 형성되는 공핍층의 폭을 좁게 할 수 있다. 그리고, 공핍층의 폭이 좁을수록, 전압 인가시에, 제1 p측 반도체층(40)의 가전자대에 존재하는 전자가, 공핍층을 터널링하여, 제2 n측 반도체층(60)의 전도대로 이동하기 쉬워진다.

[0034] 이상, 설명한 대로, 본 실시형태의 발광 소자에 의하면, 제2 적층부(62) 및 제2 적층부(62) 상에 형성되는 반도체층으로의 p형 불순물의 확산을 억제하여, 순방향 전압(Vf)을 저감할 수 있다. 또한, 제1 활성층(30) 상에 제2 활성층(70)을 적층함으로써, 하나의 활성층을 갖는 발광 소자에 비해, 단위면적당의 출력을 높게 할 수 있다.

[0035] 다음으로, 본 실시형태의 발광 소자(1)의 제조방법의 일 예를 설명한다.

[0036] 도 2는, 본 실시형태의 발광 소자의 제조방법을 나타내는 플로우차트이다. 도 2에 나타난 바와 같이, 본 실시형태의 발광 소자의 제조방법은, 제1 발광부 형성 공정(S11)과, 터널 접합층 형성 공정(S12)과, 제2 발광부 형성 공정(S13)을 가진다. 도 3a~도 3c는, 본 실시형태의 발광 소자(1)의 제조방법을 나타내는 모식 단면도이다.

[0037] 반도체 적층체(100)가 함유하는 각 질화물 반도체층은, 압력 및 온도의 조정이 가능한 로(爐) 내에서 MOCVD(metal organic chemical vapor deposition)법에 의해 형성한다. 각 질화물 반도체층은, 예를 들면, 기판(10) 상에 에피택셜 성장된다. 각 질화물 반도체층은, 로 내에 캐리어 가스 및 원료 가스를 도입함으로써 형성할 수 있다. 캐리어 가스로서는, 수소(H<sub>2</sub>) 가스나 질소(N<sub>2</sub>) 가스를 사용할 수 있다. N원의 원료 가스로서는, 암모니아(NH<sub>3</sub>) 가스를 사용할 수 있다. Ga원의 원료 가스로서는, 트리메틸갈륨(TMG) 가스, 또는 트리에틸갈륨(TEG) 가스를 사용할 수 있다. In원의 원료 가스로서는, 트리메틸인듐(TMI) 가스를 사용할 수 있다. Al원의 원료 가스로서는, 트리메틸알루미늄(TMA) 가스를 사용할 수 있다. Si원의 원료 가스로서는, 모노실란(SiH<sub>4</sub>) 가스를 사용할 수 있다. Mg원의 원료 가스로서는, 비스시클로펜타디에닐마그네슘(Cp2Mg) 가스를 사용할 수 있다.

[0038] 먼저, 제1 발광부 형성 공정(S11)을 행한다. 제1 발광부 형성 공정(S11)은, 기판(10) 상에 제1 n측 반도체층(20)을 형성하는 공정과, 제1 n측 반도체층(20) 상에 제1 활성층(30)을 형성하는 공정과, 제1 활성층(30) 상에 제1 p측 반도체층(40)을 형성하는 공정을 포함한다. 제1 n측 반도체층(20)을 형성하는 공정에서는, 기판(10) 상에, 하지층(23)과, n컨택트층(21)과, 제1 적층부(22)를 이 순서대로 형성한다. 도 3a에 나타난 바와 같이, 제1 발광부 형성 공정(S11)에 의해, 기판(10) 상에, 제1 n측 반도체층(20)과, 제1 활성층(30)과, 제1 p측 반도체층(40)을 포함하는 제1 발광부(11)를 형성한다. 한편, 기판(10) 상에, 하지층(23)을 형성하기 전에, 기판(10)의 표면에 버퍼층을 형성해도 된다. 버퍼층으로서, 예를 들면, GaN이나 AlGaN을 사용할 수 있다.

[0039] 제1 적층부(22)는, 예를 들면, 제1층 형성 공정과, 제2층 형성 공정을 교대로 행함으로써 형성한다. 제1층 형성 공정에서는, 예를 들면, 로 내에, 캐리어 가스와, Ga원 및 N원을 포함하는 원료 가스를 도입함으로써 언도핑의 GaN층으로 이루어지는 제1층을 형성한다. 제2층 형성 공정에서는, 예를 들면, 로 내에, 캐리어 가스와, Ga원, N원, 및 In원을 포함하는 원료 가스를 도입함으로써 언도핑의 InGaN로 이루어지는 제2층을 형성한다. 제1 n측 반도체층(20)을 형성하는 공정에 있어서, 제1 적층부(22)를 제1 n형 불순물 농도가, 예를 들면,  $1 \times 10^{17} / \text{cm}^3$  이상  $1 \times 10^{19} / \text{cm}^3$  이하가 되게 형성한다.

[0040] 다음으로, 터널 접합층 형성 공정(S12)을 행한다. 터널 접합층 형성 공정(S12)에서는, 도 3b에 나타난 바와 같이, 제1 발광부(11) 상에 터널 접합층(50)을 형성한다. 터널 접합층 형성 공정(S12)에서는, 예를 들면, 로 내에, 캐리어 가스와, Ga원, N원, 및 Si원을 포함하는 원료 가스를 도입함으로써, 제3 n형 불순물 농도의 GaN층으로 이루어지는 터널 접합층(50)을 형성한다. 예를 들면, 원료 가스에 포함되는 Si 원료 가스의 유량비를 조정함으로써, 제3 n형 불순물 농도가,  $2 \times 10^{20} / \text{cm}^3$  이상  $1 \times 10^{21} / \text{cm}^3$  이하가 되도록 터널 접합층(50)을 형성한다. 터널 접합층(50)을 형성할 때, Si 원료 가스의 유량비는, 후술하는 제3층 형성 공정 및 제4층 형성 공정에 있어서의 Si 원료 가스의 유량비보다 높게 한다.

[0041] 다음으로, 제2 발광부 형성 공정(S13)을 행한다. 제2 발광부 형성 공정(S13)에서는, 도 3c에 나타난 바와 같이, 터널 접합층(50) 상에, 제2 발광부(12)를 형성한다. 제2 발광부 형성 공정(S13)은, 터널 접합층(50) 상에 제2 n측 반도체층(60)을 형성하는 공정과, 제2 n측 반도체층(60) 상에 제2 활성층(70)을 형성하는 공정과, 제2 활성

층(70) 상에 제2 p층 반도체층(80)을 형성하는 공정을 포함한다. 제2 n층 반도체층(60)을 형성하는 공정에서는, 터널 접합층(50) 상에, 중간층(61)과, 제2 적층부(62)를 이 순서대로 형성한다. 중간층(61)은, 예를 들면, 터널 접합층(50)에 접하여 형성한다.

[0042] 제2 적층부(62)는, 예를 들면, 제3층 형성 공정과, 제4층 형성 공정을 교대로 행함으로써 형성한다. 제3층 형성 공정에서는, 예를 들면, 로 내에, 캐리어 가스, Ga원, N원, 및 Si원을 포함하는 원료 가스를 도입함으로써 n형 불순물이 도핑된 GaN층으로 이루어지는 제3층을 형성한다. 제4층 형성 공정에서는, 예를 들면, 로 내에, 캐리어 가스, Ga원, N원, In원, 및 Si원을 포함하는 원료 가스를 도입함으로써 n형 불순물이 도핑된 InGaN로 이루어지는 제4층을 형성한다. 제3층 형성 공정 및 제4층 형성 공정에 있어서, 원료 가스에 포함되는 Si 원료 가스의 유량비를 조정함으로써, 제2 적층부(62)를, 제2 적층부(62)에 있어서의 제2 n형 불순물 농도가 제1 적층부(22)에 있어서의 제1 n형 불순물 농도보다 높아지게 형성한다. 제2 적층부(62)는, 제2 n형 불순물 농도가, 예를 들면,  $3 \times 10^{17}/\text{cm}^3$  이상  $1 \times 10^{20}/\text{cm}^3$  이하가 되도록 형성한다.

[0043] 다음으로, 반도체 적층체(100)의 일부를 제거하여, n컨택트층(21)의 일부를 노출시킨다. 그리고, 도 1에 나타낸 바와 같이, n컨택트층(21) 상에 n층 전극(91)을 형성하고, 제2 p층 반도체층(80) 상에 p층 전극(92)을 형성한다. n층 전극(91) 및 p층 전극(92)은, 예를 들면, 스퍼터링법, 증착법에 의해 형성할 수 있다. 이 공정에 의해, 도 1에 나타내는 발광 소자(1)를 얻을 수 있다.

[0044] 실시예의 발광 소자 및 비교예의 발광 소자를 아래와 같이 제작하고, 실시예의 발광 소자와 비교예의 발광 소자에서의 순방향 전압(Vf) 및 출력(Po)의 값을 평가하였다.

[0045] <실시예>

[0046] 기판(10)에는 사파이어 기판을 사용했다. 이 사파이어 기판 상에, 언도핑의 AlGaN층으로 이루어지는 버퍼층을 형성하였다. 버퍼층 상에, 언도핑의 GaN층으로 이루어지는 두께 약  $7 \mu\text{m}$ 의 하지층(23)을 형성하였다. 하지층(23) 상에, Si를 도핑한 두께 약  $1.8 \mu\text{m}$ 의 n컨택트층(21)을 형성하였다. n컨택트층(21)의 n형 불순물 농도는,  $1 \times 10^{19}/\text{cm}^3$  정도이다. n컨택트층(21) 상에, 언도핑의 GaN층으로 이루어지는 제1층과, 언도핑의 InGaN층으로 이루어지는 제2층을 교대로 적층한 제1 적층부(22)를 형성하였다. 제1층의 막두께는 약  $2\text{nm}$ 로 하고, 제2층의 막두께는 약  $1\text{nm}$ 로 하였다. 제1 적층부(22)는, 제1층과 제2층의 조합을 20조 포함한다. 제1 적층부(22)에 있어서의 n형 불순물 농도는,  $3 \times 10^{17}/\text{cm}^3$  정도이다. 제1 적층부(22) 상에, 제1 활성층(30)으로서, 언도핑의 InGaN층과 언도핑의 GaN층을 교대로 적층하여, 언도핑의 InGaN층과 언도핑의 GaN층의 조합을 7조 형성하였다. 제1 활성층(30) 상에, 제1 p층 반도체층(40)으로서, Mg을 도핑한 AlGaN층, 언도핑의 GaN층, 및 Mg을 도핑한 GaN층을 순서대로 형성하였다. 제1 p층 반도체층(40)에 있어서의 Mg을 도핑한 GaN층의 p형 불순물 농도는,  $3 \times 10^{20}/\text{cm}^3$  정도이다.

[0047] 제1 p층 반도체층(40) 상에, 터널 접합층(50)으로서, Si를 도핑한 GaN층을 형성하였다. 터널 접합층(50)의 n형 불순물 농도는,  $8 \times 10^{20}/\text{cm}^3$  정도이다.

[0048] 터널 접합층(50)의 두께는, 약  $2\text{nm}$ 로 하였다.

[0049] 터널 접합층(50) 상에, 중간층(61)으로서, Si를 도핑한 GaN층을 형성하였다. 중간층(61)의 n형 불순물 농도는,  $8 \times 10^{20}/\text{cm}^3$  정도이다. 중간층(61)의 두께는, 약  $145\text{nm}$ 로 하였다. 중간층(61) 상에 제2 적층부(62)로서, Si를 도핑한 GaN층으로 이루어지는 제3층과, Si를 도핑한 InGaN층으로 이루어지는 제4층을 교대로 적층한 제2 적층부(62)를 형성하였다. 제3층의 막두께는 약  $2\text{nm}$ 로 하고, 제4층의 막두께는 약  $1\text{nm}$ 로 하였다. 제2 적층부(62)는, 제3층과 제4층의 조합을 20조 포함한다. 제2 적층부(62)에 있어서의 n형 불순물 농도는,  $2 \times 10^{19}/\text{cm}^3$  정도이다. 제2 적층부(62) 상에, 제2 활성층(70)으로서, 언도핑의 InGaN층과 언도핑의 GaN층을 교대로 적층하여, 언도핑의 InGaN층과 언도핑의 GaN층의 조합을 7조 형성하였다. 제2 활성층(70) 상에, 제2 p층 반도체층(80)으로서, Mg을 도핑한 AlGaN층, 언도핑의 GaN층, 및 Mg을 도핑한 GaN층을 순서대로 형성하였다. 제2 p층 반도체층(80)에 있어서의 Mg을 도핑한 GaN층의 p형 불순물 농도는,  $3 \times 10^{20}/\text{cm}^3$  정도이다.

[0050] 이러한 반도체 적층체(100)를 가지는 발광 소자를 실시예로서 제작하였다.

[0051] <비교예>

[0052] 비교예의 발광 소자는, 제2 적층부(62)의 구조가 다른 것 이외에는 실시예의 발광 소자와 같은 구조이다. 구체적으로는, 제2 적층부(62)를, 언도핑의 InGaN층으로 이루어지는 제3층과, 언도핑의 GaN층으로 이루어지는 제4층을 교대로 20조적층한 구조로 하였다. 즉, 비교예의 발광 소자에 있어서의 제2 적층부(62)의 제3층 및 제4층은, n형 불순물을 도핑하지 않고 형성하였다.

[0053] 실시예의 발광 소자의 순방향 전압(Vf)은, 비교예의 발광 소자의 순방향 전압(Vf)보다 0.13V 낮아지고 있었다. 또한, 실시예의 발광 소자의 출력(Po)은, 비교예의 발광 소자의 출력(Po)과 거의 동등하였다. 한편, 순방향 전압(Vf)의 값은, 발광 소자에 500mA의 전류를 흘렸을 때의 값이다. 이들 평가 결과로부터, 실시예의 발광 소자는, 출력(Po)을 유지하면서, 비교예의 발광 소자보다 순방향 전압(Vf)을 저감할 수 있음이 확인되었다.

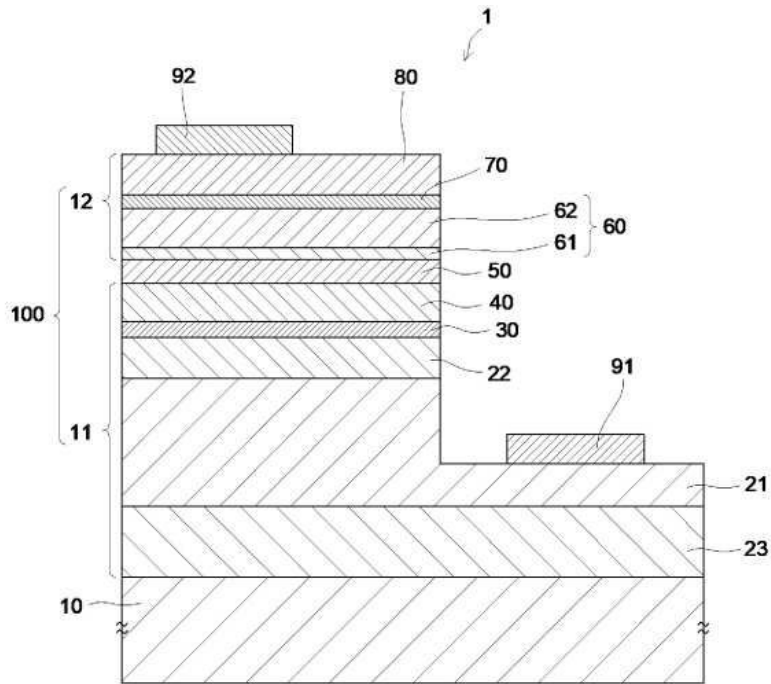
[0054] 이상, 구체예를 참조하면서, 본 발명의 실시 형태 및 실시예에 대해서 설명하였다. 그러나, 본 발명은, 이 구체예에 한정되는 것은 아니다. 본 발명의 상술한 실시 형태를 기초로 하여, 당업자가 적절히 설계 변경하여 실시할 수 있는 모든 형태도, 본 발명의 요지를 포함하는 한, 본 발명의 범위에 속한다. 그 밖에, 본 발명의 사상 범주에 있어서, 당업자라면, 각종 변경예 및 수정예를 생각해낼 수 있고, 이들 변경예 및 수정예도 본 발명의 범위에 속하는 것이다.

**부호의 설명**

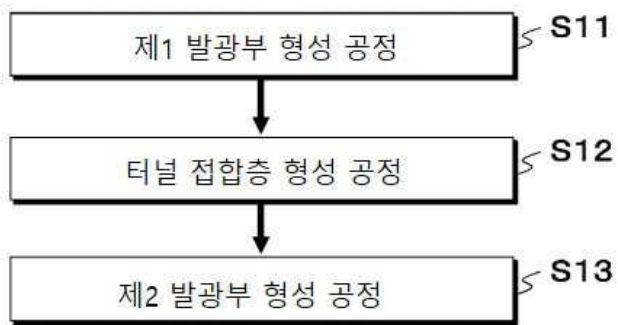
- [0055] 1: 발광 소자
- 10: 기판
- 11: 제1 발광부
- 12: 제2 발광부
- 20: 제1 n층 반도체층
- 21: n컨택트층
- 22: 제1 적층부
- 23: 하지층
- 30: 제1 활성층
- 40: 제1 p층 반도체층
- 50: 터널 접합층
- 60: 제2 n층 반도체층
- 61: 중간층
- 62: 제2 적층부
- 70: 제2 활성층
- 80: 제2 p층 반도체층
- 91: n층 전극
- 92: p층 전극
- 100: 반도체 적층체

도면

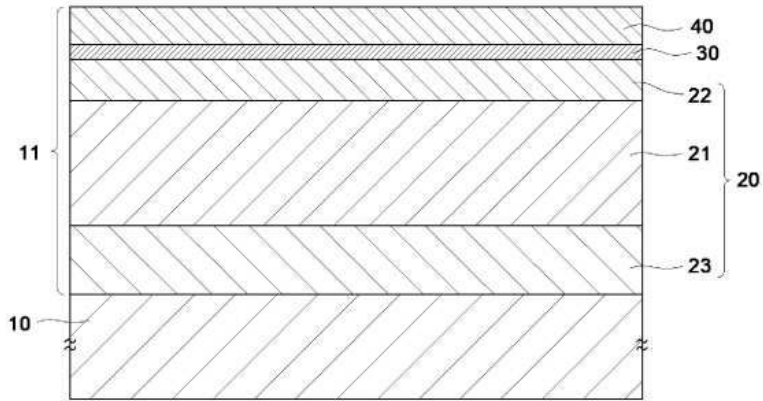
도면1



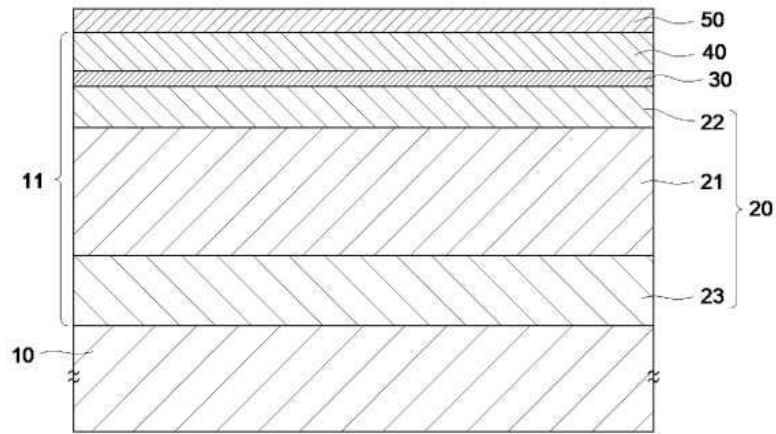
도면2



도면3a



도면3b



도면3c

